

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年6月23日(2005.6.23)

【公開番号】特開2004-179232(P2004-179232A)

【公開日】平成16年6月24日(2004.6.24)

【年通号数】公開・登録公報2004-024

【出願番号】特願2002-340879(P2002-340879)

【国際特許分類第7版】

H 01 L 25/065

H 01 L 25/07

H 01 L 25/18

【F I】

H 01 L 25/08

Z

【手続補正書】

【提出日】平成16年9月24日(2004.9.24)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ベース配線パターンを含むベース基板と、

前記ベース基板の上方に配置され、第1の配線パターンを含む第1の回路基板と、

前記第1の回路基板に搭載され、前記第1の配線パターンに電気的に接続する第1の電極を含む第1の半導体素子と、

前記第1の回路基板の上方に配置され、第2の配線パターンを含む第2の回路基板と、

前記第2の回路基板に搭載され、前記第2の配線パターンに電気的に接続する第2の電極を含む第2の半導体素子と、

前記第1の配線パターンに電気的に接続し、前記第1の回路基板から突出して設けられ、前記ベース配線パターンと接合した第1の突起電極と、

前記第2の配線パターンに電気的に接続し、前記第2の回路基板から突出して設けられ、前記ベース配線パターンと接合した第2の突起電極と、

を備えることを特徴とする半導体装置。

【請求項2】

請求項1記載の半導体装置において、さらに、前記ベース基板に搭載され、前記ベース配線パターンに電気的に接続する第3の電極を含む第3の半導体素子を備えることを特徴とする半導体装置。

【請求項3】

請求項1又は2に記載の半導体装置において、前記第2の突起電極は、前記第1の突起電極よりも厚いことを特徴とする半導体装置。

【請求項4】

請求項1から3のいずれかに記載の半導体装置において、さらに、前記第1の半導体素子に他の半導体素子が積層されていることを特徴とする半導体装置。

【請求項5】

請求項1から4のいずれかに記載の半導体装置において、さらに、前記第2の半導体素子に他の半導体素子が積層されていることを特徴とする半導体装置。

【請求項6】

第1の配線パターンを含む回路基板であって、前記第1の配線パターンに電気的に接続する第1の電極を含む第1の半導体素子が搭載された第1の回路基板を、ベース配線パターンを含むベース配線基板の上方に配置し、

前記第1の回路基板と前記ベース基板との間に設けられた第1の突起電極を、前記ベース配線パターンに接合して、前記第1の配線パターンと前記ベース配線パターンとを電気的に接続し、

第2の配線パターンを含む回路基板であって、前記第2の配線パターンに電気的に接続する第2の電極を含む第2の半導体素子が搭載された第2の回路基板を、前記第1の回路基板の上方に配置し、

前記第2の回路基板と前記ベース基板との間に設けられた第2の突起電極を、前記ベース配線パターンに接合して、前記第2の配線パターンと前記ベース配線パターンとを電気的に接続することを特徴とする半導体装置の製造方法。

#### 【請求項7】

請求項6記載の半導体装置の製造方法において、

前記第2の突起電極は、前記第2の回路基板の表面から突出しており、

前記第1の配線パターンと前記ベース配線パターンとを電気的に接続する工程の後であって、第2の回路基板を前記第1の回路基板の上方に配置する工程の前に、前記第1の回路基板が、前記第2の回路基板の前記第2の突起電極形成領域を避けた領域の下方に位置するように、前記第2の回路基板と前記ベース基板とを位置合わせすることを特徴とする半導体装置の製造方法。

#### 【請求項8】

請求項1～5のいずれかに記載の半導体装置を備えることを特徴とする電子機器。

#### 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

#### 【課題を解決するための手段】

本発明の半導体装置は、ベース配線パターンを含むベース基板と、前記ベース基板の上方に配置され、第1の配線パターンを含む第1の回路基板と、前記第1の回路基板に搭載され、前記第1の配線パターンに電気的に接続する第1の電極を含む第1の半導体素子と、前記第1の回路基板の上方に配置され、第2の配線パターンを含む第2の回路基板と、前記第2の回路基板に搭載され、前記第2の配線パターンに電気的に接続する第2の電極を含む第2の半導体素子と、前記第1の配線パターンに電気的に接続し、前記第1の回路基板から突出して設けられ、前記ベース配線パターンと接合した第1の突起電極と、前記第2の配線パターンに電気的に接続し、前記第2の回路基板から突出して設けられ、前記ベース配線パターンと接合した第2の突起電極と、を備えることを特徴とする。

また、本発明の半導体装置の製造方法は、第1の配線パターンを含む回路基板であって、前記第1の配線パターンに電気的に接続する第1の電極を含む第1の半導体素子が搭載された第1の回路基板を、ベース配線パターンを含むベース配線基板の上方に配置し、前記第1の回路基板と前記ベース基板との間に設けられた第1の突起電極を、前記ベース配線パターンに接合して、前記第1の配線パターンと前記ベース配線パターンとを電気的に接続し、第2の配線パターンを含む回路基板であって、前記第2の配線パターンに電気的に接続する第2の電極を含む第2の半導体素子が搭載された第2の回路基板を、前記第1の回路基板の上方に配置し、前記第2の回路基板と前記ベース基板との間に設けられた第2の突起電極を、前記ベース配線パターンに接合して、前記第2の配線パターンと前記ベース配線パターンとを電気的に接続することを特徴とする。

本発明の半導体装置及びその製造方法によれば、回路基板及びベース基板内の配線の設計の自由度を向上し、使用する部品点数を少なくすることができ、積層体の薄型化を図

ることができる。

本発明の電子機器は、上記半導体装置を備えることを特徴とする。これによれば、電子機器の小型薄型化を図ることができる。

#### 【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正の内容】

#### 【0014】

半導体素子21が搭載された回路基板20と同様に、回路基板30の図示しない配線パターンに電気的に接続する図示しない電極を有する半導体素子31が搭載された回路基板30は、半導体素子31の図示しない電極と、回路基板30の図示しない配線パターンを電気的に接続することにより用意される。半導体素子31と回路基板30とは、図示しない電極が設けられた表面を回路基板30の表面と対向させて、フェースダウンボンディング法を用いて、図示しない電極と図示しない配線パターンとを電気的に接続してもよいし、図示しない電極が設けられた表面の裏面を回路基板30の表面と対向させて、ワイヤ33によるワイヤボンディング法を用いて図示しない電極と図示しない配線パターンとを電気的に接続してもよい。図示しない電極と図示しない配線パターンとは、異方性導電接着剤、導電接着剤、絶縁性接着剤等によって接着剤接合されていてもよいし、共晶合金を形成したり金属間拡散を用いることによって金属接合されていてもよいし、ワイヤボンディングされていてもよい。図示しない配線パターンに電気的に接続された半導体素子31は、樹脂によって封止されてもよい。

回路基板20の半導体素子21が搭載される面、又は、その裏面に、回路基板20の表面から突出する突起電極22を設ける。突起電極22は、半導体素子21を回路基板20に搭載する前に設けてもよいし、半導体素子21を回路基板20に搭載した後に設けてもよい。また、回路基板30の半導体素子31が搭載される面、又は、その裏面に、回路基板30の表面から突出する突起電極32を設ける。突起電極32は、半導体素子31を回路基板30に搭載する前に設けてもよいし、半導体素子31を回路基板30に搭載した後に設けてもよい。

#### 【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

#### 【0015】

突起電極22は、図示しない配線パターンと電気的に接続して設けられる。突起電極32は、図示しない配線パターンと電気的に接続して設けられる。突起電極22及び32の少なくともいずれか一方は、例えば、図示しない配線パターンに電気的に接続するように半田ボールを搭載し、加熱することによって形成してもよい。また、半田ボールを用いる方法に限らず、メッキ法を用いて、メッキ金属を析出し、突起電極22及び32の少なくともいずれか一方を形成してもよい。

さらに、他の回路基板、例えば、回路基板40を有する場合は、半導体素子21と回路基板20との電気的接続と同様に、半導体素子41の図示しない電極と、回路基板40の図示しない配線パターンを電気的に接続し、回路基板40に突起電極42を設ける。