

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B1)

(11) 特許番号

特許第6840300号
(P6840300)

(45) 発行日 令和3年3月10日(2021.3.10)

(24) 登録日 令和3年2月18日(2021.2.18)

(51) Int.Cl.	F I				
HO 1 L 29/06 (2006.01)	HO 1 L 29/78	6 5 2 P			
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	6 5 5 F			
HO 1 L 29/739 (2006.01)	HO 1 L 29/78	6 5 2 Q			
HO 1 L 29/12 (2006.01)	HO 1 L 29/78	6 5 2 T			
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 5 2 M			
請求項の数 16 (全 22 頁) 最終頁に続く					

(21) 出願番号 特願2020-553681 (P2020-553681)
 (86) (22) 出願日 令和2年6月24日(2020.6.24)
 (86) 国際出願番号 PCT/JP2020/024835
 審査請求日 令和2年10月1日(2020.10.1)

早期審査対象出願

(73) 特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100088672
 弁理士 吉竹 英俊
 (74) 代理人 100088845
 弁理士 有田 貴弘
 (72) 発明者 富永 貴亮
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内
 (72) 発明者 日野 史郎
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内
 審査官 高橋 優斗

最終頁に続く

(54) 【発明の名称】 炭化珪素半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体素子が形成された素子領域と、該素子領域以外の非素子領域とを有し、前記素子領域において、炭化珪素基板の厚み方向に主電流が流れる炭化珪素半導体装置であって、前記炭化珪素基板の第1の主面上に設けられた第1導電型の半導体層と、前記素子領域の前記半導体層の上層部に設けられた第2導電型の第1ウェル領域と、前記第1ウェル領域の上層部に設けられた第1導電型の第1不純物領域と、前記第1ウェル領域の上層部に設けられ、側面において前記第1不純物領域に接合する第2導電型の第1ウェルコンタクト領域と、前記第1不純物領域の端縁部上、前記第1ウェル領域上および前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極と、前記第1不純物領域および前記第1ウェルコンタクト領域にオーミック接触し、前記半導体層の上方に設けられた第1主電極に電氣的に接続される第1コンタクトと、前記非素子領域の前記半導体層の上層部に設けられた第2導電型の第2ウェル領域と、前記第2ウェル領域の上層部に設けられた第1導電型の第2不純物領域と、前記第2ウェル領域の上層部に設けられ、側面において前記第2不純物領域に接合する第2導電型の第2ウェルコンタクト領域と、前記第2ウェル領域上に設けられたフィールド絶縁膜と、前記フィールド絶縁膜を貫通して、前記第2不純物領域および前記第2ウェルコンタク

10

20

ト領域にオーミック接触し、前記第 1 主電極に電氣的に接続される少なくとも 1 つの第 2 コンタクトと、

前記素子領域と前記非素子領域との境界の側の前記第 2 不純物領域の端縁部上から、前記境界に隣り合う前記第 1 ウェル領域内の前記第 1 不純物領域の端縁部上にかけて設けられた境界部ゲート絶縁膜と、

前記境界部ゲート絶縁膜上に設けられた境界部ゲート電極と、

前記炭化珪素基板の前記第 1 の主面とは反対側の第 2 の主面上に設けられた第 2 主電極と、を備え、

前記第 2 ウェルコンタクト領域は、前記少なくとも 1 つの第 2 コンタクトの下方から前記素子領域側に延在し、

前記第 2 不純物領域は、前記少なくとも 1 つの第 2 コンタクトの下方から前記非素子領域側に延在する、炭化珪素半導体装置。

【請求項 2】

前記少なくとも 1 つの第 2 コンタクトは複数の第 2 コンタクトであって、

前記第 2 ウェルコンタクト領域は、

平面視で前記複数の第 2 コンタクトの下方に及ぶように連続的に設けられ、

前記第 2 不純物領域は、

平面視で複数の第 2 コンタクトの下方に及ぶように連続的に設けられる、請求項 1 記載の炭化珪素半導体装置。

【請求項 3】

前記第 2 ウェルコンタクト領域は、前記少なくとも 1 つの第 2 コンタクトの下方から前記境界部ゲート絶縁膜の直下まで延在する、請求項 1 記載の炭化珪素半導体装置。

【請求項 4】

前記第 2 ウェルコンタクト領域は、前記少なくとも 1 つの第 2 コンタクトの下方から前記境界部ゲート絶縁膜の直下に達しない長さに設けられる、請求項 1 記載の炭化珪素半導体装置。

【請求項 5】

前記第 2 ウェルコンタクト領域は、

前記複数の第 2 コンタクト間において、前記第 2 不純物領域との接合部から前記素子領域側に延在する部分の長さが、前記少なくとも 1 つの第 2 コンタクトの下方の前記第 2 不純物領域との接合部から前記素子領域側に延在する部分の長さよりも短い、請求項 2 記載の炭化珪素半導体装置。

【請求項 6】

前記第 2 ウェルコンタクト領域は、前記少なくとも 1 つの第 2 コンタクトの下方から前記素子領域の側の前記第 2 ウェル領域の端部まで延在する、請求項 1 記載の炭化珪素半導体装置。

【請求項 7】

前記少なくとも 1 つの第 2 ソースコンタクトにオーミック接触する前記第 2 ウェルコンタクト領域の面積は、前記少なくとも 1 つの第 2 ソースコンタクトにオーミック接触する前記第 2 不純物領域の面積よりも広い、請求項 1 記載の炭化珪素半導体装置。

【請求項 8】

前記少なくとも 1 つの第 2 ソースコンタクトにオーミック接触する前記第 2 ウェルコンタクト領域の面積は、前記少なくとも 1 つの第 2 ソースコンタクトにオーミック接触する前記第 2 不純物領域の面積の 1 倍以上 100 倍以下である、請求項 1 記載の炭化珪素半導体装置。

【請求項 9】

前記第 2 不純物領域の第 1 導電型の不純物濃度は、

$1.0 \times 10^{17} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{21} \text{ cm}^{-3}$ 以下である、請求項 1 記載の炭化珪素半導体装置。

【請求項 10】

10

20

30

40

50

前記第2不純物領域の第1導電型の不純物濃度は、
 $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{20} \text{ cm}^{-3}$ 以下である、請求項1記載の炭化珪素半導体装置。

【請求項11】

前記第2ウェルコンタクト領域の第2導電型の不純物濃度は、
 $1.0 \times 10^{18} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{22} \text{ cm}^{-3}$ 以下である、請求項1記載の炭化珪素半導体装置。

【請求項12】

前記第2ウェルコンタクト領域の第2導電型の不純物濃度は、
 $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{21} \text{ cm}^{-3}$ 以下である、請求項1記載の炭化珪素半導体装置。

10

【請求項13】

前記第2ウェルコンタクト領域は、
 前記少なくとも1つの第2コンタクトの下方の前記第2不純物領域との接合部から前記素子領域側に延在する部分の長さが、 $1.0 \mu\text{m}$ 以上 $100 \mu\text{m}$ 以下である、請求項1記載の炭化珪素半導体装置。

【請求項14】

前記第2不純物領域のシート抵抗値は、前記第2ウェルコンタクト領域のシート抵抗値よりも低い、請求項1記載の炭化珪素半導体装置。

【請求項15】

20

前記第2不純物領域と前記少なくとも1つの第2コンタクトとの接触微分抵抗値は、前記第2ウェルコンタクト領域と前記少なくとも1つの第2ソースコンタクトとの接触微分抵抗値よりも低い、請求項1記載の炭化珪素半導体装置。

【請求項16】

前記第1主電極と前記第2主電極との間に加わる電圧の時間変動は、 20 V/ns 以上である、請求項1記載の炭化珪素半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は炭化珪素半導体装置に関し、特に、ゲート絶縁膜を有する炭化珪素半導体装置に関する。

30

【背景技術】

【0002】

インバータ回路などに用いられるスイッチング素子として、縦型の電力用半導体装置が広く用いられており、特に、MOS (Metal Oxide Semiconductor) 構造を有する電力用半導体装置が広く用いられている。典型的には、絶縁ゲートバイポーラトランジスタ (Insulated Gate Bipolar Transistor: IGBT)、および、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) が用いられている。

【0003】

シリコン (Si) のバンドギャップに比して約3倍大きなバンドギャップを有する炭化珪素を半導体材料として用いる炭化珪素半導体装置の1つであるn型MOSFETは、インバータ回路のスイッチング素子として用いることでインバータ回路の電力損失を低減することができる。

40

【0004】

n型MOSFETは、典型的には、n型ドリフト層と、その上に設けられたp型ウェルとを有しており、MOSFETがオン状態からオフ状態へとスイッチングされると、MOSFETのドレイン電圧、すなわちドレイン電極の電圧が急激に上昇して、略0Vから数百Vへ変化する。そうすると、p型ウェルとn型ドリフト層との間に存在する寄生容量を介して変位電流が発生する。ドレイン電極側に発生した変位電流はドレイン電極へと流れ、ソース電極側に発生した変位電流はp型ウェルを經由してソース電極へと流れる。また

50

、MOSFETがオフ状態からオン状態へとスイッチングされると、オン状態からオフ状態へとスイッチングされる場合とは逆方向の変位電流がp型ウェルを經由して流れる。

【0005】

特許文献1には、ゲートパッドの下方に位置する最外周のp型ウェル上に、ゲート絶縁膜よりも膜厚が厚いフィールド絶縁膜を貫通して、ソース電極に接続するウェルコンタクトホールが設けられている。これにより、ゲートパッドの下方に位置する大面積のp型ウェル内を流れる変位電流の大部分が、ウェルコンタクトホールを經由してソース電極に流れ、大面積のp型ウェルとはウェルコンタクトホールの反対側に形成されるゲート絶縁膜直下のp型ウェルとゲート電極との間に高電界が発生することを抑制して、ゲート絶縁膜の絶縁破壊を防止する構成が開示されている。

10

【先行技術文献】

【特許文献】

【0006】

【特許文献1】国際公開第2011/125274号

【発明の概要】

【発明が解決しようとする課題】

【0007】

特許文献1に開示の技術によれば、ウェルコンタクトホールの最外周p型ウェル端側では、フィールド絶縁膜からゲート絶縁膜に厚さが変わる部分で段差がウェルコンタクトホールと最外周のp型ウェル端側との間に設けられることになるので、ウェルコンタクトホールと最外周のp型ウェル端側との間に距離を設ける必要が生じる。そのため、最外周のp型ウェル端側からウェルコンタクトホールに流れる変位電流によって最外周のp型ウェルに発生する電位とゲート電極の電位との間に生じる電界がゲート絶縁膜に印加される。

20

【0008】

最外周のp型ウェルに生じる変位電流の大部分は、ウェルコンタクトホールの最外周のp型ウェル端側と反対側の大面積の最外周のp型ウェルに流れるため、通常は最外周のp型ウェル端には高電圧は発生せず、ゲート絶縁膜に高電界は生じない。

【0009】

しかしながら、昨今では、時間tに対するドレイン電圧Vの変動である dV/dt をより一層大きくすることが求められており、例えば、 $20V/nsec$ 以上の大きな dV/dt が要求される場合には、ウェルコンタクトホールと最外周のp型ウェル端側との間の距離が無視できなくなり、最外周のp型ウェル端側からウェルコンタクトホールに無視できない大きさの変位電流が流れ、最外周のp型ウェル端に高電圧が発生し、ゲート絶縁膜が絶縁破壊する可能性があった。

30

【0010】

本開示は、上記のような問題を解決するためになされたものであり、大きな dV/dt が印加された場合でも、ゲート絶縁膜に生じる電界を抑制できる炭化珪素半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0011】

本開示に係る炭化珪素半導体装置は、半導体素子が形成された素子領域と、該素子領域以外の非素子領域とを有し、前記素子領域において、炭化珪素基板の厚み方向に主電流が流れ、前記炭化珪素基板の第1の主面上に設けられた第1導電型の半導体層と、前記素子領域の前記半導体層の上層部に設けられた第2導電型の第1ウェル領域と、前記第1ウェル領域の上層部に設けられた第1導電型の第1不純物領域と、前記第1ウェル領域の上層部に設けられ、側面において前記第1不純物領域に接合する第2導電型の第1ウェルコンタクト領域と、第1不純物領域の端縁部上、前記第1ウェル領域上および前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極と、前記第1不純物領域および前記第1ウェルコンタクト領域にオーミック接触し、前記半導体層の上方に設けられた第1主電極に電氣的に接続される第1コンタクトと、前記非素子領域の前

40

50

記半導体層の上層部に設けられた第2導電型の第2ウェル領域と、前記第2ウェル領域の上層部に設けられた第1導電型の第2不純物領域と、前記第2ウェル領域の上層部に設けられ、側面において前記第2不純物領域に接合する第2導電型の第2ウェルコンタクト領域と、前記第2ウェル領域上に設けられたフィールド絶縁膜と、前記フィールド絶縁膜を貫通して、前記第2不純物領域および前記第2ウェルコンタクト領域にオーミック接触し、前記第1主電極に電氣的に接続される少なくとも1つの第2コンタクトと、前記素子領域と前記非素子領域との境界の側の前記第2不純物領域の端縁部上から、前記境界に隣り合う前記第1ウェル領域内の前記第1不純物領域の端縁部上にかけて設けられた境界部ゲート絶縁膜と、前記境界部ゲート絶縁膜上に設けられた境界部ゲート電極と、前記炭化珪素基板の前記第1の主面とは反対側の第2の主面上に設けられた第2主電極と、を備え、前記第2ウェルコンタクト領域は、前記少なくとも1つの第2コンタクトの下方から前記素子領域側に延在し、前記第2不純物領域は、前記少なくとも1つの第2コンタクトの下方から前記非素子領域側に延在する。

10

【発明の効果】

【0012】

本開示に係る炭化珪素半導体装置によれば、オフ状態からオン状態にスイッチングする場合に、第2不純物領域が形成されていることにより、少なくとも1つの第2コンタクトから流入する変位電流のより多くを、少なくとも1つの第2コンタクトよりも非素子領域側に流すことができる。そのため、第2コンタクトよりも素子領域側に流れる変位電流を低減することができ、第2ウェル領域の端部と境界部ゲート電極との間の電位差が抑制され、境界部ゲート絶縁膜の絶縁破壊を抑制できる。

20

【図面の簡単な説明】

【0013】

【図1】実施の形態1の炭化珪素半導体装置の上面構成を模式的に示す平面図である。

【図2】実施の形態1の炭化珪素半導体装置の構成を示す断面図である。

【図3】実施の形態1の炭化珪素半導体装置の構成を示す断面図である。

【図4】実施の形態1の炭化珪素半導体装置の構成を示す断面図である。

【図5】実施の形態1の炭化珪素半導体装置の構成を示す部分平面図である。

【図6】実施の形態1の炭化珪素半導体装置の構成を示す断面図である。

【図7】実施の形態1の炭化珪素半導体装置の製造方法を説明する断面図である。

30

【図8】実施の形態1の炭化珪素半導体装置の製造方法を説明する断面図である。

【図9】実施の形態1の炭化珪素半導体装置の製造方法を説明する断面図である。

【図10】実施の形態1の炭化珪素半導体装置の製造方法を説明する断面図である。

【図11】実施の形態1の炭化珪素半導体装置の製造方法を説明する断面図である。

【図12】実施の形態1の炭化珪素半導体装置の製造方法を説明する断面図である。

【図13】実施の形態1の炭化珪素半導体装置の製造方法を説明する断面図である。

【図14】実施の形態1の炭化珪素半導体装置の製造方法を説明する断面図である。

【図15】実施の形態1の炭化珪素半導体装置の製造方法を説明する断面図である。

【図16】実施の形態1の炭化珪素半導体装置の製造方法を説明する断面図である。

【図17】実施の形態1の炭化珪素半導体装置の製造方法を説明する断面図である。

40

【図18】実施の形態1の炭化珪素半導体装置の製造方法を説明する断面図である。

【図19】実施の形態2の炭化珪素半導体装置の構成を示す断面図である。

【図20】実施の形態2の炭化珪素半導体装置の構成を示す断面図である。

【図21】実施の形態3の炭化珪素半導体装置の構成を示す部分平面図である。

【図22】実施の形態3の炭化珪素半導体装置の構成を示す断面図である。

【図23】実施の形態4の炭化珪素半導体装置の構成を示す断面図である。

【図24】実施の形態4の炭化珪素半導体装置の構成を示す断面図である。

【発明を実施するための形態】

【0014】

<はじめに>

50

以下の説明において、「素子領域」とは半導体素子のオン状態において主電流が流れる領域である。また、以下において、「外側」とは半導体素子の外周に向かう方向であり、「内側」とは「外側」に対して反対の方向とする。

【0015】

なお、図面は模式的に示されるものであり、異なる図面にそれぞれ示されている画像のサイズおよび位置の相互関係は、必ずしも正確に記載されるものではなく、適宜変更され得る。また、以下の説明では、同様の構成要素には同じ符号を付して図示し、それらの名称および機能も同様のものとする。よって、それらについての詳細な説明を省略する場合がある。また、本明細書において、「～上」および「～を覆う」という場合、構成要素間に介在物が存在することが妨げられるものではない。例えば、「A上に設けられたB」または「AがBを覆う」と記載している場合、AとBとの間に他の構成要素Cが設けられたものも設けられていないものも意味され得る。また、以下の説明では、「上」、「下」、「側」、「底」、「表」または「裏」などの特定の位置および方向を意味する用語が用いられる場合があるが、これらの用語は、実施の形態の内容を理解することを容易にするため便宜上用いられているものであり、実際に実施される際の方向とは関係しない。

10

【0016】

また、「MOS」という用語は、古くは金属-酸化物-半導体の接合構造に用いられているが、特にMOS構造を有するMOS電界効果トランジスタ(MOSFET)においては、近年の集積化や製造プロセスの改善などの観点からゲート絶縁膜およびゲート電極の材料が改善されている。

20

【0017】

例えばMOSFETにおいては、主としてソース・ドレインを自己整合的に形成する観点から、ゲート電極の材料として金属の代わりに多結晶珪素が採用されてきている。また電気的特性を改善する観点から、ゲート絶縁膜の材料として高誘電率の材料が採用されるが、当該材料は必ずしも酸化物には限定されない。

【0018】

従って「MOS」という用語は必ずしも金属-酸化物-半導体の積層構造のみに限定されて採用されているわけではなく、本明細書でもそのような限定を前提としない。すなわち、技術常識に鑑みて、ここでは「MOS」とはその語源に起因した略語としてのみならず、広く導電体-絶縁体-半導体の積層構造をも含む意義を有する。

30

【0019】

以下、図面に基づいて実施の形態について説明する。なお、以下の図面において同一または相当する部分には同一の参照符号を付しその説明は繰返さない。

【0020】

また、以下に説明する実施の形態1～4においては、炭化珪素半導体装置の一例として、主電流が基板の厚み方向に流れる縦型のn型MOSFETを用いて説明する。

【0021】

<実施の形態1>

<装置構成>

図1は、本開示に係る実施の形態1のn型炭化珪素MOSFET100の上面構成を模式的に示す平面図である。なお、全ての実施の形態においては図1の上面構成は共通である。

40

【0022】

また、n型炭化珪素MOSFET100はプレーナゲート型として説明するが、本開示の適用はプレーナゲート型に限定されず、トレンチゲート型にも適用可能である。また、MOS構造を有するのであればMOSFETに限定されず、IGBTにも適用可能である。

【0023】

図1に示されるように、n型炭化珪素MOSFET100は四角形状の外形を有し、その外縁にはゲート配線103が設けられている。また、n型炭化珪素MOSFET100

50

の主面の中央部には、MOS構造の最小単位であるユニットセルUCが複数配置されたセル配置領域CRが設けられている。

【0024】

セル配置領域CRの平面視形状は、一辺の中央部が内側に凹んだ四角形をなし、セル配置領域CRの内側に凹んだ部分に入り込むようにゲートパッド102が設けられている。なお、セル配置領域CRとゲートパッド102およびゲート配線103とは離間している。

【0025】

ゲートパッド102には、外部の制御回路(図示せず)からゲート電圧が印加され、ここに印加されたゲート電圧は、ゲート配線103を通じてユニットセルUCのゲート電極(図示せず)に供給される。

10

【0026】

また、セル配置領域CRには、各ユニットセルのソースを並列に接続するソースパッド101(ソース電極)が設けられており、ソースパッド101はセル配置領域CRのほぼ全面を覆うように設けられている。なお、図1ではユニットセルUCをソースパッド101中に図示しているがこれは便宜的なものである。

【0027】

図2は、図1におけるC-C線での矢示方向断面図であり、ユニットセルUCの構成を模式的に示す断面図である。図2に示されるように、n型炭化珪素MOSFET100は、n型(第1導電型)不純物を比較的高濃度に含む炭化珪素基板1上に設けられている。

20

【0028】

炭化珪素基板1の第1の主面上には、n型不純物を比較的低濃度に含む半導体層であるドリフト層2(半導体層)が設けられている。ドリフト層2は、例えばエピタキシャル成長により形成されたエピタキシャル成長層である。

【0029】

ドリフト層2の上層部には、p型(第2導電型)不純物を含む第1ウェル領域3が設けられており、第1ウェル領域3の上層部には、p型不純物を比較的高濃度に含む第1ウェルコンタクト領域6が選択的に設けられている。そして、第1ウェルコンタクト領域6の2つの側面に接するようにn型不純物を比較的高濃度に含む第1ソース領域5(第1不純物領域)が設けられている。なお、隣り合う第1ウェル領域3の間のドリフト層2はJFET(Junction Field Effect Transistor)領域4となっている。

30

【0030】

なお、第1ウェル領域3のドリフト層2の最表面からの深さは、第1ソース領域5のドリフト層2の最表面からの深さよりも深く形成されている。また、第1ウェルコンタクト領域6のドリフト層2の最表面からの深さは、第1ソース領域5のドリフト層2の最表面からの深さと同等か、それよりも深く形成されているが、第1ウェル領域3は超えない。

【0031】

ドリフト層2の上には、ゲート絶縁膜8が形成され、ゲート絶縁膜8上にはゲート電極9が設けられている。ゲート電極9は、JFET領域4、第1ウェル領域3および第1ソース領域5の端縁部上に設けられる。

40

【0032】

そして、ゲート電極9上を含むドリフト層2上には層間絶縁膜29が設けられているが、第1ウェルコンタクト領域6と第1ソース領域5の一部に接触するように第1ソースコンタクト7(第1コンタクト)が設けられ、第1ソースコンタクト7の底部には、例えば、ニッケルシリサイドで構成されるシリサイド膜SDが設けられ、第1ウェルコンタクト領域6および第1ソース領域5の一部はシリサイド膜SDで覆われている。第1ウェルコンタクト領域6と第1ソース領域5はシリサイド膜SDおよび第1ソースコンタクト7を介して、ソースパッド101に電氣的に接続されている。また、炭化珪素基板1の第1の主面とは反対側の第2の主面上には、ドレイン電極104が設けられている。

【0033】

50

シリサイド膜SDはニッケルシリサイドに限定されず、アルミシリサイド、チタンシリサイドを用いることもできる。第1ソースコンタクト7は、ソースパッド101形成時に、コンタクトホール内にソースパッド101の材料となる金属、例えば、ニッケル、アルミニウム、チタンを埋め込むことで形成することができる。

【0034】

ドリフト層2の不純物濃度は、 $1.0 \times 10^{14} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{17} \text{ cm}^{-3}$ 以下であることが好適である。JFET領域4の不純物濃度は、第1ウェル領域3の不純物濃度よりも低く形成することが好適である。これは、JFET領域4と第1ウェル領域3とで形成されるpn接合による空乏層が、よりJFET領域4側に延伸するようにするためである。第1ウェル領域3の不純物濃度は、 $1.0 \times 10^{16} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{20} \text{ cm}^{-3}$ 以下であることが好適である。第1ソース領域5の不純物濃度は、 $1.0 \times 10^{17} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{21} \text{ cm}^{-3}$ 以下であることが好適である。第1ウェルコンタクト領域6の不純物濃度は、 $1.0 \times 10^{18} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{22} \text{ cm}^{-3}$ 以下であることが好適である。

10

【0035】

図3は、図1におけるA-A線での矢示方向断面図であり、セル配置領域CR、すなわち半導体素子が形成された素子領域と、半導体素子が形成されない非素子領域の構成を模式的に示す断面図である。

【0036】

図3に示されるように、素子領域の構成は図2に示した構成と同様である。非素子領域においては、ドリフト層2の上層部にp型不純物を含む第2ウェル領域13が設けられており、第2ウェル領域13の上層部には、n型不純物を比較的高濃度に含む第2ソース領域15（第2不純物領域）と、第2ソース領域15に接し、第2ウェル領域13よりも高い不純物濃度を有するp型の第2ウェルコンタクト領域16が選択的に設けられている。第2ソース領域15は、平面方向において第2ウェル領域13の上層部の大部分を占める大きさに形成され、第2ウェルコンタクト領域16は、第2ウェル領域13の上層部の残りの部分のうち、第2ソース領域15よりも素子領域に近い側に設けられ、第2ソースコンタクト17（第2コンタクト）の下方のpn接合部から境界部ゲート電極19の下方まで延在するように設けられている。

20

【0037】

素子領域の複数の第1ウェル領域3のうち、第2ウェル領域13と隣り合う第1ウェル領域3と、第2ウェル領域13との間のドリフト層2は最外周JFET領域14となっており、素子領域と非素子領域との境界は最外周JFET領域14と定義する。

30

【0038】

非素子領域においては、第2ウェル領域13上にフィールド絶縁膜28が形成され、フィールド絶縁膜28を貫通して、第2ソース領域15と第2ウェルコンタクト領域16とに電氣的に接続される第2ソースコンタクト17が設けられている。また、素子領域と非素子領域との境界の第2ウェル領域13上および第1ウェル領域3上には境界部ゲート絶縁膜18を介して境界部ゲート電極19が設けられている。なお、境界部ゲート電極19は、第2ソース領域15の上方のフィールド絶縁膜28上にまで延在している。図3では、素子領域のゲート電極9と境界部ゲート電極19とは不連続であるが、平面視では連続している。

40

【0039】

ゲート電極9上および境界部ゲート電極19上を含むドリフト層2上には層間絶縁膜29が設けられており、ゲート電極9および境界部ゲート電極19とソースパッド101とは、層間絶縁膜29により電氣的に離間されている。第2ソースコンタクト17は層間絶縁膜29も貫通して、第2ソース領域15と第2ウェルコンタクト領域16と電氣的に接続されている。また、層間絶縁膜29を貫通してフィールド絶縁膜28上の境界部ゲート電極19に達するようにゲートコンタクト27が設けられており、境界部ゲート電極19およびゲート電極9はゲートコンタクト27を介してゲート配線103に電氣的に接続さ

50

れる。

【0040】

非素子領域のゲート配線103上およびソースパッド101上と、素子領域のソースパッド101の一部上部には保護膜PFが設けられている。保護膜PFは絶縁膜で構成されている。

【0041】

第2ソースコンタクト17の底部には、例えば、ニッケルシリサイドで構成されるシリサイド膜SDが設けられ、第2ソース領域15および第2ウェルコンタクト領域16の一部はシリサイド膜SDで覆われている。第2ウェルコンタクト領域16と第2ソース領域15はシリサイド膜SDおよび第2ソースコンタクト17を介して、ソースパッド101に電氣的に接続されている。なお、シリサイド膜SDはニッケルシリサイドに限定されず、アルミシリサイド、チタンシリサイドを用いることもできる。第1ソースコンタクト7は、ソースパッド101形成時に、コンタクトホール内にソースパッド101の材料となる金属、例えば、ニッケル、アルミニウム、チタンを埋め込むことで形成することができる。

10

【0042】

第2ウェル領域13の不純物濃度は、 $1.0 \times 10^{16} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{20} \text{ cm}^{-3}$ 以下であることが好適である。第2ソース領域15の不純物濃度は、 $1.0 \times 10^{17} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{21} \text{ cm}^{-3}$ 以下であることが好適である。第2ウェルコンタクト領域16の不純物濃度は、 $1.0 \times 10^{18} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{22} \text{ cm}^{-3}$ 以下であることが好適である。このような濃度範囲とすることで、所望の定格を有する炭化珪素半導体装置を得ることができる。

20

【0043】

また、第2ウェルコンタクト領域16が、第2ソースコンタクト17の下方のpn接合部から素子領域側に延在する長さは、 $1.0 \mu\text{m}$ 以上 $100 \mu\text{m}$ 以下であることが好適である。このような範囲に設定することで炭化珪素半導体装置の寸法設計上のマージンを取ることができる。

【0044】

図4は、図1におけるB-B線での矢示方向断面図であり、素子領域と、非素子領域であるゲートパッド102の形成領域の構成を模式的に示す断面図である。図4に示されるように、素子領域および非素子領域の構成は図3に示した構成と同様である。

30

【0045】

図5は、図1における領域Xにおける素子領域および非素子領域の構成を模式的に示す平面図である。便宜的に、ドリフト層2上の絶縁膜および電極は省略し、ドリフト層2の上層部の構成のみを示している。

【0046】

図5に示されるように、素子領域のユニットセルUCの平面視形状は正方形であり、マトリクス状に配置されているが、これは一例であり、この形状に限定されるものではなく、長方形、多角形とすることもできる。

【0047】

平面視形状が正方形のユニットセルUCにおいては、外形が正方形の第1ウェルコンタクト領域6の周囲を第1ソース領域5が囲み、さらにその外側が第1ウェル領域3によって囲まれている。

40

【0048】

ユニットセルUC間はJFET領域4となっており、対角線方向で隣り合うユニットセルUC間の角部どうしは第1ウェル領域3によって接続されている。

【0049】

非素子領域においては、第2ウェル領域13に連続するように第2ウェルコンタクト領域16が設けられており、第2ウェルコンタクト領域16に連続するように第2ソース領域15が設けられている。

50

【 0 0 5 0 】

第2ウェルコンタクト領域16は、平面視で複数の第2ソースコンタクト17の下方に及ぶように連続的に形成され、同様に、第2ソース領域15は、平面視で複数の第2ソースコンタクト17の下方に及ぶように連続的に設けられている。

【 0 0 5 1 】

図6は、図5におけるD-D線での矢示方向断面図であり、素子領域と、非素子領域の構成を模式的に示す断面図である。図5に示したように、第2ソースコンタクト17は離間して複数設けられており、複数の第2ソースコンタクト17間においては、図6に示されるように、境界部ゲート電極19が素子領域から非素子領域にかけて連続的に設けられており、ゲート配線103に印加されたゲート信号をゲートコンタクト27を介して、素子領域のゲート電極9に伝えることができる。

10

【 0 0 5 2 】

< 製造方法 >

次に、n型炭化珪素MOSFET100の製造方法の一例について、製造工程を順に示す断面図である図7～図18を用いて説明する。

【 0 0 5 3 】

まず、図7に示すように、第1の主面の面方位が(0001)面であり、4Hのポリタイプを有するn型で低抵抗の炭化珪素基板1の第1の主面の上面に、化学気相堆積(Chemical Vapor Deposition: CVD)法により炭化珪素のn型のドリフト層2をエピタキシャル成長させる。ドリフト層2のn型の不純物濃度は、例えば、 $1 \times 10^{14} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ とし、ドリフト層2の厚さは、例えば、 $5 \mu\text{m} \sim 50 \mu\text{m}$ とする。

20

【 0 0 5 4 】

次に、ドリフト層2上にフォトリソなどにより注入マスク(図示せず)を形成し、p型の不純物であるAl(アルミニウム)をイオン注入して、ドリフト層2の上層部にp型の第1ウェル領域3および第2ウェル領域13を形成する。Alのイオン注入の深さは、ドリフト層2の厚さを超えない深さとし、例えば、 $0.5 \sim 3 \mu\text{m}$ とする。また、イオン注入されたAlの不純物濃度は、例えば、 $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ とし、ドリフト層2のn型の不純物濃度より高くする。Alをイオン注入した後、注入マスクを除去する。ここでは、第1ウェル領域3および第2ウェル領域13を同一工程で形成しているが、別々の工程で形成することもできる。

30

【 0 0 5 5 】

次に、図8示す工程において、ドリフト層2上にフォトリソなどにより注入マスク(図示せず)を形成し、n型の不純物であるN(窒素)をイオン注入し、第1ウェル領域3の上層部にn型の第1ソース領域5を形成し、第2ウェル領域13の上層部に第2ソース領域15を形成する。Nのイオン注入深さは、第1ウェル領域3および第2ウェル領域13の厚さより浅くする。また、イオン注入したNの不純物濃度は、例えば、 $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ とし、それぞれ第1ウェル領域3および第2ウェル領域13のp型の不純物濃度より高くする。Nをイオン注入した後、注入マスクを除去する。ここでは第1ソース領域5および第2ソース領域15を同一工程で形成しているが、別々の工程で形成することもできる。

40

【 0 0 5 6 】

次に、図9に示す工程において、ドリフト層2上にフォトリソなどにより注入マスク(図示せず)を形成し、p型の不純物であるAlをイオン注入し、第1ウェル領域3の上層部にp型の第1ウェルコンタクト領域6を形成し、第2ウェル領域13の上層部に第2ウェルコンタクト領域16を形成する。第1ウェルコンタクト領域6は、第1ソース領域5の最表面から第1ウェル領域3と電氣的に接続される深さに形成される。第2ウェルコンタクト領域16は、第2ソース領域15の最表面から第2ウェル領域13と電氣的に接続される深さに形成される。第1ウェルコンタクト領域6は、第1ウェル領域3と、ソースパッド101とを電氣的に接続する第1ソースコンタクト7との良好な電氣的接触を得るために設ける。

50

【 0 0 5 7 】

第1ウェルコンタクト領域6および第2ウェルコンタクト領域16のp型の不純物濃度は、それぞれ第1ウェル領域3および第2ウェル領域13のp型の不純物濃度より高いことが好ましい。A1をイオン注入した後、注入マスクを除去する。ここでは第1ウェルコンタクト領域6および第2ウェルコンタクト領域16を同一工程で形成しているが、別々の工程で形成することもできる。

【 0 0 5 8 】

次に、図10に示す工程において、ドリフト層2上にフォトレジストなどにより注入マスクRM1を形成し、n型の不純物であるNをイオン注入し、JFET領域4内および最外周JFET領域14内にn型の不純物の濃度が高い高濃度領域を形成することで、JFET領域4および最外周JFET領域14のn型の不純物濃度をドリフト層2のn型の不純物濃度より高くする。ただし、イオン注入したNの不純物濃度は、第1ウェル領域3のp型の不純物濃度より低くすることが好適である。この理由は、第1ウェル領域3に対してJFET領域4および最外周JFET領域14の不純物濃度を相対的に低くすることで、第1ウェル領域3とJFET領域4および最外周JFET領域14との間に形成されるpn接合に逆バイアスが印加された際に、JFET領域4および最外周JFET領域14側に空乏層が伸びるようにするためである。

10

【 0 0 5 9 】

Nをイオン注入した後、注入マスクRM1を除去する。なお、本実施の形態では、一例として、n型の不純物注入により、ドリフト層2よりも不純物濃度が高いJFET領域4および最外周JFET領域14を形成したが、必ずしもn型の不純物注入である必要はなく、p型の不純物注入とすることもできる。また、JFET領域4および最外周JFET領域14の不純物濃度はドリフト層2の不純物濃度と同じとすることもできる。

20

【 0 0 6 0 】

次に、図11に示す工程において、ドリフト層2上にn型またはp型のエピタキシャル層EPをエピタキシャル成長させる。エピタキシャル層EPの厚みは10~500nmとすることができる。なお、エピタキシャル層EPは、その内部にチャネルが形成されるエピタキシャルチャネル層として設けるが、必須の構成ではなく、図2~4および以下に示す図では図示を省略する。

【 0 0 6 1 】

次に、図12に示す工程において、減圧CVD法によりドリフト層2上にフィールド絶縁膜28を形成し、フィールド絶縁膜28上にフォトレジストなどによりエッチングマスクRM2を形成する。そして、フィールド絶縁膜28を部分的にエッチングして除去する。除去する部分は、後にゲート絶縁膜8および境界部ゲート絶縁膜18が形成される部分である。その後、エッチングマスクRM2を除去する。

30

【 0 0 6 2 】

次に、図13に示す工程において、ドリフト層2の表面を熱酸化して、所望の厚みのゲート絶縁膜8を形成する。

【 0 0 6 3 】

次に、図14に示す工程において、ゲート絶縁膜8上に、減圧CVD法により導電性を有する多結晶珪素(ポリシリコン)膜を形成し、これをエッチングでパターンニングすることによりゲート電極9および境界部ゲート電極19を形成する。また、ゲート電極9および境界部ゲート電極19で覆われないゲート絶縁膜8をエッチング等で除去する。ここで、境界部ゲート電極19の下部に位置するゲート絶縁膜8が境界部ゲート絶縁膜18となる。

40

【 0 0 6 4 】

次に、図15に示す工程において、ゲート電極9上および境界部ゲート電極19上を含むドリフト層2上に、減圧CVD法により層間絶縁膜29を形成する。

【 0 0 6 5 】

次に、図16に示す工程において、層間絶縁膜29およびゲート絶縁膜8を貫通して第

50

1 ウェルコンタクト領域 6 および第 1 ソース領域 5 に到達する第 1 ソースコンタクトホール 7 C、および層間絶縁膜 2 9 およびゲート絶縁膜 8 を貫通して第 2 ウェルコンタクト領域 1 6 および第 2 ソース領域 1 5 に到達する第 2 ソースコンタクトホール 1 7 C を形成する。また、層間絶縁膜 2 9 を貫通してゲート電極 9 に到達するゲートコンタクトホール 2 7 C を形成する。

【 0 0 6 6 】

次に、図 1 7 に示す工程において、層間絶縁膜 2 9 に、スパッタリング法などにより、例えばニッケル (Ni) を主成分とする金属膜 MF を形成し、600 以上 1100 以下の温度で熱処理を行い、Ni を主成分とする金属膜 MF と炭化珪素とを反応させてシリサイド膜 SD を形成する。続いて、シリサイド膜 SD 以外の層間絶縁膜 2 9 上に残留した金属膜 MF をウェットエッチングにより除去する。このシリサイド膜 SD により、第 1 ソースコンタクトホール 7 C および第 2 ソースコンタクトホール 1 7 C の底面にオーミック接触が形成される。

【 0 0 6 7 】

次に、図 1 8 示す工程において、炭化珪素基板 1 の第 2 の主面 (裏面) に、Ni を主成分とする金属膜を形成し、熱処理することにより、炭化珪素基板 1 の裏面に裏面コンタクト (図示せず) を形成する。その後、層間絶縁膜 2 9 が形成された炭化珪素基板 1 の前面に、スパッタリング法または蒸着法により Al 等の金属層を形成し、フォトリソグラフィ技術により所定の形状に加工することで、第 1 ソースコンタクト 7、第 2 ソースコンタクト 1 7 およびゲートコンタクト 2 7 を形成すると共に、第 1 ソースコンタクト 7 および第 2 ソースコンタクト 1 7 に接続されたソースパッド 1 0 1 およびゲートコンタクト 2 7 に接続されたゲート配線 1 0 3 を形成する。このとき、ゲート配線 1 0 3 に接続されたゲートパッド 1 0 2 (図 4) も形成される。また、炭化珪素基板 1 の裏面の裏面コンタクト上にスパッタリング法または蒸着法により Al 等の金属層を形成してドレイン電極 1 0 4 とする。その後、非素子領域のゲート配線 1 0 3 上およびソースパッド 1 0 1 上と、素子領域のソースパッド 1 0 1 の一部上部を覆うように保護膜 PF (図 3) を絶縁膜等で形成することで、n 型炭化珪素 MOSFET 1 0 0 が完成する。

【 0 0 6 8 】

< 効果 >

次に、実施の形態 1 の n 型炭化珪素 MOSFET 1 0 0 の構成による効果について説明する。n 型炭化珪素 MOSFET 1 0 0 においては、例えば、図 3 に示したように、第 2 ウェルコンタクト領域 1 6 は、第 2 ソースコンタクト 1 7 の下方の pn 接合部から素子領域側に延在し、第 2 ソース領域 1 5 は、第 2 ソースコンタクト 1 7 の下方の pn 接合部から非素子領域側に延在するように設けられている。

【 0 0 6 9 】

また、図 5 に示したように、第 2 ウェルコンタクト領域 1 6 は、平面視で複数の第 2 ソースコンタクト 1 7 の下方に及ぶように連続的に形成され、同様に、第 2 ソース領域 1 5 は、平面視で複数の第 2 ソースコンタクト 1 7 の下方に及ぶように連続的に設けられている。このため、n 型炭化珪素 MOSFET 1 0 0 がオフ状態からオン状態にスイッチングする際に、第 2 ソースコンタクト 1 7 から流入する変位電流を分散することができ、変位電流の集中を回避できる。

【 0 0 7 0 】

第 2 ソースコンタクト 1 7 にはニッケル、アルミニウム、チタンなどの金属で構成し、第 2 ソースコンタクト 1 7 の底部には、炭化珪素と金属とのシリサイド膜 SD を形成することで、第 2 ソース領域 1 5 および第 2 ウェルコンタクト領域 1 6 の両方に良好なオーミック接触を形成している。

【 0 0 7 1 】

ここで、p 型の第 2 ウェルコンタクト領域 1 6 と n 型の第 2 ソース領域 1 5 に対して、第 2 ソースコンタクト 1 7 がオーミック接触する部分を同一プロセスで形成する場合、第 2 ソースコンタクト 1 7 と第 2 ウェルコンタクト領域 1 6 との単位面積当たりのコンタク

10

20

30

40

50

ト抵抗値（接触微分抵抗値）は、第2ソースコンタクト17と第2ソース領域15との接触微分抵抗値よりも大きくなる。

【0072】

そのため、第2ウェルコンタクト領域16に対して第2ソースコンタクト17がオーミック接触する部分での電位降下を抑制するために、第2ソースコンタクト17の下方における第2ウェルコンタクト領域16の面積をなるべく大きくすることが好適である。具体的には、第2ソースコンタクト17の下方における第2ウェルコンタクト領域16の面積を、第2ソースコンタクト17の下方における第2ソース領域15の面積の1倍以上100倍以下とすることが好適である。

【0073】

これは、図5においても示されており、第2ソースコンタクト17の下方における第2ウェルコンタクト領域16の面積は、第2ソースコンタクト17の下方における第2ソース領域15の面積よりも2倍以上大きくなっている。このため、第2ウェルコンタクト領域16に対して第2ソースコンタクト17がオーミック接触する部分での電位降下を抑制することができる。

【0074】

なお、第2ソースコンタクト17と第2ウェルコンタクト領域16との接触微分抵抗値は大きくなるが、製造工程が簡略化されるメリットがある。

【0075】

また、第2ソース領域15の不純物濃度は、 $1.0 \times 10^{17} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{21} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下とする。また、第2ウェルコンタクト領域16の不純物濃度は、 $1.0 \times 10^{18} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{22} \text{ cm}^{-3}$ 以下、より好ましくは $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{21} \text{ cm}^{-3}$ 以下とする。

【0076】

ここで、第2ソース領域15のシート抵抗値は第2ウェルコンタクト領域16のシート抵抗値よりも低くする。これにより、第2ソース領域15に電流が流れやすくする。

【0077】

以上説明した構成を採ることで、n型炭化珪素MOSFET100がオフ状態からオン状態にスイッチングする際に、例えば、 20 V/nsec 以上の大きな dV/dt （電圧の時間変動）ソースとドレインとの間に加えられた場合に、第2ソースコンタクト17から流入する変位電流のより多くの割合を、第2ソース領域を介して、第2ソースコンタクト17よりも非素子領域側に流すことができ、第2ソースコンタクト17よりも素子領域側に流れる変位電流を抑制することができる。このため、第2ウェル領域13の素子領域側の端部（第2ウェル領域13端）に発生する電圧を低減することができ、第2ウェル領域13端と境界部ゲート電極19との間の電位差が抑制され、境界部ゲート絶縁膜18の絶縁破壊が抑制され、半導体装置としての信頼性が向上する。

【0078】

<実施の形態2>

図19は、実施の形態2のn型炭化珪素MOSFET200の構成を示す断面図であり、図1におけるA-A線での矢示方向断面図に相当する。図19に示されるようにn型炭化珪素MOSFET200においては、第2ウェルコンタクト領域16の第2ソースコンタクト17の下方のpn接合部から素子領域側に延在する部分が、フィールド絶縁膜28の直下までしか延在せず、境界部ゲート電極19の直下には達していない。

【0079】

図20は、図1におけるB-B線での矢示方向断面図であり、素子領域と、非素子領域であるゲートパッド102の形成領域の構成を模式的に示す断面図である。図20に示されるように、素子領域および非素子領域の構成は図19に示した構成と同様である。

【0080】

このように実施の形態2のn型炭化珪素MOSFET200においては、第2ウェルコ

10

20

30

40

50

ンタクト領域 16 が境界部ゲート電極 19 の下方には達していないので、高濃度の第 2 ウェルコンタクト領域 16 上に境界部ゲート絶縁膜 18 が形成されることがなく、境界部ゲート絶縁膜 18 の膜質が向上する。すなわち、高濃度の不純物注入領域では結晶構造が崩れているため、その上に形成される境界部ゲート絶縁膜 18 の均質性が低下するが、n 型炭化珪素 MOSFET 200 の構成では、それが発生せず、耐圧およびリーク電流で評価される膜質が向上する。そのため、境界部ゲート絶縁膜 18 の絶縁破壊の抑制効果がより高くなり、半導体装置としての信頼性がより向上する。

【0081】

<実施の形態 3>

図 21 は、実施の形態 3 の n 型炭化珪素 MOSFET 300 の素子領域および非素子領域の構成を示す平面図であり、図 1 における領域 X における平面図に相当する。なお、図 5 と同様、便宜的に、ドリフト層 2 上の絶縁膜および電極は省略し、ドリフト層 2 の上層部の構成のみを示している。なお、図 21 においては、図 5 を用いて説明した構成と同一の構成については同一の符号を付し、重複する説明は省略する。

10

【0082】

図 21 に示されるように n 型炭化珪素 MOSFET 300 においては、第 2 ウェルコンタクト領域 16 の一部において、第 2 ソース領域 15 との接合部から素子領域側に延在する部分の長さが、第 2 ソースコンタクト 17 の下方の p n 接合部から素子領域側に延在する部分の長さよりも短くなっている。そして、第 2 ウェルコンタクト領域 16 の長さが短くなった分だけ第 2 ソース領域 15 の長さが長く形成されている。平面視的には、第 2 ウェルコンタクト領域 16 が部分的に素子領域側に凹み、第 2 ソース領域 15 が部分的に突出した形状となっている。

20

【0083】

なお、図 21 においては、第 2 ウェルコンタクト領域 16 が凹み、第 2 ソース領域 15 が突出した部分は、2 つの第 2 ソースコンタクト 17 の間に 1 ヶ所だけとなっているが、典型的には第 2 ソースコンタクト 17 は、非素子領域においてゲート配線 103 に沿って複数設けられるので、第 2 ソースコンタクト 17 間のそれぞれに第 2 ウェルコンタクト領域 16 が凹み、第 2 ソース領域 15 が突出した部分を設けることができる。

【0084】

図 22 は、図 21 における D - D 線での矢示方向断面図である。図 22 に示されるように、n 型炭化珪素 MOSFET 300 においては、第 2 ウェルコンタクト領域 16 の長さが、図 3 に示した n 型炭化珪素 MOSFET 100 の第 2 ソース領域 15 との接合部から素子領域側に延在する第 2 ウェルコンタクト領域 16 の長さよりも短く形成され、その分だけ第 2 ソース領域 15 が長く形成されている。

30

【0085】

このように第 2 ウェルコンタクト領域 16 を部分的に短くし、その分だけ第 2 ソース領域 15 を長くすることで、n 型炭化珪素 MOSFET 300 がオフ状態からオン状態にスイッチングする際に、第 2 ソースコンタクト 17 から流入する変位電流のより多くの割合を、長くなった第 2 ソース領域 15 を介して、第 2 ソースコンタクト 17 よりも非素子領域側に流すことができ、第 2 ソースコンタクト 17 よりも素子領域側に流れる変位電流をさらに抑制することができる。このため、第 2 ウェル領域 13 の素子領域側の端部（第 2 ウェル領域 13 端）に発生する電圧をさらに低減することができ、第 2 ウェル領域 13 端と境界部ゲート電極 19 との間の電位差がさらに抑制され、境界部ゲート絶縁膜 18 の絶縁破壊の抑制効果がより高くなり、半導体装置としての信頼性がより向上する。

40

【0086】

<実施の形態 4>

図 23 は、実施の形態 4 の n 型炭化珪素 MOSFET 400 の構成を示す断面図であり、図 1 における A - A 線での矢示方向断面図に相当する。図 23 に示されるように n 型炭化珪素 MOSFET 400 においては、第 2 ウェルコンタクト領域 16 の第 2 ソースコンタクト 17 の下方の p n 接合部から素子領域側に延在する部分が、第 2 ウェル領域 13 の

50

端部（第2ウェル領域13端）まで設けられている。

【0087】

図24は、図1におけるB-B線での矢示方向断面図であり、素子領域と、非素子領域であるゲートパッド102の形成領域の構成を模式的に示す断面図である。図24に示されるように、素子領域および非素子領域の構成は図23に示した構成と同様である。

【0088】

このように実施の形態4のn型炭化珪素MOSFET400においては、第2ウェルコンタクト領域16が第2ウェル領域13端まで設けられているので、n型炭化珪素MOSFET400がオフ状態からオン状態にスイッチングする際に、第2ウェル領域13端に発生する電圧を効果的に低減することができる。

10

【0089】

すなわち、第2ウェルコンタクト領域16のシート抵抗値は、第2ウェル領域13のシート抵抗よりも低いので、第2ウェルコンタクト領域16の端部に発生する電圧は、第2ウェル領域13端に発生する電圧よりも低くすることができる。この結果、第2ウェル領域13端と境界部ゲート電極19との間の電位差がさらに抑制され、境界部ゲート絶縁膜18の絶縁破壊の抑制効果がより高くなり、半導体装置としての信頼性がより向上する。

【0090】

本開示は詳細に説明されたが、上記した説明は、全ての局面において、例示であって、本開示がそれに限定されるものではない。例示されていない無数の変形例が、本開示の範囲から外れることなく想定され得るものと解される。

20

【0091】

なお、本開示は、開示の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略することが可能である。

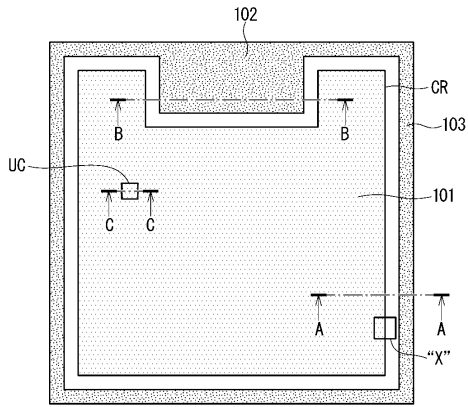
【要約】

本開示は炭化珪素半導体装置に関し、半導体層の上層部に設けられたp型の第2ウェル領域と、その上層部に設けられたn型の第2不純物領域と、第2ウェル領域の上層部に設けられ、側面において第2不純物領域に接合するp型の第2ウェルコンタクト領域と、第2ウェル領域上に設けられたフィールド絶縁膜と、フィールド絶縁膜を貫通して、第2不純物領域および第2ウェルコンタクト領域にオーミック接触し、第1主電極に電氣的に接続される第2コンタクトと、素子領域と非素子領域との境界の側の第2不純物領域の端縁部上から、境界に隣り合う第1ウェル領域内の第1不純物領域の端縁部上にかけて設けられた境界部ゲート絶縁膜と、その上の境界部ゲート電極と、第2主電極と、を備え、第2ウェルコンタクト領域は、第2コンタクトの下方から素子領域側に延在し、第2不純物領域は、第2コンタクトの下方から非素子領域側に延在する。

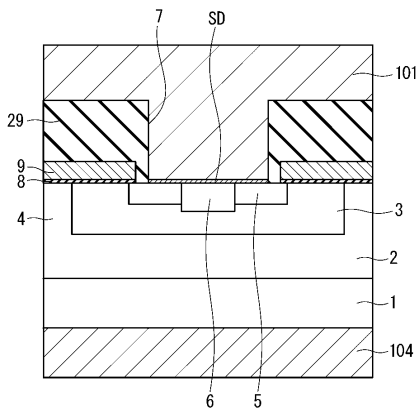
30

【 図 1 】

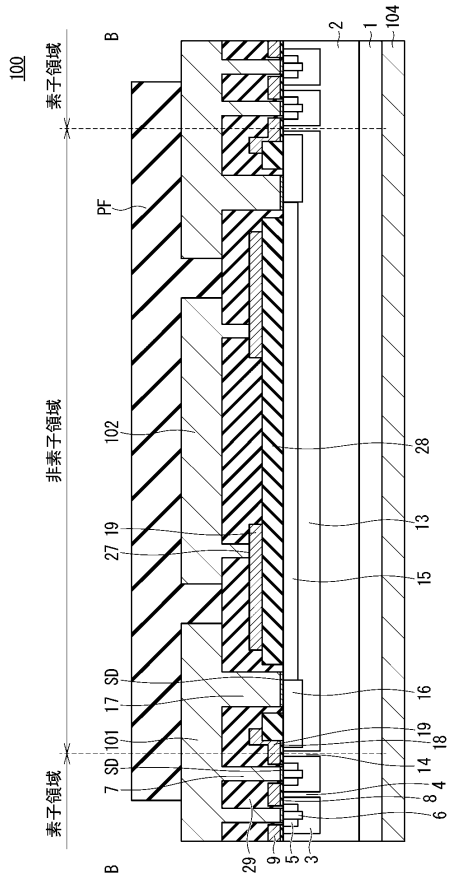
100(200,300,400)



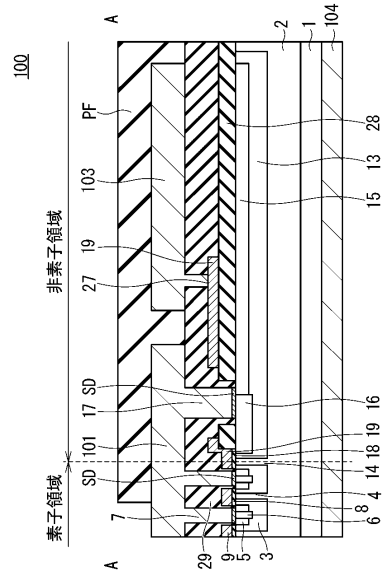
【 図 2 】



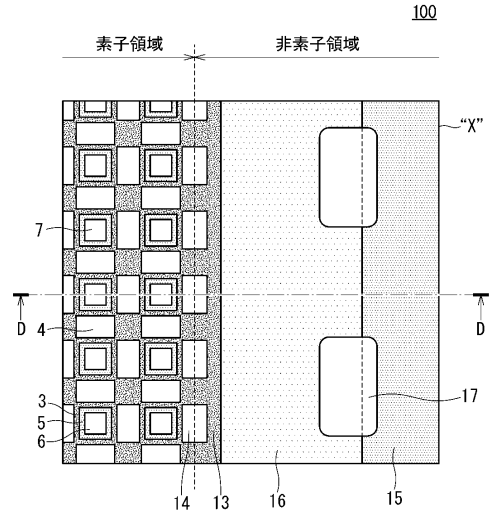
【 図 4 】



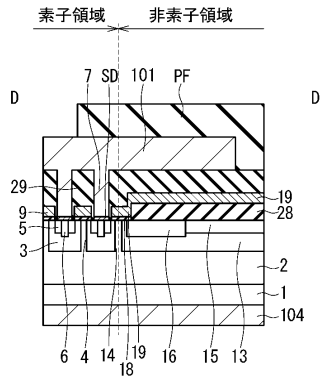
【 図 3 】



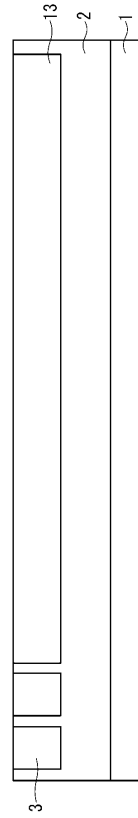
【 図 5 】



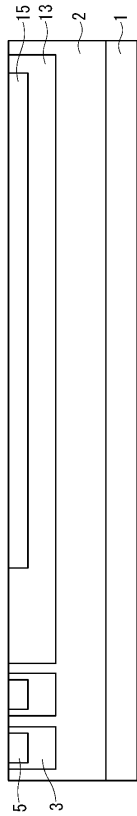
【 図 6 】



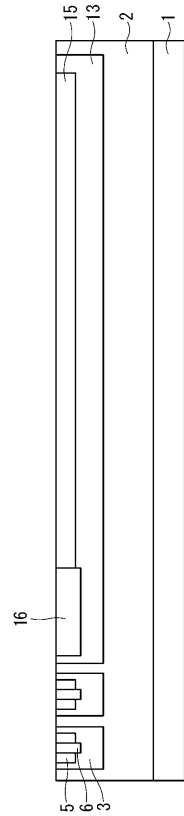
【 図 7 】



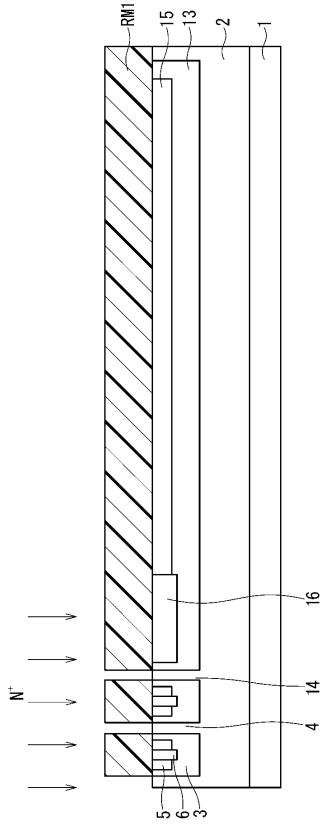
【 図 8 】



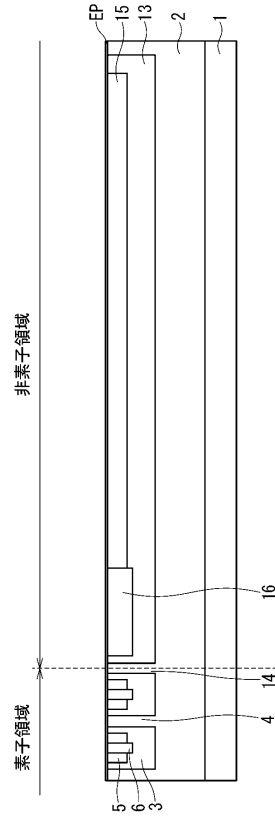
【 図 9 】



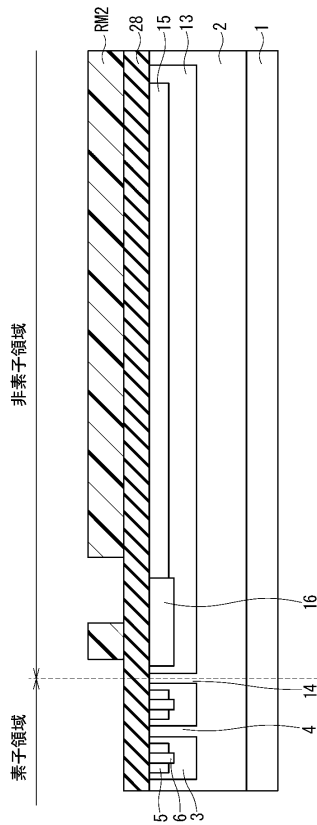
【図 10】



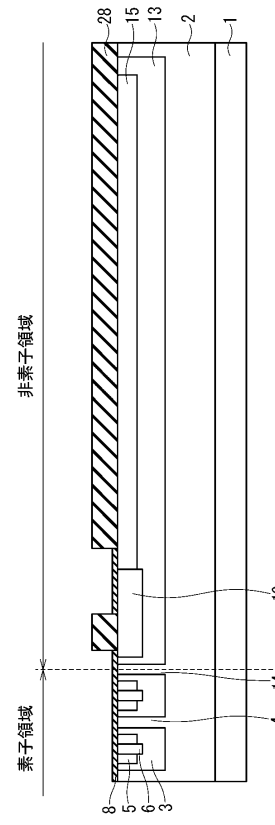
【図 11】



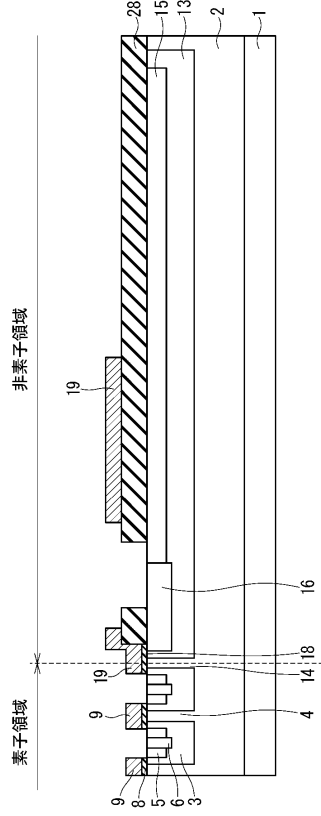
【図 12】



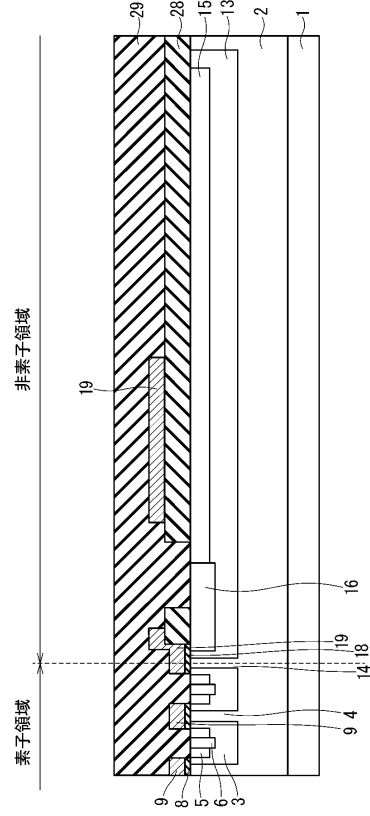
【図 13】



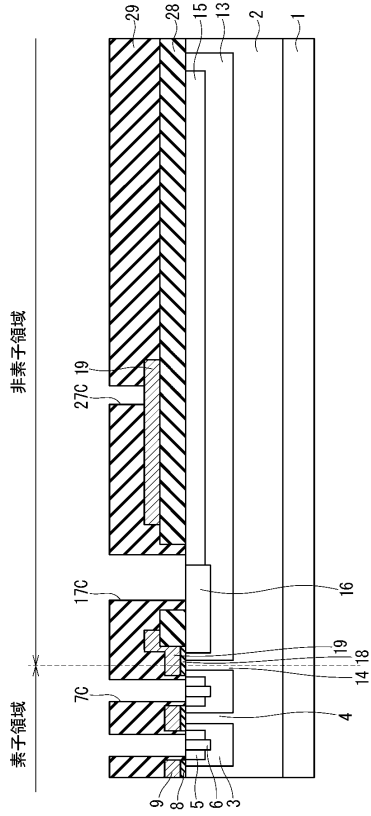
【 図 1 4 】



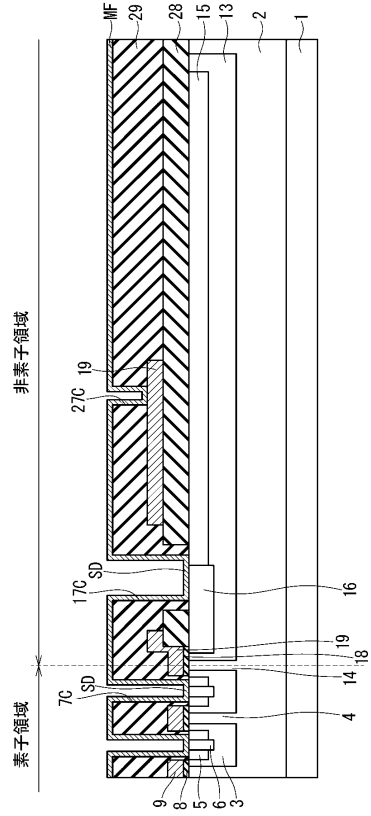
【 図 1 5 】



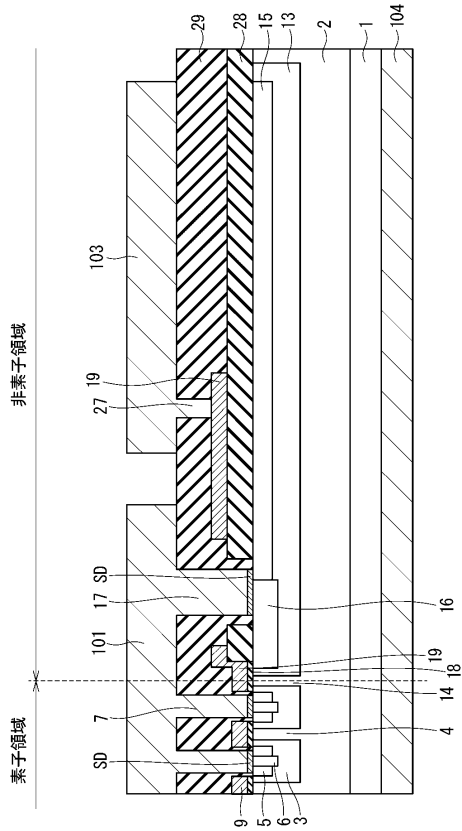
【 図 1 6 】



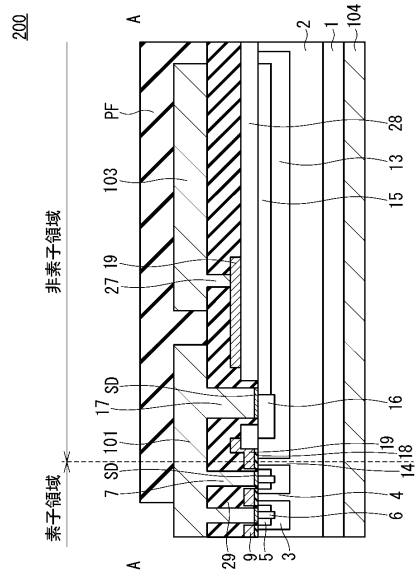
【 図 1 7 】



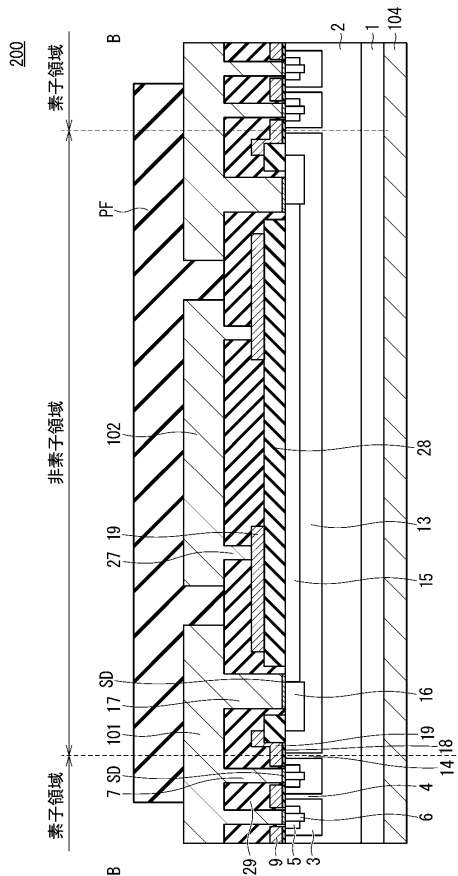
【 図 1 8 】



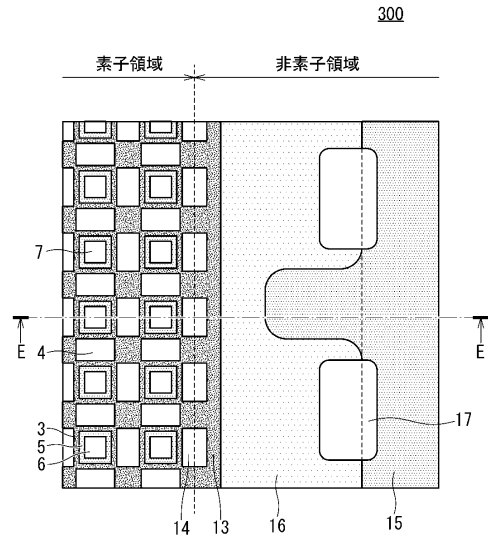
【 図 1 9 】



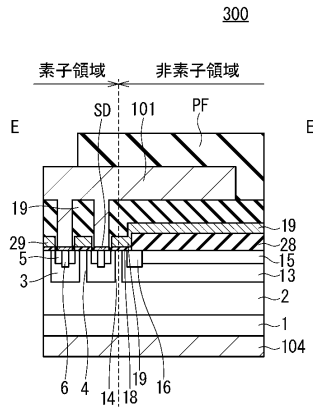
【 図 2 0 】



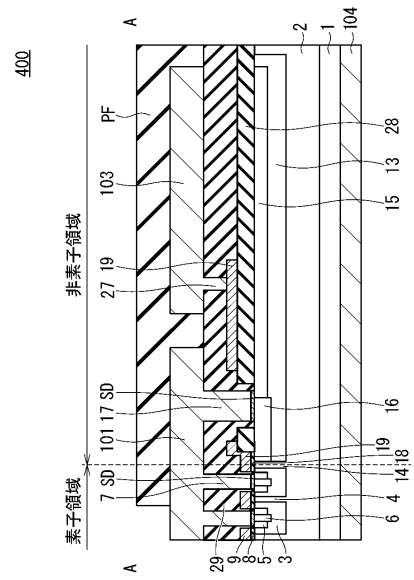
【 図 2 1 】



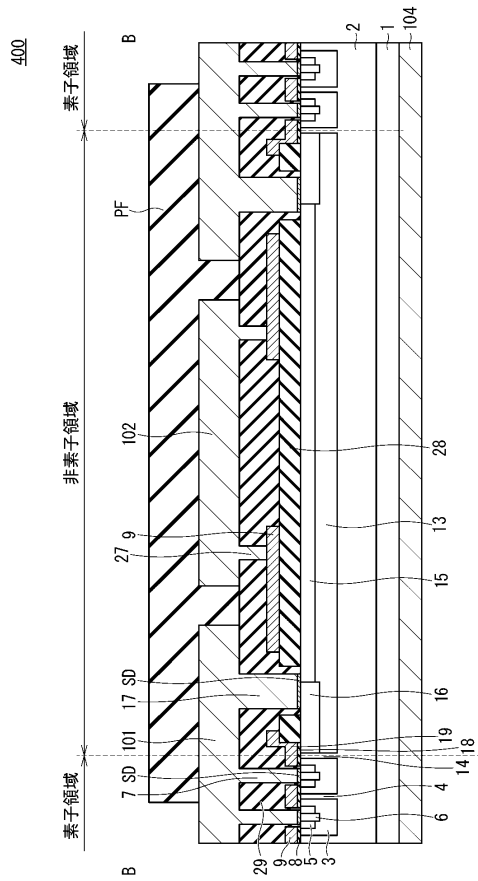
【 図 2 2 】



【 図 2 3 】



【 図 2 4 】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L	29/78	6 5 2 N
H 0 1 L	29/78	6 5 2 F
H 0 1 L	29/78	6 5 8 A
H 0 1 L	29/06	3 0 1 D
H 0 1 L	29/06	3 0 1 V

(56)参考文献 国際公開第2016/147352(WO, A1)

特開2005-116951(JP, A)

特開2014-150279(JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6 ,

H 0 1 L 2 1 / 7 6 ,

H 0 1 L 2 9 / 0 6 ,

H 0 1 L 2 9 / 1 2 ,

H 0 1 L 2 9 / 7 3 9 ,

H 0 1 L 2 9 / 7 8