

[19]中华人民共和国专利局

[11]授权公告号



[12] 发明专利说明书

CN 1022724C

[21] 专利号 ZL 91108613

[51]Int.Cl³

H04L 29/02

[45]授权公告日 1993 年 11 月 10 日

[24]颁证日 93.9.5

[21]申请号 91108613.7

[22]申请日 91.8.29

[30]优先权

[32]90.8.31 [33]US [31]07 / 575,735

[73]专利权人 国际商业机器公司

地 址 美国纽约

[72]发明人 布伦特·卡姆龙·比尔兹利

G11C 7/00

凯蒂·安托尼·贝罗 迈克尔·托马斯·

本哈斯 弗劳伦斯·琼·克拉克

鲍尔·维恩·亨特 多纳德·马文·

诺代尔

[74]专利代理机构 中国国际贸易促进委员会专利

代理部

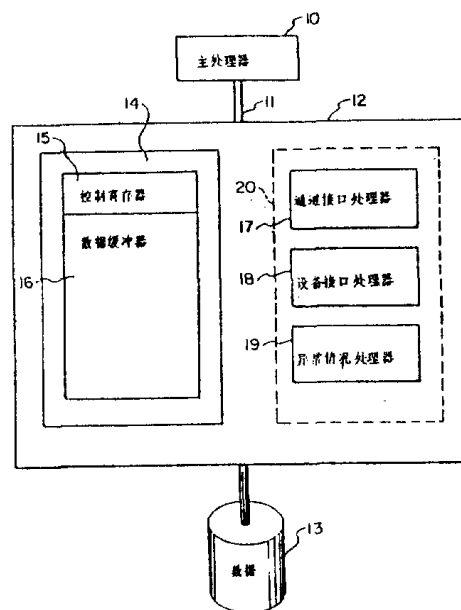
代理人 杨国旭

说明书页数: 附图页数:

[54]发明名称 非同步通道 / 直接存取存储器设备通信系统

[57]摘要

一种控制单元, 用于设备与一个缓冲器之间以及一条通道与一个缓冲器之间传输数据的 DASD 操作。以使通道与设备能够以互相独立的方式传输数据。提供了用于在控制单元内的通道接口进程与控制单元内的设备接口进程之间进行通信的机构。这些机构中的一些是与记录一起存储在缓冲器中的而另一些则是存储在控制存储器中的。基本通信机构包括一设备记录指针、一通道记录指针、一个下一操作字段、一设备状态标志、记录控制标志, 以及两个缓冲器指针。



权 利 要 求 书

1. 一种用于外围数据处理系统的装置，包括，
具有多条记录道的一个DASD（直接存取存储器设备），
连接到所述DASD为控制去往与来自所述记录道的数据记录传输的一台设备接口处理器（DIP）

该装置特征在于，

适合于连接到一条通道以不同步于所述DIP所执行的数据记录传输的方式来控制去往与来自所述通道的数据记录传输的一台通道接口处理器装置（CHIP）；

控制存储器装置与所述CHIP和DIP连接用于包含控制参数；

连接到所述DIP与所述CHIP用于包含去往与来自所述DASD与所述通道的数据记录传输中间的数据的缓冲器存储器装置，所述的数据记录由一个领先进程放入所述的缓冲器装置中并由一个后随进程移出，所述后随进程在所述领先进程将数据记录放入后的时刻开始从所述缓冲存储器装置中移出数据记录；

其中所述DIP在读操作中作为一个领先进程操作将数据记录在所述缓冲器中从一个第一位置放置到最后位置，而所述CHIP操作一个后随进程将该数据记录从所述缓冲器中移出并将该数据记录送至所述通道，从而使DIP和CHIP处理器操作不同的记录；

其中所述CHIP在写操作中作为一个领先进程操作将数据记录在所述缓冲器中从一个第一位置放置到一个最后位置，而所述DIP操作一个后随进程将数据记录从所述缓冲器中移出并将该数据记录送

至所述 D A S D;

其中所述领先进程在将所述最后位置填满以后绕回到所述缓冲器的所述第一位置以继续在所述缓冲器中填写记录;

W R A P (绕回) 指示装置位于所述控制存储器之内, 由所述领先进程在填满所述缓冲器中最后位置时设置, 并由所述后随进程在所述缓冲器中最后位置清空时复位;

借此, D I P 与 C H I P 处理器可以监检所述 W R A P 指示装置互相进行通信而得以 [避免复盖所述缓冲器中另一进程所需要的数据] 找出哪个处理缓冲器位置更接近于缓冲器中所述第一位置及哪个处理器更接近所述最后位置。

2. 权利要求 1 的装置, 其特征在于,

包含在所述缓冲器装置中的第一记录控制指示装置, 由 C H I P 在读操作中设置用于指示 D I P 跳过下一字段或者道中的剩下的记录以及

包含在所述缓冲器装置中的第二记录控制指示装置, 由 D I P 在写操作中设置来指示从所述缓冲器转移到所述 D A S D 指示所遇到的错误的记录状态。

3. 权利要求 1 的装置, 其特征在于, 所述第二记录控制指示装置包含一个道末尾 (E O T) 标志, 由 D I P 在读 / 写操作中设置用于通知 C H I P 需要一次道变换, 并在读道操作时通知 C H I P 操作完成。

4. 权利要求 1 的装置, 其特征在于,

一个位于所述控制存储器中的通道缓冲器记录指针装置 (C B U F), 由 C H I P 设置用于指示目前正在处理的记录 C H I P 的缓冲

器记录地址。

一个位于所述控制存储器中的设备缓冲器记录指针装置(DBUF),由DIP设置用于指示目前正在处理的DIP的缓冲器记录地址;

所述的CBUF和DBUF装置及WRAP装置向所述DIP及CHIP处理器提供通信机制使得在所述处理上操作的进程避免互相追逐及复盖所述缓冲器中另一个进程所需的数据。

5. 权利要求4的装置,其特征在于,

位于所述缓冲存储器装置中的下一操作字段指示装置,在写操作中响应于从所述通道接收的写命令由CHIP设置用于在DIP到达缓冲器操作中的点时通知下一个命令的DIP;以及

位于所述控制存储器装置中的有效指示装置,用于在写操作中向DIP发出信号,CHIP已经完成装入各种记录数据及已经设置所述的下一操作字段指示装置,从而通知DIP其可以开始进行。

6. 权利要求5的装置,其特征在于,

用于保持在所述缓冲器中的紧随在先的记录地址,及由所述领先进程设置的及由所述后随进程使用的所述进程记录用于使后随进程的缓冲器位置作为一个开始位置有效用于处理缓冲器中的下一个记录的装置。

非同步通道/直接存取存储器设备通信系统

本发明涉及数据处理系统，而更具体地涉及对以非同步方式操作的D A S D（直接存取存储器设备）外围数据处理系统的控制。

数据处理系统通常包括位于主计算机外部且有时离主计算机相当远的距离上的大规模存储器设备，诸如直接存取存储器设备（DASD）。从主计算机到D A S D的通信是在延伸在D A S D及其控制单元之间并将它们连接到主处理器的称作通道的信号电缆上完成的。

现代技术在D A S D单元中设置了在同一轴上转动的若干独立的盘。这些盘是由头盘组件存取的，每一片盘的一面有一个进行存取的传感头。例如，在一台盘驱动器中可以有九片盘，它们提供十六个可用的面，其中一个可用的面用于保持精确的跟踪功能。在这样的单元中，有15个面可用于数据，而当所有的头都定位后，则可以存取包含15个物理记录道的一个柱面。

D A S D单元通常采用计数关键数据结构（CKD），其中写在道上的记录设有一个计数字段（一个标识）、一个关键字段及一个数据字段。

在沿一条记录道写这些字段时，在各字段之间留有间隙。尔后，利用这些空隙来提供一个时间间隔，在这些时间间隔中D A S D控制单元与主通道能互相通信。就是在这些空隙时间中，控制单元对其所接收到的命令作出应答将信息送回通道并为开始下一次查找、检索或写记录操作接收命令。这一过程称作空隙同步，即D A S D设备正在

工作着的特定记录正是通道要求工作的同一记录，所以从它们两者都在同一记录上工作这一意义上，通道与设备是互相同步的，这种工作或者是读记录或者是写记录。

随着系统越来越快，空隙产生的延迟或者在一个空隙时间中所完成的功能所产生的延迟必须缩减到这样的大小，使得这些功能再也没有充足的执行时间。这对于光纤通道尤其实际，因为其数据脉冲率数倍于铜通道的脉冲率。

本发明开发了非同步存储器子系统使通道与设备能够互相独立地传输数据。为了做到这一点，在设备与通道之间的数据路径上插入一个缓冲器，它与通道与设备具有各由独立的处理器控制的独立的数据路径。以这种方式，设备处理器能存取缓冲器的一部分中的记录而缓冲器的另一部分则由通道处理器使用。通道程序能够这样执行使得结束一条命令的执行而前进到下一条的通道与存储器控制活动没有必要在两个邻接的字段之间的记录间空隙中发生。

在一个同步系统中，设备与通道在同一记录上操作，所以设备传输到缓冲器的数据便是通道所需要的相同数据。在这样一个系统的控制单元中，共享的变量便是全部需用于实现通道处理器与设备处理器之间的接口的变量。简单的共享变量便已足够因为通道处理器与设备处理器始终在同一段上执行相同的操作。然而，在一个非同步系统中，在读操作中设备可大大超前于通道操作。设备处理器正在从设备向缓冲器传输数据而通道处理器正在存取这些数据以便将它们送上通道。所以，设备处理器是填充或前导活动，而通道处理器则是尾随或滞后活动。在写操作中正好相反，这时通道处理器将来自通道的数据填充缓冲器，而随后设备处理器存取这些数据将它们送至设备用于在

存储器盘上写入记录。在这一情况中，通道处理器是前导或填充活动而设备处理器是尾随或清空活动。由于在一个非同步的控制单元中，通道与设备处理器可能在不同的字段上执行不同的操作，所以两者之间需要有一种更精巧的通信系统。

本发明的一个目的是除了允许通道与设备处理器并发地在同一字段上操作外，还允许它们并发地操作在不同的字段上。

另一个目的是以维持对缓冲器的记录一系列物理的记录控制来增进性能。

又一个目的是防止后随的进程赶上并超过前导的进程。

另一个目的是使得前导进程能以绕回到缓冲器的开始而不赶上与超过后随的处理器而向缓冲器传输多个记录。

简单地说，本发明是用于在通道进程和设备进程间进行通信的一种具有特定机构的通信系统。本系统具有下述基本元素：两个记录指针，一张下一操作字段表，一个设备进程状态标志，记录控制标志，以及两个缓冲器指针。这些元素中的一些是与记录一起存储在缓冲器中的，这是为了便于设备与通道进程两者能够容易存取。

本发明的上述及其它特性与目的以及达到它们的方式参照下述结合附图的对本发明的说明会更加清楚，并且对本发明本身也将得到最好的了解，下面便是附图的说明。

图1示出了包含本发明的一个数据处理系统的简化框图。

图2示出缓冲器的一个布置图。

图3示出了表1与表2。表1示出了在读操作时与记录一起包含在缓冲器中的那些控制参数。表2示出了在写操作时与记录一起包含在缓冲器中的控制参数。

图 4 由表 3 构成。它示出了包含在缓冲器中的附加控制参数。

图 5 由表 4 与表 5 构成。示出向缓冲器存储及从缓冲器移出数据的规则。

为了非同步地操作，研制了一种扩展的 CKD 结构 (ECKD) 使通道程序得以在第一条数据传输命令执行以前描述一次数据传输的性质与范围。ECKD 包含一条定位记录扩展命令。它使用一个变长参数来为随后的通道命令字 (CCW) 链定义操作域。参数指定要执行的操作，要处理的记录或道的位位置与数目，以及传输长度因子。以这种方式，存储器子系统被告知要执行的数据传输的类型，要在上面进行操作的记录的数目，以及在启动数据传输以前设备必须定位到其上面的道扇区与记录的标识符 (ID)。

非同步操作并不定义通道与设备操作在时间上必须相隔多久，也并不限定它们之间的间隔。在读操作时，在执行第一条读命令以前，设备控制可读取几个比特、一个字段、一条记录、或者甚至若干条记录到缓冲器中。在写操作时，在第一字段写入到设备前，通道控制可接受一条或多条写命令并将相关的数据传输到一个缓冲器中。

ECKD 采用与著名的 CKD 方式相同的道寻址方式。道是一台设备上的最小可直接寻址空间，而每道有一个称作索引的任意起点。道的格式在 ECKD 中与在 CKD 中是相同的。道上的第一个区域是其内部地址，它标识该道，随后便是称作记录零的一个包含该道的地址的一个特殊记录。记录零之后跟随着包含用户记录的一个数据区。

在数据传输可以开始以前，必须先定位设备控制。这是以检测索引点或者不是记录零的计数起始区来进行的。一旦检测到计数区或索引，设备控制便可在该道上继续工作下去来执行通道命令的操作。

确认定位记录参数之后，控制单元引导设备查找一个第一指定的道，将设备定位在指定的扇区上，并开始一个查找操作进一步将本身定位在该道上的一个特定的记录区上。

图 1 示出了包含本发明的一个数据处理系统的一个简化框图。主处理器 10 以一条通道 11 连接到一个控制单元 12。控制单元 12 与 DASD 13 包含一个用于管理 DASD 上的存储活动的外围数据处理子系统。图 1 是经过简化的。实际上可能有若干条通道 11 连接到控制单元 12。当前，一种通用的配置有 16 条连接到一个控制单元的通道。结果是可以一个控制单元上连接多达 16 台主处理器，不过冗余要求通常限制主处理器的数目。在同一配置中，该控制单元可连接到 64 个 DASD；然而，对于本发明的目的而言，究竟有多少条通道或者有多少个 DASD 连接到控制单元是无所谓的，所以，如图 1 所示的简化方式已足以说明本发明的环境。

控制单元 12 包括管理通道与 DASD 之间的数据传输所需要的全部电子电路、微处理器以及微代码。这些设备是公知的，并且在图 1 中只示出了控制单元 12 中的一部分电路。图 1 示出了一个控制存储器 14 它包含控制寄存器 15 与一个数据缓冲器 16。控制存储器 14，及其中的各种缓冲器与寄存器，是连接到并受控于一台通道接口处理器 17，一台设备接口处理器 18 以及一台异常情况处理器 19。通道处理器 17、设备处理器 18 和异常情况处理器 19 存取数据缓冲器 16，并且也可存取其它存储器区域，诸如图 1 中未示出的高速缓冲存储器。需要指出的是，设备处理器 18 与通道处理器 17 可以是独立的处理器或者它们可以实现为在同一处理器 20 上操作的独立进程。作为独立的处理器或者作为在同一处理器上的独立微代码模块的

两种实现只是基本上受速度与成本考虑左右的不同选择而已。在这里所用的名词“设备接口处理器”与“设备接口进程”是同义词。对于名词通道进程与通道处理器也是一样。

图 2 示出了数据缓冲区 16 的布置。在图 2 所示的实现中，数据缓冲器包含 64 K 字节，其中第一个 1.0 K 区域独立且不同于 1.0 K 与 2.0 K 之间的区域而这第二区域独立且不同于从 2.0 K 延伸到 64 K 的缓冲区的主体部分。以这种方式，在缓冲区的三个独立部分中可进行一定的独立活动。例如，在部分 30 中，控制命令可以放置在保护区中。而高速缓冲存储器与通道数据传输则可发生在回绕区 31 中。区域 32 可用于纠错。

缓冲器的主体 62 K 部分是该缓冲器用于在设备与通道之间传输数据的部分。写操作的计数字段（以及当关键字段不更新时用于分支操作的关键字段）可位于保护区 33 中而数据则进入剩下的 61.5 K 区域 34 中。此后称作回绕区。图 2 示出了正在设备与通道之间传输的各种记录。如图所示，设备 13 当前正在存取记录 2 的数据字段且一个硬件设备缓冲器指针（DBP）35 指向记录 2 数据字段中的这一特定位置。同样，图 2 示出了通道 11 当前正在从记录 1 存取数据而一个通道缓冲器指针（CBP）35 包含记录 1 中的回绕数据字段的地址。这一非同步操作的图示示出了设备 13 与通道 11 可在不同记录上操作这一事实。

图 2 可用于阐明在非同步操作中存在的而在本发明中得到补救的某些通信问题。例如，假定一个读操作正在进行；因此设备进程 18 领先于通道进程 17。参见图 2，记录 1 已传输进缓冲器而设备进程当前正在从设备将记录 2 传输进缓冲器。假定由于某种原因，后随的

通道进程 I 7 赶上了领先的设备进程 I 8 并超过了它，则通道 I 1 将接收到无意义的数据。同样，假如领先的设备进程到达了缓冲器的最后位置并回绕回在缓冲器的绕回部分中的第一位置（在 $2 \cdot 5K$ 处）开始的缓冲器中读入更多的记录，设备进程有可能最终赶上通道进程并超过它，在这一情况中，通道将接收不到它为之发出读命令的所有记录。本发明以在系统中设置通信机构来防止这些情况的出现来处理这一问题。

为了通道进程或处理器（CHIP）与设备进程或处理器（DIP）之间的正常通信，本发明的通信系统具有作为其主要元素的两个逆指针、一张下一操作字段（NOF）表、一个DIP状态标志、记录控制标志、以及两个缓冲器指针。

两个逆指针称为通道定位记录与字段（CORF）以及设备定位记录与字段（DORF）。CORF为通道进程（CHIP）指示在道上意图操作的位置，而DORF则指示DIP在道上的位置。比较这两个指针便可确定通道程序与设备的相对位置。

CORF与DORF各包含两个元素：（1）一个记录计数（CORF·R 与 DORF·R），以及（2）一个字段标识符（CORF·F与DORF·F）。除了DORF·R也与记录为读操作而一起存储在数据缓冲器 I 6 以外，这些参数都是维护在存储器控制寄存器 I 5 中的。

一个1或2的记录计数分别指示相关的进程是在一个内部地址上还是在记录零上操作。记录计数中的其它值对于确定CHIP与DIP的相对位置是有用的，但并不一定与道上的特定记录相关。

位于控制寄存器 I 5 中的DORF字段标识符（DORF·F）指示DIP正在操作的实际的字段。通常，由DIP改变这一参数，

然而，当在数据字段中出现错误而被异常情况处理器 19 纠正以后，该处理器将把 D O R F . F 改变为一个特定的值向通道进程指示该数据字段是有效的并且它不能等待 D I P 前进到下一个记录。如果该数据是用于命令链中最后一个 C C W 的，等待 D I P 重新定位在记录上所花费的时间便可以节省。

D O R F . F 参数指示 D I P 正在操作的实际字段，而 C O R F . F 参数则指示 C H I P 将要操作的下一个所要求的字段。

下一个操作字段 (N O F) 参数是在写或寻找操作时 C H I P 用于指导 D I P 的操作的。其主要用途是在写操作中通道程序在设备前面起动时。当 C H I P 前进通过通道程序时，为每一条写命令在缓冲器 16 中存储一个 N O F 项。以这种方式，当 D I P 到达缓冲器中所要求的点时，它便能取出该 N O F 并且指定的操作便可由 D I P 执行。

在 C O R F . F 寄存器的比特零中包括一个 N O F 有效标志 (N O F V A L)。这是在写操作中 C H I P 完成了各种操作以后用来向 D I P 发出信号的。首先，它是用于指示 N O F 与目的计数已存储在缓冲器 16 中。

注意 N O F 是 C H I P 在写时用来指导 D I P 的操作的。在读操作时，N O F 不必在场；设备只须前进并顺序读取记录。然而，如果一个 N O F 在场，则设备将进行该 N O F 要求它做的操作。

D I P 状态标志是 D I P 在控制寄存器 15 中设置的，使得 C H I P 能够检测出 D I P 是否是空闲的，还是正活跃于执行写与寻找操作，还是正活跃于执行读操作，或者出现错误。

记录控制标志 (R C F) 存储在缓冲器中的记录中供 C H I P 与

D I P 两者使用。C H I P 使用这些标志指导 D I P 跳过下一个字段或一道中剩下的记录。D I P 则使用这些标志将一个记录类型通知 C H I P 以及是否检测到了一个无效的道。

最后，有两个称作通道缓冲器记录指针 (C B U F) 及设备缓冲器记录指针 (D B U F) 的缓冲器指针。C H U F 是 C H I P 设置来指示它当前正在处理的一个记录的缓冲器地址的。D B U F 是 D I P 设置来指示它当前正在处理的一个记录的缓冲器地址的。这两个指针连同缓冲器回绕 (W R A P) 参数是供 C H I P 与 D I P 两者用来控制填充与清空进程使得该两个进程不致互相重叠。它们同时还指向包含正在被 C H I P 与 D I P 处理的记录的 N O F 与 R C F 的缓冲器记录。C B U F 与 D B U F 是保持在控制存储器寄存器 5 I 中的。参见图 2，注意 D B U F 指向 D I P 正在处理的记录的起始位置，即记录 R₂ 的起始位置，而 C B U F 则指向 C H I P 正在处理的记录，即记录 R₁ 的起始地址。在这一点上，还应注意缓冲器是分成 2 5 6 字节的页的，而每一个放置在缓冲器中的记录是起始在一个页的界限上的。所以，记录 R₁ 起始于页 1 0，而记录 R₂ 起始于页 1 6。

C B U F 与 D B U F 将总是指向缓冲器中页界限上的一个地址，而设备缓冲器指针 (D B P) 3 5 与通道缓冲器指针 (C B P) 3 6 则指向记录内的设备或通道位置。

前一页指针参数 (P R E V P T R) 是一个在每一缓冲器记录映象中的单字节值，它指向前一个记录的第一个缓冲器页。它包括在每一个记录中以保证对于缓冲器寻址而言后随的与领先的进程是同步的。领先的进程在将其指针前移到新记录位置以后将这一参数存储在缓冲器中。当后随的进程将其指针前移到它计算出的下一个记录的起

始点时，它将 `PREVPTR` 与前一个记录的位置进行比较。如果两个值相符，则新的后随进程指针（即，`CHIP` 的 `CBUF` 或 `DIP` 的 `DBUF`）被认为是正确的。如果两个值不符，则当前指针是错误的。

目的计数参数（`INTCT`）也存储在缓冲器中供写操作使用。在一次写操作中，每当 `CBUF` 前进到下一记录时，`CHIP` 将目的计数的值存储在缓冲器中。目的计数指示在写操作区域中剩下的要处理的记录的数目。在写区域中，每一条通道命令在一个记录界限上操作；因此，剩下的要处理的 `CCW` 的数目等于目的计数。目的计数是起初与定位记录命令在一起传送的一个参数并在初始化时存储在控制寄存器中的。然后，每当一次跨越一个记录界限的写 `CCW` 或读 `CCW` 完成时，`CHIP` 将内部寄存器中的目的计数减 1。

图 3。表 1 示出存储在缓冲器中供读操作作用的参数。在字节 0 处，存储表示前一记录起始的页的前一页指针。这一值是 `DIP` 前移该指针存储的并在以后由 `CHIP` 检验。在字节 1 处，存储表示该记录的相对记录号的 `DORF.R` 参数。这是设备在处理 `CCW` 记录时它正在其上工作的记录号。在字节 2 与 3 处，存储下一操作字段参数，在读操作中它是全零。在字节 4 与 5 处，存储记录控制标志，它们是 `DIP` 初始化的字节。`CHIP` 使用字节 4 向 `DIP` 传送关于 `CHIP` 需要这一记录或者剩下的道的多少的信息。`DIP` 用字节 5 向 `CHIP` 传递信息，诸如记录的类型或者一个道是无效的。计数字段是存储在字节 8 至 39，以及关键与数据字段是存储在字节 42 以后）。

图 3。表 1 示出在写操作中与记录映象

数。在字节 0 处，存储前一页指针。当 C H I P 前移该指针时存储该值并在以后由 D I P 检验。在字节 1 处，存储目的计数以示在写区域中剩下的要处理的记录数目。在字节 2 与 3 处，存储下一个操作字段以供当 D I P 到达这一记录时向其指示之用。字节 4 与 5 存储记录控制标志，它们是由 C H I P 初始化而由 D I P 使用来指示关于所遇到的错误的该记录的状态的。在字节 8 到 31 处，存储写特殊内部地址指令的计数段，以及在字节 32 至 39 存储从主处理器传输来的计数。在字节 40 处存储关键与数据字段。

图 4 示出在缓冲器中各种记录控制标志的分解图。R C F 1 是由缓冲器填写进程初始化，并接着由 C H I P 设置及由 D I P 测试的。R C F 2 是由缓冲器填写进程初始化并接着由 D I P 设置及由 C H I P 测试的。注意，当 C B U F 在一个写操作上前进时，C H I P 初始化 R C F 1。而当 D B U F 在读操作上前进时，D I P 初始化 R C F 2。

在 R C F 1 中，写映象参数是一个比特 (bit)，在写中由 C H I P 初始化为 1 而在读时由 D I P 初始化为 0。当设置成 1 时，这一比特指示该记录是一个写映象；当设置成 0 时，这一比特指示该记录是一个读映象。在比特 1。如果在这一道上剩下的记录不再需要，则由 C H I P 设置去往道末尾参数。这一参数可用于允许 C H I P 使 D I P 越过一个 C H I P 不需要的记录的计数字段上的一个无法纠正的错误。不需要关键参数在不需要关键字段时由 C H I P 设置。同样，当不需要数据字段时，由 C H I P 设置不需要数据参数。这些比特使得 D I P 能够越过关键字段或数据字段在比特 7 上的 C H I P 重做参数向异常情况处理器指示 C H I P 正在执行一次重做。

在 R C F 2 中，记录类型的比特指示缓冲器映象中包含的记录的类型。如果这两个比特是零，则在缓冲器中是一个正常的记录。0—1 指示一个内部地址，1—0 指示记录零，而 1—1 指示索引或道末尾。道末尾 (E O T) 标志是 C H I P 在 E O T 时间而不是在下一道的开始时用于感测在读道命令的完成状态的。C H I P 也使用 E O T 标志来起动索引处理以确定下一个道是哪一个。索引处理观察控制存储器中的道序列标志以得到下一个道的信息。无效道标志，比特 1 0，在一个逆由 D I P 从 D A S D 上读取时指示该道被发现为无效的。去往高速缓冲寄存器主处理器操作标志指示 D I P 被关闭并且 C H I P 必须退出至通道主处理器操作，D I P 重做参数，比特 1 5，指示 D I P 重做这一记录中的一个字段。这一比特是异常情况处理器用来进行错误修复的。

如上所述，需要在 D I P 与 C H I P 之间进行通信的一种机构，使这两个进程在处理缓冲器中的数据时不致互相重叠。缓冲器是分成 2 5 6 字节的页的，所以一个页地址可以包含在一个单字节寄存器中。每一个记录起始于一个页界限上。C H I P 正在其上工作的页地址放在 C B U F 寄存器中。这两个寄存器用于分配缓冲器中的空间以使两个进程不致互相干扰。

对于写操作，在每一个记录的数据传输完成时 C H I P 前移 C B U F。对于读操作，当接收到一个新记录的下一个 C C W 时 C H I P 前移 C B U F。而当为读与写两种操作传输了数据字段时，D I P 前移 D B U F。

每当 C H I P 或 D I P 将 C B U F 或 D B U F 绕回到缓冲器的起始位置时，绕回参数被触发。绕回值为 0 指示 C H I P 与 D I P 是在

通过缓冲器的同一行程中。绕回值为 1 指示填写进程已从缓冲器的末尾绕回到前面，而清空进程则没有。

在一次写操作时，DIP 将记录存储进缓冲器并前移 DBUF。对于 DIP 存储在缓冲器中的每一个记录，它将 DORF · R 与该记录一起存储。当 CHIP 查找它所需要的记录时，它将 CORF · R 与该记录在缓冲器中的 DORF · R 进行比较。如果比较结果相等，CHIP 将该记录传输到通道；否则 CHIP 将 CBUF 前移到下一记录并继续比较直到相符或找到一个索引。

在读操作时，DIP 是缓冲器填写者，而 CHIP 则是缓冲器清空者。CBUF · DBUF 与 WRAP (绕回) 如图 5 表 4 中所描述的那样使用以防止 DIP 复盖缓冲器中 CHIP 仍然需要的记录。表 4 示出，如果 WRAP 比特为 0，DIP 可以前进。然而，如果 WRAP 比特为 1，DBUF 必须与 CBUF 进行比较，如果 DBUF 小于 CBUF，DIP 可以前进，因为这指示 DIP 正在 CHIP 已经处理过的一页上进行操作。然而如果 WRAP 为 1 且 DBUF 等于或企图大于 CBUF，DIP 必须停止处理。设备则需要重新定位；即将发生一个无效转动。

在写操作时，表 4 示出如果 WRAP 比特为 0，CHIP 可以继续填写缓冲器。如果 WRAP 比特为 1 且 CBUF 小于 DBUF，CHIP 可以继续填写缓冲器。然而，如果 WRAP 比特为 1 且 CBUF 等于或企图大于 DBUF，则 CHIP 必须等待到 DIP 已经完成了其写操作后再将下一个记录填写进这一缓冲器空间。

图 5 表 5 示出了从缓冲器中移出数据的规则。在这一情况中，当读操作时，如果 WRAP 比特为 1，CHIP 能继续移出直到缓冲器

末尾的所有记录。然而，如果在读操作时 $WRAP$ 比特为 0，且如果 $DBUF$ 大于 $CBUF$ ，则 $CHIP$ 可继续移出记录；但是如果 $CBUF$ 等于 $DBUF$ ，则 $CHIP$ 必须等待。表 2 示出等待读取计数、关键、及数据字段的特殊实施规则。

在写操作时，表 5 示出如果 $WRAP$ 为 1， DIP 可以继续写记录直到缓冲器的末尾。如果 $WRAP$ 比特为 0，且 $CBUF$ 大于 $DBUF$ ， DIP 可以继续前进。然而，如果 $CBUF$ 等于 $DBUF$ 则 DIP 必须等待下一个操作字段有效 ($NOFVAL$) 比特等于 1 才能前进。如果 $WRAP$ 比特为 0 且 $CBUF$ 小于 $DBUF$ ，则 DIP 必须等待。

注意，当控制比特 $NOFVAL$ 被设置时，指示 $CHIP$ 已完成了计数字段，在缓冲器中建立了下一个操作字段 (NOF)，并装入了通道缓冲器指针 (CBP) 36 以在数据传输中锁住设备缓冲器指针 (DBP) 35。

综上所述，在读操作时， DIP 遍历缓冲器使记录进入并建立道映象。当 DIP 到达缓冲器的末尾时，它绕回到顶部并继续前进。 $CHIP$ 在后面跟随。 $CBUF$ 与 $DBUF$ 用于协调 $CHIP$ 与 DIP 。

当执行一次写操作时，一条定位记录指令通知控制单元 12 在区域中要写的记录的数目。但控制单元将不知道这些记录的计数字段是什么。它们可能在同一道上，它们也可能在不同的道上。通道接口处理器开始将记录从通道传输到缓冲器，而设备接口处理器定位设备来写要传输的第一个记录。当 DIP 正在定位时， $CHIP$ 向前进行并将记录传输进缓冲器；在 DIP 完成定位以前， $CHIP$ 可能进行了若干个记录的全部传输。当 DIP 定位时， DIP 查询 NOF 找出要

做什么，并逐步通过缓冲器将数据写到设备上。当 D I P 到达最后一个记录时，该区域的目的计数将等于 1，从而使 D I P 在完成写入时能够通知 C H I P。在需要错误修复的情况中，D I P 也能通知异常情况处理器。在非同步操作中，即使 D I P 在一个中间记录上遇到了一个错误，C H I P 仍然执行连续的写操作直到末尾。目的计数将在出现该错误时指示还要写到设备上去的记录数目。

在一次成功的写操作的结尾，设置一个写区域完成字节以通知 C H I P 写操作是成功的并且 C H I P 可以进行其它工作了。D I P 要做的下一件事情是立即切换成读模式。这是以一种完全互锁的方式进行的所以在 D I P 从写操作切换到读操作中不存在定时问题。

需要指出的是在图 2 所示的一个通道缓冲器指针 3 6 与一个设备缓冲器指针 3 5 中还存在一个附加的冲突防止机构。当 C H I P 与 D I P 工作在同一记录上时，这两个指针是实施为不能互相跨越的。因此，后随的进程被停止直到领先的进程有时间可以向前进行，从而它们能够简单地一个跟着另一个。

同样，在写操作中，D I P 需要知道关键与数据字段的大小。计数字段是由 D I P 复制到图 2 中 3 3 所示的保护区中的。一个指针 B F B F P G R 被设置来指向计数字段在保护区中的位置。因此，在写命令中，B F P G R 指向保护区，而 D B U F 则指向数据字段所在。D B U F 在缓冲器上环绕，而缓冲器页总寄存器 B F P G R 永远指向保护区中的一个位置。

非同步系统中设备与通道之间的另一个重要的通信元素是称作重定位比特的一个比特，它是由 D I P 在设备重定位时设置的；即在设备中寻找正确的记录位置。由于设备定位在正确的记录上可能要用几

个毫秒。当CHIP到达一个点上等待DIP在缓冲器中向前进让开它的道路时，CHIP查问这一重定位比特。如果这一比特是被设置的，则CHIP知道DIP是在一个重定位状态中。由于几个毫秒对于一个通道的闲置是一个非常长的时间长度，CHIP将释放该通道进行其它工作。当DIP最终重定位好并将重定位比特关断，CHIP收回通道而进程继续进行。

这一通信元素也被异常情况处理器用于错误修复。当DIP出现问题，它停止工作，设置一个出错信号并进行等待。当这一情况发生时，CHIP将最终赶上DIP，类似于一个重定位中的情形。然而，如果CHIP在缓冲器中赶上DIP以前完成了其操作，便没有理由单纯由于DIP出错而停止CHIP。因此，CHIP继续进行，完成该进程，并释放该通道去进行其它工作。DIP出现错误这一事实对于通道是透明的。

异常情况处理器（USURP）19必须决定在一个错误修复情况中要做什么，并且如果它确定必须进行命令重做，它将这一情况通知CHIP与DIP。当重做开始时，CHIP重新开始，而DIP通过重定位执行设置重定位比特直到完成重定位。这时，关掉重定位比特而重新开始操作。

已经这样描述了我们的发明以后，本领域中的技术人员将会理解，可以在不脱离本发明的精神与范围的情况下作出形式上与细节上的改变。

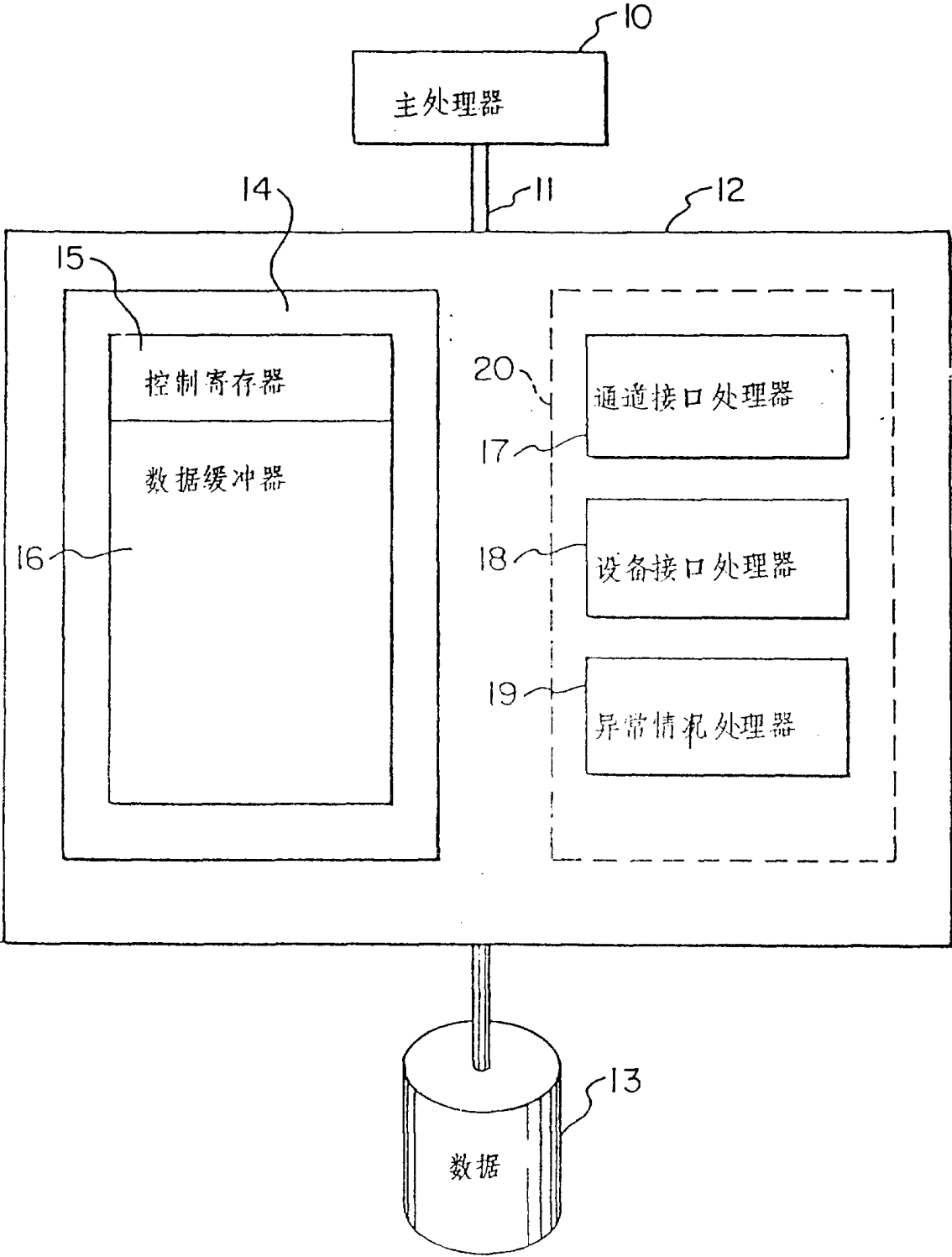


图 1

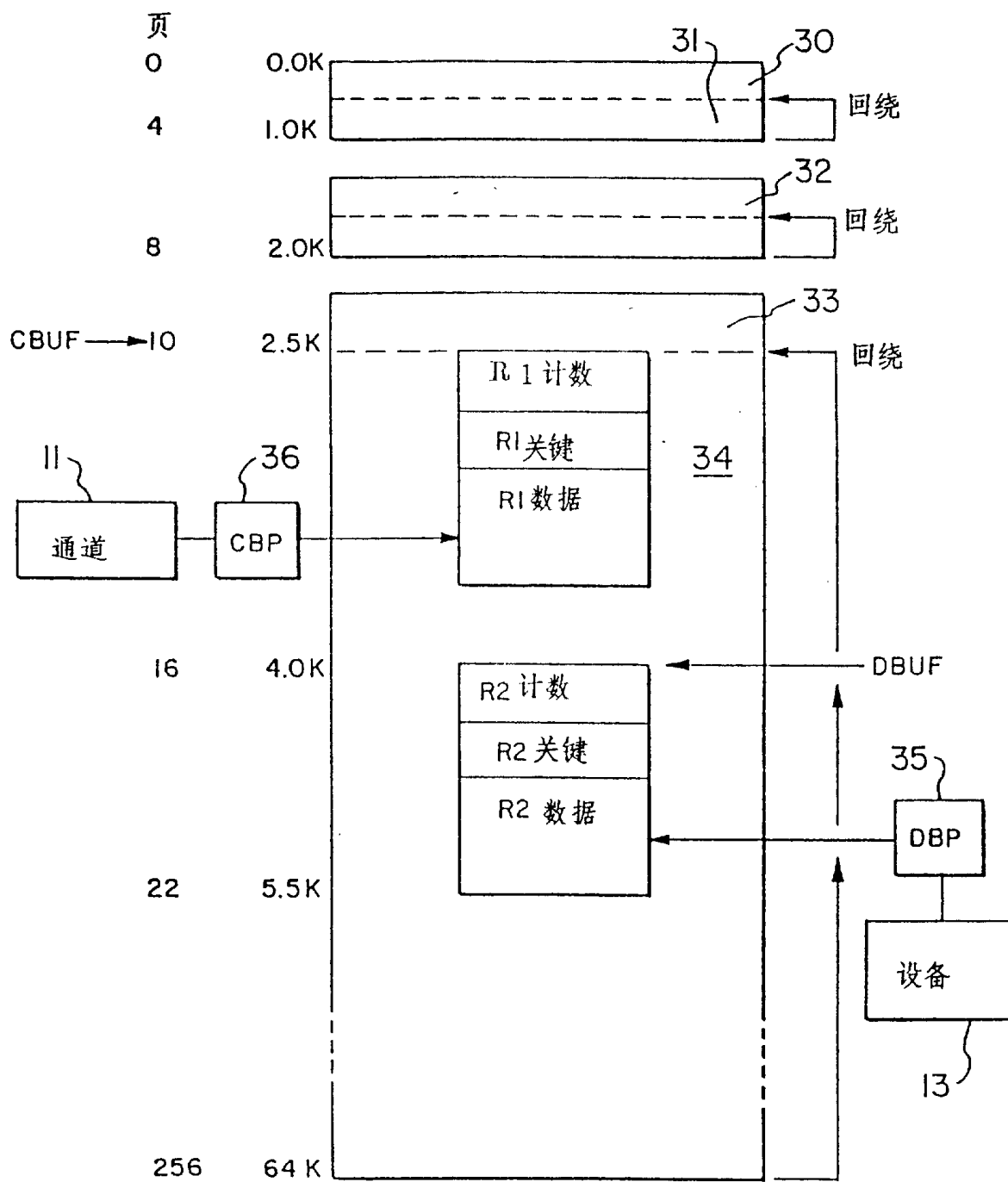


图 2

读缓冲器中记录映象

表 1， 记录映象 (读)	
字节	名字
0	
1	DORF. R
2-3	NOF
4-5	RCF- 记录控制标志字节
6-7	保留
8-39	计数
40-41	不能使用
42 -	关键， 数据

在缓冲器中写记录映象

表 2， 记录映象 (写)	
字节	名字
0	PREVPTR
1	INTCT
2-3	NOF
4-5	RCF-记录控制标志
6-7	保留
8-31	计数
32-39	计数
40-41	不能使用
42 -	关键， 数据

图 3

缓冲器中的记录控制标志

表 3，记录控制标志 (RCF)	
比特	名字
0:7	RCF1
8:15	RCF2
0	WRTIMAG
1	GOTOEOT
2	NOKEYRQ
3	NODATRQ
4 6	保留
7	CRETRY
8:9	记录类型比特 00记录号 01内部地址 10记录0 11索引, DOT
10	INVTRK
11	GOCHOPS
12:14	保留
15	DRETRY

图 4

表 4，在缓冲器中存储数据的规则		
环绕	缓冲器末尾填写者指针与缓冲器清空者指针相比	动作
0	任何情况	可以前进
1	<	可以前进
1	≥	DIP 重定位 CHIP 重定位 在可用的缓冲器空间中填入数据 注：“缓冲器末尾填写者指针”指向缓冲器中领先（填写）进程可利用空间结束的位置。

表 5，从缓冲器中移出数据的规则		
环绕	缓冲器填写者指针与缓冲器清空者指针比较	动作
1	任何情况	可以前进
0	>	可以前进
0	=	DIP - 等待 CHIP - 等待 NOFVAL = 1 计数 - 等待 关键 - 等待 数据 - 等待 DORF.F ≥ 3 DORF.F ≥ 5 DORF.F ≥ 6
0	<	必须等待

图 5