(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第5069340号
(P5069340)
(45)発行日　平成24年11月7日(2012.11.7)　(24)登録日　平成24年8月24日(2012.8.24)

(51)Int.Cl.　F I
H03M 1/36 (2006.01)　H03M 1/36

請求項の数 8　外国語出願　(全 16 頁)

(21)出願番号　特願2010-133536(P2010-133536)
(22)出願日　平成22年6月11日(2010.6.11)
(65)公開番号　特開2010-288279(P2010-288279A)
(43)公開日　平成22年12月24日(2010.12.24)
審査請求日　平成23年8月2日(2011.8.2)
(31)優先権主張番号　61/186,533
(32)優先日　平成21年6月12日(2009.6.12)
(33)優先権主張国　米国(US)
(31)優先権主張番号　12/791,963
(32)優先日　平成22年6月2日(2010.6.2)
(33)優先権主張国　米国(US)

(73)特許権者　500262038
台湾積體電路製造股▲ふん▼有限公司
Ｔａｉｗａｎ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　Ｍａｎｕｆａｃｔｕｒｉｎｇ　Ｃｏｍｐａｎｙ，Ｌｔｄ．
台湾新竹科學工業園區新竹市力行六路八號
８，Ｌｉ－Ｈｓｉｎ　Ｒｄ．６，Ｈｓｉｎｃｈｕ　Ｓｃｉｅｎｃｅ　Ｐａｒｋ，Ｈｓｉｎｃｈｕ，Ｔａｉｗａｎ　３００－７７，Ｒ．Ｏ．Ｃ．
(74)代理人　100077838
弁理士　池田　憲保
(74)代理人　100082924
弁理士　福田　修一

最終頁に続く

(54)【発明の名称】アナログ信号をデジタル信号に変換する集積回路、システム、及び、ＡＤ変換方法

(57)【特許請求の範囲】
【請求項１】
アナログ信号を少なくとも一つのデジタル信号に変換することができる集積回路であって、
前記集積回路は、
第１アナログ信号を受信することができる第１入力端と、
前記第１アナログ信号を量子化して、第１の一組2^n-1個のデジタル値を出力し、前記第１の一組2^n-1個のデジタル値がそれぞれ“０”か“１”の何れかである第１の一組2^n-1個のインバータと、
前記第１の一組2^n-1個のインバータの各出力端が少なくとも一つに接続され、それぞれ第１の一組2^m個の電子素子を有して、それぞれ前記第１アナログ信号を量子化することにより、それぞれ“０”か“１”である第１の一組2^m-1個のデジタル値を出力する第１の一組の分圧器と、
前記第１の一組の2^n-1個のインバータおよび前記第１の一組の分圧器と接続され、前記第１の一組2^n-1個のデジタル値および前記第１の一組の分圧器の前記第１の一組2^m-1個のデジタル値を加算して、前記少なくとも一つのデジタル信号に対応する第１整数値を出力する第１加算器と、
を含んでなることを特徴とする集積回路。
【請求項２】
更に、

前記第１の一組2^n-1個のインバータと平行に設置されると共に、前記第１加算器と接続され、前記第１アナログ信号を量子化して、第２の一組2^n-1個のデジタル値を出力し、前記第２の一組2^n-1個のデジタル値は、それぞれ“０”か“１”である第２の一組2^n-1個のインバータと、

前記第２の一組2^n-1個のインバータの各出力端が少なくとも一つに接続され、それぞれ第第２の一組2^m個の電子素子からなり、前記第１アナログ信号を量子化して、第２の一組2^m-1個のデジタル値を出力し、前記第１の一組2^m-1個のデジタル値は、それぞれ“０”か“１”であり、前記第１加算器は、前記第１の一組2^n-1個のデジタル値、前記第２の一組2^n-1個のデジタル値、前記第１の一組の分圧器の前記第１の一組2^m-1個のデジタル値、及び、前記第２の一組2^m-1個のデジタル値を加算して、前記少なくとも一つの前記デジタル信号に対応する第２整数値を出力する第２の一組の分圧器と、

からなることを特徴とする請求項１に記載の集積回路。

【請求項３】

更に、

第２アナログ信号を受信することができ、前記第１アナログ信号と前記第２アナログ信号が位相差を有する第２入力端と、

前記第２アナログ信号を量子化して、第３の一組2^n-1個のデジタル値を出力し、各第３の一組2^n-1個のデジタル値が、“０”か“１”である第３の一組2^n-1個のインバータと、

前記第３の一組2^n-1個のインバータに接続され、前記第３の一組2^n-1個のデジタル値を加算し、前記第２アナログ信号に対応する第３整数値を出力する第２加算器と、

前記第１加算器と前記第２加算器に接続され、前記第１整数値と前記第３整数値を減算して、少なくとも一つのデジタル信号に対応する第４整数値を提供する減算器と、

を含みなることを特徴とする請求項１に記載の集積回路。

【請求項４】

更に、

前記第１加算器に接続され、前記第１整数値に対応する二値デジタル信号を出力することができるルックアップテーブルと、

前記第１加算器に接続され、前記第１整数値を受けて、前記第１整数値に対応する校正デジタル信号を出力する校正器と、

前記校正器に接続される計数器と、

前記校正器と前記第１の一組2^n個のインバータに接続されるデジタルアナログコンバータ（DAC）と、

を含みなることを特徴とする請求項１に記載の集積回路。

【請求項５】

システムであって、

第１アナログ信号を少なくとも一つのデジタル信号に変換することができる集積回路を含み、

前記集積回路は、

前記第１アナログ信号を受信する第１入力端と、

前記第１アナログ信号を量子化して、第１の一組2^n-1個のデジタル値を出力し、前記第１の一組2^n-1個のデジタル値が それぞれ“０”か“１”である第１の一組2^n-1個のインバータと、

前記第１の一組2^n -1個のインバータの各出力端が少なくとも一つに接続され、それぞれ第１の一組2^m個の電子素子を有して、それぞれ前記第１アナログ信号を量子化することにより、それぞれ“０”か“１”である第１の一組2^m -1個のデジタル値を出力する第１の一組の分圧器と、

前記第１の一組2^n-1個のインバータおよび前記第１の一組の分圧器と接続され、前記第１の一組2^n-1個のデジタル値および前記第１の一組の分圧器の前記第１の一組2^m-1個のデジタル値を加算し、少なくとも一つの前記デジタル信号に対応する第１整数値を出力する第１加算器と、

前記集積回路に接続され、少なくとも一つの前記デジタル信号を受信する手段と、
からなることを特徴とするシステム。
【請求項６】
少なくとも一つのアナログ信号を少なくとも一つのデジタル信号に変換する方法であって、
本方法は、
第１の一組2^n-1個のインバータにより、第１アナログ信号を量子化して、第１の一組2^n-1個の整数値を提供するステップと、
それぞれ少なくとも一つの前記第１の一組2^n-1個の整数値と接続され、それぞれ第１の一組2^m-1個のデジタル値を提供する第１の一組の分圧器により、前記第１アナログ信号を量子化するステップと、
前記第１の一組2^n-1個の整数値および前記第１の一組の分圧器の前記第１の一組2^m-1個の整数値を加算して、前記少なくとも一つのデジタル信号に対応する第１整数値を提供するステップと、
を含むことを特徴とするＡＤ変換方法。
【請求項７】
更に、
第２の一組2^n-1個のインバータにより、前記第１アナログ信号を量子化して、第２の一組2^n-1個の整数値を提供するステップと、
第２の一組の分圧器により、前記第１アナログ信号を量子化して、前記第２の一組の分圧器は、それぞれ少なくとも一つの第２の一組2^n-1個の整数値と接続され、前記第２の一組の分圧器が、それぞれ第２の一組2^m-1個のデジタル値を提供するステップと、
前記第１の一組2^n-1個の整数値、前記第２の一組2^n-1個の整数値、前記第１の一組の分圧器の前記第一組2^m-1個の整数値、及び、前記第２の一組分圧器の前記第２の一組2^m-1個の整数値を加算して、少なくとも一つの前記デジタル信号に対応する第２整数値を提供するステップと、
を含むことを特徴とする請求項６に記載の方法。
【請求項８】
更に、
第３の一組2^n-1個のインバータにより、前記第２アナログ信号を量子化し、前記第３の一組2^n-1個の整数値を提供するステップと、
前記第３の一組2^n-1個の整数値を加算して、第３整数値を提供するステップと、
前記第１整数値と前記第３整数値に減算を実行して、少なくとも一つのデジタル信号に対応する第４整数値を提供するステップと、
からなることを特徴とする請求項７に記載の方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、半導体回路に関するものであって、更に、アナログ信号をデジタル信号に変換する集積回路、システム、及び、ＡＤ変換方法に関するものである。
【背景技術】
【０００２】
アナログデジタルコンバータ（Analog-to-digital converter、ADC）は、アナログ信号をデジタル信号に変換することができる。ADCは、多くの電子システムの品質と速度を決定するのに用いられる。一般的なADCの一つとして、フラッシュADC（flash ADC）がある。フラッシュADCは、快速なアナログデジタル変換を実行することができ、真性遅延（intrinsic delay）が小さく、設計しやすい。フラッシュADCは、通常、非常に高速な電子システムに用いられる。
【０００３】
公知のフラッシュADCは、2^n-1個の比較器、及び、ｎビット分解能のアナログデジタル

変換するための2^n個抵抗を含む分圧ラダー（voltage ladder：梯子状抵抗）からなる。分圧ラダーの各段階は、対応する比較器の負入力端に提供されて、参照電圧となる。各比較器は、入力電圧と分圧ラダーの段階からの参照電圧とを比較して、デジタル信号を出力する。そして、2^n-1個デジタルレベルを出力することにより、ｎビットの２進デジタル信号（binary digital signal）が提供される。

【０００４】

公知のフラッシュADCは、2^8- 1、或いは、２５５個の比較器を使用して、８ビットのアナログデジタル変換分解能を提供している。多量の比較器は、公知のフラッシュADCで大面積を消費している。また、分圧ラダーは、電源と接地間に結合されることが分かる。アナログデジタル変換中、電圧ラダーの各抵抗は、電源からの電力を消耗する。よって、ハイビット分解能、例えば、８ビット以上の分解能が必要である場合、公知のフラッシュADCより大面積が必要となり、より電力消耗が悪くなる。

【０００５】

上述のことを踏まえた、アナログをデジタル信号に変換することができる集積回路、システム、及び、操作方法が必要である。

【発明の概要】

【発明が解決しようとする課題】

【０００６】

本発明は、アナログ信号をデジタル信号に変換する集積回路、システム、及び、操作方法を提供することを目的とする。

【課題を解決するための手段】

【０００７】

本発明は、アナログ信号を少なくとも一つのデジタル信号に変換することができる集積回路を提供する。集積回路は、第一アナログ信号を受信することができる第一入力端と、第一アナログ信号を量子化し、第一組2^n-1個のそれぞれ“０”か“１”の何れかであるデジタル値を出力する第一組の2^n-1個のインバータと、第１の一組2^n -1個のインバータの各出力端が少なくとも一つに接続され、それぞれ第１の一組2^m個の電子素子を有して、それぞれ第１アナログ信号を量子化することにより、それぞれ“０”か“１”である第１の一組2^m -1個のデジタル値を出力する第１の一組の分圧器と、第一組2^n-1個のインバータおよび前記第１の一組の分圧器と結合され、第一組2^n-1個のデジタル値および第１の一組の分圧器の前記第１の一組2^m-1個のデジタル値を加算し、少なくとも一つのデジタル信号に対応する第１整数値を出力する第１加算器とを含んでなる。

【発明の効果】

【０００８】

公知のフラッシュADCは、ハイビット分解能が必要である場合、大面積となり高電力消耗が一層悪くなるという欠点があるが、本発明により、これを改善することができる。

【図面の簡単な説明】

【０００９】

【図１Ａ】アナログ信号をデジタル信号に変換することができる集積回路を示す図である。

【図１Ｂ】アナログ信号をデジタル信号に変換する為の複数のインバータと分圧器を含む別の集積回路を示す図である。

【図２Ａ】複数のインバータのシミュレーションの電圧伝達曲線（VTC）を示す図である。

【図２Ｂ】図１Bで示される集積回路の一部を示す図である。

【図２Ｃ】二個の近接するインバータにより提供される二VTC間の分圧器により提供される追加のVTCを示す図である。

【図３Ａ】インバータの１例を示す図である。

【図３Ｂ】インバータの別の１例を示す図である。

【図３Ｃ】インバータの更に別の１例を示す図である。

【図３Ｄ】インバータの更に別の１例を示す図である。
【図４】アナログ信号をデジタル信号に変換することができる集積回路を示す図である。
【図５】アナログ信号をデジタル信号に変換する別の集積回路を示す図である。
【図６】アナログ信号をデジタル信号に変換する較正器を含む集積回路を示す図である。
【図７】較正がある、及び、ないシミュレーション結果を示す図である。
【図８】デジタル信号を受信する手段と結合する集積回路を含むシステムを示す図である。
【発明を実施するための形態】
【００１０】
以下で開示される内容は、多くの異なる実施例や範例を提供し、各実施例の異なる特徴を実施するのに用いられることが理解できる。以下で開示される内容は、各素子とその配置方式の特定範例を描写し、本発明の説明を簡潔にする。もちろん、これらの特定の範例は、本発明を限定するものではない。この他、以下の明細書は、多くの範例中で、同様の素子符号や文字を重複して使用する。しかし、重複使用の目的は、説明を簡潔、且つ、はっきりさせるためのものであり、以下で討論される複数の実施例、及び/又は、配置の間の関係を限定するものではない。この他、以下の明細書で示される一つの特徴が、もう一つの特徴に連接、結合、及び/又は、形成される等の描写は、実際には、複数の異なる実施例を含み、これらの特徴が直接接触する、或いは、別の特徴がこれらの特徴の間に形成されて、これらの特徴が直接接触しない実施例も含む。この他、空間関係に関する術語、例えば、“低い”、“高い”、“水平”、“垂直”、“～の上方”、“～の下方”、“上”、“下”、“頂端”、“下向けの”、“上向けの”等は、本発明の一特徴ともう一つの特徴の関係を簡単に描写するものである。これらの空間関係の術語は、これらの特徴を含む装置の異なる方向定位を包含する。
【００１１】
図１Aは、アナログ信号をデジタル信号に変換することができる集積回路を示す図である。図１A中、集積回路１００は、アナログ信号を受信することができる入力端１０１と、アナログ信号に対応する整数値（デジタル形式）を出力することができる出力端１０２とを含みなる。集積回路１００は、2^n-1個からなる一組のインバータ１１０を含む。2^n-1個のインバータ１１０は、入力端１０１からアナログ信号を受信することができる。ある具体例中、2^n-1個のインバータ１１０は並列に設けられ、入力端１０１に結合される。2^n-1個のインバータ１１０は、アナログ信号を量子化して、一組の2^n-1個のデジタル値を出力する。それぞれの2^n-1個のデジタル値は、０か１の何れかである。集積回路１００は、加算器１２０を含む。加算器１２０は、2^n-1個のインバータ１１０と結合される。加算器１２０は、一組の2^n-1個のデジタル値を適するように加算し、出力端１０２で、少なくとも一つのデジタル信号に対応する整数値を出力する。集積回路１００は、フラッシュ アナログデジタルコンバータ（ADC）、逐次比較型（successive-approximation）ADC、傾斜比較（ramp-compare）ADC、ウィルキンソン（Wilkinson ）ADC、 積分（integrating ）ADC、 デルタエンコード（delta-encoded） ADC、パイプライン（pipeline）ADC、シグマデルタ ADC、時間交互的（time-interleaved ）ADC、及び、その他のADCに含まれてもよい。また他の実施例をすれば、集積回路１００は、信号プロセッサ、制御回路、電源制御回路、或いは、その他の回路であり、アナログ信号をデジタル信号に変換できるあらゆる回路である。
【００１２】
以下は、５ビットのアナログデジタル変換分解能を使用して、アナログ信号を量子化するステップに関係する記述である。注意すべきことは、この記述は単なる例に過ぎないことである。以下の具体例は、高い分解能のアナログデジタル変換、例えば、８ビットかそれより高い分解能を提供する。５ビットのアナログデジタル変換分解能を用いた具体例中、2^n- １ 個のインバータ１１０は、 2^5-1即ち３１個のインバータである。３１個のそれぞれのインバータは、図２Aで示されるように、対応する電圧伝達曲線（voltage transfer curve 、VTC：入出力電圧特性）とトリップ点（trip point：転換点：出力変化読み出

し点）を有する。線２０１は、図２Aで示されるように、３１個のインバータの全トリップ点を実質的に通過する。ある具体例中、各３１個のインバータは、金属酸化膜半導体（complementary metal-oxide-semiconductor、CMOS）トランジスタを含む。CMOSトランジスタは、PMOSトランジスタとNMOSトランジスタを含む。それぞれのPMOSトランジスタとNMOSトランジスタは、例えば、異なるチャネル幅とチャネル長さ比例（W/L）を有し、2^n- 1個のインバータ１１０それぞれが異なるトリップ点を有する。

【００１３】

例えば、入力端１０１でのアナログ信号は、約１．０１８Vの入力電圧を与える。図２Aで示されるように、第１インバータから第１６インバータは、１．０１８Vより高いトリップ点を有するので、これら１６個のインバータはデジタル値“１”を出力する。第１７インバータから第３１インバータは、１．０１８Vより低いトリップ点を有するので、この１５個のインバータは、デジタル値“０”を出力する。

【００１４】

図１Aを参照すると、加算器１２０は、３１個のインバータから出力されるデジタル値を加算し、整数値を出力する（デジタル形式）。約１．０１８Vの入力電圧を有するアナログ信号を用いた具体例では、加算器１２０は、出力端１０２で、整数値“１５”を出力する。整数値“１５”は、デジタル処理によって、例えば、０１１１１等の５ビットの二値デジタル信号にデコードされる。

【００１５】

注意すべきことは、2^n- 1個のインバータ１１０は、アナログ信号を2^n個のレベルで量子化し、2^n- 1個の整数値を出力することができることである。加算器１２０は、2^n- 1個の整数値を加算し、１個の整数値を出力することができる。集積回路１００は、所望の変換速度に基づいて、アナログ信号をデジタル信号の形式の整数値に変換することができる。理解できるように、2^n- 1個のインバータ１１０が必要とする面積は、公知のフラッシュADC中の2^n- 1個の比較器よりも小さい。これにより、集積回路１００のチップサイズは、効果的に減少させられる。

【００１６】

ある具体例中、加算器１２０は、ルックアップテーブル（lookup table）（図示しない）に関連付けられる。ルックアップテーブルは、加算器から出力される整数値を受け、整数値に対応するｎビットのデジタル二値信号を出力することができる。複雑なデコード動作を含まないことにより、ルックアップテーブルは、必要な速度で、アナログ信号をデジタル信号に変換することを助ける。

【００１７】

図１Bの素子は、インバータと分圧器を有し、アナログ信号をデジタル信号に変換する別の集積回路を示す図である。図１B中、同様の素子符号、或いは、５０を足した素子符号を有し、図１Aと同様の素子を示す。ある具体例中、集積回路１５０は、ダミーインバータ（dummy inverter）１６１ａと１６１ｂを含む。複数のインバータ１６０により提供される各レベルは、更に、分圧器により量子化される。アナログ信号を更に量子化する具体例中、集積回路１５０は、複数の分圧器１６５、例えば、2^n個の分圧器を有する。各2^n- 1個のインバータ出力端は、少なくとも一つの分圧器１６５と結合する。それぞれの分圧器１６５は、一組2^m個の電子素子を含む。それは、例えば、レジスタ、ダイオード、必要なインピーダンスを提供することができる他の電子素子、及び/又は、それらの組み合わせである。各分圧器１６５は、2^m- 1個のデジタル値を供給する。各2^m- 1個のデジタル値は、“０”か“１”の何れかである。よって、全分圧器１６５は、2^n x (2^m- 1) 個のデジタル値を供給することができる。2^n- 1個の インバータ１６０と $2^{(n+m)}$ 個の電子素子は、$2^{(n+m)}$- 1個の整数値を提供することができ、（ｎ＋ｍ）ビット分解能を有するアナログデジタル変換結果を示す。７ビットのアナログデジタル変換分解能を用いた具体例にとって、集積回路１５０は、2^5- 1 個のインバータと $2^{(5+2)}$ 個の電子素子を有する。

【００１８】

以下は、アナログ信号を量子化するインバータと電子素子に関する具体例である。７ビ

ットのアナログデジタル変換分解能を用いた具体例中、集積回路１５０は、2^5-1即ち３１個のインバータ１６０、及び、３２個の分圧器１６５を有する。各３２個の分圧器１６５は、2^2即ち４個のレジスタを有する。各レジスタは、二つの近接するインバータの出力端間の電圧降下を更に分配することができるので、３１個のインバータと３２個の分圧器は、１２７個のデジタル値を供給することができる。

【００１９】

例えば、第１７分圧器（図２Bで示される）は、第１６インバータと第１７インバータ間に配置される。第１７分圧器は、第１６インバータと第１７インバータ間の電圧降下を更に量子化する。ある具体例中、第１７分圧器による量子化は、補間（interpolation）操作と称される。第１７分圧器は、４個のレジスタ、例えば、第１～第４レジスタを含む。第１７分圧器、第１６、及び第１７インバータの各出力端は、インバータ２１０ａ～２１０ｅの一つと結合される。インバータ２１０ｂ～２１０ｄは、第１６インバータと第１７インバータ（図２Cで示される）のVTC間に、それぞれ、VTC２１１～２１３を提供することができる。ある具体例にとって、アナログ信号は、約１．０１８Vの入力電圧を有する。注意すべきことは、１．０１８Vのアナログ信号は、第１６インバータのトリップ点より低く、第１７インバータのトリップ点より高い。１．０１８Vのアナログ信号は、VTC２１１のトリップ点より低く、VTC２１２と２１３のトリップ点より高いことが分かる。第６５デジタル値は、“１”で、第６６ と 第６７デジタル値は“０”である。また、第１～第１６分圧器から出力されるデジタル値は“１”で、第１８～第３２分圧器から出力されるデジタル値は“０”である。

【００２０】

図１Bを参照すると、加算器１７０は、３１個のインバータと３２個の分圧器から出力されるデジタル値を加算し、整数値を出力する。約１．０１８Vの入力電圧値を持つアナログ信号を用いた具体例にとって、加算器１７０は、出力端１５２で、整数値“６５”を出力することができる。ある具体例中、整数値“６５”は、デジタル処理によって、７ビットの二値デジタル信号、例えば、1000001にデコードされる。

【００２１】

注意すべきことは、公知のADCは、複数の比較器を用いて、入力アナログ信号を量子化することである。７ビットの分解能を達成するため、2^7- 1、つまり、１２７個の比較器が用いられる。公知ADCのための１２７個の比較器は、大面積を要求する。この他、公知のADCは、レジスタネットワークを用いて異なる電圧レベルを供給して、それぞれの比較器の参考電圧とする。公知のADCのレジスタネットワークは、電力を消耗する。

【００２２】

公知のADCと異なり、集積回路１５０は、複数のインバータ１６０と複数の分圧器１６５を用いて、アナログ信号を量子化する。注意すべきことは、集積回路１５０は、2^5- １、例えば、３１個のインバータと $2^{(5+2)}$ 個の電子素子、例えば、１２８レジスタを有し、７ビットの分解能のアナログデジタル変換を達成する。３１個のインバータ１６０と３２個の分圧器１６５が使用する面積は、公知のADCの１２７個の比較器より小さい面積であることが理解できる。集積回路１５０の大きさは、効果的に減少できる。アナログデジタル変換分解能が８ビット分解能、或いは、それ以上の場合、集積回路１５０の大きさが減少する。

【００２３】

集積回路１５０は、電圧レベルを比較器の参考電圧を提供するレジスタネットワークがないことが理解できる。よって、レジスタネットワークの電源消耗は、効果的に減少する。注意すべきことは、上述の７ビットのアナログデジタル変換分解能は、単なる例に過ぎないことである。応用範囲は、これに限定されない。当業者は、2^n- １個のインバータ１６０と 2^m個の電子素子の数量を修正して、必要な（n＋m）ビットのアナログデジタル変換分解能を達成できる。

【００２４】

図３A～図３Dは、様々なインバータを示す図である。注意すべきことは、各インバータ

１１０（図１Aで示される）、１６０（図１Bで示される）、及び/又は、２１０ａ～２１０ｅ（図２Bで示される）は、CMOSトランジスタを含む。図３A中、インバータ３１０ａは、PMOSトランジスタ３１１ａとNMOSトランジスタ３１３ａを含みなる。PMOSトランジスタ３１１ａのソース端は、電源、例えば、約２．２VのVDDに結合される。NMOSトランジスタ３１３ａのソース端はグランドに結合される。複数の具体例中では、PMOSトランジスタ３１１ａのW/L比は、約０．６/０．１８から約９．０８/０．１８の中で変化する。NMOSトランジスタ３１３ａのW/L比は、約０．６μm/０．１８μmから約８．２６μm /０．１８μmに変化する。PMOSトランジスタ３１１ａとNMOSトランジスタ３１３ａのW/L比の変化は、異なるトリップ点を提供することができる。

【００２５】

図３Bで、インバータ３１０ｂは、PMOSトランジスタ３１１ｂとNMOSトランジスタ３１３ｂを含む。PMOSトランジスタ３１１ｂとNMOSトランジスタ３１３ｂは、それぞれ、PMOSトランジスタ３１１ａとNMOSトランジスタ３１３ａに類似する。PMOSトランジスタ３１１ｂのソース端は、レジスタ３１５ｂと結合する。NMOSトランジスタ３１３ｂのソース端はレジスタ３１７ｂと結合する。ある具体例中、レジスタ３１５ｂと３１７ｂは、約１．８KΩの抵抗値を有する。

【００２６】

図３Cで、インバータ３１０Cは、PMOSトランジスタ３１１ｃとNMOSトランジスタ３１３ｃを含む。PMOSトランジスタ３１１ｃのドレイン端は、レジスタ３１５ｃと結合する。NMOSトランジスタ３１３ｃのドレイン端は、レジスタ３１７ｃと結合する。ある具体例中、レジスタ３１５ｃと３１７ｃは、約１．８ｋΩの抵抗値を有する。

【００２７】

図３Dで、インバータ３１０ｄは、PMOSトランジスタ３１１ｄとNMOSトランジスタ３１３ｄと３１９ｄを含みなる。NMOSトランジスタ３１３ｄは、PMOSトランジスタ３１１ｄとNMOSトランジスタ３１９ｄ間に結合される。PMOSトランジスタ３１１ｄのソース端は、電源、例えば、約２．２VのVDDに結合される。NMOSトランジスタ３１９ｄのソース端は接地に結合される。ある具体例中、NMOSトランジスタ３１３ｄと３１９ｄは、同じW/L比を有する。

【００２８】

注意すべきことは、PMOSとNMOSトランジスタのW/L比、及び/又は、レジスタの抵抗値は、単なる例に過ぎないことである。当業者は、W/L比と抵抗値を修正して、所望のトリップ点を達成することができる。更に注意すべきことは、インバータ３１０ａ～３１０ｄの構造は、単なる例に過ぎないことである。必要なVTCを提供することができるあらゆるインバータの構造が本発明に用いることが可能である。

【００２９】

図４は、アナログ信号をデジタル信号に変換することができる別の集積回路を示す図である。ある具体例中、図１Bと合わせて紹介する上述のインバータと電子素子の数量は二倍で、アナログ信号を更に量子化する。この具体例中、集積回路４００は、アナログ信号を受信できる入力端４０１を有する。集積回路４００は、第一組2^n-1 個のインバータ４１０ａ、第二組2^n-1個のインバータ４１０ｂ、第一組2^n 個の分圧器 ４１５ａ、第二組2^n 個の分圧器４１５ｂを含む。ある具体例中、第一組2^n-1 個のインバータ４１０ａと第二組2^n-1個のインバータ４１０ｂは、それぞれ、図１Aと図１B中で示される一組の2^n-1個のインバータ１１０、或いは、１６０に類似する。第一組2^n 個の分圧器４１５ａ、第二組2^n 個の分圧器４１５ｂは、図１Bで示される分圧器１６５と同様である。

【００３０】

注意すべきことは、第一組2^n-1 個のインバータ４１０ａと$2^{(n+m)}$ 電子素子を含む第一組2^n 分圧器４１５ａは、一組の $2^{(n+m)}$- 1 個のデジタル値を提供することができる。第二組2^n-1 個のインバータ ４１０ｂと$2^{(n+m)}$ 個の電子素子を含む第二組2^n 個の分圧器４１５ｂは、もう一組の $2^{(n+m)}$- 1 個のデジタル値を提供することができる。加算器４２０は、 $2x(2^{(n+m)}- 1)$ 個のデジタル値を加算し、(n+m+1)-ビットの二値デジタル信号を

示す整数値を出力する。ある具体例中、加算器４２０から出力される(n+m+1)ビットの二値デジタル信号を示す整数値がデコードされて、(n+m+1)ビットの二値デジタル信号となる。

【００３１】

別の具体例中、加算器４２０から出力される(n+m+1)ビットの二値デジタル信号を示す整数値は変換されて、(n+m)ビットの二値デジタル信号となる。図４を参照すると、集積回路４００は、ルックアップテーブル４３０を含む。ルックアップテーブル４３０は、整数値とそれらが対応する(n+m)ビットの二値デジタル信号を含む複数のデータからなる。ルックアップテーブル４３０は、加算器４２０からの整数値を受信し、整数値に対応する(n+m)ビットの二値デジタル信号を提供することができる。例えば、ルックアップテーブル４３０は、９ビットの二値デジタル信号を示す整数値を受信し、８ビットの二値デジタル信号を出力することができる。アナログ信号を量子化時に、更に高いレベルが提供されるので、必要とされるアナログ信号量子化の正確さ、及び/又は、分解能が達成される。

【００３２】

図５は、アナログ信号をデジタル信号に変換する集積回路を示す図である。ある具体例中、集積回路５００は、差動入力を受信して、信号雑音レート（signal-to-noise ratio 、SNR、S/N比)を減少させる。図５中、集積回路５００は、第一入力端５０１ａ、例えば、正の入力端と、第二入力端５０１ｂ、例えば、負の入力端を有する。第一入力端５０１ａは第一アナログ信号を受信し、第二入力端５０１ｂは第二アナログ信号を受信する。ある具体例中、第一アナログ信号は第二アナログ信号に類似する。別の具体例中、第一アナログ信号と第二アナログ信号は、位相差（phase difference）を有する。例えば、約１８０度である。更に別の具体例中、入力端５０１ａと第二入力端５０１ｂでの入力は、差動入力である。

【００３３】

ある具体例中、集積回路５００は、サンプルホールド回路（sample and hold circuit）５０３ａと５０３ｂを有し、第一入力端５０１ａと第二入力端５０１ｂにそれぞれ結合される。サンプルホールド回路５０３ａと５０３ｂは、第一、第二アナログ信号を、所望の時間、サンプル、及び、ホールドする。

【００３４】

ある具体例中、集積回路５００は、アナログバッファ５０５ａと５０５ｂを有し、それぞれ、サンプルホールド回路５０３ａと５０３ｂに結合される。集積回路５００は、量子化器５１０ａと５１０ｂを有し、アナログバッファ５０５ａと５０５ｂに結合される。ある具体例中、各量子化器５１０ａと５１０ｂは、図４で示されるインバータ４１０ａと４１０b 、及び/或いは、分圧器４１５Aと４１５ｂを含む。量子化器５１０ａと５１０ｂは、それぞれ、加算器５１５ａと５１５ｂに結合される。集積回路５００は、減算器（subtractor）５２０を有し、加算器５１５ａと５１５ｂに結合される。

【００３５】

注意すべきことは、各加算器５１５ａと５１５ｂは、図４で示される (n+m-1)ビットの二値デジタル信号を示す整数値を出力することができる。減算器５２０は、加算器５１５ａと５１５ｂにより提供される整数値に対して減算を実行し、(n+m+2)ビットの二値デジタル信号を示す整数値を出力する。例えば、加算器５１５ａと５１５ｂは、９ビットの二値デジタル信号を示す整数値を出力することができる。減算器５２０は、加算器５１５ａと５１５ｂからの整数値に対し減算を実行して、１０ビットの二値デジタル信号を示す整数値を出力することができる。

【００３６】

集積回路５００は、(n+m+2)ビットのアナログデジタル変換分解能を提供することができ、これは、図４の集積回路４００よりも高いことが理解できる。この他、集積回路５００は、信号雑音レート（signal-to-noise ratio 、SNR、S/N比）を減少させて、アナログデジタル変換することができる。

【００３７】

ある具体例中、減算器５２０は、例えば、図４で示されるルックアップテーブル４３０等のルックアップテーブル（図示しない）に結合される。ルックアップテーブルは、(n+m+2)ビットの二値デジタル信号を示す整数値を受信し、(n+m+1)ビットの二値デジタル信号を出力して、所望のアナログデジタル変換の正確さ、及び/又は、分解能を達成することができる。

【００３８】

図６は、アナログ信号をデジタル信号に変換する校正器を有する集積回路を示す図である。図６中、１００が増加した素子符号を有し、図５中の同様の素子を示す。集積回路６００は校正器６３０を含む。校正器６３０は、加算器６１５ａからの整数値を受信して、整数値に対応する校正されたデジタル信号を出力することができる。ある具体例中、校正器６３０の操作は、傾斜校正（ramp calibration）である。

【００３９】

ある具体例中、集積回路６００は、校正器６３０と結合される制御ロジック６３５を有する。計数器６４０は、校正器６３０および制御ロジック６３５と結合する。デジタルアナログコンバータ（DAC）６４５は計数器６４０に結合される。マルチプレクサ（mux）６５０は、DAC６４５とサンプルホールド回路６０３ａに結合される。

【００４０】

図６を参照すると、制御ロジック６３５は、校正器６３０、及び/又は、計数器６４０を有効化、及び/又は、トリガーすることができる。傾斜校正（ramp calibration）を使用する具体例中、計数器６４０は、(m+n+1)ビットの二値デジタル信号を、校正器６３０とDAC６４５に出力する。校正器６３０は、計数器６４０から出力される(m+n+1)ビットの二値デジタル信号を記録する。DAC６４５は、計数器６４０からの(m+n+1)ビットの二値デジタル信号をアナログ信号に変換し、マルチプレクサ６５０に提供する。

【００４１】

校正のために、マルチプレクサ６５０は、DAC６４５からのアナログ信号を量子化器６１０ａに出力する。注意すべきことは、加算器６１５ａは、(m+n+1)ビットの二値デジタル信号を示す整数値を、校正器６３０に出力することができる。校正器６３０は、(m+n+1)ビットの二値デジタル信号を示す出力整数値を記録する、及び/又は、出力整数値と計数器６４０からの対応する(m+n+1)ビットの二値デジタル信号と一致させる。ある具体例中、これらの整数値と(m+n+1)ビットの二値デジタル信号は、校正テーブル（calibration table）もしくはメモリ（共に図示しない）中に記録される。

【００４２】

変換されるアナログ信号が入力端６０１から提供された場合、マルチプレクサ６５０は、入力端６０１からのアナログ信号を、サンプルホールド回路６０３ａ、アナログバッファ６０５ａ、量子化器６１０ａに向かって出力する。加算器６１５ａは、量子化器６１０ａからのデジタル信号を加算し、(m+n+1)ビットの二値デジタル信号を示す整数値を、校正器６３０に出力することができる。校正器６３０は、整数値を受信して、校正テーブルに基づいて、整数値に対応する校正デジタル信号を出力することができる。

【００４３】

図７は、校正あり、及び、校正なしのシミュレーション結果を示す図である。図７中、線７０１は、デジタル出力の理想の傾斜遷移ステップの中間点を通過する照準線を示す。階段状線７０２は、校正なしのデジタル出力を示す。階段状線７０３は、校正ありのデジタル出力を示す。校正なしの階段状線７０２は、あるレベルで、線７０１から逸脱する。この逸脱は、デバイスのばらつき（device mismatch）、工程変化（process shift）、及び/又は、アナログデジタル変換の分解能に影響する他の要因に起因する。

【００４４】

階段状線７０２と比較すると、校正を経たデジタル出力を示す階段状線７０３は、線７０１に接近することができる。図６で紹介される校正を用いることにより、所望のアナログデジタル変換分解能、及び/又は、正確さが達成される。

【００４５】

注意すべきことは、校正プロセス中、校正器６３０、制御ロジック６３５、計数器６４０、及び/又は、DAC６４５は、図１A、図１B、及び、図４、図５で示される集積回路１００、１５０、４００、及び、５００に応用できる。

【００４６】

図８は、デジタル信号受信手段と結合される集積回路を含むシステムを示す図である。図８中、システム８００は、デジタル信号受信手段８２０と結合される集積回路８１０を含む。集積回路８１０は、内部、或いは、外部、例えば、システム８００内部、或いは、外部の装置、或いは、回路からのアナログ信号を受信することができる。ある具体例中、集積回路８１０は、図１Aと図１B、図４～図６で示される集積回路１００、１５０、４００、５００、及び、６００に類似する。

【００４７】

ある具体例中、システム８００は、ハードディスク用ドライバ、DVD装置、高解像度テレビ、ビークル、携帯電話、セットトップボックス、メディアプレーヤー、或いは、アナログデジタル変換可能なあらゆるシステムである。デジタル信号受信手段８２０は、例えば、メモリ、ストレージ媒体、ディスプレイ、ロジック回路、及びデジタル信号を受信することができる他の回路である。

【００４８】

ある具体例中、集積回路８１０と、デジタル信号受信手段８２０は、物理的、及び、電気的に、プリント配線板（PWB）もしくはプリント回路基板（PCB）に接続されて、電子アセンブリ（電気的に作りこまれる）を形成する。電子アセンブリは、電子システム、例えば、コンピュータ、無線通信装置、コンピュータ関連の周辺装置、エンターティメント装置等である。

【００４９】

ある具体例中、システム８００は、一IC中の全システムを提供することができ、システムオンチップ（SOC）、或いは、システムオン集積回路（SOIC）装置と称される。これらのSOC装置は、例えば、携帯電話、PDA、デジタルVCR、デジタルカムコーダ、デジタルカメラ、MP３プレーヤー、或いは、単一集積回路のようなものを実行するのに必要な全電気回路を提供する。

【００５０】

本発明では好ましい実施例を前述の通り開示したが、これらは決して本発明に限定するものではなく、当該技術を熟知する者なら誰でも、本発明の精神と領域を脱しない範囲内で各種の変動や潤色を加えることができ、従って本発明の保護範囲は、特許請求の範囲で指定した内容を基準とする。

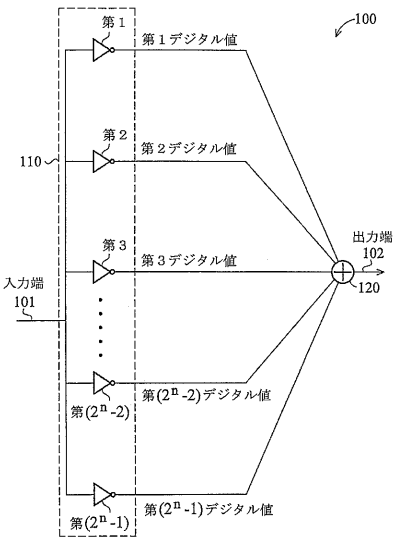
【符号の説明】

【００５１】

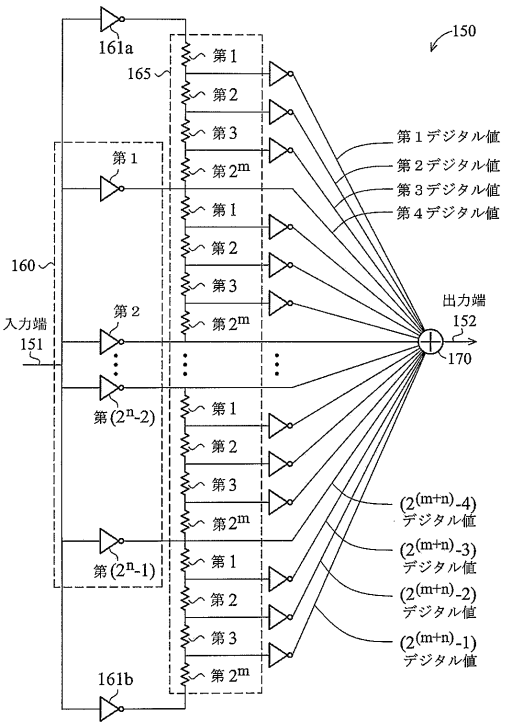
100、150、400、500、600、810～集積回路
101、151、401、501a、501b、601～入力端
102、152、502～出力端
110、160、161a、161b、210a～210e、310a～310d、410a、410b～インバータ
120、170、420、515a、515b、615a～加算器
165、415a、415b～分圧器
201、701、702、703～線
211、212、213、214、215～電圧伝達曲線（VTC）
311a、311b、311c、311d、313a、313b、313c、313d、319d～トランジスタ
315b、315c、317b、317c～レジスタ
430～ルックアップテーブル
503a、503b、603a～サンプリングホールド回路
505a、505b、605a～アナログバッファ
510a、510b、610a～量子化器
520～減算器

630～校正器
635～制御ロジック
640～計数器
645～デジタルアナログコンバータ
650～マルチプレクサ
800～システム
820～装置

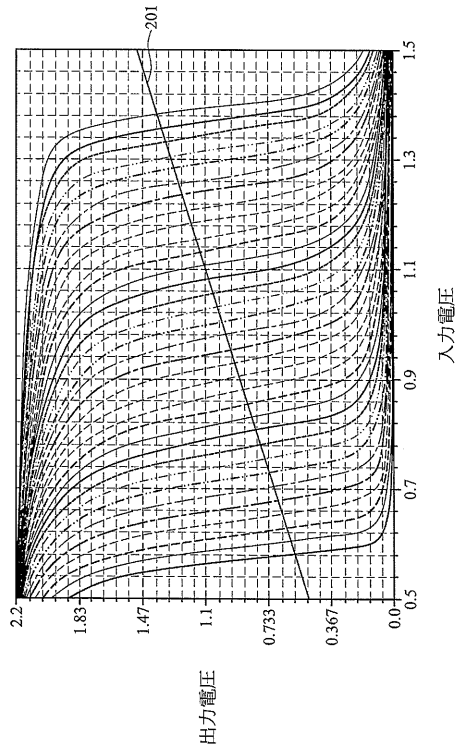
【図１Ａ】



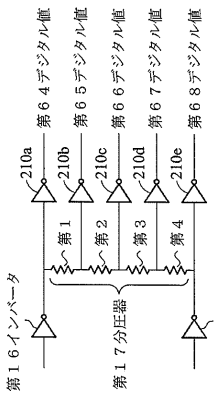
【図１Ｂ】



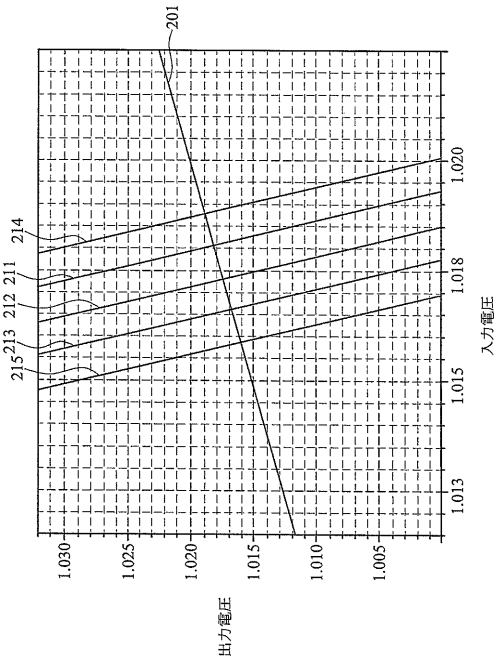
【図２Ａ】



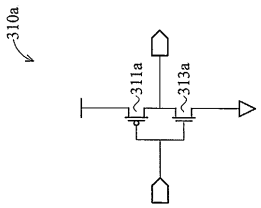
【図２Ｂ】



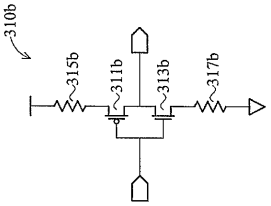
【図２Ｃ】



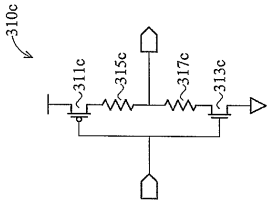
【図３Ａ】



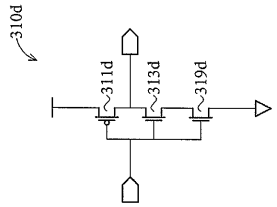
【図３Ｂ】



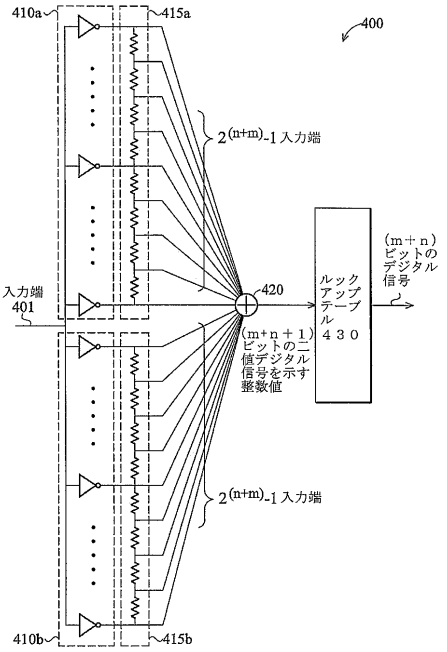
【図３Ｃ】



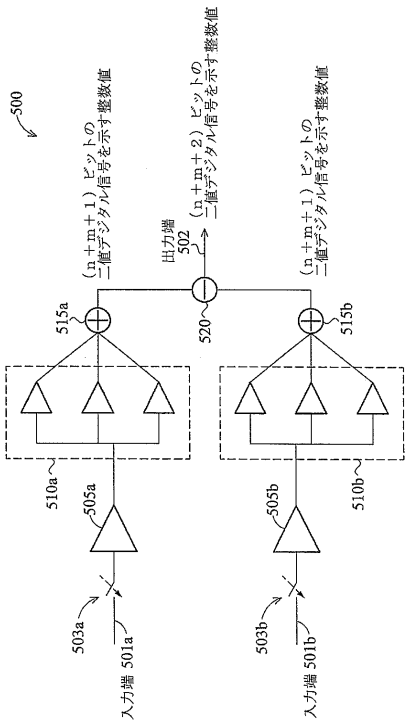
【図３Ｄ】



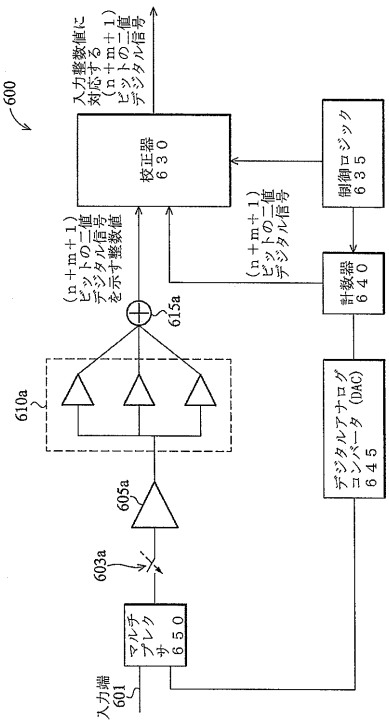
【図４】



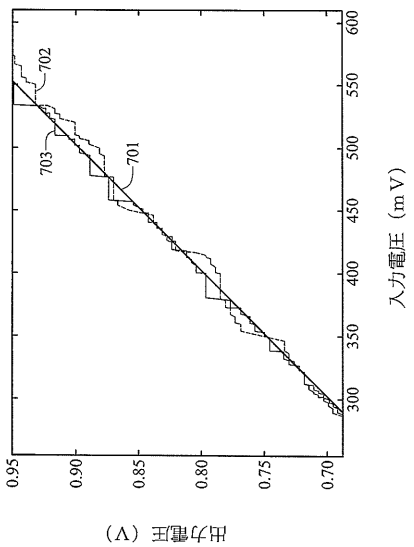
【図５】



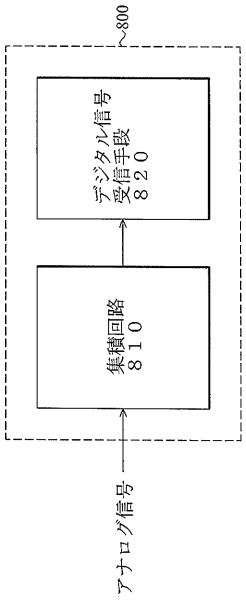
【図６】



【図７】


出力電圧（Ｖ）
0.95
0.90
0.85
0.80
0.75
0.70
300
350
400
450
500
550
600
入力電圧（ｍＶ）
701
702
703

【図８】


800
デジタル信号
受信手段
８２０
集積回路
８１０
アナログ信号

フロントページの続き

(72)発明者　莊　建祥
台湾新竹市大學路２１８號２エフ之１

審査官　柳下　勝幸

(56)参考文献　特開平０５－１９９１１６（ＪＰ，Ａ）
特開平０９－１０７２８９（ＪＰ，Ａ）
特開平０６－１１２８２７（ＪＰ，Ａ）
特開昭５９－０２３６２４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０３Ｍ１／００－１／８８