

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7203611号  
(P7203611)

(45)発行日 令和5年1月13日(2023.1.13)

(24)登録日 令和5年1月4日(2023.1.4)

(51)国際特許分類	F I
G 0 9 G 3/3233(2016.01)	G 0 9 G 3/3233
G 0 9 G 3/20 (2006.01)	G 0 9 G 3/20 6 2 4 B
G 0 9 F 9/30 (2006.01)	G 0 9 G 3/20 6 8 0 G
H 1 0 K 59/00 (2023.01)	G 0 9 F 9/30 3 6 5
H 0 5 B 33/02 (2006.01)	G 0 9 F 9/30 3 3 9 Z
請求項の数 5 (全13頁) 最終頁に続く	

(21)出願番号 特願2018-562951(P2018-562951)	(73)特許権者 510280589
(86)(22)出願日 平成30年6月14日(2018.6.14)	京東方科技集團股 ぶん 有限公司
(65)公表番号 特表2020-533615(P2020-533615 A)	BOE TECHNOLOGY GROU P CO., LTD.
(43)公表日 令和2年11月19日(2020.11.19)	中華人民共和國 1 0 0 0 1 5 北京市朝陽 區酒仙橋路 1 0 號
(86)国際出願番号 PCT/CN2018/091292	No. 10 Jiuxianqiao R d., Chaoyang Distri ct, Beijing 100015, CHINA
(87)国際公開番号 WO2019/047584	(73)特許権者 511121702
(87)国際公開日 平成31年3月14日(2019.3.14)	成都京東方光電科技有限公司
審査請求日 令和3年6月7日(2021.6.7)	CHENGDU BOE OPTOELE CTRONICS TECHNOLOGY CO., LTD.
(31)優先権主張番号 201710805843.2	最終頁に続く
(32)優先日 平成29年9月8日(2017.9.8)	
(33)優先権主張国・地域又は機関 中国(CN)	

(54)【発明の名称】 画素補償回路ユニット、画素回路および表示装置

(57)【特許請求の範囲】

【請求項 1】

リセット電源線、リセット制御回路、ブリッジ回路、および駆動用トランジスタの駆動電流を補償するように構成された第一の画素補償回路と第二の画素補償回路を含み、前記第一の画素補償回路と前記第二の画素補償回路はそれぞれ前記リセット電源線に接続され、

前記リセット制御回路の一端は前記リセット電源線に接続され、前記リセット制御回路の他端は前記ブリッジ回路に接続され、

前記第一の画素補償回路と前記第二の画素補償回路は前記ブリッジ回路を介して互いに接続され、

前記ブリッジ回路は第一の制御電源線の制御の下、前記第一の画素補償回路と前記第二の画素補償回路との間の接続または非接続を制御するように構成された一つの第一のトランジスタのみを含み、

前記第一のトランジスタのゲート極は前記第一の制御電源線に接続され、前記第一のトランジスタの第一極は前記第一の画素補償回路に直接接続され、前記第一のトランジスタの第二極は前記第二の画素補償回路に直接接続され、

前記リセット制御回路は前記第一のトランジスタの前記第一極に接続される、画素補償回路ユニット。

【請求項 2】

前記第一のトランジスタはダブルゲート薄膜トランジスタである、

請求項 1 に記載の画素補償回路ユニット。

【請求項 3】

前記リセット制御回路は第四のトランジスタを含み、

前記第四のトランジスタのゲート極は前記第一の制御電源線に接続され、前記第四のトランジスタの第一極は前記第一のトランジスタの前記第一極に接続され、前記第四のトランジスタの第二極は前記リセット電源線に接続される、  
請求項 1 に記載の画素補償回路ユニット。

【請求項 4】

順次設けられる複数の画素補償回路ユニットを含み、前記画素補償回路ユニットに上記請求項 1 ~ 3 のいずれか一項に記載の画素補償回路ユニットを用いる、  
画素回路。

10

【請求項 5】

請求項 4 に記載の画素回路を含む、  
表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

〔関連出願の相互参照〕

本願は、2017年9月8日に中国国家知識産権局へ提出された特許出願No. 201710805843.2の優先権を主張し、そのすべての内容は引用という形でここに併せられる。

20

【0002】

本願は、表示技術分野に関するものであり、特に、画素補償回路ユニット、画素回路および表示装置に関する。

【背景技術】

【0003】

アクティブマトリクス有機発光ダイオード(Active-matrix organic light emitting diode、略称AMOLED)表示装置は従来の液晶表示ディスプレイに比べて、より広い視野角、より高いリフレッシュレート、より薄い寸法を有するため、その応用はますます広範囲にわたっている。

30

目下、AMOLED表示装置にはいずれも画素補償回路が設けられており、広く使用されているのは電圧式補償回路である。しかし、電圧式補償回路において、データダイレクト式補償回路は蓄積容量Cstに対する要求が低いため、小さな寸法の製品への応用に適しており、特に高PPI製品に好適である。

【発明の概要】

【0004】

本願は、画素補償回路の構造が簡素化できる、画素補償回路ユニット、画素回路および表示装置を提供する。

【0005】

本願の一つの態様では、リセット電源線、リセット制御回路、ブリッジ回路および少なくとも二つの画素補償回路を含み、前記少なくとも二つの画素補償回路は前記リセット電源線に接続され、前記リセット制御回路の一端は前記リセット電源線に接続され、前記リセット制御回路の他端は前記ブリッジ回路に接続され、前記少なくとも二つの画素補償回路間は前記ブリッジ回路を介して接続される、画素補償回路ユニットを提供する。

40

【0006】

任意で、前記画素補償回路の数は二つであり、二つの画素補償回路は第一の画素補償回路と第二の画素補償回路とを含み、前記ブリッジ回路は第一のノードに接続され、第一の画素補償回路は第一のノードに接続され、前記ブリッジ回路は第二のノードに接続され、第二の画素補償回路は第二のノードに接続される。

【0007】

50

任意で、前記ブリッジ回路は第一のスイッチ管を含み、前記第一のスイッチ管の制御極は第一の制御電源線に接続され、前記第一のスイッチ管の第一極は第一のノードに接続され、前記第一のスイッチ管の第二極は第二のノードに接続され、前記リセット制御回路は第一のノードに接続される。

【0008】

任意で、前記ブリッジ回路は第一のスイッチ管を含み、前記第一のスイッチ管の制御極は第一の制御電源線に接続され、前記第一のスイッチ管の第一極は第一のノードに接続され、前記第一のスイッチ管の第二極は第二のノードに接続され、前記リセット制御回路は第二のノードに接続される。

【0009】

任意で、前記ブリッジ回路は第二のスイッチ管と第三のスイッチ管とを含み、前記第二のスイッチ管の制御極は第一の制御電源線に接続され、前記第二のスイッチ管の第一極は第一のノードに接続され、前記第二のスイッチ管の第二極は第三のノードに接続され、前記第三のスイッチ管の制御極は第一の制御電源線に接続され、前記第三のスイッチ管の第一極は前記第三のノードに接続され、前記第三のスイッチ管の第二極は第二のノードに接続され、前記リセット制御回路は第三のノードに接続される。

【0010】

任意で、前記第一のスイッチ管はダブルゲート薄膜トランジスタである。

【0011】

任意で、前記リセット制御回路は第四のスイッチ管を含み、前記第四のスイッチ管の制御極は第一の制御電源線に接続され、前記第四のスイッチ管の第一極は第一のノードに接続され、前記第四のスイッチ管の第二極はリセット電源線に接続される。

【0012】

任意で、前記リセット制御回路は第四のスイッチ管を含み、前記第四のスイッチ管の制御極は第一の制御電源線に接続され、前記第四のスイッチ管の第一極は第二のノードに接続され、前記第四のスイッチ管の第二極はリセット電源線に接続される。

【0013】

任意で、前記リセット制御回路は第四のスイッチ管を含み、前記第四のスイッチ管の制御極は第一の制御電源線に接続され、前記第四のスイッチ管の第一極は第三のノードに接続され、前記第四のスイッチ管の第二極はリセット電源線に接続される。

【0014】

本願の一つの態様では、順次設けられる複数の画素補償回路ユニットを含み、前記画素補償回路ユニットに上記画素補償回路ユニットを用いる、画素回路を提供する。

【0015】

本願の一つの態様では、上記画素回路を含む表示装置を提供する。

【図面の簡単な説明】

【0016】

【図1】本願実施例が提供する画素補償回路ユニットの構造模式図である。

【図2】図1の画素補償回路ユニットの詳細な構造模式図である。

【図3】図1の画素補償回路ユニットのタイミングチャート図である。

【図4】本願の他の実施例の画素補償回路ユニットの詳細な構造模式図である。

【図5】本願のさらなる実施例の画素補償回路ユニットの詳細な構造模式図である。

【発明を実施するための形態】

【0017】

当業者が本願の技術案をよりよく理解できるように、以下では図面を組み合わせ、本願が提供する画素補償回路ユニット、画素回路および表示装置について詳細に述べる。

【0018】

図1は、本願実施例の画素補償回路ユニットの構造模式図であり、図1に示すように、当該画素補償回路ユニットは、リセット電源線  $V_{int}$ 、リセット制御回路1、ブリッジ回路2および少なくとも二つの画素補償回路を含み、少なくとも二つの画素補償回路はリ

10

20

30

40

50

セット電源線  $V_{int}$  に接続され、リセット制御回路 1 の一端はリセット電源線  $V_{int}$  に接続され、他端はブリッジ回路 2 に接続され、少なくとも二つの画素補償回路間はブリッジ回路 2 を介して接続される。

**【0019】**

本一実施例において、画素補償回路の数は二つであり、二つの画素補償回路は第一の画素補償回路 3 と第二の画素補償回路 4 とを含む。つまり、そのうちの一つの画素補償回路は第一の画素補償回路 3 であり、別の画素補償回路は第二の画素補償回路 4 である。図 2 に示すように、ブリッジ回路 2 が第一のノード  $N_1$  に接続され、第一の画素補償回路 3 が第一のノード  $N_1$  に接続され、ブリッジ回路 2 が第二のノード  $N_2$  に接続され、第二の画素補償回路 4 が第二のノード  $N_2$  に接続されることで、第一の画素補償回路 3 と第二の画素補償回路 4 との間をブリッジ回路 2 を介して接続することを実現する。本実施例において、第一の画素補償回路は第二の画素補償回路の一つ前の行の画素補償回路であり、たとえば、第一の画素補償回路が一つ前の行の画素補償回路である場合、第二の画素補償回路は現在の行の画素補償回路である。本実施例において、ブリッジ回路 2 は、第一のノード  $N_1$  と第二のノード  $N_2$  とを接続するブリッジとすることができる。

10

**【0020】**

本実施例が提供する画素補償回路ユニットの技術案において、少なくとも二つの画素補償回路はリセット電源線に接続され、リセット制御回路は前記リセット電源線とブリッジ回路に接続され、少なくとも二つの画素補償回路間はブリッジ回路を介して接続されており、本実施例における複数の画素補償回路は一本のリセット電源線を共用するため、リセット電源線の数が減らされ、これにより、画素補償回路の構造が簡素化されている。

20

**【0021】**

図 2 は、図 1 の画素補償回路ユニットの詳細な構造模式図であり、図 2 に示すように、本実施例の画素補償回路ユニットにおいて、ブリッジ回路 2 は第一のスイッチ管  $T_1$  を含む。第一のスイッチ管  $T_1$  の制御極は第一の制御電源線  $S_{n1}$  に接続され、第一のスイッチ管  $T_1$  の第一極は第一のノード  $N_1$  に接続され、第一のスイッチ管  $T_1$  の第二極は第二のノード  $N_2$  に接続される。リセット制御回路 1 は第一のノード  $N_1$  に接続される。本実施例において、たとえば、第一のスイッチ管  $T_1$  はダブルゲート  $TFT$  であり、ダブルゲート  $TFT$  を用いてリーク電流を効果的に低減させることができるため、第一のノード  $N_1$  と第二のノード  $N_2$  の電圧は、1 フレーム画面時間内において所定レベルに保持され、リーク電流が大き過ぎることによる、第一のノード  $N_1$  と第二のノード  $N_2$  の電圧低下が過大になるという問題は生じない。

30

**【0022】**

本実施例において、リセット制御回路 1 は第四のスイッチ管  $T_4$  を含む。第四のスイッチ管  $T_4$  の制御極は第一の制御電源線  $S_{n1}$  に接続され、第四のスイッチ管  $T_4$  の第一極は第一のノード  $N_1$  に接続され、第四のスイッチ管  $T_4$  の第二極はリセット電源線  $V_{int}$  に接続される。

**【0023】**

本実施例において、第一の画素補償回路 3 は、リセット回路、充電制御回路、駆動回路、記憶モジュール、スイッチモジュール、発光素子を含む。

40

**【0024】**

リセット回路は第五のスイッチ管  $T_5$  を含む。第五のスイッチ管  $T_5$  の制御極は第一の制御電源線  $S_{n1}$  に接続され、第五のスイッチ管  $T_5$  の第一極は第四のノード  $N_4$  に接続され、第五のスイッチ管  $T_5$  の第二極はリセット電源線  $V_{int}$  に接続される。

**【0025】**

充電制御回路は第六のスイッチ管  $T_6$  と第七のスイッチ管  $T_7$  を含む。第六のスイッチ管  $T_6$  の制御極は第二の制御電源線  $S_{n2}$  に接続され、第六のスイッチ管  $T_6$  の第一極はデータ線  $Data$  に接続され、第六のスイッチ管  $T_6$  の第二極は第五のノード  $N_5$  に接続される。第七のスイッチ管  $T_7$  の制御極は第二の制御電源線  $S_{n2}$  に接続され、第七のスイッチ管  $T_7$  の第一極は第六のノード  $N_6$  に接続され、第七のスイッチ管  $T_7$  の第二極は第

50

一のノードN1に接続される。

【0026】

駆動回路は第八のスイッチ管T8を含む。第八のスイッチ管T8の制御極は第一のノードN1に接続され、第八のスイッチ管T8の第一極は第五のノードN5に接続され、第八のスイッチ管T8の第二極は第六のノードN6に接続される。

【0027】

記憶回路は蓄積容量Cstを含む。蓄積容量Cstの一端は第一の電圧源に接続され、蓄積容量Cstの他端は第一のノードN1に接続される。そのうち、第一の電圧源が出力する電圧はVDDである。

【0028】

スイッチ回路は第九のスイッチ管T9と第十のスイッチ管T10とを含む。第九のスイッチ管T9の制御極はスイッチ制御電源線EMに接続され、第九のスイッチ管T9の第一極は第一の電圧源に接続され、第九のスイッチ管T9の第二極は第五のノードN5に接続される。第十のスイッチ管T10の制御極はスイッチ制御電源線EMに接続され、第十のスイッチ管T10の第一極は第六のノードN6に接続され、第十のスイッチ管T10の第二極は第四のノードN4に接続される。

【0029】

発光素子の第一端は第四のノードN4に接続され、発光素子の第二端は第二の電圧源に接続される。たとえば、発光素子はOLEDを含み、OLEDの第一端は第四のノードN4に接続され、OLEDの第二端は第二の電圧源に接続される。第二の電圧源が出力する電圧はVSSである。

【0030】

本実施例において、第二の画素補償回路4は第一の画素補償回路3の隣接する行の画素補償回路である。第二の画素補償回路4における各機能モジュールと第一の画素補償回路3における各機能モジュールは同一で、相違点は接続関係が異なるということである。具体的に言うと、第二の画素補償回路4において、第六のスイッチ管T6の制御極は第三の制御電源線Sn3に接続され、第六のスイッチ管T6の第一極はデータ線Dataに接続され、第六のスイッチ管T6の第二極は第五のノードN5に接続され、第七のスイッチ管T7の制御極は第三の制御電源線Sn3に接続され、第七のスイッチ管T7の第一極は第六のノードN6に接続され、第七のスイッチ管T7の第二極は第二のノードN2に接続される。第二の画素補償回路4内の残りの構造に関する説明は第一の画素補償回路3を参照することができるため、ここでは改めて論じない。

【0031】

本実施例において、第三の制御電源線Sn3は現在の段のゲート駆動回路(Gate Driver on Array、略称GOA)に接続され、現在の段のGOAは、第三の制御電源線Sn3を介して第二の画素補償回路4における第六のスイッチT6と第七のスイッチ管T7へ第三の制御電圧を出力し、現在の段のGOAの一つ前の段のGOAは、第二の制御電源線Sn2に接続され、一つ前の段のGOAは、第二の制御電源線Sn2を介して第一の画素補償回路3における第六のスイッチT6と第七のスイッチ管T7へ第二の制御電圧を出力する。現在の段のGOAの二つ前の段のGOAは第一の制御電源線Sn1に接続され、二つ前の段のGOAは第一の制御電源線Sn1を介して第一のスイッチ管T1、第四のスイッチ管T4、第一の画素補償回路3における第五のスイッチ管T5、第二の画素補償回路4における第五のスイッチ管T5へ第一の制御電圧を出力する。

【0032】

本実施例において、第一のスイッチ管T1から第十一のスイッチ管T11はいずれもTFTである。

【0033】

図3は、図2の画素補償回路ユニットのタイミングチャート図である。以下では、図2と図3を組み合わせて画素補償回路の駆動過程について詳細に説明する。

【0034】

10

20

30

40

50

リセット段階 T 1 において、第一の制御電源線 S n 1 が出力する第一の制御電圧は低レベル電圧である。第一の制御電源線 S n 1 が第一のスイッチ管 T 1 の制御極へ第一の制御電圧を出力することで第一のスイッチ管 T 1 をオンさせ、第一の制御電源線 S n 1 が第四のスイッチ管 T 4 の制御極へ第一の制御電圧を出力することで第四のスイッチ管 T 4 をオンさせ、第一の制御電源線 S n 1 が第一の画素補償回路 3 と第二の画素補償回路 4 における各第五のスイッチ管 T 5 へ第一の制御電圧を出力することで第一の画素補償回路 3 と第二の画素補償回路 4 における各第五のスイッチ管 T 5 をいずれもオンさせる。リセット電源線 V i n t が、オン状態である第四のスイッチ管 T 4 を介して第一のノード N 1 へリセット電圧を出力することで、第一のノード N 1 をリセットすることを実現し、リセット電源線 V i n t が、オン状態である第四のスイッチ管 T 4 と第一のスイッチ管 T 1 を介して第二のノード N 2 へリセット電圧を出力することで、第二のノード N 2 をリセットすることを実現し、リセット電源線 V i n t が第一の画素補償回路 3 の第五のスイッチ管 T 5 を介して第四のノード N 4 へリセット電圧を出力することで、第四のノード N 4 をリセットすることを実現し、リセット電源線 V i n t が第二の画素補償回路 4 の第五のスイッチ管 T 5 を介して第四のノード N 4 へリセット電圧を出力することで、第四のノード N 4 をリセットすることを実現する。そのうち、リセット電圧が低レベル電圧であれば、リセット後、第一のノード N 1、第二のノード N 2、二つの第四のノード N 4 の電圧はいずれも低レベル電圧である。

10

**【 0 0 3 5 】**

第一の充電段階 T 2 において、第二の制御電源線 S n 2 が出力する第二の制御電圧は低レベル電圧である。第二の制御電源線 S n 2 が第一の画素補償回路 3 における第六のスイッチ管 T 6 へ第二の制御電圧を出力することで第六のスイッチ管 T 6 をオンさせる。第二の制御電源線 S n 2 が第一の画素補償回路 3 における第七のスイッチ管 T 7 へ第二の制御電圧を出力することで、第七のスイッチ管 T 7 をオンさせる。オン状態にある第七のスイッチ管 T 7 の作用下で、第八のスイッチ管 T 8 はダイオードの役割を果たし、データ線 D a t a が、オン状態である第六のスイッチ管 T 6 と第八のスイッチ管 T 8 を介して第一のノード N 1 を充電し、エネルギーを蓄積容量 C s t に蓄えることで、第一のノード N 1 の電圧を V d a t a + V t h とし、そのうち、V d a t a はデータ線 D a t a が出力するデータ電圧であり、V t h は第八のスイッチ管 T 8 の閾値電圧である。本実施例では、第一の充電段階において第一の画素補償回路 3 の充電過程が完了する。

20

30

**【 0 0 3 6 】**

第二の充電段階 T 3 において、第三の制御電源線 S n 3 が出力する第三の制御電圧は低レベル電圧である。第三の制御電源線 S n 3 が第二の画素補償回路 4 における第六のスイッチ管 T 6 へ第三の制御電圧を出力することで第六のスイッチ管 T 6 をオンさせる。第三の制御電源線 S n 3 が第二の画素補償回路 4 における第七のスイッチ管 T 7 へ第三の制御電圧を出力することで、第七のスイッチ管 T 7 をオンさせる。オン状態にある第七のスイッチ管 T 7 の作用下で、第八のスイッチ管 T 8 はダイオードの役割を果たし、データ線 D a t a が、オン状態である第六のスイッチ管 T 6 と第八のスイッチ管 T 8 を介して第二のノード N 2 を充電し、エネルギーを蓄積容量 C s t に蓄えることで、第二のノード N 2 の電圧を V d a t a + V t h とし、そのうち、V d a t a はデータ線 D a t a が出力するデータ電圧であり、V t h は第八のスイッチ管 T 8 の閾値電圧である。本実施例では、第一の充電段階において第二の画素補償回路 4 の充電過程が完了する。

40

**【 0 0 3 7 】**

発光段階 T 4 において、スイッチ制御電源線 E M が出力するスイッチ制御電圧は低レベル電圧である。スイッチ制御電源線 E M が第一の画素補償回路 3 における第九のスイッチ管 T 9 と第十のスイッチ管 T 1 0 の制御極へスイッチ制御電圧を出力することで、第九のスイッチ管 T 9 と第十のスイッチ管 T 1 0 をオンさせる。スイッチ制御電源線 E M が第二の画素補償回路 4 における第九のスイッチ管 T 9 と第十のスイッチ管 T 1 0 の制御極へスイッチ制御電圧を出力することで、第九のスイッチ管 T 9 と第十のスイッチ管 T 1 0 をオンさせる。第一の画素補償回路 3 および第二の画素補償回路 4 において、第八のスイッチ

50

管 T 8 が蓄積容量 C s t に蓄えられた電圧を駆動電流に転換し、当該駆動電流は O L E D の発光を駆動することに用いられ、駆動電流  $I = 1 / 2 * \mu_p * C_{ox} * W / L * (V_{gs} - V_{th})$  であり、そのうち、 $\mu_p$  は正孔移動度であり、 $C_{ox}$  は絶縁層誘電率であり、 $W / L$  は幅長比であって、 $V_{gs} = V_{data} + V_{th} - V_{DD}$  であるため、 $I = 1 / 2 * \mu * C * W / L * (V_{data} + V_{th} - V_{DD} - V_{th}) = 1 / 2 * \mu * C * W / L * (V_{data} - V_{DD})$  である。上記式から分かるように、駆動電流は  $V_{th}$  の影響を受けないため、画素表示の均一性が向上している。発光段階 T 4 において、第一の画素補償回路 3 と第二の画素補償回路 4 内の O L E D は同時に発光する。本実施例において、第一の電圧源が出力する電圧  $V_{DD}$  は高レベル電圧であり、第二の電圧源が出力する  $V_{SS}$  は低レベル電圧である。

10

#### 【0038】

説明しておくべき点は、上記リセット段階 T 1、第一の充電段階 T 2、第二の充電段階 T 3 において、スイッチ制御電源線 E M が出力するスイッチ制御電圧が高レベル電圧であるため、第一の画素補償回路 3 内の第九のスイッチ管 T 9 と第十のスイッチ管 T 10 がオフされ、かつ第二の画素補償回路 4 内の第九のスイッチ管 T 9 と第十のスイッチ管 T 10 もオフされる。

#### 【0039】

本実施例が提供する画素補償回路ユニットの技術案において、少なくとも二つの画素補償回路はリセット電源線に接続され、リセット制御回路は前記リセット電源線とブリッジ回路に接続され、少なくとも二つの画素補償回路間はブリッジ回路を介して接続されており、本実施例における複数の画素補償回路は一本のリセット電源線を共用するため、リセット電源線の本数が減らされ、これにより、画素補償回路の構造が簡素化されている。本実施例において、第一の画素補償回路と第二の画素補償回路はスイッチ制御電源線が出力するスイッチ制御信号を共有するため、設計 ( L a y o u t ) において信号の出力が簡素化されている。本実施例において、第一の制御電源線 S n 1 が出力する電圧を第一の画素補償回路と第二の画素補償回路の第一の制御電圧とすることで、第一の画素補償回路と第二の画素補償回路のリセットを実現することができ、G O A は二つの画素補償回路への一つの制御電圧を出力するだけでよくなるため、G O A の段数が減らされる。

20

#### 【0040】

図 4 は本願のさらなる実施例の画素補償回路ユニットの詳細な構造模式図である。図 4 に示すように、上記実施例と比較した際の本実施例における画素補償回路ユニットの相違点は、ブリッジ回路 2 が第一のスイッチ管 T 1 を含むということである。第一のスイッチ管 T 1 の制御極は第一の制御電源線 S n 1 に接続され、第一のスイッチ管 T 1 の第一極は第一のノード N 1 に接続され、第一のスイッチ管 T 2 の第二極は第二のノード N 2 に接続される。リセット制御回路 1 は第二のノード N 2 に接続される。本実施例において、たとえば、第一のスイッチ管 T 1 はダブルゲート T F T であり、ダブルゲート T F T を用いることでリーク電流を効果的に低減させることができるため、第一のノード N 1 と第二のノード N 2 の電圧は、1 フレーム画面時間内において所定レベルに保持され、リーク電流が大き過ぎることによる、第一のノード N 1 と第二のノード N 2 の電圧低下が過大になるといった問題は生じない。

30

#### 【0041】

リセット制御回路 1 は第四のスイッチ管 T 4 を含む。第四のスイッチ管 T 4 の制御極は第一の制御電源線 S n 1 に接続され、第四のスイッチ管 T 4 の第一極は第二のノード N 2 に接続され、第四のスイッチ管 T 4 の第二極はリセット電源線 V i n t に接続される。

#### 【0042】

リセット段階 T 1 において、第一の制御電源線 S n 1 が出力する第一の制御電圧は低レベル電圧である。第一の制御電源線 S n 1 が第一のスイッチ管 T 1 の制御極へ第一の制御電圧を出力することで第一のスイッチ管 T 1 をオンさせ、第一の制御電源線 S n 1 が第四のスイッチ管 T 4 の制御極へ第一の制御電圧を出力することで第四のスイッチ管 T 4 をオンさせ、第一の制御電源線 S n 1 が第一の画素補償回路 3 と第四の画素補償回路 4 内の各

40

50

第五のスイッチ管 T 5 へ第一の制御電圧を出力することで第一の画素補償回路 3 と第二の画素補償回路 4 内の各第五のスイッチ管 T 5 をいずれもオンさせる。リセット電源線 V i n t が、オン状態である第四のスイッチ管 T 4 を介して第二のノード N 2 へリセット電圧を出力することで、第二のノード N 2 をリセットすることを実現し、リセット電源線 V i n t が、オン状態である第四のスイッチ管 T 4 と第一のスイッチ管 T 1 を介して第一のノード N 1 へリセット電圧を出力することで、第一のノード N 1 をリセットすることを実現し、リセット電源線 V i n t が第一の画素補償回路 3 の第五のスイッチ管 T 5 を介して第四のノード N 4 へリセット電圧を出力することで、第四のノード N 4 をリセットすることを実現し、リセット電源線 V i n t が第二の画素補償回路 4 の第五のスイッチ管 T 5 を介して第四のノード N 4 へリセット電圧を出力することで、第四のノード N 4 をリセットすることを実現する。そのうち、リセット電圧が低レベル電圧であれば、リセット後、第一のノード N 1、第二のノード N 2、二つの第四のノード N 4 の電圧はいずれも低レベル電圧である。

10

**【 0 0 4 3 】**

本実施例において、残りの構造および残りの作業段階に関する説明はいずれも図 2 に示すものと同一であり、具体的な説明は図 2 の実施例を参照することができるため、ここでは改めて論じない。

**【 0 0 4 4 】**

本実施例が提供する画素補償回路ユニットの技術案において、少なくとも二つの画素補償回路はリセット電源線に接続され、リセット制御回路は前記リセット電源線とブリッジ回路に接続され、少なくとも二つの画素補償回路間はブリッジ回路を介して接続され、本実施例における複数の画素補償回路は一本のリセット電源線を共用するため、リセット電源線の数が減らされ、これにより、画素補償回路の構造が簡素化されている。本実施例において、第一の画素補償回路と第二の画素補償回路はスイッチ制御電源線が出力するスイッチ制御信号を共有するため、設計 ( L a y o u t ) において信号の出力が簡素化されている。

20

**【 0 0 4 5 】**

図 5 は本願のさらなる実施例の画素補償回路ユニットの詳細な構造模式図であり、図 5 に示すように、上記各実施例と比較した際の本実施例が提供する画素補償回路ユニットの相違点は、ブリッジ回路 2 が第二のスイッチ管 T 2 と第三のスイッチ管 T 3 とを含むということである。第二のスイッチ管 T 2 の制御極は第一の制御電源線 S n 1 に接続され、前記第二のスイッチ管 T 2 の第一極は第一のノード N 1 に接続され、第二のスイッチ管 T 2 の第二極は第三のノード N 3 に接続され、第三のスイッチ管 T 3 の制御極は第一の制御電源線 S n 1 に接続され、第三のスイッチ管 T 3 の第一極は第三のノード N 3 に接続され、第三のスイッチ管 T 3 の第二極は第二のノード T 2 に接続され、リセット制御回路 1 は第三のノード N 3 に接続される。本実施例において、第二のスイッチ管 T 2 と第三のスイッチ管 T 3 はいずれもシングルゲート T F T であり、二つのシングルゲートが一つのダブルゲート T F T の効果を奏する。二つのシングルゲートで形成されるダブルゲート T F T はリーク電流を効果的に低減できるため、第一のノード N 1 と第二ノード N 2 の電圧は、1 フレーム画面時間内において所定レベルに保持され、リーク電流が大き過ぎることによる、第一のノード N 1 と第二のノード N 2 の電圧低下が過大になるという問題は生じない。また、二つのシングルゲートは画素補償回路ユニットにおいて対称に設けられており、二つのシングルゲート内のリーク電流には差がなく、両端の容量が同一電位に保たれることで、画素補償回路ユニット内の二つの画素補償回路が表示する時の階調を同一にさせる。

30

40

**【 0 0 4 6 】**

リセット制御回路 1 は第四のスイッチ管 T 4 を含む。第四のスイッチ管 T 4 の制御極は第一の制御電源線 S n 1 に接続され、第四のスイッチ管 T 4 の第一極は第三のノード N 3 に接続され、第四のスイッチ管 T 4 の第二極はリセット電源線 V i n t に接続される。

**【 0 0 4 7 】**

リセット段階 T 1 において、第一の制御電源線 S n 1 が出力する第一の制御電圧は低レ

50

ベル電圧である。第一の制御電源線  $S_{n1}$  が第二のスイッチ管  $T_2$  の制御極へ第一の制御電圧を出力することで第二のスイッチ管  $T_2$  をオンさせ、第一の制御電源線  $S_{n1}$  が第三のスイッチ管  $T_3$  の制御極へ第一の制御電圧を出力することで第三のスイッチ管  $T_3$  をオンさせ、第一の制御電源線  $S_{n1}$  が第四のスイッチ管  $T_4$  の制御極へ第一の制御電圧を出力することで第四のスイッチ管  $T_4$  をオンさせ、第一の制御電源線  $S_{n1}$  が第一の画素補償回路 3 と第二の画素補償回路 4 における各第五のスイッチ管  $T_5$  へ第一の制御電圧を出力することで第一の画素補償回路 3 と第二の画素補償回路 4 における各第五のスイッチ管  $T_5$  をいずれもオンさせる。リセット電源線  $V_{int}$  が、オン状態である第四のスイッチ管  $T_4$  と第二のスイッチ管  $T_2$  を介して第一のノード  $N_1$  へリセット電圧を出力することで、第一のノード  $N_1$  をリセットすることを実現し、リセット電源線  $V_{int}$  が、オン状態である第四のスイッチ管  $T_4$  と第三のスイッチ管  $T_3$  を介して第二のノード  $N_2$  へリセット電圧を出力することで、第二のノード  $N_2$  をリセットすることを実現し、リセット電源線  $V_{int}$  が第一の画素補償回路 3 の第五のスイッチ管  $T_5$  を介して第四のノード  $N_4$  へリセット電圧を出力することで、第四のノード  $N_4$  をリセットすることを実現し、リセット電源線  $V_{int}$  が第二の画素補償回路 4 の第五のスイッチ管  $T_5$  を介して第四のノード  $N_4$  へリセット電圧を出力することで、第四のノード  $N_4$  をリセットすることを実現する。そのうち、リセット電圧が低レベル電圧であれば、リセット後、第一のノード  $N_1$ 、第二のノード  $N_2$ 、二つの第四のノード  $N_4$  の電圧はいずれも低レベル電圧である。

【0048】

本実施例において、残りの構造および残りの作業段階に関する説明はいずれも図 2 に示すものと同一であり、具体的な説明は図 2 の実施例を参照することができるため、ここでは改めて論じない。

【0049】

本実施例が提供する画素補償回路ユニットの技術案において、少なくとも二つの画素補償回路はリセット電源線に接続され、リセット制御回路は前記リセット電源線とブリッジ回路に接続され、少なくとも二つの画素補償回路間はブリッジ回路によって接続されており、本実施例における複数の画素補償回路は一本のリセット電源線を共用するため、リセット電源線の数が減らされ、これにより、画素補償回路の構造が簡素化されている。本実施例において、第一の画素補償回路と第二の画素補償回路はスイッチ制御電源線が出力するスイッチ制御信号を共有するため、設計 (Layout) において信号の出力が簡素化されている。

【0050】

本願の実施例では、順次設けられる複数の画素補償回路ユニットを含む画素回路を提供する。画素補償回路ユニットは上記各実施例におけるいずれかの画素補償回路ユニットを含んでよい。

【0051】

本実施例が提供する画素回路の技術案において、少なくとも二つの画素補償回路はリセット電源線に接続され、リセット制御回路は前記リセット電源線とブリッジ回路に接続され、少なくとも二つの画素補償回路間はブリッジ回路を介して接続されており、本実施例における複数の画素補償回路は一本のリセット電源線を共用するため、リセット電源線の数が減らされ、これにより、画素補償回路の構造が簡素化されている。本実施例において、第一の画素補償回路と第二の画素補償回路はスイッチ制御電源線が出力するスイッチ制御信号を共有するため、設計 (Layout) において信号の出力が簡素化されている。

【0052】

本願の実施例では、上記画素回路を含む表示装置を提供する。

【0053】

本実施例が提供する表示装置の技術案において、少なくとも二つの画素補償回路はリセット電源線に接続され、リセット制御回路は前記リセット電源線とブリッジ回路に接続され、少なくとも二つの画素補償回路間はブリッジ回路によって接続されており、本実施例における複数の画素補償回路は一本のリセット電源線を共用するため、リセット電源線の

10

20

30

40

50

数が減らされ、これにより、画素補償回路の構造が簡素化されている。本実施例において、第一の画素補償回路と第二の画素補償回路はスイッチ制御電源線が出力するスイッチ制御信号を共有するため、設計（L a y o u t）において信号の出力が簡素化されている。

【 0 0 5 4 】

以上の実施の形態は、本発明の原理を説明するために用いた例示的な実施の形態であって、本発明はこれに限らない。当業者は、本発明の精神と実質的な状況を逸脱しなければ、各種変形と改善をなすことができ、これらの変形と改善も本発明の請求範囲であると見なされる。

【符号の説明】

【 0 0 5 5 】

- 1 リセット制御回路
- 2 ブリッジ回路
- 3 画素補償回路
- 4 画素補償回路

10

20

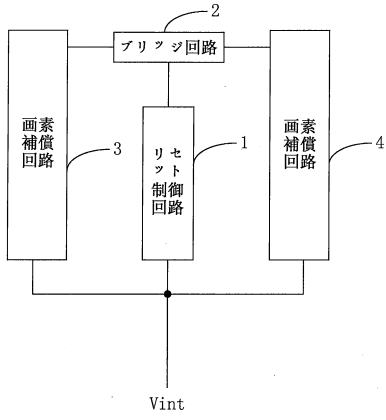
30

40

50

【図面】

【図 1】



【図 2】

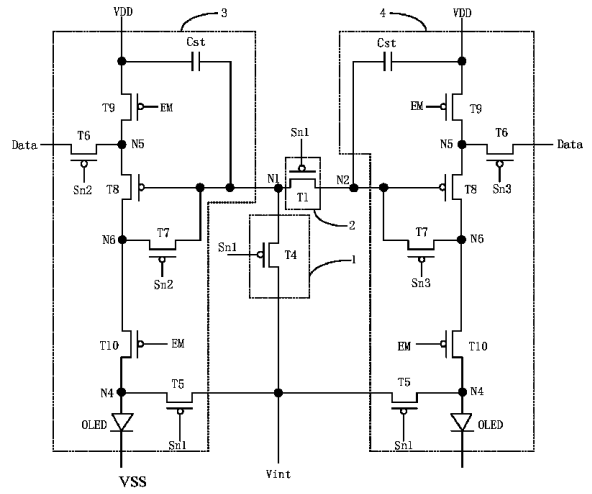


図 2

10

【図 3】

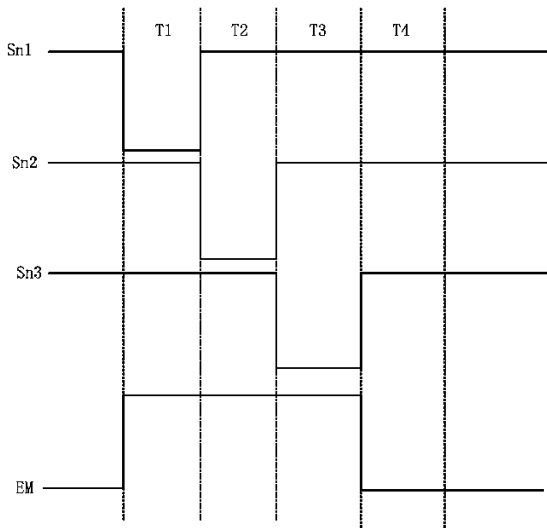


図 3

【図 4】

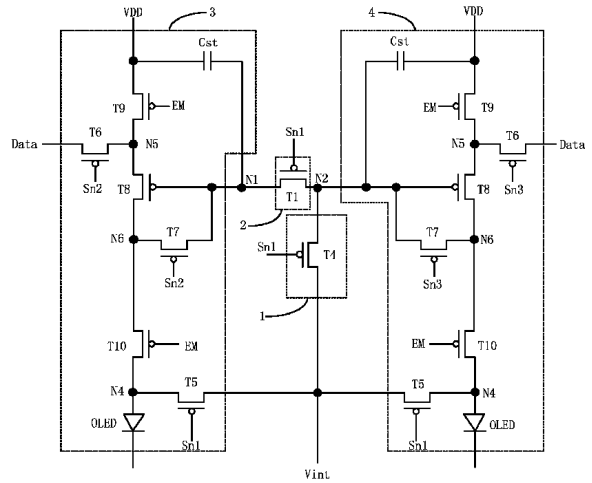


図 4

20

30

40

50



## フロントページの続き

## (51)国際特許分類

**H 1 0 K 50/00 (2023.01)**

F I

H 0 1 L 27/32

H 0 5 B 33/02

H 0 5 B 33/14 A

中華人民共和國 6 1 1 7 3 1 四川省成都市高新區 (西區) 合作路 1 1 8 8 號  
 No. 1 1 8 8 , Hezuo Rd. , (West Zone) , Hi - tech Development Zone , Chengdu , Sichuan , 6 1 1 7 3 1 , P . R . CHINA

(74)代理人 100108453

弁理士 村山 靖彦

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 馮 佑雄

中華人民共和國 1 0 0 1 7 6 北京市北京 經 濟 技 術 開 發 区 地 澤 路 9 号

審査官 橋本 直明

(56)参考文献 米国特許出願公開第 2 0 0 9 / 0 2 8 9 8 7 6 ( U S , A 1 )

中国特許出願公開第 1 0 6 9 9 1 9 6 6 ( C N , A )

特開 2 0 1 6 - 1 7 7 0 4 9 ( J P , A )

特開 2 0 1 6 - 0 7 5 7 8 7 ( J P , A )

米国特許出願公開第 2 0 1 4 / 0 2 9 9 8 4 3 ( U S , A 1 )

特開 2 0 1 6 - 0 8 1 0 3 0 ( J P , A )

(58)調査した分野 (Int.Cl. , D B 名)

G 0 9 G 3 / 3 2 0 8

G 0 9 G 3 / 2 0

G 0 9 F 9 / 3 0

H 0 1 L 2 7 / 3 2

H 0 5 B 3 3 / 0 2

H 0 1 L 5 1 / 5 0