

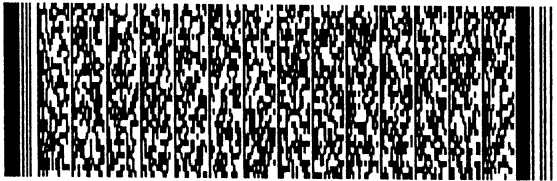
申請日期: 97-7-14	IPC分類
申請案號: 97121053	101L ²³ /28

(以上各欄由本局填註) **發明專利說明書**

一、發明名稱	中文	捲帶下晶片封裝構造及其製程
	英文	Chip-Under-Tape package and process for manufacturing the same

二、發明人 (共3人)	姓名 (中文)	1. 劉安鴻 2. 趙永清 3. 李耀榮
	姓名 (英文)	1. Liu, John 2. Chao, Yeong-Ching 3. Lee, Y. J.
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW

三、申請人 (共2人)	名稱或姓名 (中文)	1. 南茂科技股份有限公司
	名稱或姓名 (英文)	1. ChipMOS TECHNOLOGIES INC.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區研發一路1號 (本地址與前向貴局申請者不同)
	住居所 (營業所) (英文)	1. No. 1. R&D Rd. 1, Science-Based Industrial Park, Hsinchu, Taiwan, R. O. C.
	代表人 (中文)	1. 鄭世杰
代表人 (英文)	1. Cheng, Shih-Jye	

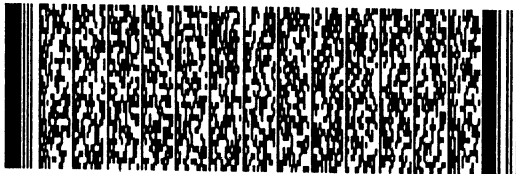


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共3人)	姓名 (中文)	
	姓名 (英文)	
	國籍 (中英文)	
三、 申請人 (共2人)	名稱或 姓名 (中文)	2. 百慕達南茂科技股份有限公司
	名稱或 姓名 (英文)	2. ChipMos Technologies (Bermuda) ., LTD
	國籍 (中英文)	2. 百慕達 BM
	住居所 (營業所) (中文)	2. 英屬百慕達漢米頓HM 12維多利亞街22號卡農廣場 (本地址與前向貴局申請者不同)
	住居所 (營業所) (英文)	2. Canon's Court, 22 Victoria Street, Hamilton HM 12, Bermuda
	代表人 (中文)	2. 鄭世杰
	代表人 (英文)	2. Cheng, Shih-Jye



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十七條第一項國際優先權

無

二、主張專利法第二十九條第一項國內優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為：四、有關生物材料已寄存於國外：

寄存國家：

寄存機構：

無

寄存日期：

寄存號碼：

有關生物材料已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

不須寄存生物材料者：所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、發明說明(1)

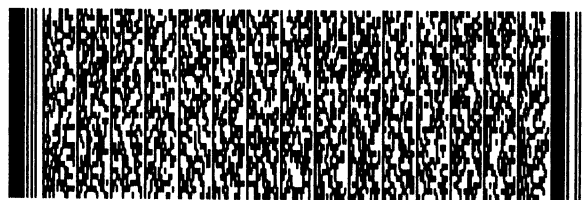
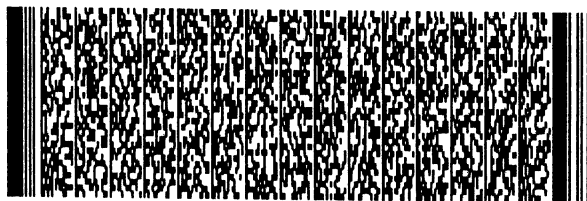
【發明所屬之技術領域】

本發明係有關於一種半導體封裝構造，特別係有關於一種捲帶下晶片封裝構造及其製程，以適用於高頻記憶體晶片之低成本封裝。

【先前技術】

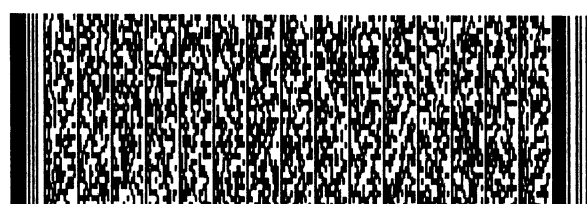
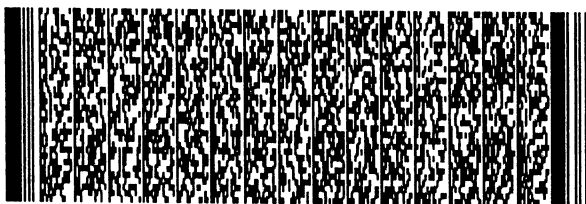
隨著積體電路之高效能與微小化發展，在半導體晶片之封裝型態上將驅向高頻化與低成本封裝，並且針對不同腳數發展出各種封裝類型。就記憶體晶片而言，記憶體容量將越大且頻率要求越高，而對封裝之要求則希望能不損耗其運算頻率且能低成本封裝，在早期之記憶體封裝中，習知不高於150 MHz之頻率之同步動態隨機存取記憶體晶片(Synchronous Dynamic random access memory, SDRAM)與不高於400 MHz雙倍資料速率動態隨機存取記憶體晶片(DDR DRAM)，通常係以TSOP(Thin Small Outline Package)型態封裝即可，其係將一導線架之導腳黏貼於記憶體晶片之主動面，再以鐸線連接記憶體晶片與導腳，以一壓模形成之封膠體密封記憶體晶片與導腳之內腳部，而露出導腳之外腳部，以供對外電性連接，但不適用於高頻記憶體晶片(頻率高於400 MHz)，否則會損耗其傳輸速度。

目前高於400 MHz雙倍資料速率動態隨機存取記憶體晶片係為SOC(Substrate On Chip)封裝型態，請參閱第4圖，一種半導體封裝構造100係主要包含一基板110、一記憶體晶片120、複數個鐸線132、一壓模膠體140以及複數



五、發明說明 (2)

個錫球150，該基板110係具有一上表面111、一下表面112以及貫通上下表面之一開孔113，該基板110為一種微型高密度之印刷電路板(如BT Substrate)，其成本約佔整體封裝成本六成，該基板110係具有多層線路結構以及在該上表面111之複數個接球墊114，該晶片120係具有一主動面121以及一背面122並包含有複數個在該主動面121中央之錫墊123，並請參閱第4及5圖，依習知之封裝製程，首先在黏晶步驟1中，該晶片120之主動面121係以一黏晶膠131黏貼至該基板110，使該晶片120之錫墊123顯露於該基板110之開孔113；之後，在打線連接步驟2中，以該些錫線132通過該開孔113連接該晶片120之該些錫墊123至該基板110；之後，執行一壓模封膠之步驟3，一熱固性之壓模膠體140係形成於該基板110之下表面112，以密封該晶片120，並填充於該開孔113及該基板110在該開孔113周緣之上表面111，以密封該些錫線132，在壓模過程，該基板110之上表面111與下表面112均以適當之模具夾合再注入該壓模膠體140；最後，在接植錫球步驟4中，複數個錫球150係經接植、回錫而錫接在該些接球墊114上，由於電性傳輸路徑已被有效縮短，該半導體封裝構造100可適用於高頻記憶體晶片之封裝。但上述SOC封裝型態仍有下列幾點缺點，第一、壓模膠體140在形成過程容易沿著該基板110之上表面111與模具之間隙而溢膠污染至該些接球墊114，導致該些錫球150無法順利回錫接合於該些接球墊114，第二、錫球150之接植需要額外設置之植球機與回錫



五、發明說明(3)

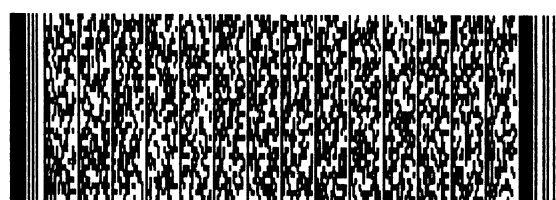
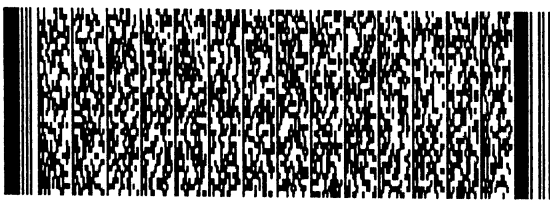
爐，加上目前智慧財產權之權利金費用問題，增加封裝成本與封裝時間，第三、基板110佔封裝成本過高且抗溼性差。

【發明內容】

本發明之主要目的係在於提供一種捲帶下晶片封裝構造，主要包含有一可撓性基板(flexible printed circuit, FPC)、一晶片、複數個打線形成之鐳線與結線凸塊(stud bump)、以及一點塗膠體(potting material)，該可撓性基板係具有一開孔以及複數個顯露於其上表面之內接墊與外接墊，該晶片係貼設於該可撓性基板之下表面，以使其鐳墊顯露於該開孔，該些鐳線係連接該晶片之鐳墊與該可撓性基板之內接墊，該些結線凸塊係設於該些外接墊，該點塗膠體係形成於該開孔，以密封該些鐳線，取代習知鐳球與壓模膠體，並具有防止該點塗膠體污染至該些外接墊之功效，以適用於高頻記憶體晶片之低成本封裝。

本發明之次一目的係在於提供一種捲帶下晶片封裝構造，利用複數個打線形成之鐳線與結線凸塊，以分別達到晶片與可撓性基板之內部電性連接與形成對外導接端，其中該些結線凸塊係設於該可撓性基板之外接墊，以取代球格陣列封裝之鐳球，並且密封該些鐳線之點塗膠體係流佈接觸至該些結線凸塊，不會污染至該些外接墊。

本發明之再一目的係在於提供一種捲帶下晶片封裝方法，其包含有：在一可撓性基板下黏晶、打線形成鐳線與



五、發明說明(4)

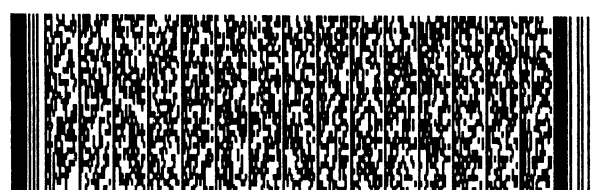
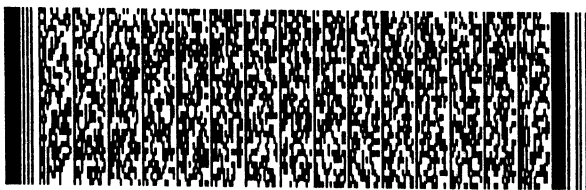
結線凸塊以及點塗形成一點塗膠體等步驟，可利用捲帶輸送進行低成本高效率的封裝，特別是在製程上不需要習知壓模步驟與植球步驟，以適用於高頻記憶體晶片之低成本封裝。

依本發明之捲帶下晶片封裝構造，其係包含一可撓性基板、一晶片、複數個打線形成之鐳線與結線凸塊以及一點塗膠體(potting material)，該可撓性基板係具有一上表面、一下表面以及一開孔，並且該可撓性基板係包含有複數個顯露於該上表面之內接墊與外接墊，該晶片係貼設於該可撓性基板之下表面，該晶片係包含有複數個在其主動面之鐳墊，該些鐳墊係顯露於該開孔，較佳地，該晶片係為高頻記憶體晶片，而該些鐳線係連接該晶片之鐳墊與該可撓性基板對應之內接墊，該些結線凸塊係設於該些外接墊，作為對外導接端，該點塗膠體係形成於該開孔，以密封該些鐳線，在製程上，該點塗膠體係可流佈接觸至該些結線凸塊。

【實施方式】

參閱所附圖式，本發明將列舉以下之實施例說明。

依本發明之一具體實施例，請參閱第1圖，一種捲帶下晶片封裝構造200係主要包含一可撓性基板210、一晶片220、複數個打線形成之鐳線241與結線凸塊242(stud bump)以及一點塗膠體250(potting material)，請同時參閱第2圖，該可撓性基板210係可為一種低成本之單層軟性印刷電路板，其厚度以不超過0.2mm為佳，該可撓性基板

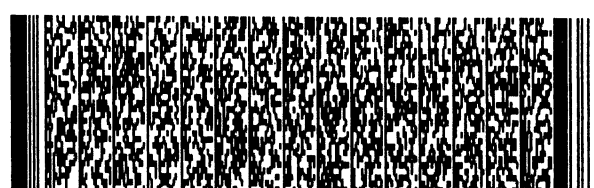
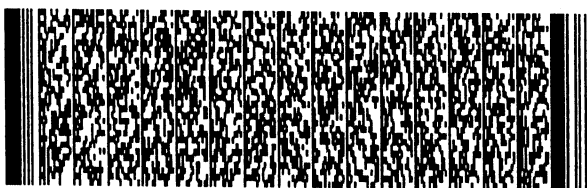


五、發明說明 (5)

210 係具有一上表面211、一下表面212以及一開孔213，並且該可撓性基板210係包含有複數個連接線路214、複數個顯露於該上表面211之內接墊215與外接墊216，該些連接線路214係連接對應之該些內接墊215與外接墊216，該些內接墊215係排列於該開孔213之周圍，該些外接墊216係可為矩陣排列，在本實施例中，該開孔213係為狹長狀，較佳地，該可撓性基板210係以一電絕緣性之保護層217覆蓋該些連接線路214，且該些連接線路214係具有一致之長度，以達到高頻訊號之傳輸，在封裝之前，該可撓性基板210之兩側設有等距之鏈孔218，以供捲帶輸送。

該晶片220係可為一種記憶體晶片或其它低端子數(端子數小於100)之半導體晶片，較佳地，該晶片220係為一頻率高於400Mhz之動態隨機存取記憶體晶片，該晶片220係具有一主動面221以及一對應之背面222並包含有複數個在該主動面221之鐳墊223，在本實施例中，該些鐳墊223係排列於該主動面221之一中央位置，此外，該晶片220係以一黏晶膠230將其主動面221貼設於該可撓性基板210之下表面212，使得該些鐳墊223係顯露於該開孔213，較佳地，該黏晶膠230係具有緩衝彈性。

該些鐳線241係通過該開孔213而連接該晶片220之鐳墊223與該可撓性基板210對應之內接墊215，該些鐳線241之長度應不大於該些連接線路214之長度之三分之一，以縮短傳輸路徑，每一鐳線241係具有一結球端以及一線尾端，該些結球端係設於該晶片220之該些鐳墊223，該些線



五、發明說明 (6)

尾端係設於該可撓性基板210之該些內接墊215，以達到較低之線弧高，此外，該些結線凸塊242係設於該些外接墊216，作為對外導接端，較佳地，該些鐳線241與該些結線凸塊242係為相同材質且在同一步驟中形成，如金材質，另可在該些結線凸塊242上沾附複數個錫膏260，以增進SMT(Surface Mount Technology)上板鐳接效果。該點塗膠體250係形成於該可撓性基板210之該開孔213，以密封該些鐳線241，在製程上，該點塗膠體250係不同於習知以模具夾合之模封膠體(molding compound)，會流佈接觸至該些結線凸塊242，不需要考慮溢膠之問題。此外，在本實施例中，該點塗膠體250係顯露出該晶片220之背面222。

因此，在上述之捲帶下晶片封裝構造200中，藉由該些打線形成之鐳線241之一端與結線凸塊242連接設於該可撓性基板210，且該點塗膠體250係形成於該開孔213，以密封該些鐳線241而不會污染至該些外接墊216之功效，取代習知鐳球與壓模膠體，以適用於高頻記憶體晶片之低成本封裝，故本發明係提供一種具體可行而能適用於低成本封裝高頻記憶體晶片之封裝構造。此外，該可撓性基板210之上表面211面積係可不大於該晶片220之主動面221面積一點五倍，以構成一晶片尺寸封裝件(Chip Scale Package, CSP)。

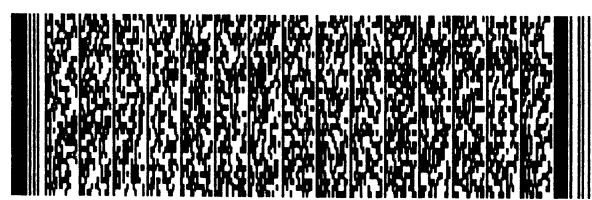
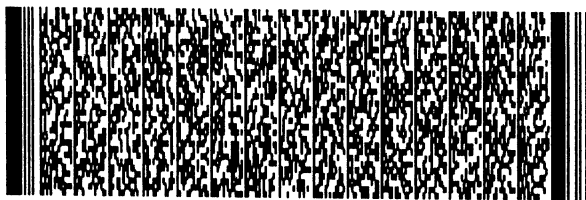
關於本發明之捲帶下晶片封裝構造200之製造方法亦說明如后，首先請參閱第3A圖，其係提供一上述之可撓性



五、發明說明 (7)

基板210與一晶片220，該可撓性基板210係捲帶式傳輸至一黏晶台，該晶片220係以該黏晶膠230貼設於該可撓性基板210之下表面212，在本實施例中，該黏晶膠230係在形成該點塗膠體250之前係為B階固化膠膜並預先形成於該晶片220之主動面221，或者，在另一實施例中，該黏晶膠230係可先形成於該可撓性基板210之下表面212(圖未繪出)，使該晶片220之鐳墊223係顯露於該開孔213；之後，請參閱第3B圖，將該已黏晶完成之可撓性基板210捲帶式輸送至一打線機台，以一打線鐳針10進行打線步驟，以打線形成上述之鐳線241與結線凸塊242，該些鐳線241係連接該晶片220之鐳墊223與該可撓性基板210對應之內接墊215，該些結線凸塊242係設於該些外接墊216；之後，請參閱第3C圖，將該已打線完成之可撓性基板210捲帶式輸送至一塗膠機台，使用一塗膠導管20將上述之點塗膠體250塗佈形成於該可撓性基板210之開孔213，以密封該些鐳線241，請參閱第3D圖，在塗膠製程時，該點塗膠體250係可流佈接觸至該些結線凸塊242，而不會污染該些外接墊216，之後再固化該點塗膠體250，在完成上述步驟之後再切除該可撓性基板210具有鏈孔218兩側邊，以得到一種能低成本封裝高頻記憶體晶片之封裝構造，因此，在製程上不需要習知壓模步驟與植球步驟，特別可運用於高頻記憶體晶片之低成本封裝。

本發明之保護範圍當視後附之申請專利範圍所界定者為準，任何熟知此項技藝者，在不脫離本發明之精神和範



五、發明說明 (8)

圍內所作之任何變化與修改，均屬於本發明之保護範圍。



圖式簡單說明

【圖式簡單說明】

第 1 圖：依據本發明之一具體實施例，一種捲帶下晶片封裝構造之截面示意圖。

第 2 圖：依據本發明之一具體實施例，該捲帶下晶片封裝構造之可撓性基板之上表面示意圖。

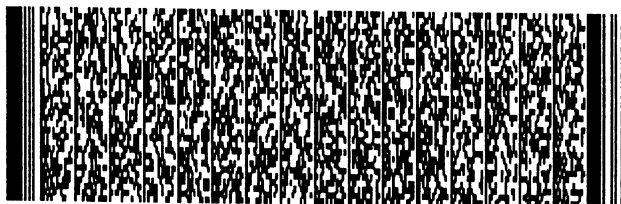
第3A至3D圖：依據本發明之一具體實施例，該捲帶下晶片封裝構造之在製程中之截面示意圖。

第 4 圖：習知半導體封裝構造之截面示意圖。

第 5 圖：習知半導體封裝構造之製作流程圖。

元件符號簡單說明：

1	黏晶	2	打線連接		
3	壓模封膠	4	接植錫球		
10	打線錫針	20	塗膠導管		
100	半導體封裝構造			110	基板
111	上表面	112	下表面		
113	開孔	114	接球墊		
120	晶片	121	主動面	122	背面
123	錫墊	131	黏晶膠	132	錫線
140	壓模膠體	150	錫球		
200	捲帶下晶片封裝構造			210	可撓性基板
211	上表面	212	下表面	213	開孔
214	連接線路	215	內接墊	216	外接墊
217	保護層	218	鏈孔		



圖式簡單說明

220	晶片	221	主動面	222	背面
223	鉅墊	230	黏晶膠		
241	鉅線	242	結線凸塊		
250	點塗膠體	260	錫膏		

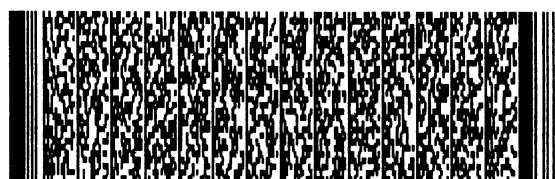


四、中文發明摘要 (發明名稱：捲帶下晶片封裝構造及其製程)

一種捲帶下晶片封裝構造，主要包含有一可撓性基板、一晶片、複數個打線形成之鐳線與結線凸塊、以及一點塗膠體，該可撓性基板係具有一開孔以及複數個顯露於其上表面之內接墊與外接墊，該晶片係貼設於該可撓性基板之下表面，以使其鐳墊顯露於該開孔，該些鐳線係連接該晶片之鐳墊與該可撓性基板之內接墊，該些結線凸塊係設於該些外接墊，該點塗膠體係形成於該開孔，以密封該些鐳線，取代習知鐳球與壓模膠體，並具有防止該點塗膠體污染至該些外接墊之功效，以適用於高頻記憶體晶片之低成本封裝。

五、英文發明摘要 (發明名稱：Chip-Under-Tape package and process for manufacturing the same)

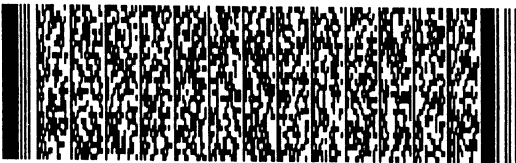
A Chip-Under-Tape (CUT) package mainly includes a flexible substrate, a chip, a plurality of bonding wires and stud bumps made by wire-bonding and a potting material. The flexible substrate has an opening and a plurality of inner pads and outer pads exposed out of its upper surface. The chip is attached to the lower surface of the flexible substrate in a manner that



四、中文發明摘要 (發明名稱：捲帶下晶片封裝構造及其製程)

五、英文發明摘要 (發明名稱：Chip-Under-Tape package and process for manufacturing the same)

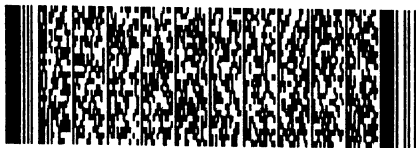
the bonding pads of the chip is exposed out of the opening. The bonding wires connect the bonding pads of the chip and the inner pads of the flexible substrate. The stud bumps are bonded to the outer pads. The potting material is formed in the opening to seal the bonding wires. Thus conventional solder balls and molding compound are unnecessary. The potting material will not



四、中文發明摘要 (發明名稱：捲帶下晶片封裝構造及其製程)

五、英文發明摘要 (發明名稱：Chip-Under-Tape package and process for manufacturing the same)

contaminate the outer pads. The package can be used in packaging memory chips with high frequency at low cost.



六、申請專利範圍

【申請專利範圍】

1、一種捲帶下晶片封裝構造，包含：

一可撓性基板，其係具有一上表面、一下表面以及一開孔，並且該可撓性基板係包含有複數個顯露於該上表面之內接墊與外接墊；

一晶片，其係貼設於該可撓性基板之下表面，該晶片係包含有複數個在其主動面之鐳墊，該些鐳墊係顯露於該開孔；

複數個打線形成之鐳線與結線凸塊，該些鐳線係連接該晶片之鐳墊與該可撓性基板對應之內接墊，該些結線凸塊係設於該些外接墊；及

一點塗膠體(potting material)，其係形成於該開孔，以密封該些鐳線。

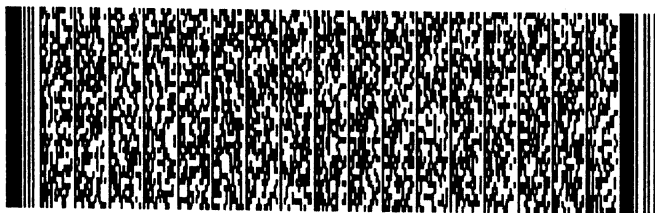
2、如申請專利範圍第1項所述之捲帶下晶片封裝構造，其中該點塗膠體係流佈接觸至該些結線凸塊。

3、如申請專利範圍第1項所述之捲帶下晶片封裝構造，其中該晶片係為記憶體晶片。

4、如申請專利範圍第3項所述之捲帶下晶片封裝構造，其中該晶片係為一頻率高於400Mhz之動態隨機存取記憶體晶片。

5、如申請專利範圍第1項所述之捲帶下晶片封裝構造，其中該晶片之主動面與該可撓性基板之下表面之間係形成有一黏晶膠。

6、如申請專利範圍第5項所述之捲帶下晶片封裝構造，



六、申請專利範圍

其中該黏晶膠係具有緩衝彈性。

7、如申請專利範圍第5項所述之捲帶下晶片封裝構造，其中該黏晶膠在形成該點塗膠體之前係為B階固化膠膜。

8、如申請專利範圍第1項所述之捲帶下晶片封裝構造，其中該晶片之背面係為顯露。

9、如申請專利範圍第1項所述之捲帶下晶片封裝構造，其中每一錫線係具有一結球端以及一線尾端，該些結球端係設於該些錫墊，該些線尾端係設於該些內接墊。

10、如申請專利範圍第1項所述之捲帶下晶片封裝構造，其中該可撓性基板係為單層軟性印刷電路板。

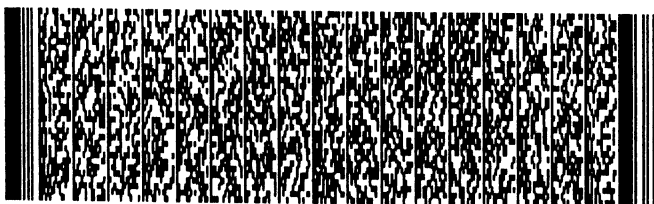
11、如申請專利範圍第1項所述之捲帶下晶片封裝構造，其中該可撓性基板係包含有複數個連接線路，其係連接對應之內接墊與外接墊。

12、如申請專利範圍第11項所述之捲帶下晶片封裝構造，其中該些連接線路係具有一致之長度。

13、如申請專利範圍第11項所述之捲帶下晶片封裝構造，其中該些錫線之長度係不大於該些連接線路之長度之三分之一。

14、如申請專利範圍第1項所述之捲帶下晶片封裝構造，其中該可撓性基板之上表面面積係不大於該晶片之主動面積一點五倍，以構成一晶片尺寸封裝件(Chip Scale Package, CSP)。

15、如申請專利範圍第1項所述之捲帶下晶片封裝構造，其另包含有複數個錫膏，其係沾附於該些結線凸塊。



六、申請專利範圍

16、一種捲帶下晶片封裝構造之製造方法，包含：

提供一可撓性基板，該可撓性基板係具有一上表面、一下表面以及一開孔，並且該可撓性基板係包含有複數個顯露於該上表面之內接墊與外接墊；

貼設一晶片於該可撓性基板之下表面，該晶片係包含有複數個在其主動面之鐳墊，該些鐳墊係顯露於該開孔；

打線形成複數個鐳線與結線凸塊，該些鐳線係連接該晶片之鐳墊與該可撓性基板對應之內接墊，該些結線凸塊係設於該些外接墊；及

形成一點塗膠體(potting material)於該開孔，以密封該些鐳線。

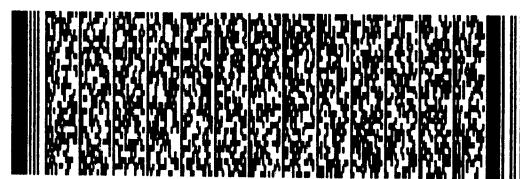
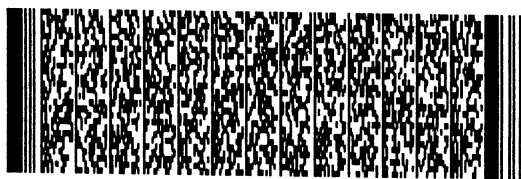
17、如申請專利範圍第16項所述之捲帶下晶片封裝構造之製造方法，其中該點塗膠體係流佈接觸至該些結線凸塊。

18、如申請專利範圍第16項所述之捲帶下晶片封裝構造之製造方法，其中該晶片係為記憶體晶片。

19、如申請專利範圍第18項所述之捲帶下晶片封裝構造之製造方法，其中該晶片係為一頻率高於400Mhz之動態隨機存取記憶體晶片。

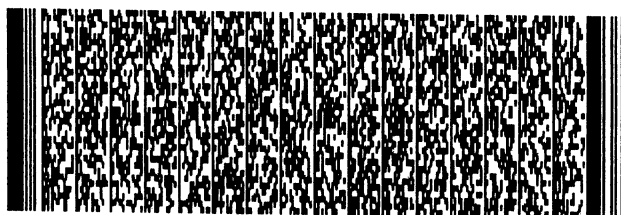
20、如申請專利範圍第16項所述之捲帶下晶片封裝構造之製造方法，其中該晶片之主動面與該可撓性基板之下表面之間係形成有一黏晶膠。

21、如申請專利範圍第20項所述之捲帶下晶片封裝構造之製造方法，其中該黏晶膠係具有緩衝彈性。



六、申請專利範圍

- 22、如申請專利範圍第20項所述之捲帶下晶片封裝構造之製造方法，其中該黏晶膠在形成該點塗膠體之前係為B階固化膠膜。
- 23、如申請專利範圍第16項所述之捲帶下晶片封裝構造之製造方法，其中該晶片之背面係為顯露。
- 24、如申請專利範圍第16項所述之捲帶下晶片封裝構造之製造方法，其中每一錫線係具有一結球端以及一線尾端，該些結球端係設於該些錫墊，該些線尾端係設於該些內接墊。
- 25、如申請專利範圍第16項所述之捲帶下晶片封裝構造之製造方法，其中該可撓性基板係為單層軟性印刷電路板。
- 26、如申請專利範圍第16項所述之捲帶下晶片封裝構造之製造方法，其中該可撓性基板係包含有複數個連接線路，其係連接對應之內接墊與外接墊。
- 27、如申請專利範圍第26項所述之捲帶下晶片封裝構造之製造方法，其中該些連接線路係具有一致之長度。
- 28、如申請專利範圍第26項所述之捲帶下晶片封裝構造之製造方法，其中該些錫線之長度係不大於該些連接線路之長度之三分之一。
- 29、如申請專利範圍第16項所述之捲帶下晶片封裝構造之製造方法，其中該可撓性基板之上表面面積係不大於該晶片之主動面面積一點五倍，以構成一晶片尺寸封裝件(Chip Scale Package, CSP)。

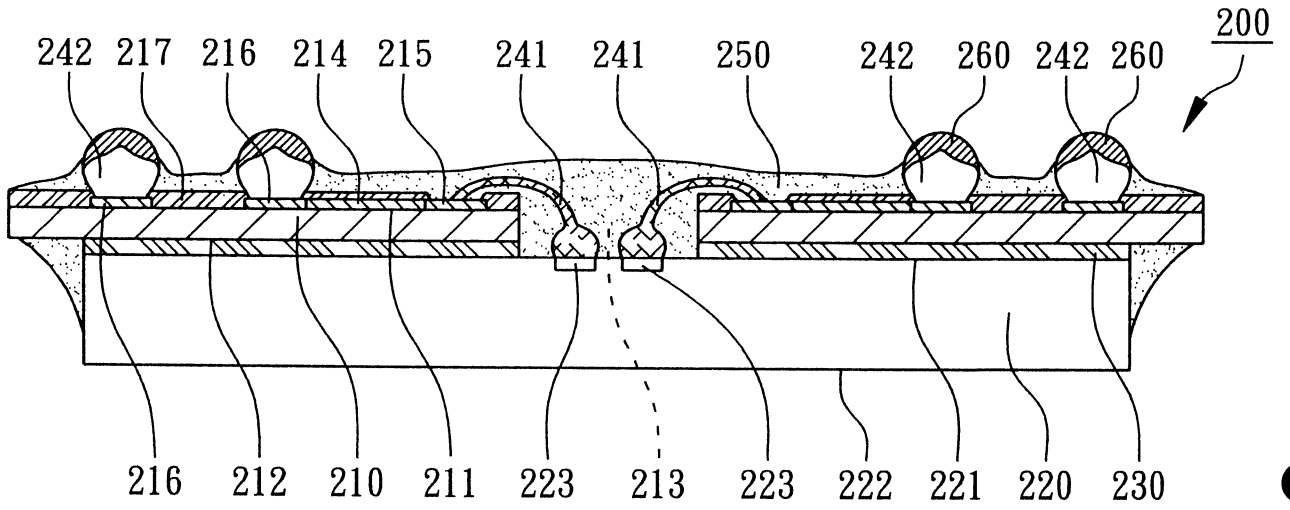


六、申請專利範圍

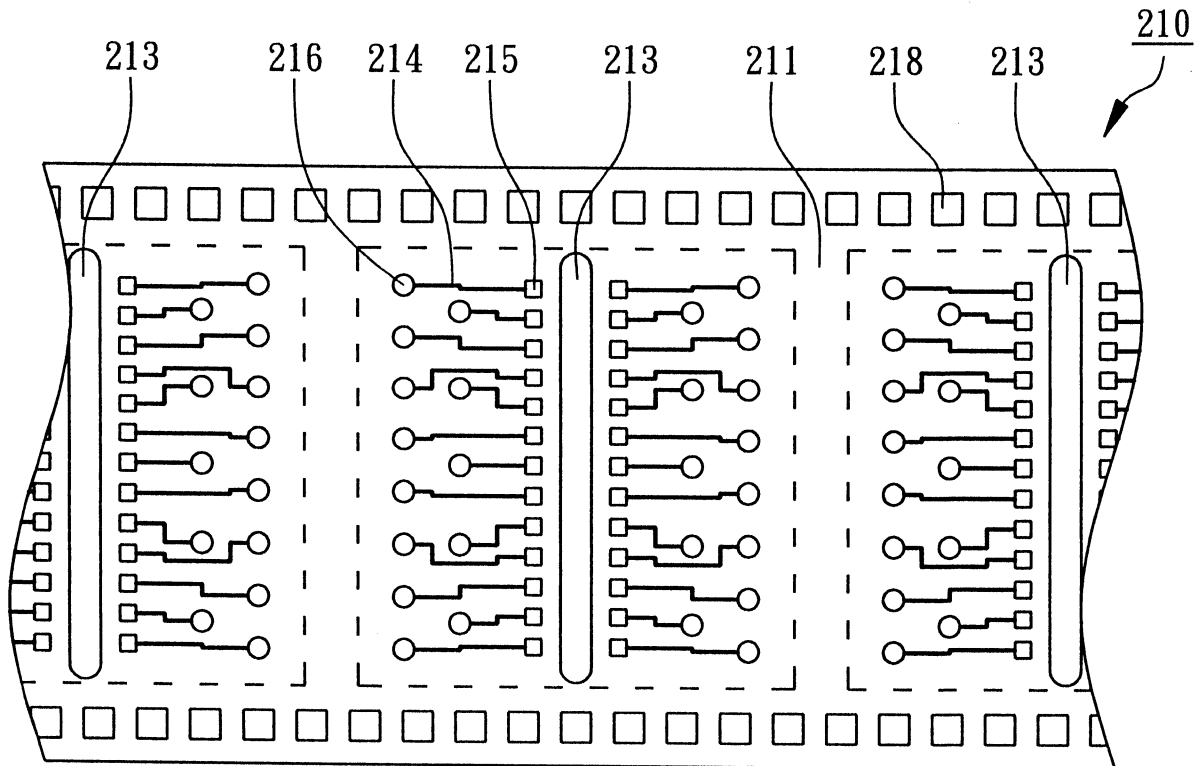
30、如申請專利範圍第16項所述之捲帶下晶片封裝構造之製造方法，其另包含有複數個錫膏，其係沾附於該些結線凸塊。



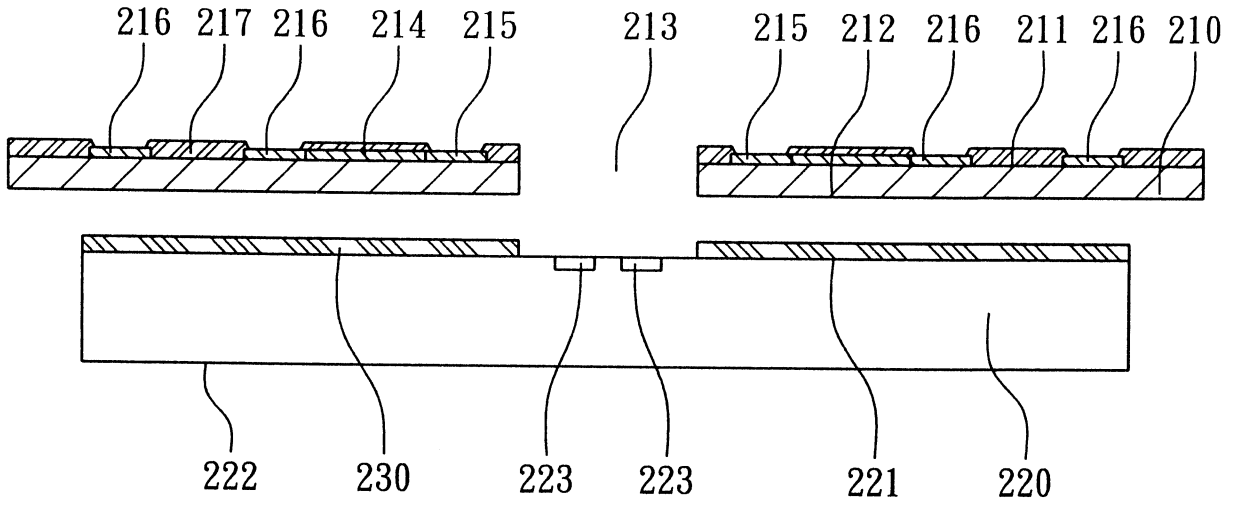
931-105



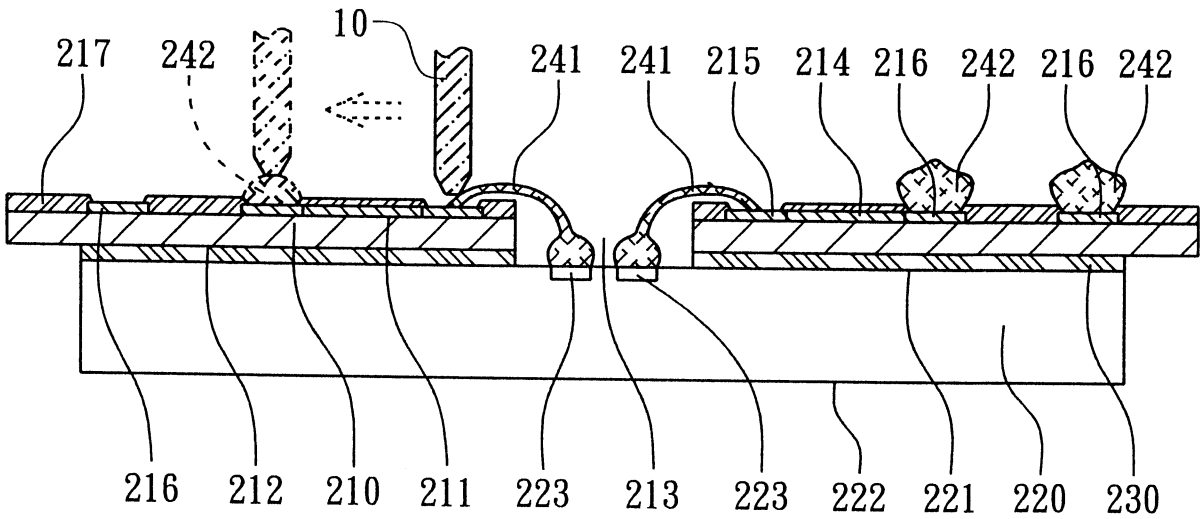
第 1 圖



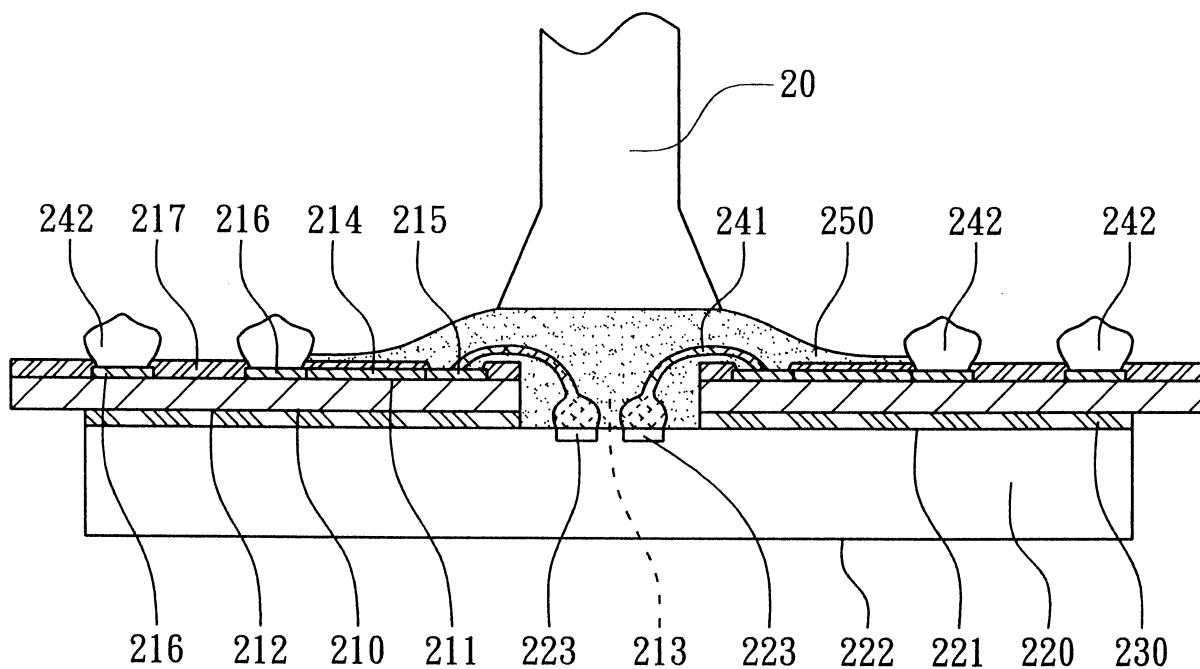
第 2 圖



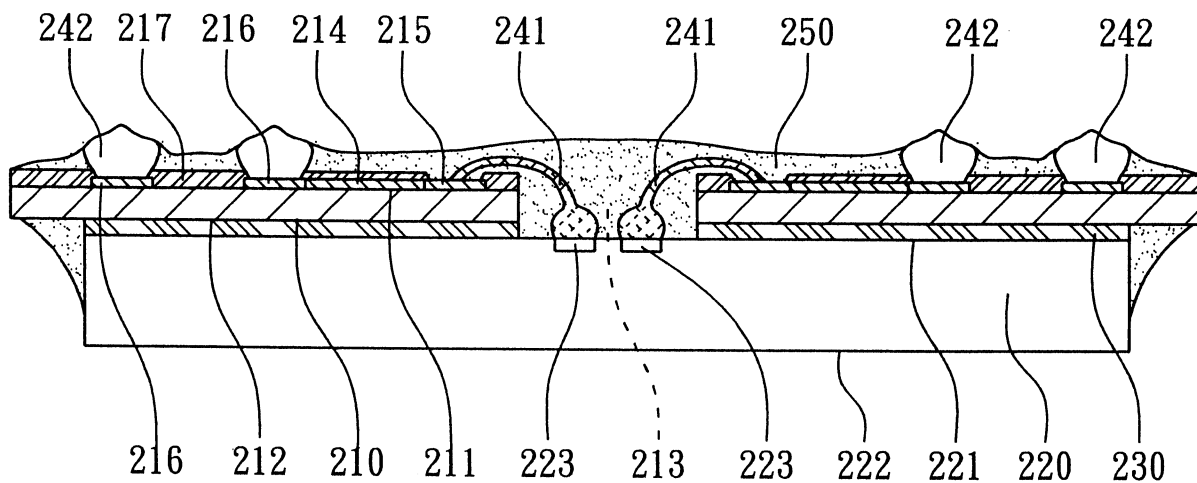
第 3A 圖



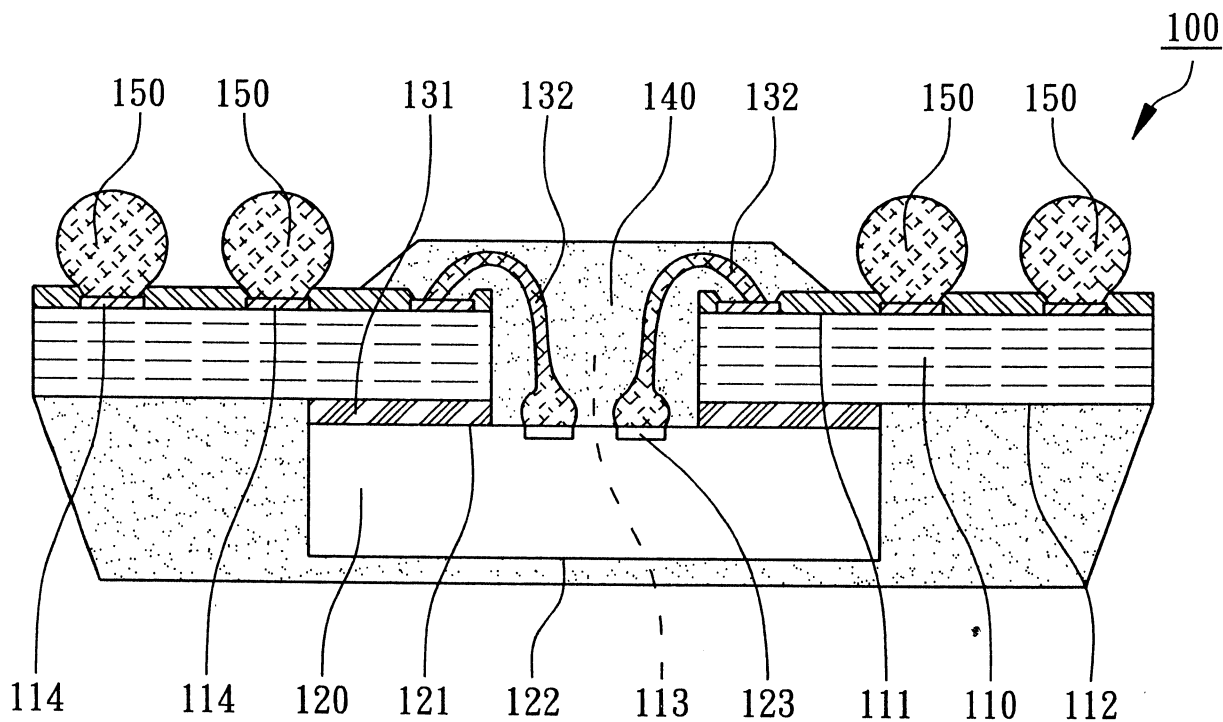
第 3B 圖



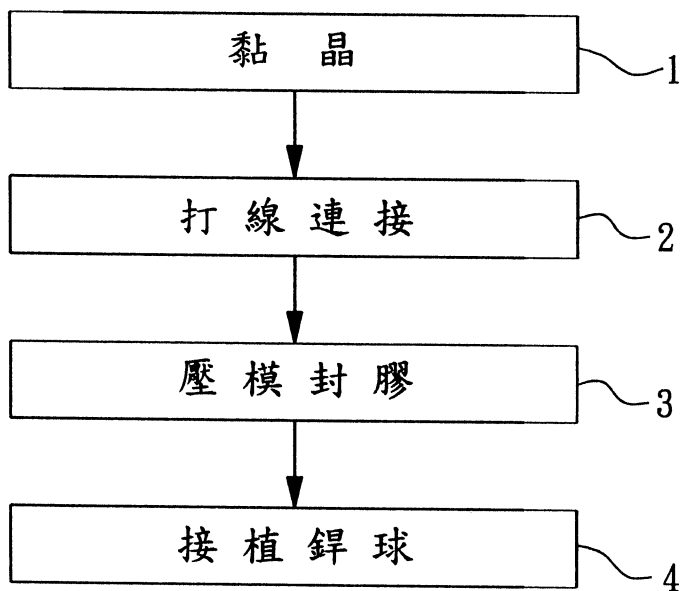
第 3C 圖



第 3D 圖



第 4 圖



第 5 圖

六、指定代表圖

(一)、本案指定代表圖為：第 1 圖

(二)、本代表圖之元件代表符號簡單說明：

- | | | | |
|-----|-----------|-----|-------|
| 200 | 捲帶下晶片封裝構造 | 210 | 可撓性基板 |
| 211 | 上表面 | 212 | 下表面 |
| 214 | 連接線路 | 215 | 內接墊 |
| 217 | 保護層 | 216 | 外接墊 |
| 220 | 晶片 | 221 | 主動面 |
| 223 | 鐳墊 | 222 | 背面 |
| 241 | 鐳線 | 230 | 黏晶膠 |
| 250 | 點塗膠體 | 242 | 結線凸塊 |
| | | 260 | 錫膏 |

