(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 635 207**
(à n'utiliser que pour les commandes de reproduction)

(21) N° d'enregistrement national : **88 10544**

(51) Int Cl[5] : G 06 F 15/66; H 03 M 7/30.

(12) DEMANDE DE BREVET D'INVENTION A1

(22) Date de dépôt : 2 août 1988.

(30) Priorité :

(43) Date de la mise à disposition du public de la demande : BOPI « Brevets » n° 6 du 9 février 1990.

(60) Références à d'autres documents nationaux apparentés :

(71) Demandeur(s) : *SYSTEMES SUD, Société anonyme.* — FR.

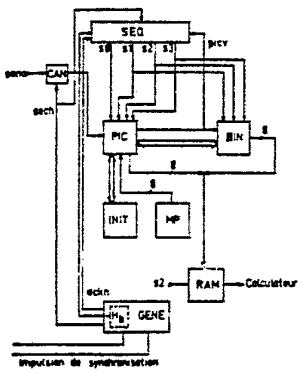
(72) Inventeur(s) : Gilbert Delpech ; Benoît Moulas.

(73) Titulaire(s) :

(74) Mandataire(s) : Cabinet Barre, Gatti et Laforgue.

(54) Procédé et dispositif de traitement d'un signal électrique analogique en vue d'obtenir un signal binaire paramétrable représentatif de sa composante significative.

(57) L'invention concerne un procédé et un dispositif de traitement d'un signal électrique analogique, en particulier signal image de code-barres, en vue d'obtenir un signal binaire paramétrable. Le procédé de l'invention consiste à mémoriser certains paramètres de filtrage non linéaires MP et, après avoir converti le signal analogique en signal numérique CAN, à détecter séquentiellement les extrémums successifs dudit signal numérique PIC par un traitement itératif prenant en compte lesdits paramètres et à effectuer ensuite à chaque séquence un traitement de segmentation BIN à partir de la détection de chaque extrémum, en vue d'extraire et de mémoriser RAM des longueurs de segments représentatifs de la succession des extrémums.



FR 2 635 207 - A1

Vente des fascicules à l'IMPRIMERIE NATIONALE, 27, rue de la Convention — 75732 PARIS CEDEX 15

PROCEDE ET DISPOSITIF DE TRAITEMENT D'UN SIGNAL ELECTRIQUE ANALOGIQUE EN VUE D'OBTENIR UN SIGNAL BINAIRE PARAMETRABLE REPRESENTATIF DE SA COMPOSANTE SIGNIFICATIVE

L'invention concerne un procédé et un dispositif de traitement d'un signal électrique analogique constitué, d'une part, d'une composante significative comportant des extrémums successifs séparés par des transitions montantes et descendantes, d'autre part, d'une composante parasite comportant une modulation parasite de la composante significative et un bruit résiduel. L'invention vise à obtenir un signal binaire paramétrable, représentatif de la composante significative de ce signal analogique et non influencé par sa composante parasite.

L'invention peut s'appliquer dans tous les cas où des informations significatives portées par un signal analogique doivent être binarisées pour être ensuite directement exploitable par un calculateur, soit en temps réel, soit avec des délais de réponse limités compatibles avec les contraintes de temps de l'application. En particulier, l'invention peut être mise en oeuvre pour traiter un signal analogique représentatif d'une image dont elle permet de comprimer l'information sous forme binaire : signal délivré par un dispositif à transfert de charge (C.C.D.) linéaire ou matriciel, signal vidéo délivré par une caméra vidéo, signal issu d'une diode (laser ou photoélectrique)..., cette image pouvant notamment être l'image de codes-barres, de caractères, de graphismes...

On connaît des dispositifs destinés à prétraiter et numériser un signal analogique en vue de son exploitation par un calculateur (brevets FR n° 2.565.746, FR n° 2.495.356, FR n° 2.234.704, US n° 4.101.072, US n° 3.832.577, US n° 4.335.301,...) ; toutefois dans ces dispositifs, le prétraitement permettant d'extraire les informations significatives n'est pas paramétrable, c'est-à-dire est définitivement figé sans prise en compte des caractéristiques spécifiques du signal analogique, ce qui entraîne l'impossibilité d'interpréter les informations issues du traitement dès que le signal analogique s'écarte des

normes pour lesquelles le dispositif a été prévu. Par exemple, dans le cas d'un code-barre, un bruit plus élevé que prévu (dû notamment à une mauvaise impression des barres, à des contrastes insuffisants, à des organes de mauvaise qualité dans le capteur ou la chaîne d'acquisition analogique...) empêche dans ces dispositifs d'obtenir un signal binaire exploitable. De plus, dans la plupart de ces dispositifs, le prétraitement est effectué directement sur le signal analogique par un traitement de nature analogique, la binarisation n'ayant lieu qu'à l'issue de ce traitement ; un tel traitement demeure rustique et entaché d'erreurs de sorte qu'une fraction non négligeable des informations significatives contenues dans le signal analogique est définitivement perdue, cependant que la tâche du calculateur est rendue plus complexe, car il doit corriger les erreurs introduites.

La présente invention se propose de fournir un procédé et un dispositif perfectionnés permettant d'obtenir un signal binaire paramétrable représentatif de la composante significative d'un signal analogique (le paramétrage pouvant notamment être assuré en temps réel par le calculateur appelé à exploiter le signal binaire, en fonction du signal qu'il reçoit, afin d'adapter le traitement aux caractéristiques du signal analogique).

Un autre objectif est d'effectuer un traitement de nature numérique, sur un signal préalablement numérisé, afin d'éviter d'introduire des erreurs ou de perdre des informations significatives, comme c'est le cas dans les traitements analogiques évoqués précédemment.

A cet effet, le procédé visé par l'invention pour traiter un signal électrique analogique constitué, d'une part, d'une composante significative comportant des extrémums successifs séparés par des transitions montantes et descendantes, d'autre part, d'une composante parasite comportant une modulation parasite de la composante significative et un bruit résiduel, en vue d'obtenir un signal binaire paramétrable représentatif de la composante significative du signal analogique et non influencé par sa composante parasite, consiste :

(t_0) dans une étape préalable, à mémoriser des valeurs choisies pour les paramètres suivants : distance minimum -dmin- entre extrémums successifs, seuil -a- de niveau de bruit résiduel,

(t_1) à convertir le signal analogique en un signal numérique sur un ensemble de valeurs adapté pour différencier les extrémums du signal analogique, la conversion étant effectuée avec une fréquence d'échantillonnage suffisante pour échantillonner les transitions dudit signal, en vue d'obtenir une suite d'échantillons numériques représentatifs des extrémums et des transitions du signal analogique,

(t_2) à détecter séquentiellement les extrémums successifs du signal numérique, en effectuant un traitement itératif ayant comme séquence courante (n) la séquence suivante :

. mémoriser l'extrémum (E_{n-1}) détecté à la séquence précédente (n-1),

. mémoriser à chaque pas (p) de la séquence un échantillon numérique (y_p) correspondant audit pas et l'échantillon (y_{p-1}) du pas précédent,

. calculer en valeur absolue la différence $|y_{p-1} - E_{n-1}|$, la comparer au seuil de bruit -a- préalablement mémorisé et engendrer un signal binaire de comparaison,

. décompter le nombre de pas depuis le début de la séquence en vue de calculer la distance -d- séparant l'échantillon (y_{p-1}) et l'extrémum précédent (E_{n-1}), comparer cette distance -d- à la distance minimum -dmin- préalablement mémorisée, et engendrer un signal binaire de comparaison,

. mémoriser le signe de la différence ($y_p - y_{p-1}$), le comparer avec le signe de la différence ($y_{p-1} - y_{p-2}$) mémorisé au pas précédent et engendrer un signal binaire de comparaison de signe,

. et valider l'échantillon (y_{p-1}) comme nouvel extrémum (E_n) et le mémoriser dans le cas où les signaux de comparaison sont représentatifs des conditions de validation suivantes :

$$\left|y_{p-1} - E_{n-1}\right| > a$$
$$d > dmin$$

et le signal de comparaison de signe est représentatif d'une inversion de signe,

(t_3) à effectuer à chaque séquence (n) un traitement de segmentation à partir de la détection de chaque extrémum (E_n), par les opérations suivantes :

. mémoriser les échantillons ($y_1 \ldots y_p \ldots$) compris entre l'extrémum détecté (E_n) et l'extrémum précédent (E_{n-1}),

. opérer sur lesdits extrémums (E_{n-1}, E_n) une fonction de sommation en vue d'engendrer un signal de seuil (S),

. rechercher l'échantillon médian ayant une valeur la plus proche de ce seuil et calculer et mémoriser les distances (l_n) et (l'_n) de cet échantillon par rapport aux extrémums (E_{n-1}) et (E_n),

. et calculer la distance ($l'_{n-1} + l_n$) entre l'échantillon médian de la séquence (n) considéré et l'échantillon médian de la séquence précédente (n-1),

(t_4) et à mémoriser les distances ($\ldots$, $l'_{n-2} + l_{n-1}$, $l'_{n-1} + l_n$, $l'_n + l_{n+1}, \ldots$), calculées au cours des séquences successives, pour engendrer le signal binaire paramétrable.

Selon une autre caractéristique du procédé :

(t_0) dans l'étape préalable, on mémorise également le paramètre suivant : rapport K des différences de valeurs entre extrémums successifs,

(t_2) l'on détecte les extrémums en ajoutant à la séquence courante (n) les opérations suivantes :

. mémoriser, en même temps que l'extrémum (E_{n-1}) la hauteur relative (H_{n-1}) de cet extrémum par rapport à celle de l'extrémum précédent (E_{n-2}),

. comparer la différence $\left|y_{p-1} - E_{n-1}\right|$ à la valeur de $K.H_{n-1}$, où K est le rapport préalablement mémorisé et engendrer un signal binaire de comparaison,

. valider l'échantillon (y_{p-1}) comme nouvel extrémum (E_n) et le mémoriser, dans le seul cas où les conditions de validation déjà définies sont satisfaites et, en

outre, où l'inégalité suivante est également satisfaite :

$$|y_{p-1} - E_{n-1}| > K.H_{n-1}$$

Selon une autre caractéristique du procédé, l'on détecte les extrémums en ajoutant après validation d'un premier extrémum les opérations suivantes à chaque séquence (n) :

. calculer, à la fin de la séquence (n-1) précédant la séquence courante considérée (n), le signe de la différence $E_{n-1} - E_{n-2}$ et le mémoriser,

. calculer à chaque pas de la séquence courante (n) le signe de la différence $y_{p-1} - E_{n-1}$,

. comparer le signe de la différence $y_{p-1} - E_{n-1}$ avec celui de la différence $E_{n-1} - E_{n-2}$ et engendrer un signal binaire de comparaison de signe,

. valider l'échantillon dans le seul cas où les conditions de validation déjà évoquées sont satisfaites et où le signal de comparaison de signe précité est représentatif d'une inversion de signe.

Dans le cas où l'échantillon (y_{p-1}) n'est pas validé en raison d'une identité du signe des grandeurs ($y_{p-1} - E_{n-1}$) et ($E_{n-1} - E_{n-2}$), on mémorise ledit échantillon (y_{p-1}) pour servir de référence au traitement de segmentation (t_3), cette référence (y_{p-1}) étant substituée à l'extrémum E_{n-1} pour opérer la fonction de sommation, rechercher l'échantillon médian et calculer la distance ($l'_{n-1} + l_n$).

Selon une autre caractéristique du procédé :

(t_0) dans la phase préalable, on mémorise également le paramètre suivant : différence d'amplitude maximum Vmax entre deux échantillons successifs,

(t_2) l'on détecte les extrémums en ajoutant à la séquence courante (n) les opérations suivantes :

. calculer en valeur absolue la différence $|y_{p-1} - y_p|$, la comparer à la différence d'amplitude maximum Vmax préalablement mémorisée et engendrer un signal binaire de comparaison,

. valider l'échantillon (y_{p-1}) comme nouvel extrémum (E_n) et le mémoriser dans le seul cas où les conditions de validation déjà définies sont satisfaites et en outre où le signal de comparaison précité est représentatif de

l'inégalité $|y_{p-1} - y_p| < Vmax$.

Ainsi, lors de la détection des extrémums (t_2), la prise en compte des divers paramètres préalablement mémorisés (fournis notamment par le calculateur aval d'exploitation ou injectés le cas échéant par un utilisateur) : dmin, a et préférentiellement K, Vmax et dmax comme on le verra plus loin, permet de ne valider que des extrémums significatifs afin d'opérer ensuite une segmentation par seuillage adaptée aux caractéristiques spécifiques du signal analogique. Le traitement de détection des extrémums et le traitement de segmentation sont effectués selon un processus séquentiel numérique, permettant de travailler en temps réel, de façon rigoureuse, en particulier en l'absence de toute erreur due à des extrapolations comme c'est le cas dans les systèmes analogiques. Il faut souligner que le traitement de segmentation est effectué à partir d'extrémums validés, c'est-à-dire corrigés par une détection paramétrable, de sorte que les calculs de segmentation qui sont les plus longs ne sont effectués que sur des informations significatives, ce qui rend le procédé compatible avec un travail en temps réel.

En outre, selon une autre caractéristique du procédé de l'invention, la détection séquentielle des extrémums (t_2) est initiée au cours de séquences d'initialisation au moyen de références (R_0, R_1,... R_m), obtenus en effectuant un traitement d'initialisation itératif (t_i) ayant comme séquence courante d'initialisation :

. mémoriser à chaque pas (p) de ladite séquence un échantillon numérique (y_p) correspondant audit pas et l'échantillon (y_{p-1}) du pas précédent,

. comparer la valeur absolue (y_{p-1}) au seuil de bruit -a- et engendrer un signal binaire de comparaison,

. décompter le nombre de pas depuis le début du traitement en vue de calculer la distance -d- séparant l'échantillon (y_{p-1}) du début du traitement ou de la dernière référence, comparer cette distance -d- à la distance minimum -dmin- et engendrer un signal binaire de comparaison,

. mémoriser le signe de la différence ($y_p - y_{p-1}$), le comparer avec le signe de la différence

$(y_{p-1} - y_{p-2})$ mémorisé au pas précédent et engendrer un signal binaire de comparaison de signe,

. valider l'échantillon (y_{p-1}) comme référence (R_m) et le mémoriser dans le cas où les conditions d'initialisation suivantes sont satisfaites : d'une part, le signal de comparaison de signe est représentatif d'une inversion de signe, d'autre part, au moins l'un des signaux de comparaison est représentatif d'une des inégalités suivantes :

$$\left|y_{p-1} - E_{n-1}\right| < a$$

$$d < dmin$$

Un tel processus d'initialisation permet d'identifier le début de signal utile comportant la composante significative, sans perdre aucune information relative à ce début. En effet, chacune des inégalités précitées traduit l'absence d'informations utiles et en conséquence, tant que l'une d'entre elles est satisfaite, le système peut demeurer en phase d'initialisation sans perte d'information, cette phase validant des références successives sans valider d'extrémum ; le système passe ensuite en phase de détection d'extrémums (t_2) lorsque les deux inégalités d'initialisation ne sont plus satisfaites ; la dernière référence mémorisée (R_m) sert alors de référence pour détecter le premier extrémum.

De préférence, ce traitement d'initialisation itératif (t_i) est poursuivi parallèlement au traitement de détection des extrémums (t_2) en vue de fournir de nouvelles références d'extrémums en cas de disparition de la composante significative du signal traité. Ceci permet de disposer d'une référence constamment mise à jour afin de recommencer une phase de détection d'extrémums (t_2) lors de la réapparition du signal utile.

Selon une autre caractéristique du procédé :

(t_0) dans l'étape préalable, on mémorise également le paramètre suivant : distance -dmax- entre extrémums successifs,

(t_i) l'on engendre les références en ajoutant à la séquence courante d'initialisation les opérations suivantes :

. comparer la distance -d- à la distance

maximum -dmax- pour engendrer un signal binaire de comparaison, représentatif des valeurs relatives de d et de dmax,

. valider l'échantillon (y_{p-1}) comme nouvelle référence (R_m) et le mémoriser dans le cas où les conditions d'initialisation déjà définies sont satisfaites, ou bien dans le cas où le signal de comparaison précité est représentatif de l'égalité d = dmax.

Par ailleurs, selon un mode de mise en oeuvre préféré, dans le traitement de segmentation (t_3), la recherche de l'échantillon médian s'effectue par un processus dichotomique consistant à considérer l'échantillon situé au milieu du segment E_{n-1} E_n, à comparer sa valeur avec le seuil (S), et à approcher ainsi par itérations successives l'échantillon présentant la valeur la plus proche du seuil. Une telle recherche dichotomique dont le principe est connu en soi présente l'avantage d'être rapidement convergente vers la valeur recherchée.

Le procédé de l'invention s'applique tout particulièrement pour traiter un signal analogique représentatif d'une image, associé à des impulsions de synchronisation de pixels et des impulsions de synchronisation de début et de fin de lignes ; dans ce cas, les diverses phases sont mises en oeuvre dans les conditions suivantes :

(t_1) l'on fait correspondre la fréquence d'échantillonnage de la conversion analogique/numérique avec la fréquence des impulsions de synchronisation de pixels ou un multiple de celle-ci,

(t_i) l'on commence le traitement d'initialisation itératif à chaque impulsion de synchronisation de début de ligne,

(t_2, t_3) l'on arrête le traitement à chaque impulsion de synchronisation de fin de ligne.

Une telle mise en oeuvre permet de synchroniser les phases du procédé avec les impulsions de synchronisation du signal analogique traité en vue de travailler en temps réel et de s'adapter au capteur qui délivre ce signal analogique, quelles que soient ses caractéristiques.

L'invention s'étend à un dispositif de traitement pour la mise en oeuvre du procédé défini précédemment, destiné à délivrer à partir d'un signal électrique analogique un signal binaire paramétrable. Ce dispositif comprend essentiellement :

- un ensemble (MP) de registres de mémorisation de paramètres possédant des registres (MP_a, MP_{dmin}) de mémorisation de bruit (a) et de distance minimum (dmin),
- un convertisseur analogique/numérique (CAN), agencé pour effectuer la conversion à une fréquence d'échantillonnage déterminée,
- un séquenceur (SEQ) adapté pour commander des cycles d'opérations à réaliser à chaque période d'échantillonnage par une validation séquentielle de chaque unité fonctionnelle du dispositif,
- un circuit de détection d'extrémum (PIC), possédant :
  - . deux registres (Y, Y') de mémorisation d'échantillons successifs, le premier (Y) relié au convertisseur (CAN), le second (Y') relié au premier,
  - . un registre (E) de mémorisation d'extrémum relié au second registre (Y'),
  - . un opérateur (OD_1) de calcul de différence, relié aux registres (Y, Y') et associé à une bascule (MD_1) de mémorisation de signe,
  - . un opérateur (OD_2) de calcul de différence, relié aux registres (Y', E),
  - . un comparateur (CD_1) relié à l'opérateur (OD_2) et à un des registres de mémorisation de paramètres (MP_a),
  - . un compteur ($COMP_1$) agencé pour être incrémenté à la fréquence d'échantillonnage et remis à zéro à chaque validation d'extrémum,
  - . un comparateur (CD_2) relié à la sortie du compteur ($COMP_1$) et à un des registres de mémorisation de paramètres (MP_{dmin}),
  - . un opérateur (OD_3) de calcul combinatoire, relié, en entrée, à l'opérateur (OD_1), au

registre (MD_1) au comparateur (CD_1) et au comparateur (CD_2) et, en sortie, au séquenceur (SEQ) en vue de lui délivrer un signal de validation d'extrémum,

- un circuit de segmentation (BIN), possédant :

. une mémoire (MS_1) de stockage temporaire des échantillons d'une séquence, reliée à l'un des registres de mémorisation d'échantillons (Y'),

. des moyens (MS_2) de mémorisation d'extrémum,

. un opérateur (OS_1) de sommation de l'amplitude de deux extrémums successifs, associé à un registre (MS_3) de mémorisation de seuil,

. une unité (DICHO) de recherche heuristique de l'échantillon le plus proche du seuil, reliée à la mémoire d'échantillons (MS_1), au registre de seuil (MS_3) et aux moyens de mémorisation (MS_2),

. un opérateur (OS_2) de calcul de distance, relié à l'unité (DICHO) et aux moyens de mémorisation d'extrémums (MS_2) et associé à un registre de mémorisation temporaire de distance (MS_4),

. un opérateur (OS_3) de sommation, relié à l'unité (DICHO) et au registre (MS_4) en vue de calculer la longueur du segment entre échantillons médians successifs,

- une mémoire de résultat (RAM) reliée à l'opérateur (OS_3) pour stocker les résultats fournis par celui-ci.

En outre, selon une autre caractéristique, ledit dispositif est doté d'un circuit d'initialisation (INIT) agencé en parallèle par rapport au circuit de détection d'extrémum (PIC), ce circuit d'initialisation possédant un opérateur (OI_1) de calcul combinatoire, relié par son entrée au comparateur (CD_1), au comparateur (CD_2), à l'opérateur (OD_1) et à la bascule de mémorisation de signe (MD_1) et adapté pour délivrer vers le registre (E) de mémorisation d'extrémum un signal de validation de référence en vue de mémoriser dans ce registre chaque référence validée.

De plus, selon une autre caractéristique, le dispositif comprend un générateur de phases programmable

(GENE), apte à délivrer une fréquence d'échantillonnage paramétrable vers le convertisseur (CAN) et des impulsions de synchronisation du signal analogique, de fréquence paramétrable égale à la fréquence d'échantillonnage ou sous-multiple de celle-ci. Dans ce cas, le dispositif synchronise lui-même le capteur (caméra, C.C.D., diodes...) qui fournit le signal analogique à traiter.

Le dispositif ci-dessus visé peut être réalisé en un circuit intégré. Le convertisseur analogique/numérique (CAN) peut le cas échéant être intégré sur la même puce, la conversion étant alors nécessairement effectuée en temps réel. Il est également possible d'intégrer sur ladite puce uniquement le circuit de détection d'extrémums (PIC), le circuit de segmentation (BIN), le circuit d'initialisation (INIT) et le générateur de phases programmable, afin de rendre le circuit intégré universel et capable de travailler sur un signal préalablement numérisé et mémorisé. Bien entendu, l'on peut éventuellement spécialiser le circuit à chaque application particulière, par exemple lecture de codes barres, et il est alors possible d'intégrer, outre les moyens sus-évoqués, le convertisseur et le microprocesseur d'exploitation.

D'autres caractéristiques, buts et avantages de l'invention se dégageront de la description qui suit en référence aux dessins annexés qui en présentent à titre non limitatif un exemple de réalisation ; sur ces dessins, qui font partie intégrante de la présente description :

- la figure 1 est un schéma électrique d'ensemble d'un mode de réalisation du dispositif,
- la figure 2 est un schéma de détail du séquenceur (SEQ),
- la figure 3 est un schéma de détail du circuit de détection d'extrémum (PIC) et du circuit d'initialisation (INIT),
- la figure 4 donne un exemple de réalisation d'opérateurs de ces circuits (PIC) et (INIT),
- la figure 5 est un schéma de détail du circuit de segmentation (BIN),
- les figures 6 et 7 sont des schémas de

détail visant une des unités (DICHO) du circuit de segmentation (BIN),

- la figure 8 est un exemple de réalisation d'une des mémoires (MS_1) du circuit de segmentation (BIN) et de son accès,

- la figure 9 est un exemple de réalisation montrant la mémoire de résultat (RAM) et son accès,

- les figures 10a, 10b et 11 sont des organigrammes représentant le fonctionnement logique du dispositif,

- les figures 12, 13, 14a, 14b, 15a, 15b, 16a, 16b, 17a et 17b sont des chronogrammes et schémas explicatifs du procédé mis en oeuvre.

Le dispositif de traitement schématisé à titre d'exemple aux figures est destiné à fournir à partir d'un signal électrique analogique Sana (symbolisé aux figures 14a, 15a, 16a, 17a) un signal binaire paramétrable, représentatif des informations contenues dans ce signal analogique et exploitable par un calculateur classique. Le signal Sana peut en particulier provenir de capteurs d'images en vue d'assurer une identification automatique de caractéristiques optiques d'une image (codes-barres, caractères alpha-numériques...).

Ce dispositif comprend les blocs fonctionnels ci-après décrits.

Le signal analogique Sana est reçu sur un convertisseur analogique/numérique CAN synchronisé par un générateur de phases programmable GENE. En l'exemple, le capteur fournissant le signal analogique Sana est du type CCD et nécessite des impulsions de synchronisation. Le générateur GENE, constitué de façon classique par un ensemble de compteurs dont les valeurs de comptage sont préalablement chargées pour le paramétrer, délivre, d'une part vers le capteur CCD les impulsions de synchronisation nécessaires, d'autre part vers le convertisseur CAN une fréquence d'échantillonnage paramétrable sech. Les impulsions de synchronisation comprennent dans le cas d'un signal Sana représentatif d'une image, des impulsions de synchronisation de pixels et des impulsions de synchronisation de début et de

fin de lignes. En l'exemple, la fréquence d'échantillonnage délivré vers le convertisseur CAN est égale à la fréquence de synchronisation pixel.

En outre, le générateur GENE délivre vers un séquenceur SEQ un signal -ackn- pour assurer le début et la fin du processus de traitement, au début et à la fin de chaque ligne de Sana.

Le séquenceur SEQ est destiné à assurer le séquencement du traitement (c'est-à-dire la succession des cycles du traitement), ledit traitement s'effectuant dans deux circuits essentiels : circuit de détection d'extrémum PIC auquel est associé un circuit d'initialisation INIT, et circuit de segmentation BIN.

Un ensemble de registres de mémorisation de paramètres MP peut être préalablement chargé pour fournir au circuit PIC plusieurs paramètres de traitement qui permettent d'obtenir à chaque ligne un signal binaire paramétrable adapté à certaines caractéristiques du signal Sana issu du capteur (seuil -a- de bruit, intervalle admissible entre deux informations significatives -dmin, dmax-, par exemple distances minimum et maximum des barres pour un code-barre, minimum de contraste à prendre en compte entre deux informations successives -K-, maximum de la variation de luminance entre deux pixels successifs -Vmax-, révélatrice de pixels défectueux en cas de variation trop élevée). L'ensemble MP peut être chargé par tout moyen, et en particulier par le calculateur d'exploitation en fonction d'un programme spécifique.

Au fur et à mesure des séquences, le résultat du traitement est inscrit dans une mémoire de résultat (RAM), ligne après ligne, le calculateur d'exploitation venant lire dans cette mémoire pour prélever et interpréter le signal binaire incrit dans celle-ci.

La figure 2 donne à titre d'exemple la structure câblée classique en elle-même du séquenceur SEQ. Ce séquenceur comprend un compteur SEQ_1 qui est remis à zéro par le signal ackn entre deux lignes. Son comptage est incrémenté par une des sorties d'un système d'horloge classique, constitué par une horloge de base H_b (en l'exemple intégré

dans le générateur GENE), un diviseur H_d et un décodeur H_c afin de délivrer des signaux d'horloge h_0, h_1, h_2, h_3 destinés à synchroniser les étapes élémentaires de chaque cycle du traitement.

Les sorties du compteur SEQ_1 sont décodées dans un décodeur SEQ_2 en vue d'engendrer les signaux de validation des cycles du traitement, en l'exemple au nombre de cinq, comme on le verra plus loin (s_0, s_1, s_2, s_3, s_7). Les deux signaux s_0, s_1, ont la même fréquence, égale à la fréquence d'échantillonnage ; les quatre signaux d'horloge h_0, h_1, h_2, h_3 sont décalés avec un rapport cyclique de 1/4 pour produire quatre impulsions de synchronisation pour chaque cycle ($s_0 \ldots s_7$). Sur les schémas, on a désigné de façon classique par le symbole $s_i.h_j$ le signal s_i présent aux tops d'horloge h_j ; ces signaux sont obtenus par une matrice de ET logiques entre les sorties du décodeur H_c et du décodeur SEQ_2.

Le traitement est asservi sur la fréquence d'échantillonnage durant le cycle s_0 par un circuit DEBSEQ qui valide le passage du cycle s_0 au cycle s_1 sur commande de la fréquence d'échantillonnage sech. Ce circuit connu en lui-même (circuit engendrant une impulsion lors des flancs montants de la fréquence d'échantillon) combine une bascule et deux portes ET.

Un codeur SEQ_3 délivre des valeurs de rupture de séquences codées vers les entrées de chargement du compteur SEQ_1 et un signal de validation vers son entrée de validation de chargement. A cet effet, ledit codeur reçoit à travers des portes OU et ET des signaux de rupture de séquence (s_2, s_3, s_1, $\overline{picv}$, cd_0, $\overline{cd_0}$) issus du décodeur SEQ_2 et du circuit PIC.

La figure 3 illustre la structure du circuit de détection d'extrémums PIC et du circuit d'initialisation INIT associé.

Ce circuit de détection PIC comprend deux registres de mémorisation d'échantillons successifs Y et Y' et un registre de mémorisation d'extrémum validé E.

Le premier registre Y reçoit le signal numérisé issu du convertisseur CAN et le signal de validation de cycle s_1 qui commande le chargement de chaque échantillon à la fréquence d'échantillonnage. Il est à noter que chaque

échantillon correspond à un pixel et sera parfois désigné par ce terme ; il est caractérisé par sa position (temporelle) et par son amplitude.

Le second registre Y' est relié au premier et reçoit le signal de validation s_0 par l'intermédiaire d'une porte ET (G_1) destinée à inhiber le chargement commandé par s_0 en cas de pixel défectueux.

Ainsi dans le registre Y est mémorisé l'échantillon courant y_p correspondant au pas considéré (p) de la séquence en cours, et en Y' l'échantillon (y_{p-1}) du pas précédent, qui en cas de validation constituera le nouvel extrémum.

Le registre E reçoit la sortie du registre Y' et est chargé par l'entremise de portes G_2 et G_3, soit par le signal de validation s_2, soit par le signal s_3 en cas de présence d'une référence Ref. Ainsi ce registre E contient soit l'extrémum précédent E_{n-1}, soit la dernière référence R_m.

Un opérateur OD_1 de calcul de différence est relié aux registres Y et Y' pour délivrer, d'une part, le signe de la différence vers une bascule MD_1 de mémorisation de signe, d'autre part, la valeur absolue de la différence $|y_p - y_{p-1}|$ vers un comparateur CD_4 en vue de la reconnaissance des pixels défectueux (en cas de différence d'amplitude trop importante, supérieure au paramètre Vmax). A cet effet, le comparateur CD_4 reçoit sur son autre entrée de comparaison la sortie d'un registre de mémorisation de paramètre MP_{Vmax} dans lequel est préalablement chargé le paramètre Vmax, paramètre dit de différence d'amplitude maximum entre deux échantillons successifs.

Dans le comparateur CD_4, la différence $|y_{p-1} - y_p|$ est comparée à Vmax pour engendrer un signal binaire de comparaison sd_4.

La bascule MD_1 de mémorisation de signe reçoit par l'entremise d'une porte OU (G_4) le signal de validation de cycle s_2 ou s_3 en vue de mémoriser le signe de la différence $y_p - y_{p-1}$ à chacun de ces cycles et d'engendrer un signal de signe correspondant sd_0.

Un autre opérateur OD_2 de calcul de différence est relié aux registres Y' et E pour délivrer,

d'une part, le signe de la différence vers une bascule MD_3 de mémorisation de signe, d'autre part, la valeur absolue de la différence $|y_{p-1} - E_{n-1}|$ vers un comparateur CD_1 en vue de la reconnaissance du signal utile par rapport au bruit. A cet effet, le comparateur CD_1 reçoit sur son autre entrée de comparaison la sortie d'un registre de mémorisation de paramètre MP_a dans lequel est préalablement chargé le seuil -a- de niveau de bruit résiduel.

Dans le comparateur CD_1, la différence $|y_{p-1} - E_{n-1}|$ est comparée au seuil -a- pour engendrer un signal binaire de comparaison sd_5.

La bascule MD_3 de mémorisation de signe reçoit le signal de validation s_2 en vue de mémoriser le signe de la différence $y_{p-1} - E_{n-1}$ pour ce cycle et d'engendrer un signal de signe correspondant sd_1.

De plus, l'ensemble des registres MP comprend un registre MP_K de mémorisation d'un rapport K des différences de valeurs entre extrémums successifs. Ce registre délivre le paramètre K qui est préalablement chargé dans celui-ci, vers un opérateur de division OD_4, lequel est relié par son autre entrée à un registre MD_2 de mémorisation de hauteur relative d'extrémum.

Ce registre MD_2 reçoit la différence $|y_{p-1} - E_{n-1}|$ de l'opérateur OD_2 et le signal de validation s_2 qui commande la mémorisation dans celui-ci (ce signal s_2 est engendré par le séquenceur SEQ lors de la validation d'un échantillon comme extrémum). Le registre MD_2 mémorise donc la hauteur (ou amplitude) de l'extrémum venant d'être validé par rapport à celle de l'extrémum précédent E_{n-2} (désignée par hauteur relative H_{n-1} d'extrémum). Ce registre est remis à zéro par un signal cd_0 (qui sera évoqué plus loin) en présence des signaux s_2 OU s_3.

La sortie de l'opérateur OD_4 est reliée à un comparateur CD_3 en vue de lui fournir le signal $H_{n-1} \times K$; celui-ci est par ailleurs relié à l'opérateur OD_2 qui lui délivre la différence $|y_{p-1} - E_{n-1}|$. Ce comparateur fournit un signal binaire de comparaison sd_8.

De plus, le circuit PIC comprend un compteur $COMP_1$ agencé pour être incrémenté à la fréquence

d'échantillonnage grâce au signal de validation s_1, et remis à zéro à chaque validation d'extrémum ou de référence, son entrée de remise à zéro étant reliée à la sortie de la porte G_2.

Le compteur $COMP_1$ délivre sa valeur de comptage sur une entrée d'un comparateur CD_2 qui reçoit sur son autre entrée un paramètre -dmin- préalablement chargé dans un registre de mémorisation de distance minimum MP_{dmin}.

Ainsi le compteur $COMP_1$ décompte le nombre de pas depuis le début de la séquence (validation du dernier extrémum E_{n-1}) et sa valeur de comptage représente la distance -d- séparant l'échantillon courant y_{p-1} et l'extrémum précédent E_{n-1}. Cette distance -d- est comparée au paramètre dmin en vue de délivrer un signal binaire de comparaison sd_6 permettant de ne valider un extrémum que si cette distance d est supérieure au minimum programmé dmin. Cette disposition exclut des extrémums parasites, par exemple tâche noire parasite dans un intervalle entre deux barres d'un code-barre.

Par ailleurs, l'ensemble de registres MP comprend un registre MP_{dmax} de mémorisation de distance maximum dmax. Comme on le verra plus loin, cette disposition permet à l'unité d'initialisation INIT de valider une référence R_m qui servira de référence dans la détection du nouvel extrémum, afin d'éviter dans ce cas de se référencer à un extrémum trop lointain, qui serait sans rapport avec le suivant.

Le circuit PIC comprend à cet effet un compteur $COMP_2$ relié au registre MP_{dmax} pour charger sa valeur de comptage. Ce compteur est décrémenté par le signal de validation $s_1.h_0$ à chaque échantillon, ce qui revient à effectuer une comparaison du nombre de pas (distance d) au paramètre dmax. Lorsque la valeur de comptage de ce compteur $COMP_2$ dépasse dmax, un signal binaire de comparaison sd_7 représentatif des valeurs relatives de -d- et de dmax est délivré. Le compteur $COMP_2$ est chargé à la valeur dmax par le signal issu de la porte G_2.

De plus, un ensemble de comptage, constitué en l'exemple de deux compteurs $COMP_3$ ET $COMP_6$ (afin de pouvoir travailler sur 14 bits), est incrémenté par le signal s_1 issu

du séquenceur SEQ en vue de décompter le nombre de pas -de- entre deux extrémums successifs. Ces compteurs sont remis à zéro par le signal $s_7 \cdot h_2$ ou le signal $\overline{cd_0} \cdot s_2$ (déjà évoqué). Une bascule MV_1 ("Set and Reset") est reliée en entrée au compteur $COMP_2$ pour mémoriser l'égalité d = dmax en l'absence d'une composante significative (grâce au signal $\overline{dsig}$ évoqué plus loin). Cette bascule est remise à zéro durant le cycle s_7. Cette bascule est reliée en sortie à un multiplexeur MUX, de façon que le nombre de pas -de- entre deux extrémums puisse être inséré dans la mémoire de résultat RAM après validation de chaque extrémum distant du précédent d'un nombre de pas au moins égal à dmax. A cet effet, le multiplexeur MUX est relié à l'ensemble de comptage $COMP_3$, $COMP_6$ en vue de charger la valeur -de- de celui-ci dans la mémoire de résultat RAM ; le multiplexeur MUX est également relié à l'opérateur OD_2 pour insérer le signe de cette valeur dans ladite mémoire.

En outre, le dispositif comprend un opérateur OD_3 relié en entrée à l'opérateur OD_1 pour recevoir le signal sd_2, au registre MD_1 pour recevoir le signal sd_0, au comparateur CD_1 pour recevoir le signal sd_5, au comparateur CD_2 pour recevoir le signal sd_6, à la bascule MD_3 pour recevoir le signal sd_1, à l'opérateur OD_2 pour recevoir le signal sd_3, au comparateur CD_4 pour recevoir le signal sd_4, au compteur $COMP_2$ pour recevoir le signal sd_7 et au comparateur CD_3 pour recevoir le signal sd_8.

Cet opérateur OD_3 valide l'échantillon comme extrémum en engendrant un signal de validation d'extrémum picv qui est délivré vers le séquenceur SEQ afin d'obtenir le signal s_2 correspondant aux cycles de traitement des extrémums validés.

L'opérateur OD_3 est câblé de façon à engendrer le signal de validation picv lorsque les conditions de validation suivantes sont réunies :

(signal sd_5) $|y_{p-1} - E_{n-1}| > a$

(signal sd_6) $d > dmin$

(signaux sd_0 et sd_2) inversion de signe entre échantillons successifs

(signal sd_8) $|y_{p-1} - E_{n-1}| > K \cdot H_{n-1}$

(signal sd_1 et sd_3) inversion de signe

entre extrémums successifs

(signal sd_4) $|y_{p-1} - y_p| < Vmax$

De plus, le signal de validation picv est forcé dans le cas où les conditions suivantes sont réalisées :

(signal sd_4) $|y_{p-1} - y_p| < Vmax$

(signal sd_7) $d = dmax$

(signal dsig) dsig actif

(traduisant la présence d'une composante significative comme on le verra plus loin).

La validation forcée qui intervient dans ce dernier cas fournit un pseudo-extrémum en cas de disparition du signal utile, ce pseudo-extrémum permettant de traiter la dernière transition du signal utile ; ce pseudo-extrémum séparé du précédent par la distance d = dmax sera pris en compte dans la segmentation.

De plus, l'unité d'initialisation INIT qui est associée à l'unité de détection PIC ci-dessus décrite, est composée d'un opérateur OI_1 qui est agencé en parallèle par rapport à l'opérateur OD_3 du circuit PIC de façon à recevoir l'ensemble des signaux sd_0 à sd_8 qui aboutissent à celui-ci, grâce à des liaisons parallèles avec la sortie des organes correspondants.

L'opérateur OI_1 engendre un signal de référence Ref qui est délivré vers le registre E (à travers la porte G_3) pour valider certains échantillons comme référence R_0, R_1... R_m lors des cycles s_3.

L'opérateur OI_1 est câblé de façon que cette validation de référence ait lieu lorsque les conditions d'initialisation suivantes sont satisfaites :

(signaux sd_0 et sd_2) inversion de signe entre échantillons successifs

(signal sd_4) ET $|y_{p-1} - y_p| < Vmax$

ET au moins l'une des conditions suivantes :

(signal sd_5) $|y_{p-1} - E_{n-1}| < a$

(signal sd_6) OU $d < dmin$

(signal sd_8) OU $|y_{p-1} - E_{n-1}| < K.H_{n-1}$

(signaux sd_1 et sd_3) OU identité de signe des

grandeurs $(y_{p-1} - E_{n-1})$ et $(E_{n-1} - E_{n-2})$

De plus, la validation de référence est forcée dans le cas où les conditions suivantes sont réalisées :

(signal sd_4)	$\lvert y_{p-1} - y_p \rvert < Vmax$
(signal sd_7)	d = dmax
(signal dsig)	dsig inactif

La validation forcée de référence qui intervient dans ce dernier cas fournit une pseudo-référence en cas d'absence de signal utile, pour réinitialiser de façon répétitive la séquence de recherche de référence même si les conditions précédentes d'intialisation ne sont pas remplies.

Par ailleurs, en l'exemple schématisé à la figure 3, le dispositif comprend un circuit de comptage d'extrémums validés NBPic comportant un compteur $COMP_4$ de nombre d'extrémums validés et un compteur $COMP_5$ du nombre d'échantillons, agencés pour délivrer et mémoriser le contenu du compteur $COMP_4$ après passage d'un nombre déterminé d'échantillons. Le compteur $COMP_4$ est incrémenté par le signal s_2 de validation des extrémums, est remis à zéro par le signal -ackn- à chaque début de traitement et délivre en sortie des valeurs binaires sur le bus de données de la mémoire de résultat RAM. Le compteur $COMP_5$ est incrémenté par la fréquence d'échantillonnage -sech- issue du générateur de phases GENE ; il valide ainsi par sa sortie l'écriture dans la mémoire RAM du contenu du compteur $COMP_4$ après passage d'un nombre d'échantillons correspondant à une fenêtre de largeur déterminée.

De la sorte, ces compteurs permettent de réaliser une phase de reconnaissance de la présence d'une composante significative qui précède la phase de traitement par segmentation et qui consiste, après détection séquentielle des extrémums par le circuit PIC, à compter et mémoriser le nombre d'extrémums validés par rapport à la fenêtre susévoquée. Le calculateur d'exploitation compare ce nombre à un seuil donné de façon à en déduire la présence ou l'absence probable d'une composante significative. Ces dispositions permettent de ne lancer le traitement de segmentation qu'en présence d'une composante significative. Par exemple dans un

système portable auto-alimenté de détection de codes-barres, le traitement de segmentation qui est associé à un éclairage des codes-barres (principal consommateur d'énergie) n'est déclenché qu'en présence d'une composante significative, c'est-à-dire d'un code-barre, ce qui réduit la consommation énergétique.

La figure 4 fournit un exemple de réalisation des opérateurs OD_3 et OI_1, réalisant les calculs combinatoires précités. Ces opérateurs, en eux-mêmes à la portée de l'homme du métier, combinent essentiellement des portes OU exclusifs, ET, NAND un inverseur et une bascule BOD_3 "set and reset" ; cette bascule BOD_3 mémorise la présence ou l'absence d'une composante significative et sa sortie dsig déjà évoquée permet de ne valider le pseudo-extrémum qu'une seule fois après disparition de la composante significative.

La figure 5 est un schéma de détail du circuit de segmentation BIN.

Ce circuit comprend une mémoire MS_1 de stockage temporaire des échantillons d'une séquence, qui reçoit ces échantillons du registre Y'. Cette mémoire contient un compteur d'adresse $CMPS_1$ qui est incrémenté par le signal s_3 et qui est remis à zéro par le signal $s_2 \cdot h_2$.

Cette mémoire est reliée à une unité DICHO de recherche heuristique, à laquelle elle délivre l'amplitude de l'échantillon qui lui est adressé.

Des moyens MS_2 de mémorisation d'extrémum, en particulier un registre, reçoivent la sortie du compteur d'adresse $CMPS_1$ pour en stocker la valeur sur validation du signal $s_2 \cdot h_1$. La sortie de MS_2 est reliée à l'unité DICHO et à un opérateur OS_2 de calcul de distance. Elle fournit la borne supérieure de la segmentation (la borne inférieure étant zéro), à l'unité DICHO et à l'opérateur OS_2.

Un opérateur OS_1 de sommation est prévu pour calculer la demi-somme des deux derniers extrémums $\frac{E_{n-1} + E_n}{2}$ (E_{n-1} pouvant être une référence R_m). A cet effet, l'opérateur OS_1 reçoit les sorties des registres Y' et E, et sa sortie est reliée à un registre MS_3 de mémorisation de seuil, qui est validé par le signal s_2 de validation d'extrémum. Ce seuil est

délivré vers l'unité DICHO. Pour effectuer la recherche dichotomique dans le sens croissant ou décroissant, l'unité DICHO reçoit également la sortie de l'opérateur OD_2 donnant le signe ou la différence des deux derniers extrémums $E_n - E_{n-1}$.

L'unité DICHO engendre un signal de position temporelle -pos- de chaque échantillon traité. Le signal -pos- est délivré sur deux opérateurs, l'un de calcul de distance OS_2, l'autre de sommation OS_3. L'opérateur OS_2 est relié aux moyens MS_2 et effectue un calcul de distance (nombre de pas) entre le dernier extrémum E_n et l'échantillon pos.

Cette distance est délivrée sur un registre de mémorisation temporaire de distance MS_4 qui est validé par un signal $-d_2 \cdot h_2-$ (issu du séquenceur SEQDICHO décrit plus loin) afin de mémoriser la distance l'_{n-1} séparant le dernier extrémum E_n et l'échantillon médian identifié par l'unité DICHO.

L'opérateur OS_3 effectue la sommation, à chaque validation par le signal -fin- :

. de la distance l'_{n-1} entre l'échantillon médian précédent (mémorisé dans le registre MS_4) et l'extrémum E_{n-1},

. et de la distance l_n entre l'échantillon courant (arrivant de l'unité DICHO) et l'extrémum E_{n-1}.

Le résultat $l'_{n-1} + l_n$ est délivré vers la mémoire de résultat RAM.

Un mode de réalisation de l'unité de recherche heuristique DICHO est schématisé à la figure 6. Cette unité comprend essentiellement :

- deux registres MS_i, MS_s de mémorisation d'une borne inférieure et d'une borne supérieure,
- un opérateur OS_4 de sommation, relié par son entrée aux deux registres MS_i, MS_s pour opérer un calcul d'adresse médiane et par sa sortie à un registre MS_a de mémorisation intermédiaire relié à la mémoire MS_1 pour en adresser un échantillon, ledit opérateur OS_4 associé à son registre MS_a étant rebouclé sur les registres MS_i, MS_s,
- un registre MS_g de mémorisation de signe, relié à l'opérateur OD_2,
- un comparateur CS_1 relié au registre MS_g, à

la mémoire MS_1 pour recevoir l'échantillon adressé et au registre de mémorisation du seuil MS_3, en vue de délivrer un signal de comparaison (sdicho),

- un séquenceur de segmentation SEQDICHO relié par son entrée au comparateur CS_1 et par sa sortie, aux registres MS_i, MS_s pour valider une des bornes mémorisées,

- un comparateur CS_2, relié aux registres MS_i, MS_s en vue de délivrer un signal d'égalité vers le séquenceur SEQDICHO destiné à arrêter la recherche dichotomique.

De plus, un multiplexeur MUXDIC est interposé sur le rebouclage vers le registre MS_s en vue d'initialiser ledit registre lors de la détection de chaque extrémum s_2, par la borne supérieure mémorisée dans le registre MS_2. Après cette initialisation de la recherche dichotomique, le multiplexeur MUXDIC transmet simplement la sortie du registre MS_a.

Le résultat sdicho de la comparaison effectué dans le comparateur CS_1 entre l'amplitude du seuil et l'amplitude de l'échantillon issu de la mémoire MS_1, est délivré vers le séquenceur de segmentation SEQDICHO pour engendrer soit un cycle de recherche dichotomique d_0, soit un cycle d_1, de façon à valider la sortie du registre MS_a soit comme borne supérieure dans le registre MS_s, soit comme borne inférieure dans le registre MS_i, et ce, jusqu'à obtenir une égalité à la sortie du comparateur CS_2 qui engendre le signal -fin- lequel positionne le séquenceur SEQDICHO sur le cycle d_2.

La figure 7 présente un mode de réalisation du séquenceur de segmentation SEQDICHO destiné à assurer le séquencement de la dichotomie. Ce séquenceur comprend un compteur $SEQDI_1$ qui est validé en comptage par la sortie d'une bascule $SEQDI_4$ (de type JK), son comptage étant incrémenté par les signaux d'horloge h_3.

Les sorties du compteur $SEQDI_1$ sont décodées dans un décodeur $SEQDI_2$ en vue d'engendrer les signaux de validation des cycles de dichotomie (d_0, d_1, d_2).

Un codeur $SEQDI_3$ délivre des valeurs de rupture de séquences codées vers les entrées de chargement du

compteur $SEQDI_1$ et un signal de validation vers son entrée de validation de chargement. A cet effet, le codeur reçoit des signaux de rupture de séquence sdicho (sortie du comparateur CS_1), $\overline{sdicho}$ (sortie après inversion), fin (sortie du comparateur CS_2) et d_2 (sortie $SEQDI_2$). Ce codeur $SEQDI_1$ est incrémenté par le signal d'horloge h_3.

La bascule $SEQDI_4$, synchronisée par le signal d'horloge h_2, valide le comptage du compteur $SEQDI_1$ sur commande du signal s_2 et inhibe ce comptage sur commande du signal d_3 ou ackn ; ce dernier signal d_3 est un état du séquenceur issu du décodeur $SEQDI_2$ correspondant à une période d'inactivité de celui-ci.

La figure 8 présente un mode de réalisation connu en soi de la mémoire de stockage temporaire MS_1. Cette mémoire est agencée pour travailler alternativement sur deux zones MS_1a et MS_1b qui sont chargées et segmentées alternativement.

L'alternance est commandée par une bascule MS_1c. Des multiplexeurs MS_1d, MS_1e assurent l'aiguillage alternatif chargement/segmentation.

La figure 9 présente un exemple de réalisation de la mémoire de résultat RAM.

Cette mémoire de résultat RAM comprend une mémoire vive RAMA constituée d'un port d'entrée et d'un port de sortie. Le port d'entrée est connecté aux tampons ("buffers") BPIC, BBIN et BNBPIC qui sont respectivement reliés aux circuits PIC, BIN et NBPIC.

Le port de sortie est connecté par l'intermédiaire du registre BRAMA au bus du calculateur d'exploitation.

L'écriture des données résultats de la segmentation ou du calcul du nombre d'extrémums validés est synchronisé sur l'horloge h_1.

L'adresse en écriture est réalisée par le compteur CPRAM qui est incrémenté après chaque validation d'écriture sur l'horloge h_2.

Le compteur CPRAM adresse séquentiellement la mémoire RAMA par l'intermédiaire d'un multiplexeur MUXR qui connecte la sortie du compteur CPRAM sur la mémoire RAMA lors

de la validation en écriture de la mémoire RAMA.

Dans toute autre configuration la mémoire RAMA est validée en lecture vers le calculateur par l'intermédiaire du registre BRAMA qui mémorise la donnée adressée par le calculateur par l'intermédiaire du multiplexeur MUXR.

La validation en écriture de la mémoire RAMA étant très courte par rapport à sa validation en lecture, on peut accéder simultanément à la mémoire RAMA en écriture par le circuit de segmentation BIN et en lecture par le calculateur. On peut ainsi réaliser, de façon connue en soi, un "buffer" circulaire à accès en écriture ou lecture simultanées.

La figure 10a et son complément la figure 10b présentent l'organigramme du traitement de détection d'extrémums. Ces figures font apparaître les cycles s_0, s_1... pendant lesquels chaque phase est effectuée ; les signaux d'horloge h_0, h_1 et h_2 synchronisent les différentes phases de chaque cycle, tandis que les signaux d'horloge h_3 commandent la succession des cycles. On a utilisé les symboles courants pour ce genre d'organigramme.

La figure 11 présente de façon similaire l'organigramme du traitement de segmentation, avec ses cycles d_0, d_1, d_2 et les signaux d'horloge de synchronisation h_0, h_1, h_2.

La figure 12 illustre un exemple de fonctionnement du séquenceur SEQ.

L'horloge de base H_b génère les 4 impulsions de synchronisation h_0, h_1, h_2, h_3 permettant durant chaque cycle s_0, s_1, s_2, s_3 et s_7 de synchroniser les différentes opérations effectuées pendant ces cycles.

Ce séquenceur est asservi sur la fréquence d'échantillonnage sech par l'intermédiaire du signal sechs (flèche δ_0) qui génère une impulsion lors de la validation de l'échantillonnage, laquelle permet le passage du cycle s_0 aux cyles suivants.

La fréquence H_b est calculée de telle façon que le temps de traitement maximum durant un pixel soit inférieur à la période d'échantillonnage.

La figure 13 illustre un exemple de fonctionnement de la mémoire RAM.

Cette mémoire est validée en écriture par le circuit de l'invention et est validée en lecture par le calculateur d'exploitation. La validation d'écriture provenant du circuit BIN est synchronisée sur h_1. La donnée est présente durant le cycle d_2. Le compteur CPRAM adresse la mémoire RAMA pendant un temps, il est incrémenté durant l'impulsion d'horloge h_2 qui suit la validation d'écriture.

Dans tout autre cas, la mémoire RAM est validée en lecture vers le calculateur. L'information est stockée dans le registre BRAMA à chaque impulsion de l'horloge H_b, en dehors des opérations d'écritures suffisamment fugitives pour ne pas perturber la lecture du calculateur d'exploitation.

C'est ce que montre la flèche λ_1. Dans cette réalisation, le signal de validation de lecture du calculateur est six fois plus grand que le signal de validation d'écriture du circuit de l'invention.

Les figures 14a et 14b illustrent une séquence de détection d'extrémums. Les flèches α_0, α_1 et α_2 indiquent le rejet de faux extrémums pour les raisons suivantes :

α_0 : $|y_{p-1} - y_p| > Vmax$

α_1 : $d < dmin$

α_2 : $|y_{p-1} - E_{n-1}| < K.H_{n-1}$

La flèche α_3 indique la validation d'un pseudo-extrémum lors de la disparition de la composante significative.

Les figures 15a et 15b illustrent une nouvelle séquence de détection d'extrémums.

La flèche β_3 indique la prise en compte d'un pseudo-extrémum lors de la disparition de la composante significative.

Les flèches β_0, β_1, β_4, β_6 indiquent le rejet de faux extrémums pour les raisons suivantes :

β_0, β_1 : $|y_{p-1} - E_{n-1}| < K.H_{n-1}$

OU signe de $(E_{n-1} - E_{n-2})$ = signe de $(y_{p-1} - E_{n-1})$

β_2 : $|y_{p-1} - y_p| > Vmax$

β_4 : $|y_{p-1} - E_{n-1}| < a$

La flèche β_5 indique une mise à jour de la référence lors du passage à 1 de sd_7.

Les figures 16a et 16b illustrent la phase de segmentation. Celle-ci est lancée en parallèle avec la détection à chaque détection d'extrémum, laquelle est effective à chaque cycle s_2. Dans ce cas, le séquenceur SEQDICHO devient actif et d_3 passe à 0 durant toute la durée d'activité de la segmentation.

A chaque cycle d_2, le circuit BIN écrit dans la mémoire RAM le segment binaire correspondant qui à la séquence n est $l_n + l'_{n-1}$.

A la fin du cyle d_2, le circuit BIN redevient inactif, ce qui signifie que le cycle d_3 est à nouveau validé.

Les figures 17a et 17b donnent un exemple de détection d'extrémum avec rejet d'extrémum dans le cas où la condition $|y_{p-1} - E_{n-1}| < K.H_{N-1}$ n'est pas respectée (flèche γ_0).

Dans ce cas (flèche γ_0) une référence est validée pour que la prochaine détection soit faite par rapport à cet échantillon.

L'extrémum suivant sera ainsi rejeté (flèche γ_1) parce que les signes de $(y_{p-1} - E_{n-1})$ et de $(E_{n-1} - E_{n-2})$ sont les mêmes (pics = 0) ; par contre, la référence est mise à jour avec la valeur de y_{p-1}.

Le prochain extrémum (flèche γ_2) sera pris en compte, et la segmentation sera réalisée par rapport à la valeur de l'échantillon en γ_2 et la valeur de l'échantillon en γ_1. La transition considérée sera comprise entre γ_3 et γ_2. On génère ainsi un signal binaire avec un minimum d'erreur.

REVENDICATIONS

1/ - Procédé de traitement d'un signal électrique analogique constitué, d'une part, d'une composante significative comportant des extrémums successifs séparés par des transitions montantes et descendantes, d'autre part, d'une composante parasite comportant une modulation parasite de la composante significative et un bruit résiduel, ledit procédé permettant d'obtenir un signal binaire paramétrable représentatif de la composante significative du signal analogique et non influencé par sa composante parasite et étant caractérisé en ce qu'il consiste :

(t_0) dans une étape préalable, à mémoriser des valeurs choisies pour les paramètres suivants : distance minimum -dmin- entre extrémums successifs, seuil -a- de niveau de bruit résiduel,

(t_1) à convertir le signal analogique en un signal numérique sur un ensemble de valeurs adapté pour différencier les extrémums du signal analogique, la conversion étant effectuée avec une fréquence d'échantillonnage suffisante pour échantillonner les transitions dudit signal, en vue d'obtenir une suite d'échantillons numériques représentatifs des extrémums et des transitions du signal analogique,

(t_2) à détecter séquentiellement les extrémums successifs du signal numérique, en effectuant un traitement itératif ayant comme séquence courante (n) la séquence suivante :

. mémoriser l'extrémum (E_{n-1}) détecté à la séquence précédente (n-1),

. mémoriser à chaque pas (p) de la séquence un échantillon numérique (y_p) correspondant audit pas et l'échantillon (y_{p-1}) du pas précédent,

. calculer en valeur absolue la différence $|y_{p-1} - E_{n-1}|$, la comparer au seuil de bruit -a- préalablement mémorisé et engendrer un signal binaire de comparaison (sd_5),

. décompter le nombre de pas depuis le début de la séquence en vue de calculer la distance d séparant l'échantillon (y_{p-1}) et l'extrémum précédent (E_{n-1}), comparer

cette distance -d- à la distance minimum -dmin- préalablement mémorisée, et engendrer un signal binaire de comparaison (sd_6),

. mémoriser le signe de la différence ($y_p - y_{p-1}$), le comparer avec le signe de la différence ($y_{p-1} - y_{p-2}$) mémorisé au pas précédent et engendrer un signal binaire de comparaison de signe (picd),

. et valider l'échantillon (y_{p-1}) comme nouvel extrémum (E_n) et le mémoriser dans le cas où les signaux de comparaison sont représentatifs des conditions de validation suivantes :

$$\underset{d > dmin}{|y_{p-1} - E_{n-1}|} > a$$

et le signal de comparaison de signe (picd) est représentatif d'une inversion de signe,

(t_3) à effectuer à chaque séquence (n) un traitement de segmentation à partir de la détection de chaque extrémum (E_n), par les opérations suivantes :

. mémoriser les échantillons ($y_1 \ldots y_p \ldots$) compris entre l'extrémum détecté (E_n) et l'extrémum précédent (E_{n-1}),

. opérer sur lesdits extrémums (E_{n-1}, E_n) une fonction de sommation en vue d'engendrer un signal de seuil (S),

. rechercher l'échantillon médian ayant une valeur la plus proche de ce seuil et calculer et mémoriser les distances (l_n) et (l'_n) de cet échantillon par rapport aux extrémums (E_{n-1}) et (E_n),

. et calculer la distance ($l'_{n-1} + l_n$) entre l'échantillon médian de la séquence (n) considéré et l'échantillon médian de la séquence précédente (n-1),

(t_4) et à mémoriser les distances ($\ldots, l'_{n-2} + l_{n-1}$, $l'_{n-1} + l_n$, $l'_n + l_{n+1}, \ldots$), calculées au cours des séquences successives, pour engendrer le signal binaire paramétrable.

2/ - Procédé de traitement selon la revendication 1, caractérisé en ce que la détection séquentielle des extrémums (t_2) est initiée au cours de séquences d'initialisation au moyen de références (R_0, $R_1, \ldots$

R_m), obtenus en effectuant un traitement d'initialisation itératif (t_i) ayant comme séquence courante d'initialisation :

. mémoriser à chaque pas (p) de ladite séquence un échantillon numérique (y_p) correspondant audit pas et l'échantillon (y_{p-1}) du pas précédent,

. comparer la valeur absolue $|y_{p-1} - E_{n-1}|$ au seuil de bruit -a- et engendrer un signal binaire de comparaison (sd_5) (E_{n-1} étant le dernier extrémum validé ou zéro à défaut d'extrémum validé),

. décompter le nombre de pas depuis le début du traitement en vue de calculer la distance -d- séparant l'échantillon (y_{p-1}) du début du traitement ou de la dernière référence, comparer cette distance -d- à la distance minimum -dmin- et engendrer un signal binaire de comparaison (sd_6),

. mémoriser le signe de la différence ($y_p - y_{p-1}$), le comparer avec le signe de la différence ($y_{p-1} - y_{p-2}$) mémorisé au pas précédent et engendrer un signal binaire de comparaison de signe (picd),

. valider l'échantillon (y_{p-1}) comme référence (R_m) et le mémoriser dans le cas où les conditions d'initialisation suivantes sont satisfaites : d'une part, le signal de comparaison de signe (picd) est représentatif d'une inversion de signe, d'autre part, au moins l'un des signaux de comparaison est représentatif d'une des inégalités suivantes :

$$|y_{p-1} - E_{n-1}| < a$$
$$d < dmin$$

3/ - Procédé de traitement selon la revendication 2, caractérisé en ce que le traitement d'initialisation itératif (t_i) est poursuivi parallèlement au traitement de détection des extrémums (t_2) en vue de fournir de nouvelles références d'extrémums en cas de disparition de la composante significative du signal traité.

4/ - Procédé de traitement selon l'une des revendications 1, 2 ou 3, caractérisé en ce que :

(t_0) dans l'étape préalable, on mémorise également le paramètre suivant : rapport K des différences de valeurs entre extrémums successifs,

(t_2) l'on détecte les extrémums en ajoutant à la

séquence courante (n) les opérations suivantes :

. mémoriser, en même temps que l'extrémum (E_{n-1}) la hauteur relative (H_{n-1}) de cet extrémum par rapport à celle de l'extrémum précédent (E_{n-2}),

. comparer la différence $|y_{p-1} - E_{n-1}|$ à la valeur de $H_{n-1} \times K$, où K est le rapport préalablement mémorisé et engendrer un signal binaire de comparaison (sd_8),

. valider l'échantillon (y_{p-1}) comme nouvel extrémum (E_n) et le mémoriser, dans le seul cas où les conditions de validation déjà définies sont satisfaites et, en outre, où l'inégalité suivante est également satisfaite :

$$|y_{p-1} - E_{n-1}| > K.H_{n-1}$$

5/ - Procédé de traitement selon les revendications 2 et 4 prises ensemble, caractérisé en ce que le traitement d'initialisation itératif (t_i) est effectué en validant et mémorisant à chaque séquence d'initialisation l'échantillon (y_{p-1}) comme référence (R_m) dans le cas où les conditions d'initialisation suivantes sont satisfaites : d'une part, le signal de comparaison de signe (picd) est représentatif d'une inversion de signe, d'autre part, au moins l'un des signaux de comparaison est représentatif d'une des inégalités suivantes :

$$|y_{p-1} - E_{n-1}| < a$$

$$d < dmin$$

$$|y_{p-1} - E_{n-1}| < K.H_{n-1}$$

où K est le rapport préalablement mémorisé, E_{n-1} le dernier extrémum validé ou zéro à défaut d'extrémum validé et H_{n-1} la hauteur relative de ce dernier extrémum ou bien zéro à défaut.

6/ - Procédé selon l'une des revendications 1, 2, 3, 4 ou 5, caractérisé en ce que (t_2) l'on détecte les extrémums en ajoutant après validation d'un premier extrémum les opérations suivantes à chaque séquence (n) :

. calculer, à la fin de la séquence (n-1) précédant la séquence courante considérée (n), le signe de la différence $E_{n-1} - E_{n-2}$ et le mémoriser (sd_1),

. calculer à chaque pas de la séquence courante (n) le signe de la différence $y_{p-1} - E_{n-1}$ (sd_3),

. comparer le signe de la différence

$y_{p-1} - E_{n-1}$ avec celui de la différence $E_{n-1} - E_{n-2}$ et engendrer un signal binaire de comparaison de signe (pics),

. valider l'échantillon dans le seul cas où les conditions de validation déjà évoquées sont satisfaites et où le signal de comparaison de signe précité est représentatif d'une inversion de signe.

7/ - Procédé selon la revendication 6, caractérisé en ce que (t_2) dans le cas où l'échantillon (y_{p-1}) n'est pas validé en raison d'une identité du signe des grandeurs ($y_{p-1} - E_{n-1}$) et ($E_{n-1} - E_{n-2}$), on mémorise ledit échantillon (y_{p-1}) pour servir de référence au traitement de segmentation (t_3), cette référence (y_{p-1}) étant substituée à l'extrémum E_{n-1} pour opérer la fonction de sommation, rechercher l'échantillon médian et calculer la distance ($l'_{n-1} + l_n$).

8/ - Procédé de traitement selon la revendication 2, caractérisé en ce que :

(t_0) dans l'étape préalable, on mémorise également le paramètre suivant : distance -dmax- entre extrémums successifs,

(t_i) l'on engendre les références en ajoutant à la séquence courante d'initialisation les opérations suivantes :

. comparer la distance -d- à la distance maximum -dmax- pour engendrer un signal binaire de comparaison (sd_7) représentatif des valeurs relatives de d et de dmax,

. valider l'échantillon (y_{p-1}) comme nouvelle référence (R_m) et le mémoriser dans le cas où les conditions d'initialisation déjà définies sont satisfaites ou bien dans le cas où le signal de comparaison précité est représentatif de l'égalité d = dmax.

9/ - Procédé de traitement selon les revendications 2 et 8 prises ensemble, caractérisé en ce que dans la détection des extrémums (t_2), si à une séquence le signal de comparaison précité devient représentatif de l'inégalité $d \geqslant dmax$, l'on décompte le nombre de pas séparant l'extrémum précédent E_{n-1} de l'extrémum suivant E_n et l'on mémorise la distance -de- séparant l'extrémum (E_{n-1}) de l'extrémum (E_n).

10/ - Procédé de traitement selon la revendication 9, caractérisé en ce que (t_2) dans le cas d'un signal de comparaison représentatif de l'inégalité $d \geqslant dmax$, après détection de l'extrémum $E_n = y_{p-1}$, on mémorise en même temps que la distance -de-, le signe de la différence $(y_p - y_{p-1})$.

11/ - Procédé de traitement selon l'une des revendications 8, 9 ou 10, caractérisé en ce que, si dans la détection des extrémums (t_2), le signal de comparaison devient représentatif de l'égalité $d = dmax$, l'on effectue un traitement de segmentation (t_3) en considérant comme dernier extrémum E_n l'échantillon y_{p-1} séparé de l'extrémum précédent E_{n-1} par une distance $d = dmax$ en vue de tenir compte de l'échantillon médian de cette dernière séquence lors de la génération du signal binaire.

12/ - Procédé de traitement selon l'une des revendications précédentes, caractérisé en ce que :

(t_0) dans la phase préalable, on mémorise également le paramètre suivant : différence d'amplitude maximum Vmax entre deux échantillons successifs,

(t_2) l'on détecte les extrémums en ajoutant à la séquence courante (n) les opérations suivantes :

. calculer en valeur absolue la différence $|y_{p-1} - y_p|$, la comparer à la différence d'amplitude maximum Vmax préalablement mémorisée et engendrer un signal binaire de comparaison (sd_4),

. valider l'échantillon (y_{p-1}) comme nouvel extrémum (E_n) et le mémoriser dans le seul cas où les conditions de validation déjà définies sont satisfaites et en outre où le signal de comparaison précité est représentatif de l'inégalité $|y_{p-1} - y_p| < Vmax$.

13/ - Procédé de traitement selon les revendications 2 et 12 prises ensemble, caractérisé en ce que (t_i) dans le traitement d'initialisation, l'on détecte les références en ajoutant à la séquence d'initialisation courante les opérations suivantes :

. calculer en valeur absolue la différence $|y_{p-1} - y_p|$, la comparer à la différence d'amplitude maximum Vmax préalablement mémorisée et engendrer un signal binaire de

comparaison (sd_4),

. valider l'échantillon (y_{p-1}) comme référence (R_m) et le mémoriser dans le cas où les conditions d'initialisation déjà définies sont satisfaites et où en outre le signal de comparaison précité est représentatif de l'inégalité $|y_{p-1} - y_p| < Vmax$.

14/ - Procédé de traitement selon l'une des revendications précédentes, caractérisé en ce que (t_3) dans le traitement de segmentation, l'on opère la fonction de sommation suivante sur les extrémums : $S = \frac{E_{n-1} + E_n}{2}$

15/ - Procédé de traitement selon l'une des revendications précédentes, dans lequel (t_3) dans le traitement de segmentation, la recherche de l'échantillon médian s'effectue par un processus dichotomique consistant à considérer l'échantillon situé au milieu du segment E_{n-1} E_n, à comparer sa valeur avec le seuil (S), et à approcher ainsi par itérations successives l'échantillon présentant la valeur la plus proche du seuil.

16/ - Procédé selon la revendication 2 pour le traitement d'un signal analogique représentatif d'une image, associé à des impulsions de synchronisation de pixels et des impulsions de synchronisation de début et de fin de lignes, caractérisé en ce que :

(t_1) l'on fait correspondre la fréquence d'échantillonnage de la conversion analogique/numérique avec la fréquence des impulsions de synchronisation de pixels ou un multiple de celle-ci,

(t_i) l'on commence le traitement d'initialisation itératif à chaque impulsion de synchronisation de début de ligne,

(t_2, t_3) l'on arrête le traitement à chaque impulsion de synchronisation de fin de ligne.

17/ - Procédé de traitement selon l'une des revendications précédentes, caractérisé en ce qu'il comprend une phase de reconnaissance de la présence d'une composante significative, précédant la génération du signal binaire paramétrable et consistant :

(t'_2) à détecter séquentiellement les extrémums

par des séquences telles déjà définies,

(t_5) et à compter et mémoriser le nombre d'extrémums validés par rapport à une fenêtre correspondant à un nombre déterminé d'échantillons, en vue de délivrer une information représentative de la présence ou de l'absence probable d'une composante significative.

18/ - Dispositif de traitement d'un signal électrique analogique en vue de délivrer un signal binaire paramétrable par mise en oeuvre du procédé conforme à l'une des revendications précédentes, caractérisé en ce qu'il comprend :

- un ensemble de registres de mémorisation de paramètres (MP) possédant des registres (MP_a, MP_{dmin}) de mémorisation de bruit (a) et de distance minimum (dmin),
- un convertisseur analogique/numérique (CAN), agencé pour effectuer la conversion à une fréquence d'échantillonnage déterminée,
- un séquenceur (SEQ) adapté pour commander des cycles d'opérations à réaliser à chaque période d'échantillonnage par une validation séquentielle de chaque unité fonctionnelle du dispositif,
- un circuit de détection d'extrémum (PIC), possédant :
  - . deux registres (Y, Y') de mémorisation d'échantillons successifs, le premier (Y) relié au convertisseur (CAN), le second (Y') relié au premier,
  - . un registre (E) de mémorisation d'extrémum relié au second registre (Y'),
  - . un opérateur (OD_1) de calcul de différence, relié aux registres (Y, Y') et associé à une bascule (MD_1) de mémorisation de signe,
  - . un opérateur (OD_2) de calcul de différence, relié aux registres (Y', E),
  - . un comparateur (CD_1) relié à l'opérateur (OD_2) et à un des registres de mémorisation de paramètres (MP_a),
  - . un compteur ($COMP_1$) agencé pour être incrémenté à la fréquence d'échantillonnage et remis à zéro à chaque validation d'extrémum,

. un comparateur (CD_2) relié à la sortie du compteur ($COMP_1$) et à un des registres de mémorisation de paramètres (MP_{dmin}),

. un opérateur (OD_3) de calcul combinatoire, relié, en entrée, à l'opérateur (OD_1), au registre (MD_1) au comparateur (CD_1) et au comparateur (CD_2) et, en sortie, au séquenceur (SEQ) en vue de lui délivrer un signal de validation d'extrémum (picv),

- un circuit de segmentation (BIN), possédant :

. une mémoire (MS_1) de stockage temporaire des échantillons d'une séquence, reliée à l'un des registres de mémorisation d'échantillons (Y'),

. des moyens (MS_2) de mémorisation d'extrémum,

. un opérateur (OS_1) de sommation de l'amplitude de deux extrémums successifs, associé à un registre (MS_3) de mémorisation de seuil,

. une unité (DICHO) de recherche heuristique de l'échantillon le plus proche du seuil, reliée à la mémoire d'échantillons (MS_1), au registre de seuil (MS_3) et aux moyens de mémorisation (MS_2),

. un opérateur (OS_2) de calcul de distance, relié à l'unité (DICHO) et aux moyens de mémorisation d'extrémums (MS_2) et associé à un registre de mémorisation temporaire de distance (MS_4),

. un opérateur (OS_3) de sommation, relié à l'unité (DICHO) et au registre (MS_4) en vue de calculer la longueur du segment entre échantillons médians successifs,

- une mémoire de résultat (RAM) reliée à l'opérateur (OS_3) pour stocker les résultats fournis par celui-ci.

19/ - Dispositif de traitement selon la revendication 18, caractérisé en ce qu'il comprend un circuit d'initialisation (INIT) associé au circuit de détection d'extrémum (PIC), ce circuit d'initialisation possédant un opérateur (OI_1) de calcul combinatoire agencé en parallèle par rapport à l'opérateur (OD_3) du circuit (PIC), ledit opérateur (OI_1) étant relié par son entrée au comparateur (CD_1), au

comparateur (CD_2), à l'opérateur (OD_1) et à la bascule de mémorisation de signe (MD_1) et adapté pour délivrer vers le registre (E) de mémorisation d'extrémum un signal de validation de référence (Ref) en vue de mémoriser dans ce registre chaque référence validée.

20/ - Dispositif de traitement selon l'une des revendications 18 ou 19, caractérisé en ce que :

- l'ensemble des registres de mémorisation de paramètres comprend un registre (MP_k) de mémorisation du rapport de différence (K),

- le circuit de détection d'extrémum (PIC) possède :

. un registre (MD_2) de mémorisation de hauteur relative d'extrémum,

. un opérateur (OD_4) de division, relié par son entrée au registre (MD_2) et au registre (MP_k) pour délivrer une hauteur relative divisée,

. un comparateur (CD_3) relié par son entrée aux opérateurs (OD_2) et (OD_4) pour délivrer vers l'opérateur (OD_3) un signal de comparaison supplémentaire (sd_8).

21/ - Dispositif de traitement selon les revendications 19 et 20 prises ensemble, caractérisé en ce que le comparateur (CD_3) est également relié à l'opérateur (OI_1) du circuit d'initialisation en vue de délivrer vers celui-ci un signal de comparaison supplémentaire (sd_8).

22/ - Dispositif de traitement selon l'une des revendications 18, 19, 20 ou 21, caractérisé en ce que le circuit de détection d'extrémum (PIC) comprend une bascule (MD_3) de mémorisation de signe de différence, relié à l'opérateur (OD_2) en vue de délivrer vers l'opérateur (OD_3) le signe mémorisé (sd_1), ledit opérateur OD_2 étant relié par sa sortie à l'opérateur (OD_3) pour lui fournir le signe courant (sd_3).

23/ - Dispositif de traitement selon les revendications 19 et 22 prises ensemble, caractérisé en ce que la bascule de mémorisation (MD_3) et l'opérateur (OD_2) sont également reliés à l'opérateur (OI_1) du circuit d'initialisation en vue de délivrer vers celui-ci le signe

mémorisé (sd_1) et le signe courant (sd_3).

24/ - Dispositif de traitement selon l'une des revendications 18 à 23, caractérisé en ce que :

- l'ensemble de registres de mémorisation de paramètres comprend un registre (MP_{dmax}) de mémorisation de distance maximum (dmax),

- le circuit de détection d'extrémums (PIC) possède un compteur ($COMP_2$) relié au registre (MP_{dmax}) pour charger sa valeur de comptage en vue de délivrer vers l'opérateur (OD_3) un signal de comparaison en cas de dépassement (sd_7).

25/ - Dispositif de traitement selon les revendications 19 et 24 prises ensemble, caractérisé en ce qu'il comprend :

- un ensemble de comptage ($COMP_3$, $COMP_6$) relié au séquenceur (SEQ) pour décompter le nombre de pas entre deux extrémums successifs,

- une bascule (MV_1) reliée en entrée au compteur ($COMP_2$) pour mémoriser l'égalité d = dmax,

- un multiplexeur (MUX) relié à l'ensemble de comptage ($COMP_3$, $COMP_6$) et à la bascule (MV_1) pour insérer la valeur de $\geqslant$ dmax dans la mémoire de résultat (RAM), ledit multiplexeur étant relié à l'opérateur (OD_2) pour insérer également le signe de cette valeur dans la mémoire (RAM).

26/ - Dispositif de traitement selon l'une des revendications 18 à 25, caractérisé en ce que :

- l'ensemble des registres de mémorisation de paramètres comprend un registre (MP_{vmax}) de mémorisation de différence d'amplitude (Vmax),

- le circuit de détection d'extrémum (PIC) possède un comparateur (CD_4) relié par son entrée à l'opérateur (OD_1) et au registre (MP_{vmax}) en vue de délivrer un signal de comparaison supplémentaire (sd_4) vers l'opérateur (OD_3).

27/ - Dispositif de traitement selon les revendications 19 et 26 prises ensemble, caractérisé en ce que le comparateur (CD_4) est également relié à l'opérateur (OI_1) du circuit d'initialisation en vue de délivrer vers celui-ci un signal de comparaison supplémentaire (sd_4).

28/ - Dispositif de traitement selon l'une des revendications 18 à 27, caractérisé en ce que l'unité de recherche heuristique (DICHO) du circuit de segmentation est une unité de recherche dichotomique comprenant :

- deux registres (MS_i, MS_s) de mémorisation d'une borne inférieure et d'une borne supérieure,

- un opérateur (OS_4) de sommation, relié par son entrée aux deux registres (MS_i, MS_s) pour opérer un calcul d'adresse médiane et par sa sortie à un registre (MS_a) de mémorisation intermédiaire relié à la mémoire (MS_1) pour en adresser un échantillon, ledit opérateur (OS_4) associé à son registre (MS_a) étant rebouclé sur les registres (MS_i, MS_s),

- un registre (MS_g) de mémorisation de signe, relié à l'opérateur (OD_2),

- un comparateur (CS_1) relié au registre (MS_g), à la mémoire (MS_1) pour recevoir l'échantillon adressé et au registre de mémorisation du seuil (MS_3), en vue de délivrer un signal de comparaison (sdicho),

- un séquenceur de segmentation (SEQDICHO) relié par son entrée au comparateur (CS_1) et par sa sortie, aux registres (MS_i, MS_s) pour valider une des bornes mémorisées,

- un comparateur (CS_2), relié aux registres (MS_i, MS_s) en vue de délivrer un signal d'égalité vers le séquenceur (SEQDICHO) destiné à arrêter la recherche dichotomique.

29/ - Dispositif de traitement selon l'une des revendications 18 à 28, caractérisé en ce qu'il comprend un générateur de phases programmable (GENE), apte à délivrer une fréquence d'échantillonnage paramétrable vers le convertisseur (CAN) et des impulsions de synchronisation du signal analogique, de fréquence paramétrable égale à la fréquence d'échantillonnage ou sous-multiple de celle-ci.

30/ - Dispositif de traitement selon l'une des revendications 18 à 29, caractérisé en ce qu'il comprend un circuit de comptage d'extrémums validés (NBPIC) comportant un compteur ($COMP_4$) de nombre d'extrémums validés et un compteur ($COMP_5$) du nombre d'échantillons, agencés pour délivrer et mémoriser le contenu du compteur ($COMP_4$) après

passage d'un nombre déterminé d'échantillons.

31/ - Circuit intégré pour la réalisation d'un dispositif de traitement d'un signal électrique, comprenant un circuit de détection d'extrémums (PIC), un circuit de segmentation (BIN) et, le cas échéant, un circuit d'initialisation (INIT) et un générateur de phases programmable conformes à ceux définis à l'une des revendications 18 à 30.

Fig 2:

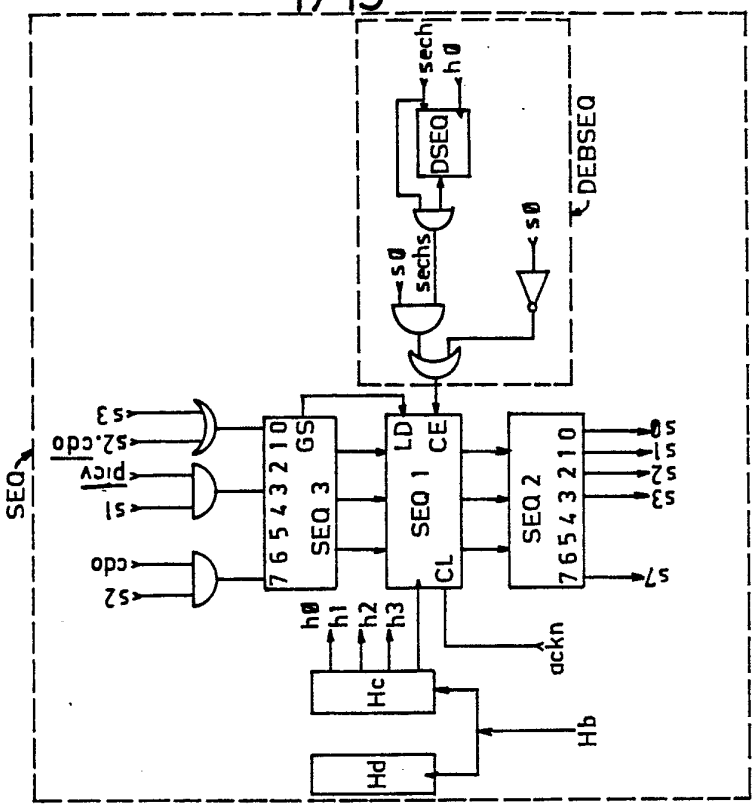
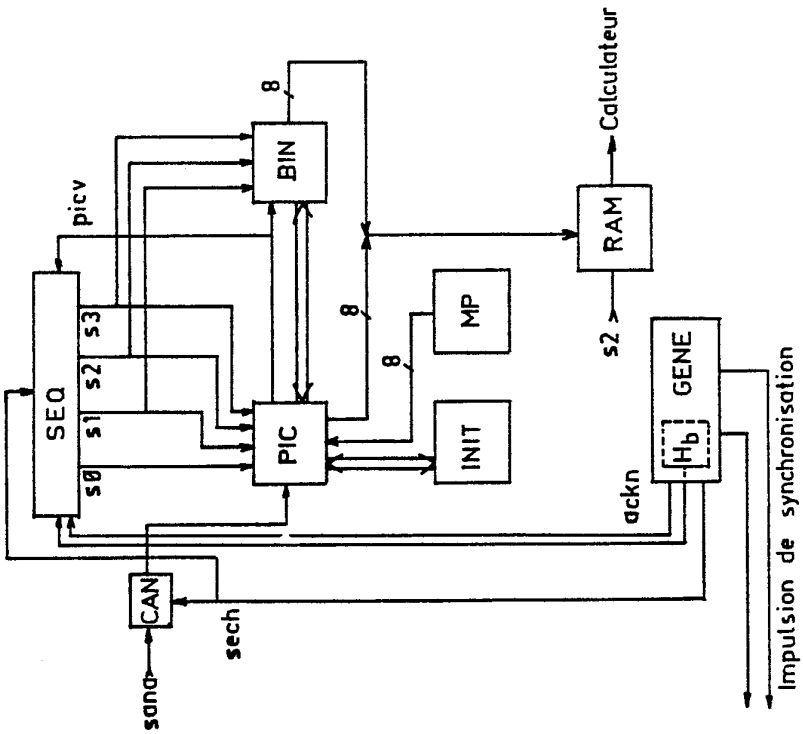

DEBSEQ
DSEQ
sech
h0
s0
sechs
SEQ
s3
s2.cdo
picv
s1
cdo
s2
GS
SEQ 3
LD
CE
SEQ 1
CL
SEQ 2
h0
h1
h2
h3
ackn
Hc
Hb
Hd

Fig 1:


Calculateur
BIN
8
picv
RAM
SEQ
s3
s2
s1
s0
MP
PIC
INIT
s2
GENE
Hb
ackn
CAN
sech
sana
Impulsion de synchronisation

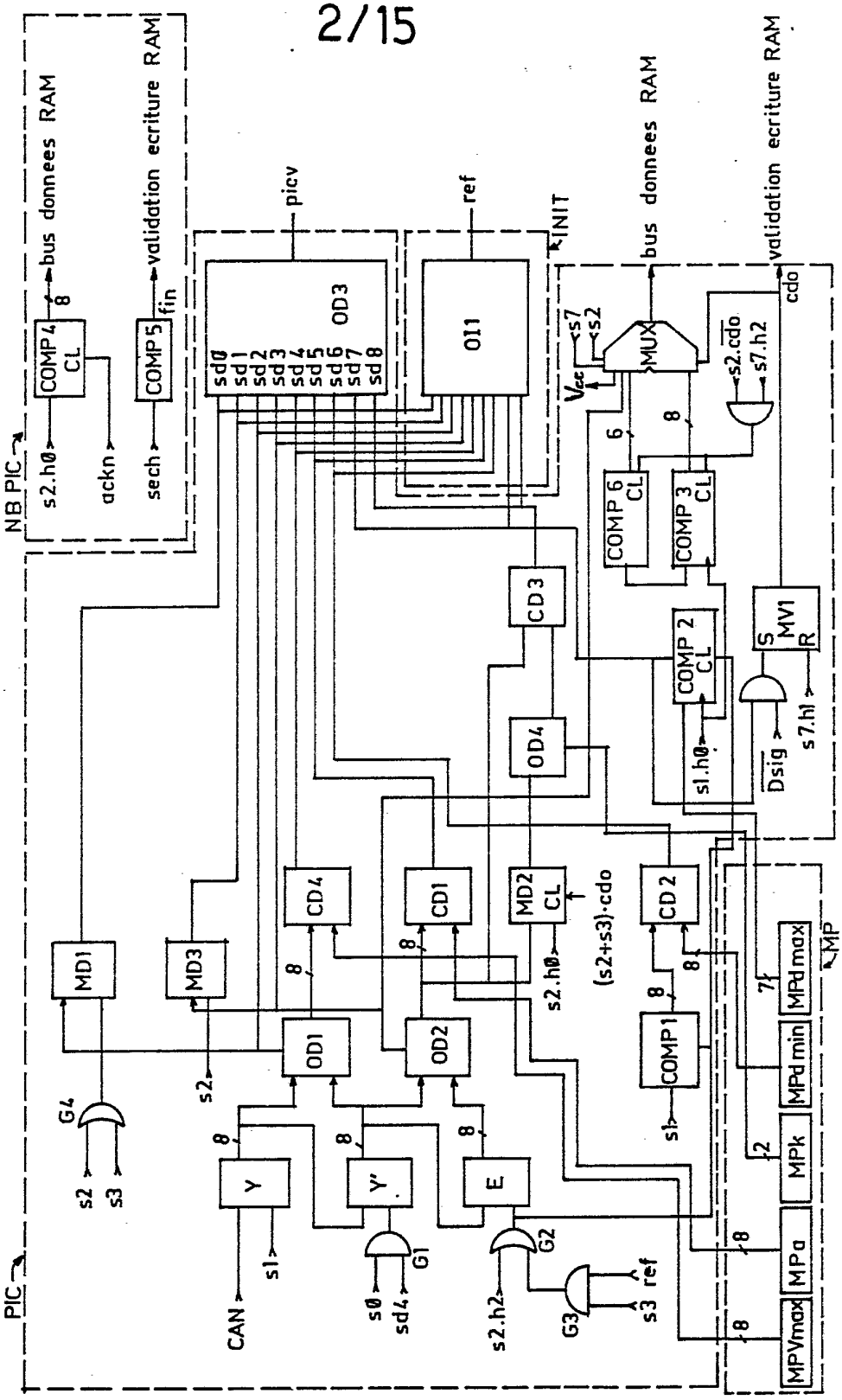

NB PIC
PIC
COMP4 CL
bus donnees RAM
validation ecriture RAM
COMP5
s2.h0
ackn
sech
fin
picv
ref
INIT
OD3
011
sd0 sd1 sd2 sd3 sd4 sd5 sd6 sd7 sd8
MUX
Vcc
s7
s2
bus donnees RAM
validation ecriture RAM
cdo
s2.cdo
s7.h2
COMP 6 CL
COMP 3 CL
CD3
OD4
COMP 2 CL
S MVI R
s1.h0
Dsig
s7.h1
MD1
MD3
CD4
CD1
MD2 CL
(s2+s3)·cdo
CD 2
s2.h0
OD1
OD2
COMP1
MP
MPd max
MPd min
MPk
MPa
MPVmax
G4
s2
s3
Y
Y'
E
s1
CAN
s0
sd4
G1
G2
s2.h2
G3
s3 ref

Fig 3:

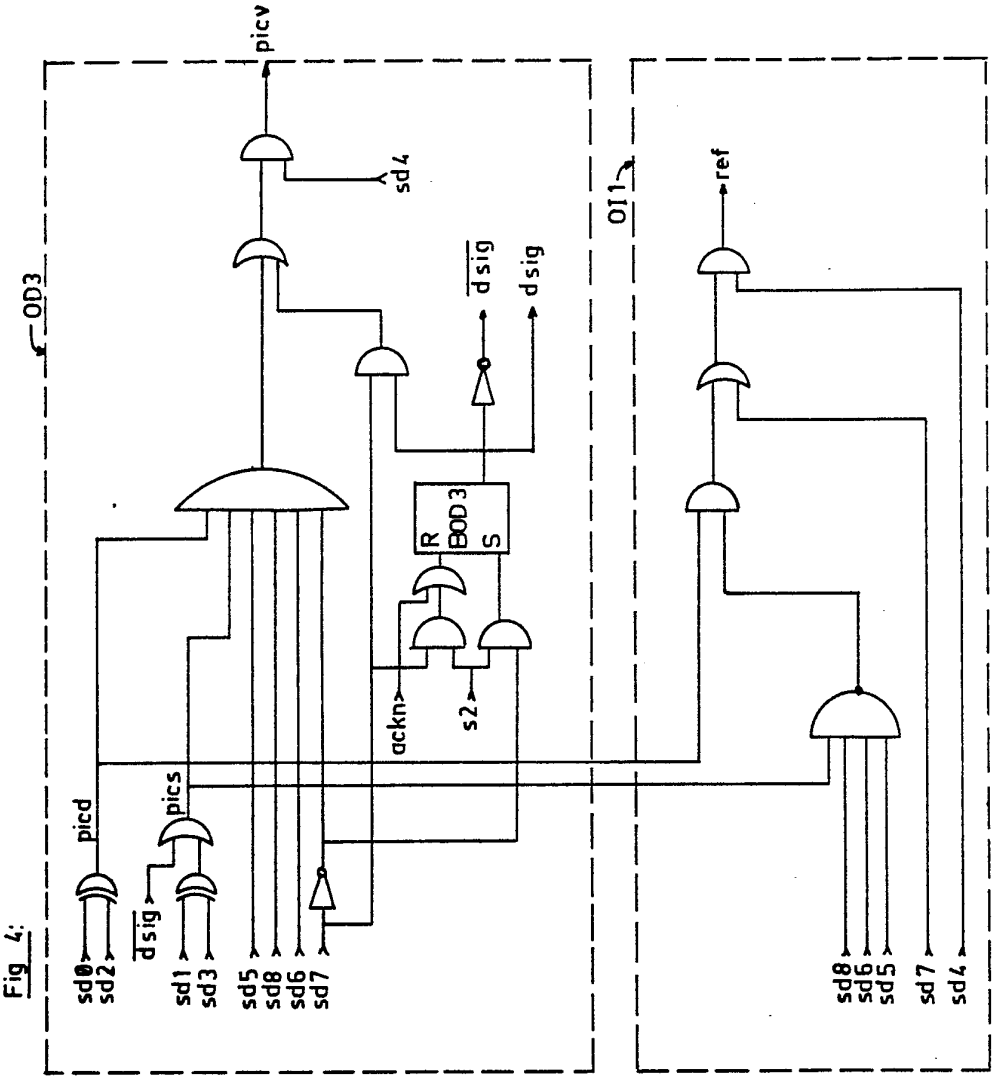

picv
sd4
OD3
d sig
d sig
OI1
ref
R
BOD3
S
ackn
s2
picd
pics
d sig
sd0
sd2
sd1
sd3
sd5
sd8
sd6
sd7
sd8
sd6
sd5
sd7
sd4

Fig 4:

Fig 6 :

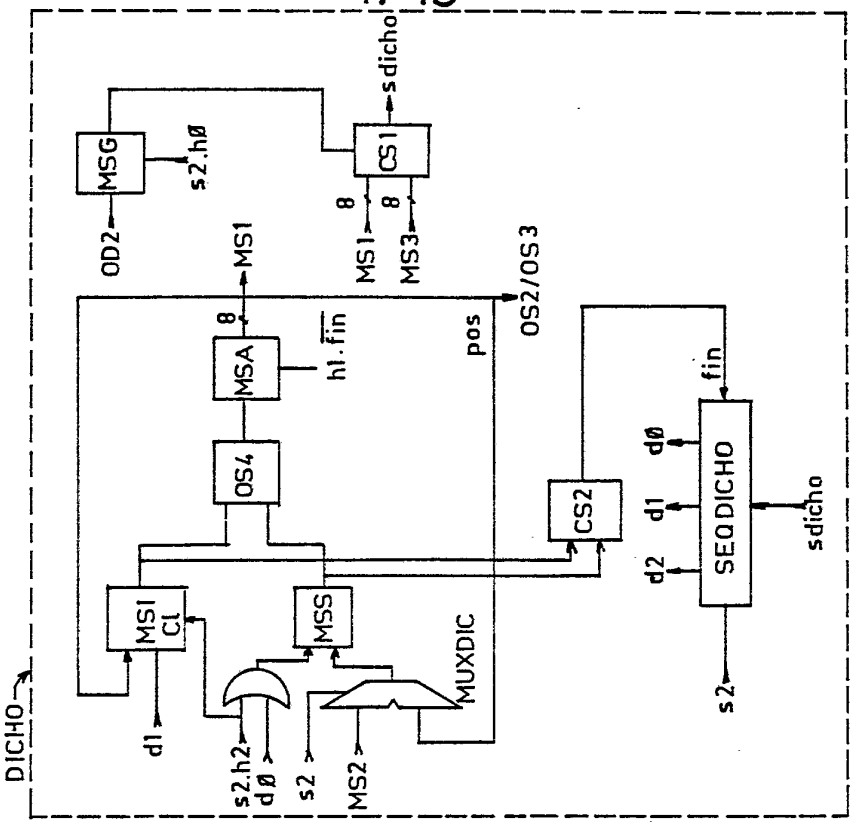

DICHO
MSG
s2.hØ
OD2
CS1
sdicho
8
MS1
MS3
MS1
OS2/OS3
pos
MSA
h1.fin
OS4
MSI
CI
MSS
MUXDIC
CS2
fin
dØ
d1
d2
SEQDICHO
sdicho
s2
d1
s2.h2
dØ
s2
MS2

Fig 5 :

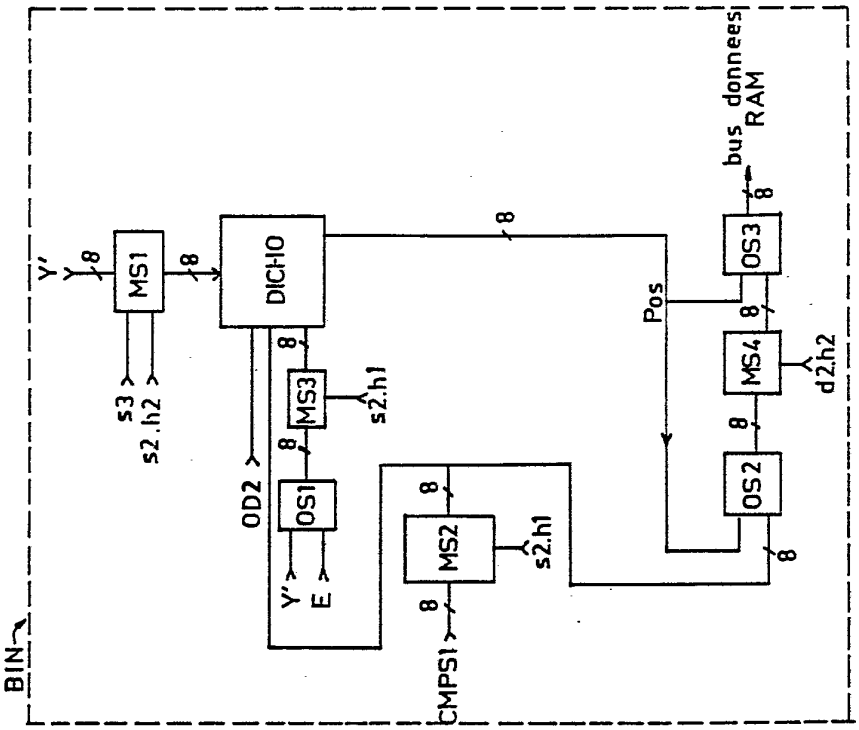

BIN
Y'
Y
8
MS1
DICHO
8
8
bus donnees RAM
OS3
Pos
s3
s2.h2
MS3
s2.h1
MS4
d2.h2
OD2
OS1
OS2
Y'
E
MS2
s2.h1
CMPS1

Fig 7:

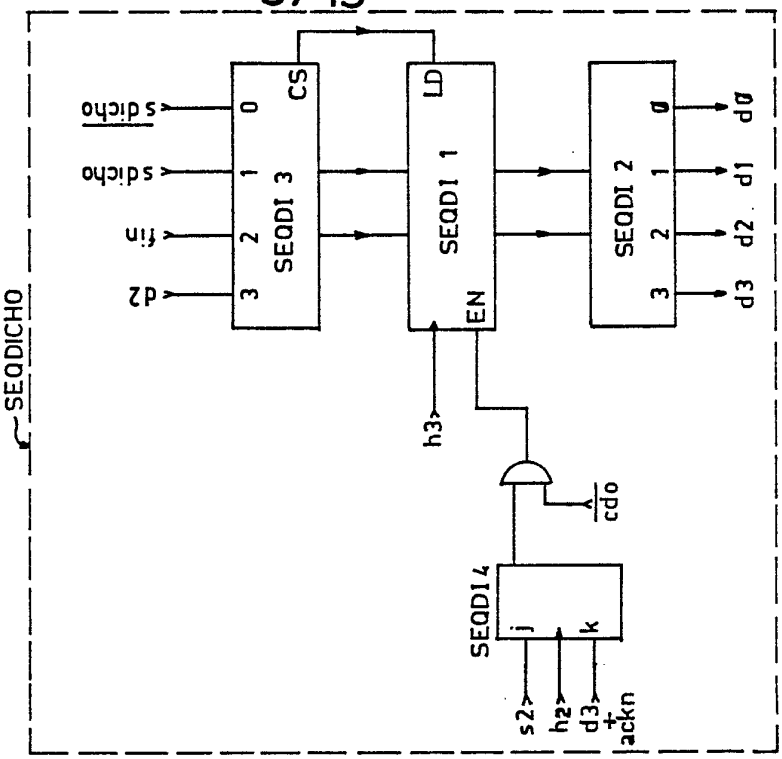

SEQDICHO
SEQDI 3
SEQDI 1
SEQDI 2
SEQDI 4
CS
LD
EN
s dicho
s dicho
fin
d2
d3
d2
d1
d0
h3
cdo
s2
h2
d3
+
ackn

Fig 8:

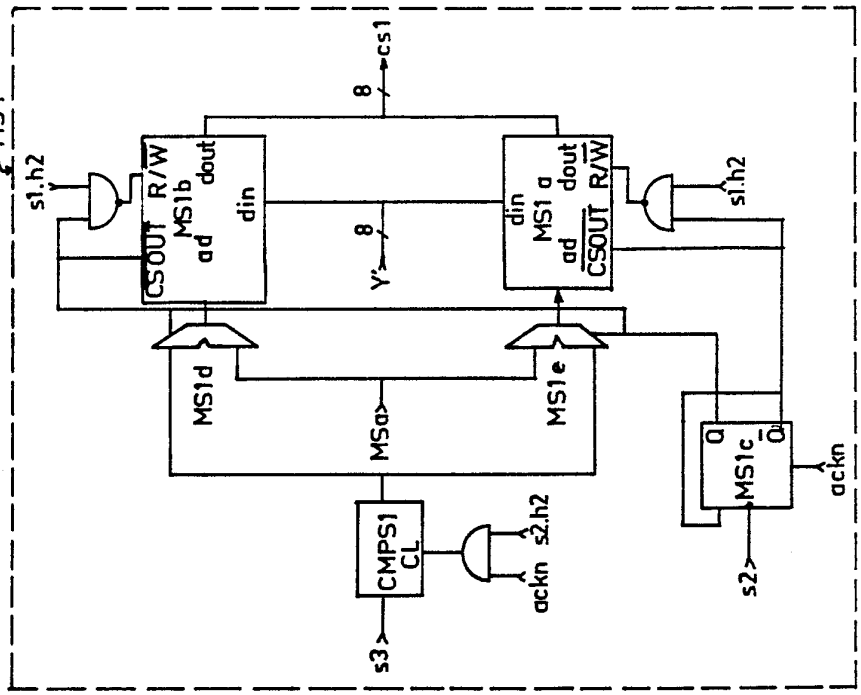

MS1
s1.h2
CSOUT
R/W
MS1b
ad
dout
din
8
cs1
Y'
MS1 a
MS1d
MS1e
MSa
CMPS1
CL
s3
ackn
s2.h2
MS1c
Q
s2
ackn

Fig 9 :

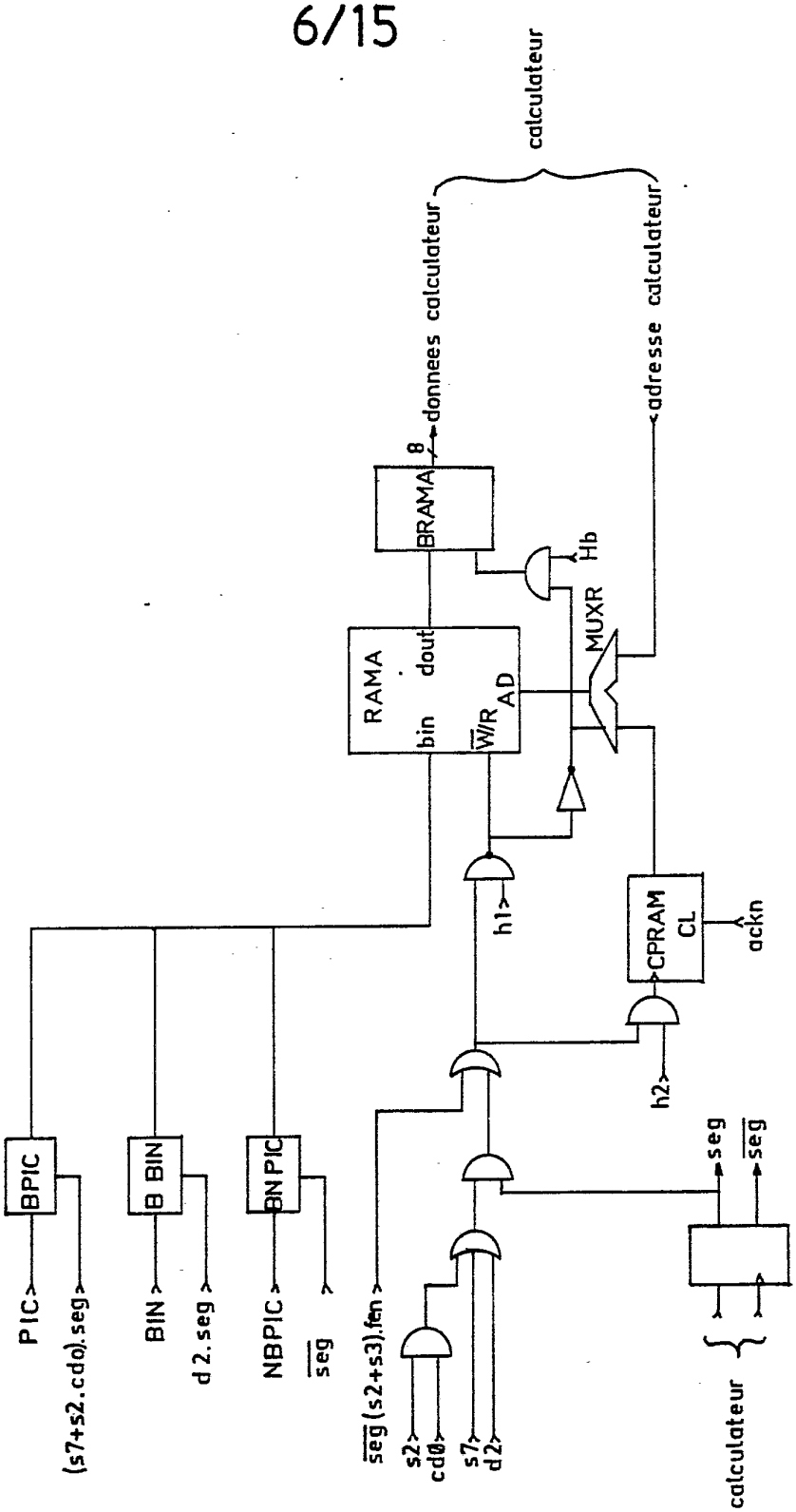

calculateur
donnees calculateur
adresse calculateur
8
BRAMA
Hb
MUXR
RAMA
dout
bin
W/R
AD
h1
CPRAM
CL
ackn
h2
BPIC
B BIN
BN PIC
seg
seg
PIC
(s7+s2.cd0).seg
BIN
d2.seg
NBPIC
seg
seg (s2+s3).fen
s2
cd0
s7
d2
calculateur

Fig 10 a :

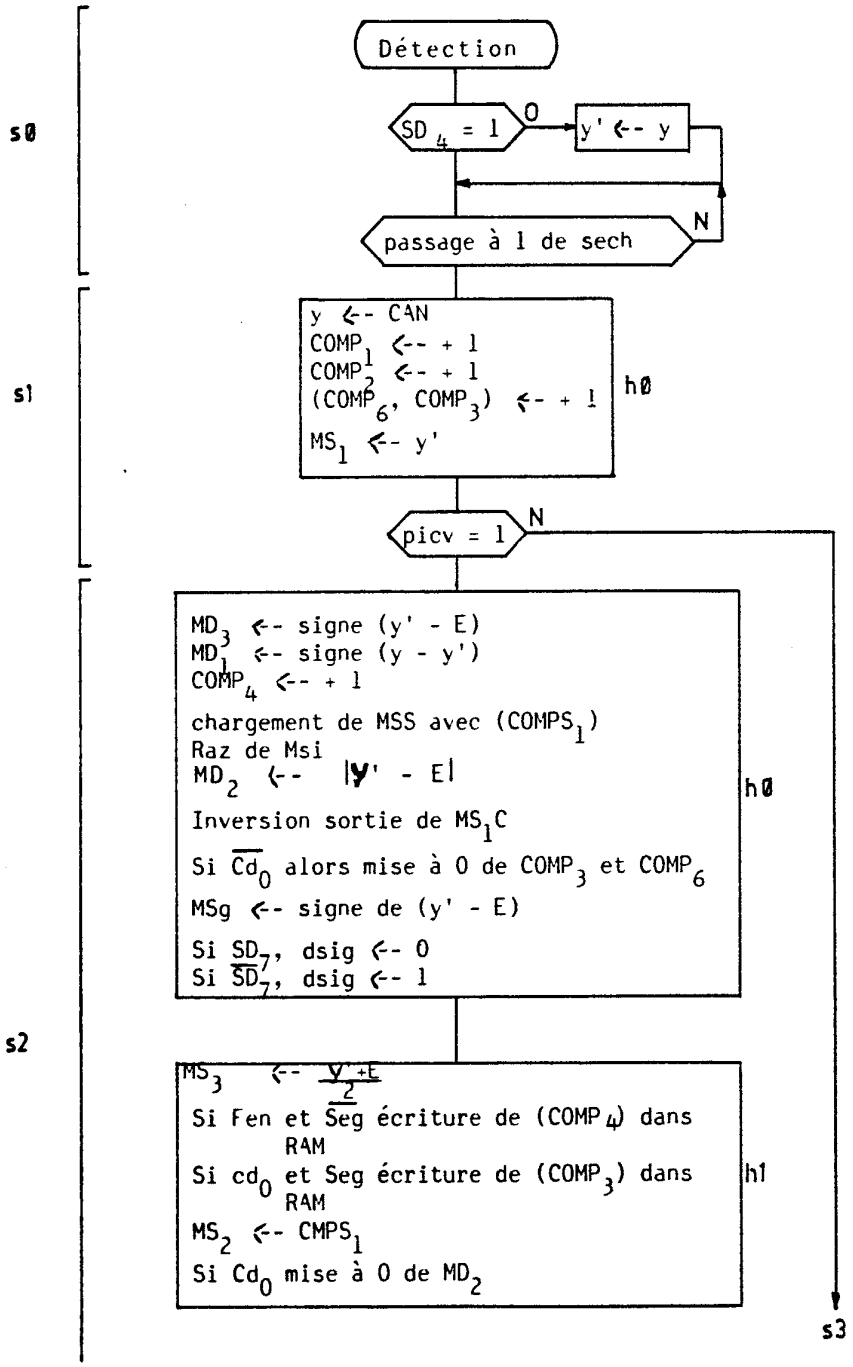

s0
s1
s2
Détection
SD 4 = 1
0
y' <- y
passage à 1 de sech
N
y <- CAN
COMP1 <-- + 1
COMP2 <-- + 1
(COMP6, COMP3) <- + 1
MS1 <- y'
h0
picv = 1
N
MD3 <-- signe (y' - E)
MD1 <-- signe (y - y')
COMP4 <-- + 1
chargement de MSS avec (COMPS1)
Raz de Msi
MD2 <-- |y' - E|
Inversion sortie de MS1C
Si Cd0 alors mise à 0 de COMP3 et COMP6
MSg <-- signe de (y' - E)
Si SD7, dsig <- 0
Si SD7, dsig <- 1
h0
MS3 <-- (y'+E)/2
Si Fen et Seg écriture de (COMP4) dans RAM
Si cd0 et Seg écriture de (COMP3) dans RAM
MS2 <-- CMPS1
Si Cd0 mise à 0 de MD2
h1
s3

Fig 10 b :

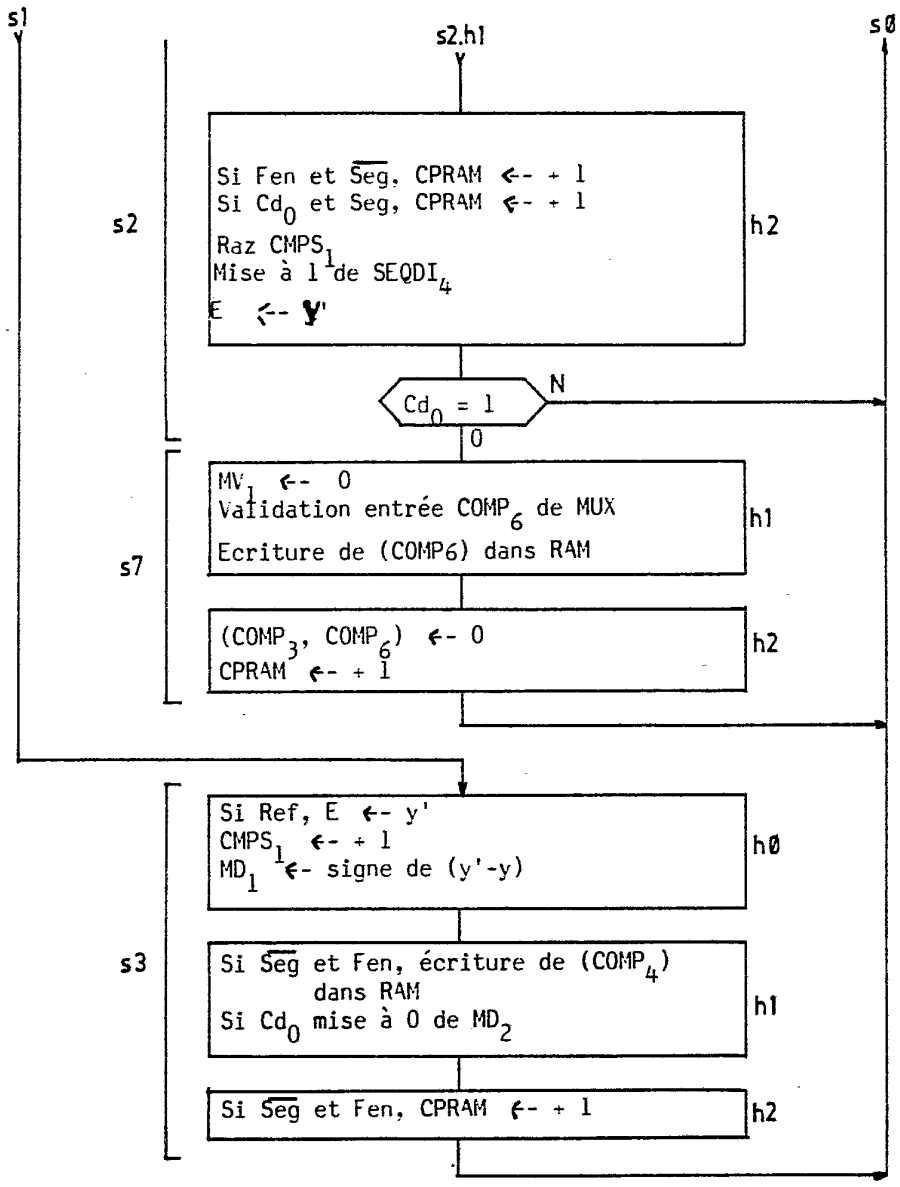
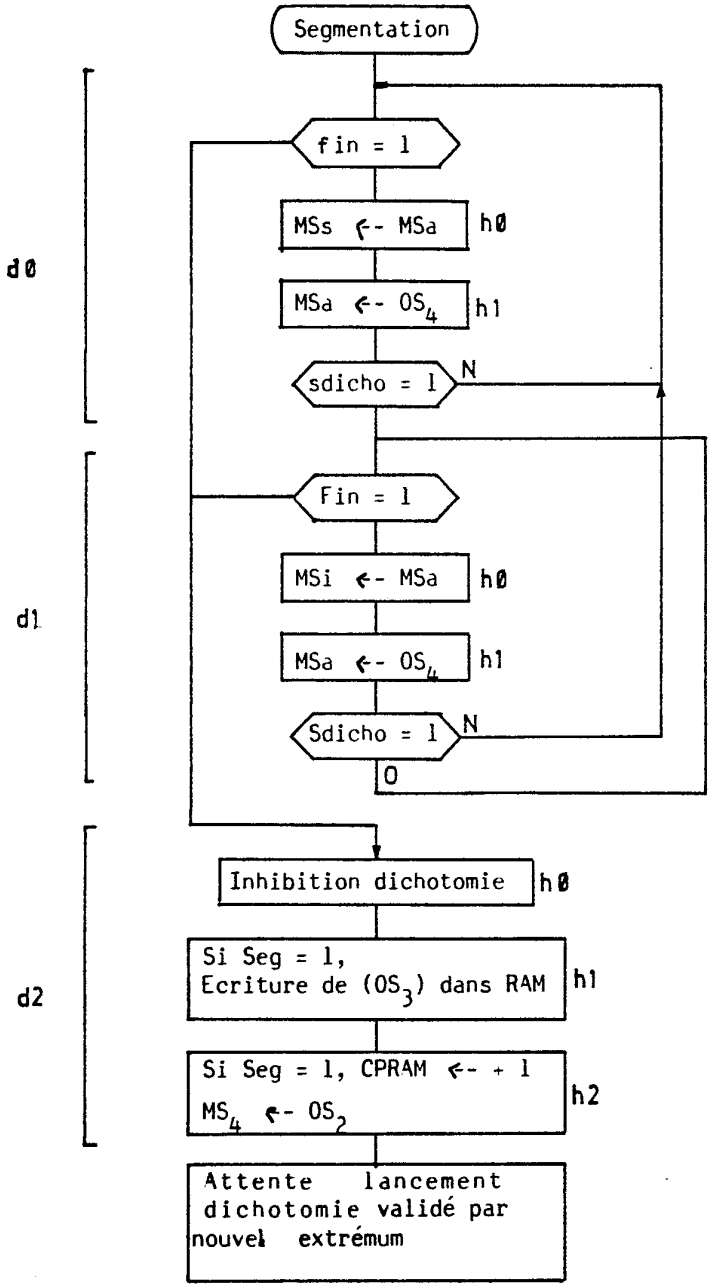

s1
s2.h1
sØ
s2
Si Fen et $\overline{Seg}$, CPRAM <- + 1
Si Cd_0 et Seg, CPRAM <- + 1
Raz $CMPS_1$
Mise à 1 de $SEQDI_4$
E <- y'
h2
Cd_0 = 1
N
0
s7
MV_1 <- 0
Validation entrée $COMP_6$ de MUX
Ecriture de (COMP6) dans RAM
h1
($COMP_3$, $COMP_6$) <- 0
CPRAM <- + 1
h2
Si Ref, E <- y'
$CMPS_1$ <- + 1
MD_1 <- signe de (y'-y)
hØ
s3
Si $\overline{Seg}$ et Fen, écriture de ($COMP_4$) dans RAM
Si Cd_0 mise à 0 de MD_2
h1
Si $\overline{Seg}$ et Fen, CPRAM <- + 1
h2

Fig 11 :


Segmentation
fin = 1
MSs <- MSa
h0
MSa <- OS4
h1
sdicho = 1
N
Fin = 1
MSi <- MSa
h0
MSa <- OS4
h1
Sdicho = 1
N
O
Inhibition dichotomie
h0
Si Seg = 1,
Ecriture de (OS3) dans RAM
h1
Si Seg = 1, CPRAM <- + 1
MS4 <- OS2
h2
Attente lancement
dichotomie validé par
nouvel extrémum
d0
d1
d2

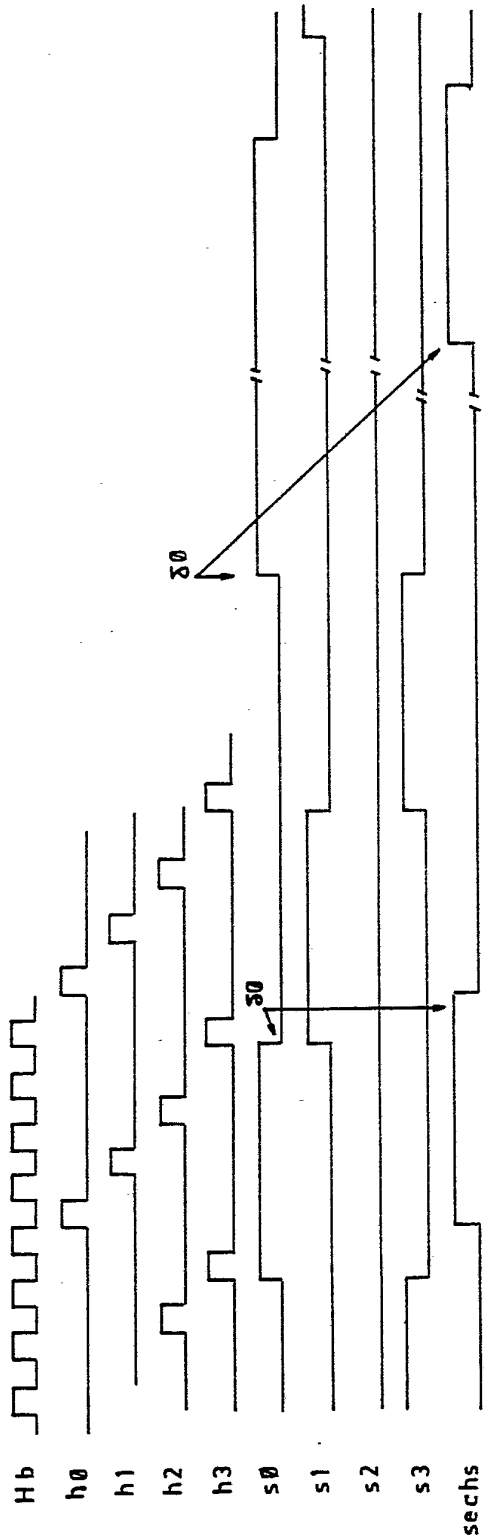
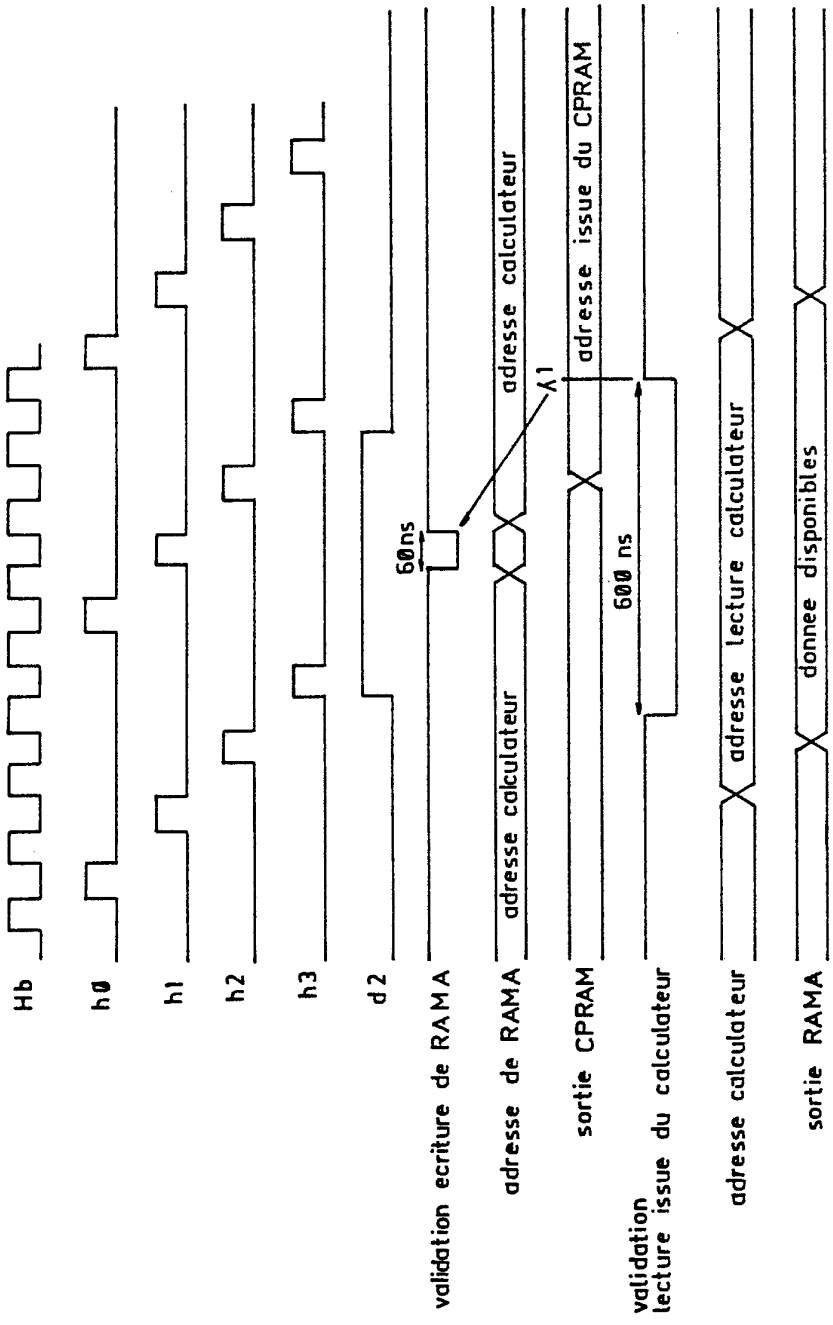


Fig 12:

Fig 13 :


Hb
h0
h1
h2
h3
d 2
60ns
validation ecriture de RAMA
adresse de RAMA
adresse calculateur
A1
adresse issue du CPRAM
sortie CPRAM
600 ns
validation
lecture issue du calculateur
adresse calculateur
adresse lecture calculateur
sortie RAMA
donnee disponibles

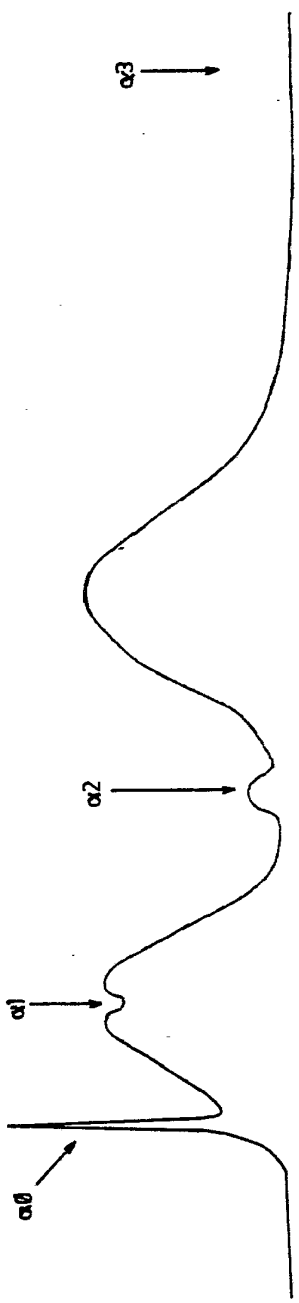


Fig 14 a :

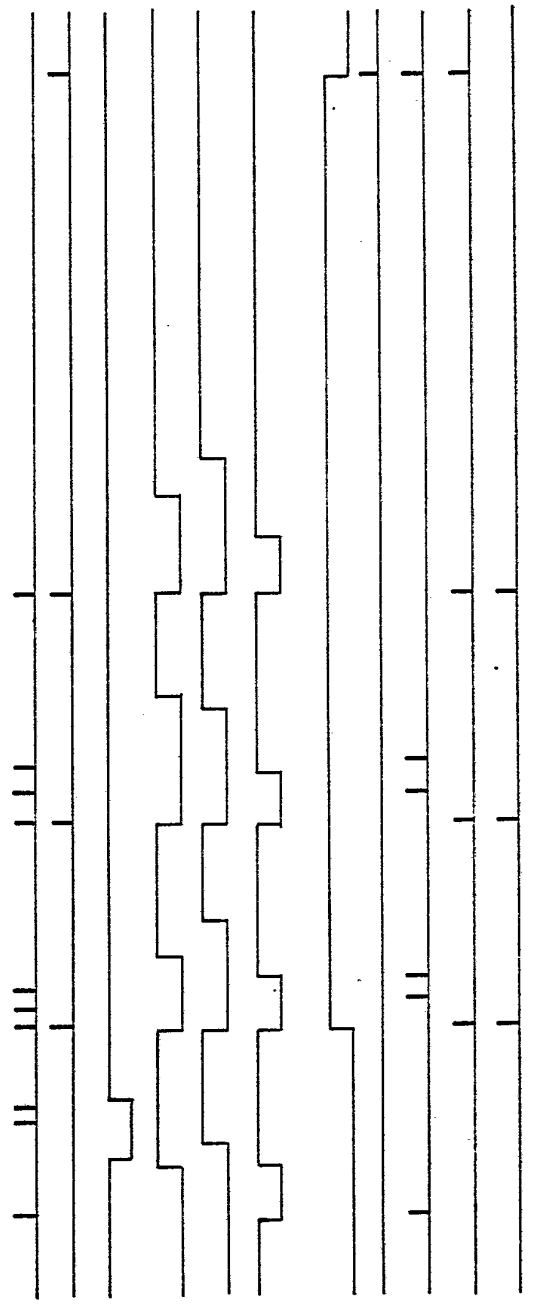


Fig 14 b :

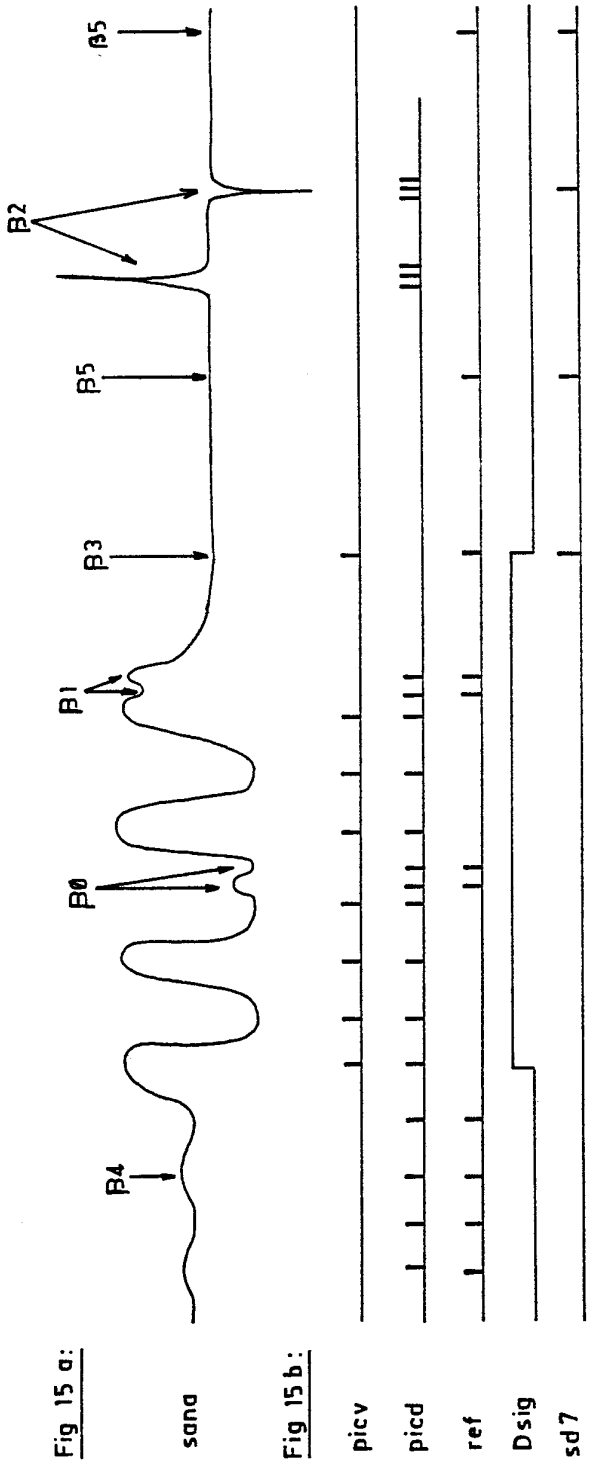


Fig 15 a:
sana
β4
β0
β1
β3
β5
β2
β5
Fig 15 b:
picv
picd
ref
Dsig
sd7

Fig 16 a :

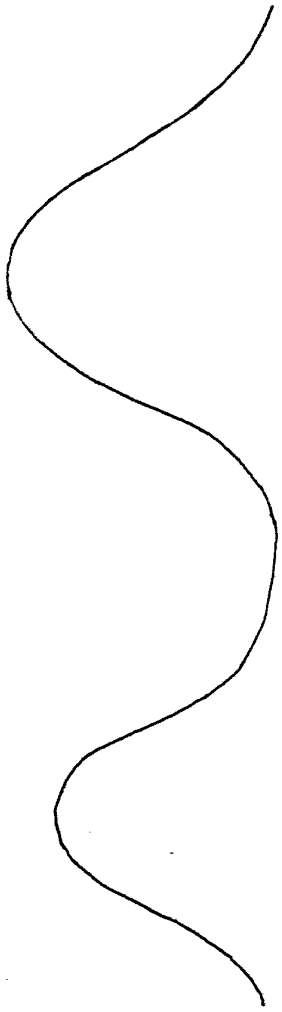


Fig 16 b :

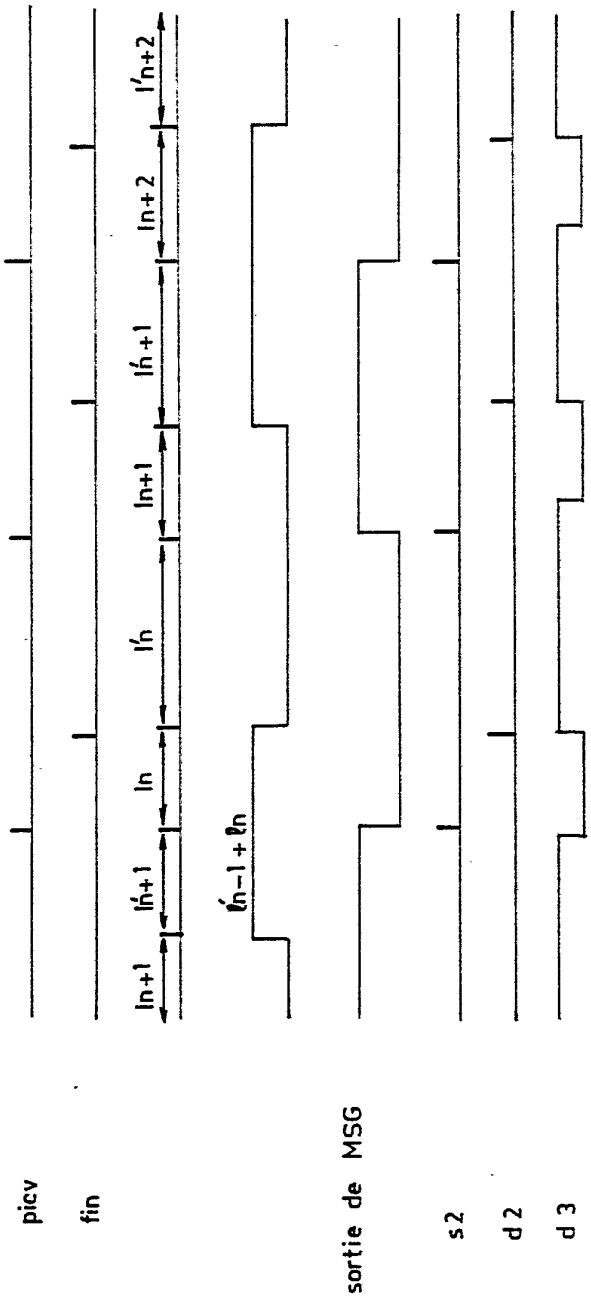
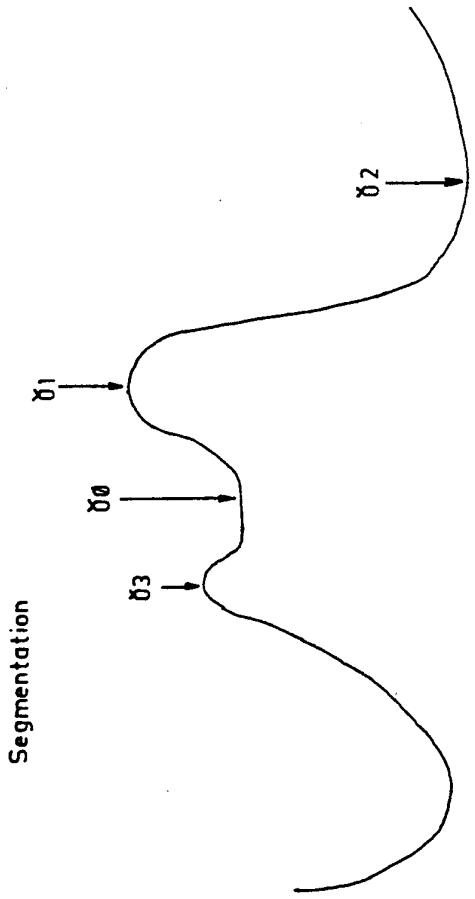


Fig 17a:



sana

Fig 17b:

