

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年3月5日(05.03.2020)



(10) 国際公開番号

WO 2020/045147 A1

(51) 国際特許分類:

G09F 9/30 (2006.01) *H01L 25/16* (2006.01)
G09F 9/33 (2006.01) *H01L 33/00* (2010.01)
H01L 23/28 (2006.01)

(21) 国際出願番号: PCT/JP2019/032280

(22) 国際出願日: 2019年8月19日(19.08.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-163023 2018年8月31日(31.08.2018) JP

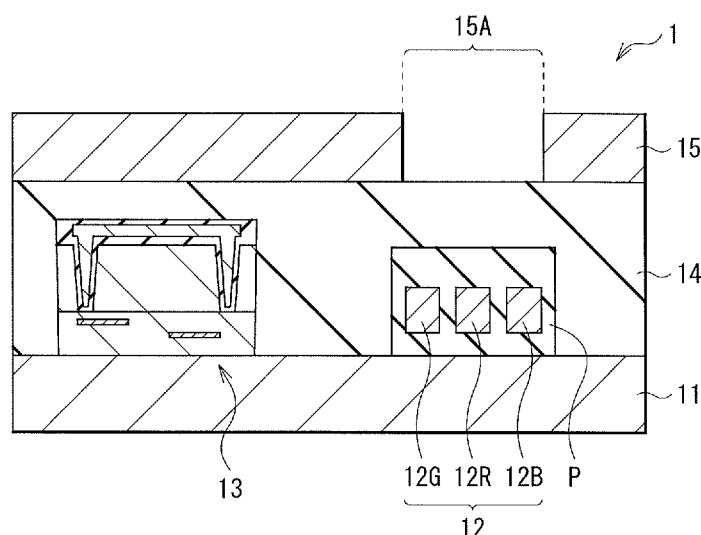
(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 三浦 利仁 (MIURA, Toshihiro); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 中村 卓矢 (NAKAMURA, Takuya); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 小川 直樹 (OGAWA, Naoki); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 柏原 博之 (KASHIHARA, Hiroyuki); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 小林 剣人 (KOBAYASHI,

(54) Title: LIGHT-EMITTING DEVICE AND DISPLAY DEVICE

(54) 発明の名称: 発光装置および表示装置



(57) Abstract: Provided is a light-emitting device comprising: a substrate; a light-emitting element provided on the substrate; and a semiconductor element provided on the substrate and including a multilayer wiring layer and a semiconductor layer stacked in this order from the substrate side and including a light shielding portion to suppress incident light from the light-emitting element, wherein the light shielding portion includes a first light shielding surface that faces the substrate across the semiconductor layer and a second light shielding surface disposed between the first light shielding surface and the multilayer wiring layer in a direction crossing the first light shielding surface.

Tatehito); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 長谷川 利昭(HASEGAWA, Toshiaki); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 水間 保宏(MIZUMA, Yasuhiro); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 特許業務法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号 さわだビル3階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約: 基板と、前記基板上に設けられた発光素子と、前記基板上に設けられ、前記基板側から多層配線層および半導体層をこの順に有し、かつ、前記発光素子からの光の入射を抑える遮光部を有する半導体素子とを備え、前記遮光部は、前記半導体層を間にして前記基板に対向する第1遮光面と、前記第1遮光面と前記多層配線層との間に、前記第1遮光面に交差する方向に配置された第2遮光面とを含む発光装置。

明 細 書

発明の名称：発光装置および表示装置

技術分野

[0001] 本技術は、基板上に発光素子および半導体素子を有する発光装置および表示装置に関する。

背景技術

[0002] 発光ダイオード（LED：Light Emitting Diode）等の発光素子は、様々な装置に適用されている（例えば、特許文献1参照）。このような装置では、例えば、基板上に、複数の発光素子とともに、複数の半導体素子が設けられている。半導体素子は、例えば、IC（Integrated Circuit）チップ等である。

先行技術文献

特許文献

[0003] 特許文献1：特開2017-98571号公報

発明の概要

[0004] このような発光素子および半導体素子を有する発光装置では、信頼性の低下を抑えることが望まれている。

[0005] したがって、信頼性の低下を抑えることが可能な発光装置、およびこの発光装置を備えた表示装置を提供することが望ましい。

[0006] 本技術の一実施の形態に係る発光装置は、基板と、基板上に設けられた発光素子と、基板上に設けられ、基板側から多層配線層および半導体層をこの順に有し、かつ、発光素子からの光の入射を抑える遮光部を有する半導体素子とを備え、遮光部は、半導体層を間にして基板に対向する第1遮光面と、第1遮光面と多層配線層との間に、第1遮光面に交差する方向に配置された第2遮光面とを含むものである。

[0007] 本技術の一実施の形態に係る表示装置は、上記本技術の一実施の形態に係る発光装置を備えたものである。

[0008] 本技術の一実施の形態に係る発光装置または表示装置では、半導体素子に、発光素子からの光の入射を抑える遮光部が設けられているので、発光素子から半導体素子への光の入射が抑えられる。

図面の簡単な説明

[0009] [図1]本技術の第1の実施の形態に係る表示装置の要部の構成を表す断面模式図である。

[図2]図1に示した表示装置の全体の回路構成の一例を表す図である。

[図3]図1に示した駆動ICを拡大して表す断面模式図である。

[図4A]図3に示した駆動ICの端子領域の構成を表す断面模式図である。

[図4B]図3に示した駆動ICと基板とを接続するバンプの構成を表す断面模式図である。

[図5]図3に示した第1遮光面の構成を表す平面模式図である。

[図6]図3に示した溝の構成を表す平面模式図である。

[図7]図6に示した溝の平面構成の他の例(1)を表す模式図である。

[図8]図6に示した溝の平面構成の他の例(2)を表す模式図である。

[図9A]図3に示した溝の断面構成の他の例(1)を表す模式図である。

[図9B]図3に示した溝の断面構成の他の例(2)を表す模式図である。

[図9C]図3に示した溝の断面構成の他の例(3)を表す模式図である。

[図10]図3に示した遮光部の断面構成の他の例(1)を表す模式図である。

[図11]図3に示した遮光部の断面構成の他の例(2)を表す模式図である。

[図12A]図3に示した遮光部の断面構成の他の例(3)を表す模式図である。

[図12B]図3に示した遮光部の断面構成の他の例(4)を表す模式図である。

[図13A]図3に示した駆動ICの製造方法の一工程を表す断面模式図である。

[図13B]図13Aに続く工程を表す断面模式図である。

[図13C]図13Bに続く工程を表す断面模式図である。

[図13D]図13Cに続く工程を表す断面模式図である。

[図13E]図13Dに続く工程を表す断面模式図である。

[図13F]図13Eに続く工程を表す断面模式図である。

[図14]比較例に係る表示装置の要部の構成を表す断面模式図である。

[図15]図1に示した発光素子から出射される光の経路の一例について説明するための断面模式図である。

[図16]変形例1に係る駆動ICの構成を表す断面模式図である。

[図17]変形例2に係る駆動ICの構成を表す断面模式図である。

[図18]図17に示した駆動ICの構成の他の例を表す断面模式図である。

[図19]図18に示した遮光部の厚みと半導体層への光の透過率との関係を表す図である。

[図20]図17等 to 示した駆動ICの製造方法の一工程を表す断面模式図である。

[図21]図20に示した駆動ICの製造方法の他の例を表す断面模式図である。

[図22]本技術の第2の実施の形態に係る表示装置の要部の構成を表す断面模式図である。

[図23]図22に示した表示装置の他の例を表す断面模式図である。

[図24A]図22に示した表示装置の製造方法の一工程を表す断面模式図である。

[図24B]図24Aに続く工程を表す断面模式図である。

[図25]変形例3に係る表示装置の構成を表す断面模式図である。

[図26]変形例4に係る表示装置の構成を表す断面模式図である。

[図27]図25に示した表示装置の他の例を表す断面模式図である。

[図28]図26に示した表示装置の他の例を表す断面模式図である。

[図29]本技術の第3の実施の形態に係る表示装置の要部の構成を表す断面模式図である。

[図30]図29に示した表示装置の他の例を表す断面模式図である。

[図31A]図29等 to 示した溝の平面構成を表す模式図である。

[図31B]図29等 to 示した溝の平面構成の他の例を表す模式図である。

[図32]図29等 to 示した溝の断面構成の他の例(1)を表す模式図である。

[図33]図29等にした溝の断面構成の他の例(2)を表す模式図である。

[図34A]図29等にした表示装置が反射防止膜を有する例を表す断面模式図である。

[図34B]図34Aにした反射防止膜の構成の他の例を表す断面模式図である。

[図35A]図29にした表示装置の製造方法の一工程を表す断面模式図である。

[図35B]図35Aに続く工程を表す断面模式図である。

[図36]変形例5に係る表示装置の構成を表す断面模式図である。

[図37]図36にした表示装置の他の例を表す断面模式図である。

[図38]本技術の第4の実施の形態に係る表示装置の要部の構成を表す断面模式図である。

[図39]図38にした表示装置の他の例を表す断面模式図である。

[図40A]図38にした表示装置の製造方法の一工程を表す断面模式図である。

[図40B]図40Aに続く工程を表す断面模式図である。

[図41]図40A, 図40Bにした表示装置の製造方法の他の例(1)を表す断面模式図である。

[図42A]図38にした表示装置の製造方法の他の例(2)を表す断面模式図である。

[図42B]図42Aに続く工程を表す断面模式図である。

[図43A]図38にした表示装置の製造方法の他の例(3)を表す断面模式図である。

[図43B]図43Aに続く工程を表す断面模式図である。

[図44]本技術の第5の実施の形態に係る表示装置の要部の構成を表す断面模式図である。

[図45]図44にした表示装置の他の例(1)を表す断面模式図である。

[図46]図44にした表示装置の他の例(2)を表す断面模式図である。

[図47]本技術の第6の実施の形態に係る表示装置の要部の構成を表す断面模式図である。

[図48]図47に示した表示装置の他の例を表す断面模式図である。

[図49]図47等にした遮光部材の断面構成の他の例を表す模式図である。

[図50A]図47等にした遮光部材の平面構成の一例を表す模式図である。

[図50B]図50Aに示した遮光部材の平面構成の他の例（1）を表す模式図である。

[図50C]図50Aに示した遮光部材の平面構成の他の例（2）を表す模式図である。

[図51A]図50Aに示した遮光部材の平面構成の他の例（3）を表す模式図である。

[図51B]図50Aに示した遮光部材の平面構成の他の例（4）を表す模式図である。

[図52A]図47等にした表示装置の製造方法の一工程を表す断面模式図である。

[図52B]図52Aに続く工程を表す断面模式図である。

[図52C]図52Bに続く工程を表す断面模式図である。

[図52D]図52Cに続く工程を表す断面模式図である。

[図52E]図52Dに続く工程を表す断面模式図である。

[図53A]図52A～図52Eに示した表示装置の製造方法の他の例を表す断面模式図である。

[図53B]図53Aに続く工程を表す断面模式図である。

[図53C]図53Bに続く工程を表す断面模式図である。

発明を実施するための形態

[0010] 以下、本技術の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 第1の実施の形態（遮光部を有する半導体素子を含む表示装置）
2. 変形例1（遮光部が、第1遮光面および第2遮光面に加えて第3遮光面

を有する例)

３．変形例２（遮光部が無機絶縁材料により構成されている例）

４．第２の実施の形態（厚膜部および薄膜部が設けられた保護層を有する表示装置）

５．変形例３（薄膜部の表面がレンズ形状を有する例）

６．変形例４（薄膜部内に掘込部を有する例）

７．第３の実施の形態（保護層の溝に埋設された遮光膜を有する表示装置）

８．変形例５（遮光膜が保護層の開口に埋設されている例）

９．第４の実施の形態（表面に複数の凹凸が設けられた保護層を有する表示装置）

１０．第５の実施の形態（低屈折率膜および高屈折率膜を含む保護層を有する表示装置）

１１．第６の実施の形態（発光素子と半導体素子との間に遮光部材を有する表示装置）

[0011] <第１の実施の形態>

（表示装置１の全体構成）

図１は、本技術の第１の実施の形態に係る表示装置（表示装置１）の要部の断面構成を模式的に表したものである。この表示装置１は、例えば、基板１１上に、パッケージ１２および駆動ＩＣ１３を有している。パッケージ１２は、例えば、３つの発光素子（発光素子１２Ｒ、１２Ｇ、１２Ｂ）と、この発光素子１２Ｒ、１２Ｇ、１２Ｂを被覆する保護体Ｐを含んでいる。表示装置１は、更に、基板１１上に、パッケージ１２および駆動ＩＣ１３を覆う保護層１４と、この保護層１４上の遮光膜１５とを有している。遮光膜１５には、パッケージ１２に対向する領域に開口１５Ａが設けられている。ここでは、駆動ＩＣ１３が、本技術の半導体素子の一具体例であり、表示装置１が、本技術の発光装置の一具体例である。

[0012] 図２は、表示装置１の全体の回路構成の一例を表している。表示装置１には、例えば、複数の画素１０が行列状に配置されている。この複数の画素１

0各々が、パッケージ12および駆動IC13を含んでいる。

[0013] 表示装置1は、例えば列方向に延在する複数の信号線（データ線S i g）と、例えば行方向に延在する複数の選択線（ゲート線G a t e）とを有している。データ線S i gおよびゲート線G a t eは、例えば銅によって形成されている。

[0014] 例えば、表示装置1は、更に、複数ののこぎり電圧線S a wと、複数の電源線V D D 1、V D D 2と、複数の参照電圧線R e f 1、R e f 2と、複数のグラウンド線G N Dとを有している。各のこぎり電圧線S a wは、例えば、行方向に延在している。各電源線V D D 1、各電源線V D D 2、各参照電圧線R e f 1、各参照電圧線R e f 2および各グラウンド線G N Dは、それぞれ、例えば、列方向に延在している。のこぎり電圧線S a w、電源線V D D 1、V D D 2、参照電圧線R e f 1、R e f 2およびグラウンド線G N Dの少なくとも1つについては、駆動方式によっては省略され得る。のこぎり電圧線S a w、電源線V D D 1、V D D 2、参照電圧線R e f 1、R e f 2およびグラウンド線G N Dは、例えば、銅によって形成されている。

[0015] 各データ線S i gは、映像信号に応じた信号が制御回路（図示せず）によって入力される配線である。映像信号に応じた信号は、例えば、発光素子12 R、12 G、12 Bの発光輝度を制御するものである。複数のデータ線S i gは、例えば、パッケージ12の発光色数に対応した種類の配線からなる。パッケージ12が、例えば3色（R、G、B）の発光色を有する場合には、複数のデータ線S i gは、例えば、複数のデータ線S i g Rと、複数のデータ線S i g Gと、複数のデータ線S i g Bとを含む。各データ線S i g Rは、赤色の映像信号に応じた信号が制御回路によって入力される配線である。各データ線S i g Gは、緑色の映像信号に応じた信号が制御回路によって入力される配線である。各データ線S i g Bは、青色の映像信号に応じた信号が制御回路によって入力される配線である。

[0016] パッケージ12の発光色は、3色（R、G、B）に限られず、4色以上（R、G、B、W）であってもよい。複数のデータ線S i gが、複数のデータ

線 S i g R と、複数のデータ線 S i g G と、複数のデータ線 S i g B とを含む場合には、1つのデータ線 S i g R、1つのデータ線 S i g G および1つのデータ線 S i g B からなる一組のデータ線 S i g が、例えば、1画素列ごとに割り当てられる。駆動方式によっては、上記の一組のデータ線 S i g は、複数画素列ごとに割り当てられる。また、駆動方式によっては、上記の一組のデータ線 S i g は、単一のデータ線 S i g に置き換えられ得る。

[0017] 各ゲート線 G a t e は、パッケージ 1 2 を選択する信号が制御回路によって入力される配線である。パッケージ 1 2 を選択する信号は、例えば、データ線 S i g に入力された信号のサンプリングを開始するとともに、サンプリングされた信号をパッケージ 1 2 に入力させ、パッケージ 1 2 の発光を開始させる信号である。1つのゲート線 G a t e が、例えば、1画素行ごとに割り当てられる。

[0018] 各のこぎり電圧線 S a w は、例えば、のこぎり状の波形を有する信号が制御回路によって入力される配線である。のこぎり状の波形を有する信号は、サンプリングされた信号と対比され、例えば、のこぎり状の波形を有する信号の波高値が、サンプリングされた信号の波高値よりも高くなっている期間だけ、サンプリングされた信号がパッケージ 1 2 に入力される。1つののこぎり電圧線 S a w が、例えば、2画素行ごとに割り当てられる。

[0019] 各電源線 V D D 2 は、パッケージ 1 2 に対して供給される駆動電流が制御回路によって入力される配線である。1つの電源線 V D D 2 が、例えば、2画素列ごとに割り当てられる。各電源線 V D D 1、各参照電圧線 R e f 1、各参照電圧線 R e f 2 および各グラウンド線 G N D は、固定の電圧が制御回路によって入力される配線である。

[0020] 各グラウンド線 G N D には、グラウンド電位が入力される。1つの電源線 V D D 1 が、例えば、2画素列ごとに割り当てられる。1つの参照電圧線 R e f 1 が、例えば、2画素列ごとに割り当てられている。1つの参照電圧線 R e f 2 が、例えば、2画素列ごとに割り当てられている。1つのグラウンド線 G N D が、例えば、2画素列ごとに割り当てられる。

[0021] (表示装置 1 の各部の構成)

以下では、図 1 および図 2 を用いて、表示装置 1 の各部について具体的に説明する。

[0022] 基板 1 1 (図 1) は、複数のパッケージ 1 2 および複数の駆動 IC 1 3 を実装するためのものであり、例えばガラス基板または樹脂基板等により構成されている。プリント基板により基板 1 1 が構成されていてもよい。基板 1 1 には、上記回路を構成する配線が設けられていてもよい。

[0023] パッケージ 1 2 の発光素子 1 2 R, 1 2 G, 1 2 B (図 1) は、例えば、互いに異なる波長域の光を出射する発光素子であり、無機半導体材料を含んでいる。例えば、発光素子 1 2 R は赤色波長域の光を出射する LED チップであり、発光素子 1 2 G は緑色波長域の光を出射する LED チップであり、発光素子 1 2 B は青色波長域の光を出射する LED チップである。この発光素子 1 2 R, 1 2 G, 1 2 B は、例えば、n 型半導体層、p 型半導体層、n 型電極および p 型電極を含んでいる。発光素子 1 2 R, 1 2 G, 1 2 B を覆う保護体 P は、例えば樹脂材料等により構成されている。

[0024] 各画素 1 0 では、パッケージ 1 2 が駆動 IC 1 3 に電氣的に接続されている (図 2)。発光素子 1 2 R, 1 2 G, 1 2 B 各々の一方の電極 (例えば、n 型電極) は、例えばパッド電極 (図示せず) を介して駆動 IC 1 3 に電氣的に接続されている。発光素子 1 2 R, 1 2 G, 1 2 B 各々の他方の電極 (例えば、p 型電極) は、例えばパッド電極 (図示せず) を介してグラウンド線 GND に電氣的に接続されている。

[0025] パッケージ 1 2 に電氣的に接続された駆動 IC 1 3 は、発光素子 1 2 R, 1 2 G, 1 2 B の発光を制御するためのものである。この駆動 IC 1 3 は、パッケージ 1 2 に電氣的に接続されるとともに、データ線 S i g、電源線 VDD 1 およびゲート線 G a t e に電氣的に接続されている (図 2)。駆動 IC 1 3 の具体的な構成については、後述する。

[0026] 保護層 1 4 は、複数のパッケージ 1 2 および複数の駆動 IC 1 3 を覆うように、例えば、基板 1 1 の全面にわたって設けられている (図 1)。この保

保護層 14 は、パッケージ 12 および駆動 IC 13 を保護するためのものであり、絶縁性の有機材料または絶縁性の無機材料等により構成されている。絶縁性の有機材料としては、例えば、シリコン等が挙げられる。絶縁性の無機材料としては、例えば、酸化シリコン (SiO₂) および窒化シリコン (SiN) 等が挙げられる。

[0027] 遮光膜 15 は、保護層 14 を間にして基板 11 に対向している。この遮光膜 15 は、いわゆるブラックマスクである。遮光膜 15 に設けられた開口 15A は、各々のパッケージ 12 (発光素子 12R, 12G, 12B) から出射された光を取り出すためのものであり、各々のパッケージ 12 に対向する領域に配置されている。この開口 15A の大きさは、発光素子 12R, 12G, 12B から出射された光を十分に取り出すことができる程度の大きさである。遮光膜 15 は、例えば、カーボンブラックを含有する樹脂材料等により構成されている。遮光膜 15 は、例えば、チタン (Ti), クロム (Cr), ニッケル (Ni), タングステン (W) およびモリブデン (Mo) 等の金属材料により構成されていてもよい。

[0028] (駆動 IC 13 の構成)

次に、駆動 IC 13 の具体的な構成について説明する。

[0029] 図 3 は、図 1 に示した駆動 IC 13 を基板 11 とともに、拡大して表したものである。駆動 IC 13 は、例えば、基板 11 側から、多層配線層 131、半導体層 132、無機絶縁層 133 および有機絶縁層 134 をこの順に有している。駆動 IC 13 は、例えば、200 μm 四方程度の大きさを有している。

[0030] 多層配線層 131 は、例えば、複数の配線 131W および層間絶縁膜 131Z を含んでいる。複数の配線 131W は、互いに層間絶縁膜 131Z により分離されている。この多層配線層 131 の配線 131W が、例えば、上記データ線 SigG, SigR, SigB 等に電氣的に接続されている。例えば、駆動 IC 13 は、多層配線層 131 により基板 11 に電氣的に接続されている。

- [0031] 図4 A、図4 Bは、基板11に電氣的に接続された駆動IC13の構成の一例を表している。駆動IC13は、図4 Aに示した多層配線層131の端子領域131WAにより基板11に電氣的に接続されていてもよい。端子領域131WAでは、例えば、配線131Wの一部が、層間絶縁膜131Zから露出されている。駆動IC13は、図4 Bに示したように、バンプ136により基板11に電氣的に接続されていてもよい。バンプ136は、例えば、多層配線層131と基板11との間に配置されている。
- [0032] 多層配線層131と無機絶縁層133との間に設けられた半導体層132は、例えばシリコン(Si)等により構成されている。無機絶縁層133は、例えば、酸化シリコン(SiO)等により構成され、有機絶縁層134は、例えば、樹脂材料等により構成されている。
- [0033] 本実施の形態では、この駆動IC13が、更に、遮光部135を有している。この遮光部135は、発光素子12R、12G、12B各々から出射された光が、当該駆動IC13に入射するのを抑えるためのものである。詳細は後述するが、これにより、発光素子12R、12G、12Bから駆動IC13に入射する光に起因した駆動IC13の特性変動の発生を抑えることができる。
- [0034] 遮光部135は、例えば、半導体層132を間にして基板11に対向する第1遮光面S1と、第1遮光面S1に交差する方向に配置された第2遮光面S2を含んでいる。第2遮光面S2は、第1遮光面S1と多層配線層131との間に設けられている。
- [0035] 図5は、第1遮光面S1の平面(図3のXY平面)構成の一例を表している。
- [0036] 第1遮光面S1は、例えば、半導体層132と有機絶縁層134との間に、基板11に略平行に設けられている(図3)。この第1遮光面S1は、無機絶縁層133に埋め込まれており、第1遮光面S1と半導体層132との間、および、第1遮光面S1と有機絶縁層134との間に無機絶縁層133が設けられている。第1遮光面S1は、例えば、四角形の平面形状を有して

いる（図5）。第1遮光面S1は、駆動IC13の周縁13Eよりも内側に設けられている。周縁13Eは、例えば、駆動IC13を形成する際のチップ分離（後述の図13Fの分離溝G）によって露出された面である。

[0037] 第2遮光面S2は、例えば、第1遮光面S1に略垂直に設けられている（図3）。この第2遮光面S2は、無機絶縁層133から半導体層132にわたって設けられた溝132gに埋設されている。溝132gには、例えば、無機絶縁層133を介して第2遮光面S2が設けられている。溝132gは、例えば、無機絶縁層133から、多層配線層131と半導体層132との界面近傍まで設けられている。溝132gは、例えば、無機絶縁層133から多層配線層131に向かうに連れて徐々に細くなっている。即ち、溝132gに埋設された遮光材料の厚みは、無機絶縁層133から多層配線層131に向かうに連れて徐々に薄くなっている。第2遮光面S2の一端（図3の上側の端）は、例えば、第1遮光面S1に接しており、他端（図3の下側の端）は、多層配線層131と半導体層132との界面近傍に設けられていることが好ましい。これにより、遮光部135が当該駆動IC13を十分に遮光することが可能となる。

[0038] 図6は、溝132gの平面（図3のXY平面）構成の一例を表している。

[0039] 溝132gは、例えば、第1遮光面S1の周囲に沿って設けられ、四角形の平面形状を有している。溝132gは、駆動IC13の全周にわたって設けられ、周縁13Eよりも内側に配置されている。例えば、この溝132gに4つの第2遮光面S2（第2遮光面S2A、S2B、S2C、S2D）が設けられている。換言すれば、この第2遮光面S2A、S2B、S2C、S2Dは、駆動IC13の全周にわたって設けられている。

[0040] 第2遮光面S2A、S2Bは、互いに略平行に設けられている。第2遮光面S2C、S2Dは、第2遮光面S2Aと第2遮光面S2Bとの間に設けられ、第2遮光面S2A、S2Bに接している。第2遮光面S2C、S2Dは、互いに略平行に設けられている。即ち、複数の第2遮光面S2（第2遮光面S2A、S2B、S2C、S2D）は、互いに接している。これにより、

駆動 IC 13 の全周にわたって第2遮光面 S 2 A, S 2 B, S 2 C, S 2 D が隙間なく設けられるので、当該駆動 IC 13 が十分に遮光される。

[0041] 図5および図6に示した I I' 線に沿った断面構成が図3に対応している。

[0042] 図7および図8は、溝 132 g の平面構成の他の例を表している。

[0043] 図7に示したように、溝 132 g は、駆動 IC 13 の全周にわたって設けられていなくてもよい。例えば、略四角形の平面形状を有する駆動 IC 13 の3辺にわたって溝 132 g が設けられ、この溝 132 g に3つの第2遮光面 S 2 (第2遮光面 S 2 B, S 2 C, S 2 D) が設けられていてもよい。このとき、第2遮光面 S 2 B, S 2 C, S 2 D (または溝 132 g) は、駆動 IC 13 の周囲のうち、パッケージ 12 に臨む位置 (図7の右側) に設けられていることが好ましい。これにより、第2遮光面 S 2 B, S 2 C, S 2 D が、パッケージ 12 (発光素子 12 R, 12 G, 12 B) からの光を効果的に遮光することができる。

[0044] 図8に示したように、溝 132 g は、連続して設けられていなくてもよい。互いに分断された複数の溝 132 g 各々に第2遮光面 S 2 A, S 2 B, S 2 C, S 2 D が設けられていてもよい。

[0045] 図9A, 図9Bおよび図9Cは、溝 132 g の断面構成の他の例を表している。

[0046] 図9Aに示したように、溝 132 g (第2遮光面 S 2) は、無機絶縁層 133 から半導体層 132 を貫通して多層配線層 131 に達していてもよい。あるいは、図9Bに示したように、溝 132 g (第2遮光面 S 2) は、無機絶縁層 133 から半導体層 132 と多層配線層 131 との間の界面近傍まで延在していなくてもよい。換言すれば、半導体層 132 の厚み方向の少なくとも一部に沿って、第2遮光面 S 2 が設けられていればよい。

[0047] 図9Cに示したように、溝 132 g は、無機絶縁層 133 から多層配線層 131 に向かうに連れて徐々に太くなっていてもよい。即ち、溝 132 g に埋設された遮光材料の厚みは、無機絶縁層 133 から多層配線層 131 に向

かうに連れて徐々に厚くなってもよい。溝 1 3 2 g の形成方向によって、テープの向きを変えることができる（後述）。

[0048] 図 1 0, 図 1 1, 図 1 2 A および図 1 2 B は、遮光部 1 3 5（第 1 遮光面 S 1 および第 2 遮光面 S 2）の断面構成の他の例を表している。

[0049] 図 1 0 に示したように、第 1 遮光面 S 1 と第 2 遮光面 S 2 とが離れ、これらの間に隙間が生じていてもよい。上記のように、第 1 遮光面 S 1 と第 2 遮光面 S 2 とが接していることにより、遮光部 1 3 5 は当該駆動 I C 1 3 を十分に遮光することが可能となる。しかし、駆動 I C 1 3 への光の入射量によっては、第 1 遮光面 S 1 と第 2 遮光面 S 2 との間に隙間が生じていても、十分な遮光が可能となる。

[0050] 図 1 1 に示したように、第 1 遮光面 S 1 は、駆動 I C 1 3 の上面に露出されていてもよい。換言すれば、第 1 遮光面 S 1 を覆う無機絶縁層 1 3 3 および有機絶縁層 1 3 4 が設けられていなくてもよい。

[0051] 図 1 2 A に示したように、第 1 遮光面 S 1 が駆動 I C 1 3 の周縁 1 3 E に露出されていてもよい。あるいは、図 1 2 B に示したように、第 2 遮光面 S 2 が駆動 I C 1 3 の周縁 1 3 E に露出されていてもよい。しかし、駆動 I C 1 3 の周縁 1 3 E の内側に遮光部 1 3 5（第 1 遮光面 S 1 および第 2 遮光面 S 2）を設けることにより、駆動 I C 1 3 の製造が容易となる（後述）。

[0052] このような第 1 遮光面 S 1 および第 2 遮光面 S 2 を含む遮光部 1 3 5 は、発光素子 1 2 R, 1 2 G, 1 2 B から出射される波長域の光（例えば、可視領域の波長の光）に対して遮光性を有する材料により構成されている。例えば、遮光部 1 3 5 は、タングステン（W）、チタン（Ti）、タンタル（Ta）、アルミニウム（Al）および銅（Cu）等の金属材料により構成されている。あるいは、遮光部 1 3 5 は、カーボンブラック等を含む樹脂材料等により構成されていてもよい。

[0053] （駆動 I C 1 3 の製造方法）

このような遮光部 1 3 5 を有する駆動 I C 1 3 は、例えば、以下のような方法で製造することができる（図 1 3 A ~ 図 1 3 F）。

- [0054] まず、図13Aに示したように、例えば、シリコン（Si）からなる半導体層132上に多層配線層131を形成する。
- [0055] 図示は省略するが、多層配線層131を形成する前に、多層配線層131を形成する側の面から半導体層132に溝132gを形成するようにしてもよい。これにより、多層配線層131に向かうに連れて徐々に太くなる溝132g（図9C）が形成される。
- [0056] 半導体層132上に多層配線層131を形成した後、図13Bに示したように、例えば、接着剤52を用いて、多層配線層131および半導体層132の積層体を仮基板51に貼り合わせる。仮基板51は、例えば、石英基板により構成されている。このとき、多層配線層131を間にして仮基板51に半導体層132が対向するように貼り合わせる。次いで、半導体層132を所望の厚みまで薄くする。
- [0057] 続いて、図13Cに示したように、無機絶縁層133および遮光部135を形成する。具体的には、半導体層132に溝132gを形成した後、半導体層132の全面に、例えば、酸化シリコン（SiO）およびタングステン（W）をこの順に成膜する。これにより、酸化シリコンおよびタングステンは、半導体層132上に成膜されるとともに、溝132gに埋め込まれる。半導体層132上に成膜されたタングステンにより第1遮光面S1が形成され、溝132gに埋め込まれた遮光材料により第2遮光面S2が形成される。酸化シリコンにより、半導体層132と第1遮光面S1との間、および溝132g内に無機絶縁層133が形成される。
- [0058] 遮光部135を形成した後、図13Dに示したように、更に、第1遮光面S1を覆う無機絶縁層133を形成する。このとき、第1遮光面S1を所望の大きさにエッチングしておき、第1遮光面S1の端部を無機絶縁層133で覆うようにする。無機絶縁層133の表面には、例えばCMP（Chemical Mechanical Planarization）等の平坦化処理を施しておく。
- [0059] 第1遮光面S1を覆う無機絶縁層133を形成した後、図13Eに示したように、多層配線層131、半導体層132および無機絶縁層133の積層

体を反転させて、別の仮基板（仮基板 5 1 A）に貼り合わせる。このとき、無機絶縁層 1 3 3 および半導体層 1 3 2 を間にして、多層配線層 1 3 1 が仮基板 5 1 A に対向している。積層体は、例えば、接着剤 5 2 A により、仮基板 5 1 A に貼り合わされる。

[0060] 積層体を仮基板 5 1 A に貼り合わせた後、図 1 3 F に示したように、分離溝 G により、チップ分離を行う。チップ分離は、例えば、ドライエッチングを用いて行う。このとき、分離溝 G は例えば、溝 1 3 2 g の外側に形成する。これにより、駆動 IC 1 3 の周縁 1 3 E の内側に遮光部 1 3 5 が形成される（図 3 等）。分離溝 G を溝 1 3 2 g の外側に形成することにより、遮光部 1 3 5 を構成する金属材料等がエッチングされないので、容易にチップ分離を行うことができる。製造条件によっては、分離溝 G に第 1 遮光面 S 1 および第 2 遮光面 S 2 が重なってもよい（図 1 2 A, 図 1 2 B 参照）。例えば、金属加工によって発生する 2 次生成物および処理時間の長さ等の点を考慮すればよい。あるいは、レーザ加工または機械加工等を用いて分離溝 G を形成する場合には、分離溝 G に第 1 遮光面 S 1 および第 2 遮光面 S 2 が重なってもよい。

[0061] 例えば、チップ分離を行った後に、分離溝 G に遮光材料を成膜することも考えうる。この場合には、例えばタングステン（W）等の遮光材料が仮基板 5 1 A に接するため、駆動 IC 1 3 を基板 1 1 に実装（ピックアップ）する際に、不具合が生じやすい。したがって、チップ分離の前に遮光部 1 3 5 を形成しておくことが好ましい。

[0062] 例えば、このようにして図 3 等にした駆動 IC 1 3 を形成することができる。

[0063] （表示装置 1 の動作）

表示装置 1 では、例えば、駆動 IC 1 3 を介して各々の発光素子 1 2 R, 1 2 G, 1 2 B に駆動信号が入力されると、発光素子 1 2 R からは赤色波長域の光、発光素子 1 2 G からは緑色波長域の光、発光素子 1 2 B からは青色波長域の光が各々出射される。この光は、遮光膜 1 5 の開口 1 5 A を介して

取り出される。即ち、表示装置 1 では、遮光膜 15 側が、表示面となる。

[0064] (表示装置 1 の作用・効果)

本実施の形態の表示装置 1 では、駆動 IC 13 に、発光素子 12R, 12G, 12B からの光の入射を抑える遮光部 135 が設けられているので、発光素子 12R, 12G, 12B から駆動 IC 13 への光の入射が抑えられる。これにより、発光素子 12R, 12G, 12B から駆動 IC 13 に入射する光に起因した駆動 IC 13 の特性変動の発生を抑えることができる。以下、この作用および効果について説明する。

[0065] 図 14 は比較例に係る表示装置 (表示装置 100) の要部の模式的な断面構成を表したものである。この表示装置 100 は、基板 11 上に、パッケージ 12 および駆動 IC (駆動 IC 113) を有している。この駆動 IC 113 は、基板 11 側から、多層配線層 131、半導体層 132 および無機絶縁層 133 をこの順に有している。この駆動 IC 113 は、遮光部 (図 3 の遮光部 135) を有していない。この点において、表示装置 100 の駆動 IC 113 は、表示装置 1 の駆動 IC 13 と異なっている。表示装置 100 は、基板 11 上に、パッケージ 12 および駆動 IC 113 を覆う保護層 14 と、保護層 14 上の遮光膜 15 とを有している。遮光膜 15 には、パッケージ 12 に対向する位置に開口 15A が設けられている。

[0066] 発光素子 12R, 12G, 12B から出射された光のほとんど (光 L1) は、遮光膜 15 の開口 15A から取り出される。一方、発光素子 12R, 12G, 12B から出射された光の一部 (光 L2) は、横方向への漏れ光となり、駆動 IC 113 に向かって伝搬される。表示装置 100 では、駆動 IC 113 に遮光部が設けられていないので、この光 L2 が駆動 IC 113 に入射しやすい。この駆動 IC 113 に入射した光 L2 は、駆動 IC 113 の特性変動を引き起こすおそれがある。

[0067] 駆動 IC 113 を、遮光性の保護体によりパッケージングする方法も考える。しかし、例えば、 $200\mu\text{m}$ 四方程度の駆動 IC 113 は非常に小さい。また、表示装置 100 では、基板 11 に実装する駆動 IC 113 の数も

多い。この小さい駆動 IC 113 各々をパッケージングして、基板 11 に多数実装することは、実装難易度が高い。更に、この製造工程では、コストがかかる。

[0068] これに対し、表示装置 1 では、図 15 に示したように、駆動 IC 13 が遮光部 135 を有しているので、発光素子 12R, 12G, 12B から駆動 IC 13 への光 L2 の入射が抑えられる。これにより、光 L2 に起因した駆動 IC 13 の特性変動の発生が抑えられる。

[0069] また、駆動 IC 13 各々を、遮光性の保護体によりパッケージングする必要がないので、基板 11 への実装も容易となる。更に、製造に要するコストも抑えることができる。

[0070] このように本実施の形態では、駆動 IC 13 に、発光素子 12R, 12G, 12B からの光（光 L2）の入射を抑える遮光部 135 を設けるようにしたので、発光素子 12R, 12G, 12B から駆動 IC 13 に入射する光に起因した駆動 IC 13 の特性変動の発生を抑えることができる。よって、信頼性の低下を抑えることが可能となる。

[0071] また、遮光部 135 は、半導体層 132 を間にして基板 11 に対向する第 1 遮光面 S1 と、第 1 遮光面 S1 に交差する方向に配置された第 2 遮光面 S2 とを有している。これにより、多方向で駆動 IC 13 への光の入射が抑えられる。したがって、より効果的に駆動 IC 13 の特性変動の発生を抑えることができる。

[0072] 更に、駆動 IC 13 の周縁 13E よりも内側に遮光部 135 を設けることにより、駆動 IC 13 を形成する際のチップ分離の工程（図 13F）が容易となる。よって、駆動 IC 13 を容易に製造することができる。

[0073] 以下、上記第 1 の実施の形態の変形例および他の実施の形態について説明するが、以降の説明において上記第 1 の実施の形態と同一構成部分については同一符号を付してその説明は適宜省略する。

[0074] 上記第 1 の実施の形態に係る表示装置 1 は、駆動 IC 13 に代えて、以下の変形例（変形例 1, 2）に係る駆動 IC（駆動 IC 13A, 13B）を有

していてもよい。

[0075] <変形例 1>

図 1 6 は、変形例 1 に係る駆動 IC 1 3 A の模式的な断面構成を表している。駆動 IC 1 3 A の遮光部 1 3 5 は、第 1 遮光面 S 1 および第 2 遮光面 S 2 に加えて、第 3 遮光面 S 3 を有している。

[0076] 第 3 遮光面 S 3 は、例えば、多層配線層 1 3 1 に設けられている。この第 3 遮光面 S 3 は、第 2 遮光面 S 2 を間にして第 1 遮光面 S 1 に対向しており、第 2 遮光面 S 2 に接している。

[0077] 遮光部 1 3 5 が、第 1 遮光面 S 1 および第 2 遮光面 S 2 に加えて、第 3 遮光面 S 3 を有することにより、より効果的に発光素子 1 2 R, 1 2 G, 1 2 B から当該駆動 IC 1 3 への光の入射が抑えられる。

[0078] <変形例 2>

図 1 7 は、変形例 2 に係る駆動 IC 1 3 B の模式的な断面構成を表している。駆動 IC 1 3 B の遮光部 1 3 5 は、例えば酸化シリコン (SiO₂) 等の無機絶縁材料により構成されている。

[0079] この遮光部 1 3 5 は、例えば、第 1 遮光面 S 1 および第 2 遮光面 S 2 を有している。第 1 遮光面 S 1 は、半導体層 1 3 2 を間にして基板 1 1 に対向している。この第 1 遮光面 S 1 は、駆動 IC 1 3 の上面に露出されている。第 2 遮光面 S 2 は、例えば、多層配線層 1 3 1 と第 1 遮光面 S 1 との間に、第 1 遮光面 S 1 にほぼ垂直に配置されている。この第 2 遮光面 S 2 は、例えば、駆動 IC 1 3 B の周縁 1 3 E に露出されている。即ち、駆動 IC 1 3 B の上面から側面を覆うように遮光部 1 3 5 が設けられている。多層配線層 1 3 1 および半導体層 1 3 2 の側面には、テーパが設けられていてもよい。これにより、第 2 遮光面 S 2 を形成しやすくなる。

[0080] 図 1 8 は、駆動 IC 1 3 B の他の例を表している。駆動 IC 1 3 B の遮光部 1 3 5 は、第 1 遮光面 S 1 により構成されていてもよい。換言すれば、遮光部 1 3 5 は、第 2 遮光面 (図 1 7 の第 2 遮光面 S 2) を有していなくてもよい。

- [0081] 遮光部 135 を構成する無機絶縁材料は、例えば、酸化シリコン (SiO₂)、窒化シリコン (SiN)、酸窒化シリコン (Si₃N₄) および SOG (Spin On Glass) 等である。遮光部 135 は、複数の無機絶縁材料を含んでもよい。
- [0082] 遮光部 135 のうち、少なくとも第 1 遮光面 S1 を構成する無機絶縁材料の厚みは、500 nm 以上であることが好ましい。
- [0083] 図 19 は、第 1 遮光面 S1 を構成する酸化シリコンの厚みと、半導体層 132 への光の透過率との関係を表すシミュレーション結果である。このシミュレーションは、駆動 IC 13B の上面に 75° ~ 89° の入射角で光が入射する場合を想定している。この結果より、第 1 遮光面 S1 を構成する無機絶縁材料の厚みが 500 nm 以上であるとき、半導体層 132 への光の透過率が 0.5% と小さくなることがわかった。
- [0084] 図 20 は、駆動 IC 13B の製造方法の一工程を表している。仮基板 51 に、多層配線層 131 および半導体層 132 の積層体を貼り合わせた後 (図 13B の工程の後)、例えば、CVD (Chemical Vapor Deposition) 法を用いて、半導体層 132 上に無機絶縁材料を成膜する。これにより、遮光部 135 が形成される。この後は、上記第 1 の実施の形態で説明したのと同様の方法で駆動 IC 13B を形成することができる。
- [0085] 図 21 は、駆動 IC 13B の製造方法の他の例を表している。遮光部 135 は、基板 11 に多層配線層 131 および半導体層 132 の積層体を実装した後 (図 21 の工程の後)、形成するようにしてもよい。遮光部 135 は、例えば、スパッタ法、インクジェット印刷法またはスクリーン印刷法等により形成することができる。チップ分離の工程 (図 13F 参照) で、半導体層 132 および多層配線層 131 の側面にテーパを形成しておくことにより、この遮光部 135 の形成工程で第 2 遮光面 S2 が形成され易くなる。
- [0086] 駆動 IC 13B では、遮光部 135 が無機絶縁材料により形成されているので、金属材料等により遮光部 135 を形成する駆動 IC 13 に比べて、製造工程を簡便にすることが可能となる。

[0087] <第2の実施の形態>

図22および図23は、本技術の第2の実施の形態に係る表示装置（表示装置2）の要部の模式的な断面構成を表している。この表示装置2では、駆動IC13、113に対向する部分の保護層14の厚みと、パッケージ12（発光素子12R、12G、12B）に対向する部分の保護層14の厚みが異なっている。表示装置2は、駆動IC113（図14参照）を有していてもよく（図22）、駆動IC13（図1参照）を有していてもよい（図23）。この点を除き、表示装置2は上記第1の実施の形態の表示装置1と同様の構成および効果を有している。

[0088] 保護層14は、パッケージ12および駆動IC13、113を覆うように、例えば、基板11の全面にわたって設けられている。表示装置2では、この保護層14が、駆動IC13、113およびその周囲を覆う厚膜部14Sと、パッケージ12およびその周囲を覆う薄膜部14Rとを有している。換言すれば、厚膜部14Sは、駆動IC13、113に対向して設けられ、薄膜部14Rは、パッケージ12（発光素子12R、12G、12B）に対向して設けられている。

[0089] 厚膜部14Sは、駆動IC13、113上に、厚みTSを有している。薄膜部14Rは、パッケージ12上に、厚みTSより小さい厚みTRを有している（ $TR < TS$ ）。厚みTSは例えば $2\mu m \sim 10\mu m$ であり、厚みTRは例えば $0.5\mu m \sim 3\mu m$ である。このように、パッケージ12（発光素子12R、12G、12B）の直上の保護層14の厚みTRを小さくすることにより、発光素子12R、12G、12Bから出射されて保護層14内に拡散される光を少なくすることができる。よって、保護層14を伝搬する光（図14の光L2）に起因した駆動IC13の特性変動の発生が抑えられる。

[0090] 遮光膜15は、保護層14を間にして基板11に対向している。この遮光膜15は、パッケージ12に対向する位置に開口15Aを有している。例えば、平面（図22、図23のXY平面）視での開口15Aの大きさは、平面

視での薄膜部 14 R の大きさよりも小さくなっている。換言すれば、遮光膜 15 は、厚膜部 14 S から薄膜部 14 R の一部を覆うように設けられている。即ち、遮光膜 15 は、厚膜部 14 S と薄膜部 14 R との間の段差を覆っている。これにより、発光素子 12 R, 12 G, 12 B から出射され、開口 15 A を介して取り出された光（例えば、図 14 の光 L1）が、保護層 14 内に戻りにくくなる。よって、より効果的に駆動 IC 13 の特性変動の発生が抑えられる。

[0091] 例えば、表示装置 2 は以下のようにして製造することができる（図 24 A, 図 24 B）。

[0092] まず、図 24 A に示したように、基板 11 上にパッケージ 12 および駆動 IC 113（または、駆動 IC 13）を実装した後、保護層 14 を形成する。例えば、パッケージ 12 はバンプ 121 により基板 11 に実装され、駆動 IC 113 はバンプ 136 により基板 11 に実装される。保護層 14 は、例えば、基板 11 の全面にわたって略均一な厚みで形成する。

[0093] 次いで、図 24 B に示したように、保護層 14 のうち、パッケージ 12 およびその周囲を覆う部分を選択的にエッチングする。これにより、パッケージ 12 およびその周囲を覆う部分の保護層 14 の厚みが小さくなり、薄膜部 14 R および厚膜部 14 S が形成される。この保護層 14 のエッチングの際には、パッケージ 12 の上面が露出されてもよい。

[0094] 薄膜部 14 R および厚膜部 14 S を形成した後、保護層 14 上に遮光膜 15 を形成する。この後、この遮光膜 15 に開口 15 A を形成する。例えば、このようにして図 22, 図 23 に示した表示装置 2 を形成することができる。

[0095] 本実施の形態では、保護層 14 が、パッケージ 12（発光素子 12 R, 12 G, 12 B）に対向する薄膜部 14 R を有しているので、発光素子 12 R, 12 G, 12 B から駆動 IC 13 に入射する光に起因した駆動 IC 13 の特性変動の発生を抑えることができる。よって、信頼性の低下を抑えることが可能となる。

[0096] また、厚膜部 1 4 S と薄膜部 1 4 R との段差を覆うように、遮光膜 1 5 を設けることにより、より効果的に駆動 I C 1 3 の特性変動の発生を抑えることができる。

[0097] <変形例 3>

図 2 5 は、上記第 2 の実施の形態の変形例（変形例 3）に係る表示装置（表示装置 2 A）の要部の模式的な断面構成を表している。このように、保護層 1 4 の薄膜部 1 4 R の表面が凸レンズ形状を有していてもよい。これにより、発光素子 1 2 R, 1 2 G, 1 2 B から出射された光が、保護層 1 4（薄膜部 1 4 R）の表面で全反射しにくくなる。したがって、発光素子 1 2 R, 1 2 G, 1 2 B から出射され、保護層 1 4 内に拡散される光を更に、少なくすることができる。

[0098] <変形例 4>

図 2 6 は、上記第 2 の実施の形態の変形例（変形例 4）に係る表示装置（表示装置 2 B）の要部の模式的な断面構成を表している。このように、薄膜部 1 4 R 内に掘込部 1 4 H が設けられていてもよい。

[0099] 掘込部 1 4 H は、例えば、薄膜部 1 4 R のうち、厚膜部 1 4 S との境界近傍に配置されている。即ち、掘込部 1 4 H は、薄膜部 1 4 R の縁に配置されている。この掘込部 1 4 H では、薄膜部 1 4 R の一部が溝状に掘りこまれている。掘込部 1 4 H は、遮光膜 1 5 の平坦性を維持可能な範囲で深く設けることが好ましい。掘込部 1 4 H には、例えば、厚膜部 1 4 S から延在する遮光膜 1 5 が埋め込まれている。

[0100] このような掘込部 1 4 H を薄膜部 1 4 R の縁に設けることにより、パッケージ 1 2 の上層で生じた反射光が、掘込部 1 4 H に埋め込まれた遮光膜 1 5 に吸収される。パッケージ 1 2 の上層で生じる反射光は、例えば、パッケージ 1 2（保護体 P）と保護層 1 4 との界面で反射される光、および、保護層 1 4 の表面で反射される光等である。したがって、掘込部 1 4 H を設けることにより、発光素子 1 2 R, 1 2 G, 1 2 B から出射されて保護層 1 4 内に拡散される光を更に、少なくすることができる。薄膜部 1 4 R の表面をレン

ズ形状にし（図 25）、かつ、掘込部 14H を設けるようにしてもよい。

[0101] 図 27 は表示装置 2A の他の例を表し、図 28 は表示装置 2B の他の例を表している。このように、基板 11 の全面にわたって保護層 14 の厚みを小さくするようにしてもよい。この保護層 14 のうち、パッケージ 12 に対向する部分の表面をレンズ形状にし（図 27）、あるいは、パッケージ 12 の周囲に掘込部 14H を設けるようにしてもよい（図 28）。

[0102] このような保護層 14 は、例えば、基板 11 の全面に保護層 14 の構成材料を成膜した後、この膜をエッチバック等の方法により薄膜化して形成する。このような保護層 14 の形成工程では、選択的に薄膜部（図 25 および図 26 の薄膜部 14R）を形成するためのパターニング工程が不要となる。よって、製造工程が簡便となり、生産性を向上させることができる。

[0103] <第 3 の実施の形態>

図 29 および図 30 は、本技術の第 3 の実施の形態に係る表示装置（表示装置 3）の要部の模式的な断面構成を表している。この表示装置 3 では、保護層 14 の厚み方向（図 29、図 30 の Z 方向）に遮光膜 15 が埋め込まれている。表示装置 3 は、駆動 IC 113（図 14 参照）を有していてもよく（図 29）、駆動 IC 13（図 1 参照）を有していてもよい（図 30）。この点を除き、表示装置 3 は上記第 1 の実施の形態の表示装置 1 と同様の構成および効果を有している。

[0104] 保護層 14 は、例えば、パッケージ 12（発光素子 12R、12G、12B）と駆動 IC 13、113 との間に溝 14G を有している。この溝 14G に遮光膜 15 が埋め込まれている。遮光膜 15 は、例えば、保護層 14 上から溝 14G の底まで連続して設けられている。

[0105] 溝 14G は、例えば、保護層 14 の表面から、保護層 14 と基板 11 との界面近傍にわたって設けられている。この溝 14G の断面形状は、保護層 14 の表面から基板 11 に向かうに連れて徐々に細くなっている。即ち、溝 14G は楔形の断面形状を有している。楔型の断面形状を有する溝 14G を設けることにより、一定の太さの溝 14G（例えば、後述の図 33）を設ける

場合に比べて、保護層 14 上の遮光膜 15 の平坦性を維持し易くなる。よって、遮光膜 15 の平坦性の悪化に起因した表示ムラの発生を抑え、画質を向上させることができる。

[0106] 図 3 1 A、図 3 1 B は、溝 14 G の平面（図 2 9、図 3 0 の X Y 平面）構成の一例を表している。溝 14 G は、例えば、図 3 1 A に示したように、駆動 IC 13、113 を囲むように設けられている。あるいは、図 3 1 B に示したように、パッケージ 12 を囲むように、溝 14 G を設けるようにしてもよい。

[0107] 図 3 2 および図 3 3 は、溝 14 G の断面形状の他の例を表している。図 3 2 に示したように、溝 14 G は、保護層 14 の厚み方向の全部にわたって設けられていなくてもよい。溝 14 G は、保護層 14 の厚み方向の一部に設けられていてもよい。図 3 3 に示したように、溝 14 G の深さ方向の太さが一定であってもよい。溝 14 G は、例えば矩形の断面形状を有している。

[0108] このような保護層 14 の溝 14 G に遮光膜 15 が埋め込まれることにより、パッケージ 12（発光素子 12 R、12 G、12 B）と駆動 IC 13、113 との間に遮光膜 15 が設けられる。したがって、発光素子 12 R、12 G、12 B から出射され、保護層 14 を伝搬する光が溝 14 G に埋め込まれた遮光膜 15 に吸収される。よって、保護層 14 を伝搬する光（図 1 4 の光 L2）に起因した駆動 IC 13 の特性変動の発生が抑えられる。

[0109] 図 3 4 A、図 3 4 B は、保護層 14 の溝 14 G に、遮光膜 15 とともに反射防止膜（反射防止膜 16）を有する表示装置 3 の断面構成を表している。

[0110] 反射防止膜 16 は、例えば、保護層 14 と遮光膜 15 との間に設けられており、保護層 14 上から溝 14 G の底まで連続して設けられている。反射防止膜 16 は、例えば、遮光膜 15 と同じ平面形状を有しており、遮光膜 15 の開口 15 A に対応する開口を有している（図 3 4 A）。あるいは、反射防止膜 16 は、基板 11 の全面にわたって設けられていてもよい（図 3 4 B）。

[0111] 反射防止膜 16 は、例えば、保護層 14 の屈折率とは異なる屈折率を有す

る材料により構成されている。反射防止膜 16 は、例えば、シリコン酸化膜、ITO (Indium Tin Oxide) 膜、IZO (Indium Zinc Oxide) 膜、シリコン窒化膜またはアクリル系透明樹脂膜等により構成されている。保護層 14 と遮光膜 15 との間に、このような反射防止膜 16 を設けることにより、保護層 14 を伝搬する光を更に少なくすることができる。したがって、より効果的に駆動 IC 13 の特性変動の発生が抑えられる。

[0112] 例えば、表示装置 3 は以下のようにして製造することができる (図 35 A, 図 35 B)。

[0113] まず、基板 11 上にパッケージ 12 および駆動 IC 113 (または、駆動 IC 13) を実装した後、保護層 14 を形成する (図 24 A)。

[0114] 次に、図 35 A に示したように、例えば、駆動 IC 113 の周囲の保護層 14 に溝 14 G を形成する。溝 14 G の形成は、例えば、レーザ光 LL を用いて行う。レーザ光 LL を用いることにより、溝 14 G を短時間、かつ、容易に形成することができる。

[0115] 保護層 14 に溝 14 G を形成した後、図 35 B に示したように、保護層 14 上から溝 14 G を埋め込むように遮光膜 15 を形成する。この後、遮光膜 15 に開口 15 A を形成する。例えば、このようにして図 29, 図 30 に示した表示装置 3 を形成することができる。

[0116] 本実施の形態では、保護層 14 の溝 14 G に遮光膜 15 が埋め込まれているので、発光素子 12 R, 12 G, 12 B から駆動 IC 13 に入射する光に起因した駆動 IC 13 の特性変動の発生を抑えることができる。よって、信頼性の低下を抑えることが可能となる。

[0117] また、溝 14 G を保護層 14 の厚み方向の略全部にわたって設けることにより、より効果的に駆動 IC 13 の特性変動の発生を抑えることができる。

[0118] <変形例 5>

図 36 は、上記第 3 の実施の形態の変形例 (変形例 5) に係る表示装置 (表示装置 3 A) の要部の模式的な断面構成を表している。この表示装置 3 A では、保護層 14 の除去領域 (除去領域 14 A) に遮光膜 15 が埋め込まれ

ている。このように、遮光膜 15 を保護層 14 の厚み方向に埋め込むようにしてもよい。

[0119] 除去領域 14 A は、保護層 14 が除去された領域である。この除去領域 14 A は、駆動 IC 113（または駆動 IC 13）およびその周辺に対向する領域に設けられている。換言すれば、除去領域 14 A に駆動 IC 113 が設けられ、この駆動 IC 113 の周囲が遮光膜 15 で覆われている。遮光膜 15 は、例えば、駆動 IC 113 の上面および側面に接している。

[0120] 図 37 は、表示装置 3 A の他の例を表している。除去領域 14 A では、保護層 14 が全て除去されていなくてもよい。例えば、保護層 14 が厚み方向に一部残っていてもよい。

[0121] <第 4 の実施の形態>

図 38 および図 39 は、本技術の第 4 の実施の形態に係る表示装置（表示装置 4）の要部の模式的な断面構成を表している。この表示装置 4 では、保護層 14 の表面（遮光膜 15 側の面）に複数の凹凸 14 B が設けられている。表示装置 4 は、駆動 IC 113（図 14 参照）を有していてもよく（図 39）、駆動 IC 13（図 1 参照）を有していてもよい（図 38）。この点を除き、表示装置 4 は上記第 1 の実施の形態の表示装置 1 と同様の構成および効果を有している。

[0122] 保護層 14 の表面に設けられた凹凸 14 B は、例えば、保護層 14 の表面全面に設けられている。凹凸 14 B は、例えば、略四角形の断面形状を有している。凹凸 14 B は、例えば、略半円形等の曲線を含む断面形状を有していてもよい（後述の図 43 B 参照）。凹凸 14 B この複数の凹凸 14 B は、例えば、200 nm 程度のピッチ（例えば、図 38、図 39 の X 方向および Y 方向の大きさ）で設けられており、凹凸 14 B の高さ（例えば、図 38、図 39 の Z 方向の大きさ）は 200 nm 程度である。この凹凸 14 B を覆うように遮光膜 15 が設けられている。

[0123] 保護層 14 の表面に複数の微小な凹凸 14 B を設けることにより、保護層 14 の表面での屈折率の変化が緩やかになる。これにより、パッケージ 12

(発光素子 1 2 R, 1 2 G, 1 2 B) から出射された光の保護層 1 4 の表面での反射が抑えられる。即ち、保護層 1 4 の表面に設けられた複数の凹凸 1 4 B によりモスアイ構造と同様の効果が得られる。よって、保護層 1 4 を伝搬する光 (図 1 4 の光 L 2) に起因した駆動 I C 1 3 の特性変動の発生が抑えられる。

[0124] 例えば、表示装置 4 は以下のようにして製造することができる (図 4 0 A, 図 4 0 B)。

[0125] まず、基板 1 1 上にパッケージ 1 2 および駆動 I C 1 1 3 (または、駆動 I C 1 3) を実装した後、保護層 1 4 を形成する (図 2 4 A)。

[0126] 次いで、図 4 0 A に示したように、保護層 1 4 の表面にレジストパターン 6 1 を形成する。このレジストパターン 6 1 は、複数の凹凸 1 4 B を形成するためのものであり、凹凸 1 4 B の形状に対応している。レジストパターン 6 1 は、例えば、保護層 1 4 の表面にレジスト材料を成膜した後、これを所定の形状にパターニングすることにより形成することができる。

[0127] レジストパターン 6 1 を形成した後、図 4 0 B に示したように、保護層 1 4 の表面に複数の凹凸 1 4 B を形成する。複数の凹凸 1 4 B は、例えば、レジストパターン 6 1 を用いたドライエッチングにより形成する。複数の凹凸 1 4 B を形成した後、レジストパターン 6 1 を除去する。続いて、保護層 1 4 の表面に遮光膜 1 5 を形成する。この後、遮光膜 1 5 に開口 1 5 A を形成する。例えば、このようにして図 3 8, 図 3 9 に示した表示装置 4 を形成することができる。

[0128] 図 4 1 ~ 図 4 3 B は、複数の凹凸 1 4 B の形成方法の他の例を表している。

[0129] 図 4 1 に示したように、保護層 1 4 を形成した後、保護層 1 4 の表面にアッシング処理を施すことにより複数の凹凸 1 4 B を形成するようにしてもよい。

[0130] 図 4 2 A ~ 図 4 3 B に示したように、保護層 1 4 を形成した後、保護層 1 4 の表面にナノインプリント用のモールド 6 2 を押し当てることにより、複

数の凹凸 1 4 B を形成するようにしてもよい。角型のモールド 6 2 を用いるようにしてもよく（図 4 2 A、図 4 2 B）、丸形のモールド 6 2 を用いるようにしてもよい（図 4 3 A、図 4 3 B）。

[0131] 本実施の形態では、保護層 1 4 の表面に複数の微小な凹凸 1 4 B が設けられているので、発光素子 1 2 R、1 2 G、1 2 B から駆動 IC 1 3 に入射する光に起因した駆動 IC 1 3 の特性変動の発生を抑えることができる。よって、信頼性の低下を抑えることが可能となる。

[0132] <第 5 の実施の形態>

図 4 4 および図 4 5 は、本技術の第 5 の実施の形態に係る表示装置（表示装置 5）の要部の模式的な断面構成を表している。この表示装置 5 の保護層 1 4 は、低屈折率膜 1 4 1 および高屈折率膜 1 4 2 を含んでいる。表示装置 5 は、駆動 IC 1 1 3（図 1 4 参照）を有していてもよく（図 4 5）、駆動 IC 1 3（図 1 参照）を有していてもよい（図 4 4）。この点を除き、表示装置 5 は上記第 1 の実施の形態の表示装置 1 と同様の構成および効果を有している。

[0133] 例えば、基板 1 1 側から低屈折率膜 1 4 1 および高屈折率膜 1 4 2 がこの順に積層されている。低屈折率膜 1 4 1 の厚みは、例えば、高屈折率膜 1 4 2 の厚みよりも大きくなっている。この低屈折率膜 1 4 1 により、基板 1 1 上のパッケージ 1 2 および駆動 IC 1 3、1 1 3 が覆われている。低屈折率膜 1 4 1 は、例えば、樹脂材料等により構成されている。この低屈折率膜 1 4 1 の屈折率は、例えば、1.5 程度である。

[0134] 高屈折率膜 1 4 2 は、低屈折率膜 1 4 1 の屈折率よりも高い屈折率を有している。高屈折率膜 1 4 2 は、例えば、窒化シリコン（SiN）等により構成されている。この高屈折率膜 1 4 2 の屈折率は、例えば、2.0 程度である。高屈折率膜 1 4 2 は、低屈折率膜 1 4 1 と遮光膜 1 5 との間に設けられている。

[0135] 保護層 1 4 が、このような低屈折率膜 1 4 1 および高屈折率膜 1 4 2 の積層構造を有することにより、パッケージ 1 2（発光素子 1 2 R、1 2 G、1

2 B) から出射された光の保護層 1 4 の表面近傍での反射が抑えられる。よって、保護層 1 4 を伝搬する光 (図 1 4 の光 L 2) に起因した駆動 IC 1 3 の特性変動の発生が抑えられる。

[0136] 図 4 6 は、表示装置 5 の他の例を表している。表示装置 5 では、高屈折率膜 1 4 2 の表面に複数の微小な凹凸 1 4 B を設けるようにしてもよい。これにより、より効果的に保護層 1 4 の表面近傍での反射が抑えられる。

[0137] 例えば、表示装置 5 は以下のようにして製造することができる。

[0138] まず、基板 1 1 上にパッケージ 1 2 および駆動 IC 1 1 3 (または、駆動 IC 1 3) を実装した後、基板 1 1 の全面にわたって低屈折率膜 1 4 1 を形成する。次いで、低屈折率膜 1 4 1 上に高屈折率膜 1 4 2 を形成する。これにより、保護層 1 4 が形成される。続いて、保護層 1 4 の表面に遮光膜 1 5 を形成する。この後、遮光膜 1 5 に開口 1 5 A を形成する。例えば、このようにして図 4 4, 図 4 5 に示した表示装置 5 を形成することができる。

[0139] 本実施の形態では、保護層 1 4 が低屈折率膜 1 4 1 および高屈折率膜 1 4 2 の積層構造を有しているので、発光素子 1 2 R, 1 2 G, 1 2 B から駆動 IC 1 3 に入射する光に起因した駆動 IC 1 3 の特性変動の発生を抑えることができる。よって、信頼性の低下を抑えることが可能となる。

[0140] <第 6 の実施の形態>

図 4 7 および図 4 8 は、本技術の第 6 の実施の形態に係る表示装置 (表示装置 6) の要部の模式的な断面構成を表している。この表示装置 6 は、駆動 IC 1 3, 1 1 3 とパッケージ 1 2 との間に遮光部材 (遮光部材 1 7) を有している。表示装置 6 は、駆動 IC 1 1 3 (図 1 4 参照) を有していてもよく (図 4 7)、駆動 IC 1 3 (図 1 参照) を有していてもよい (図 4 8)。この点を除き、表示装置 6 は上記第 1 の実施の形態の表示装置 1 と同様の構成および効果を有している。

[0141] この遮光部材 1 7 は、例えば、保護層 1 4 の厚み方向に沿って延在しており、遮光部材 1 7 の下面が基板 1 1 に接し、遮光部材 1 7 の上面が遮光膜 1 5 に接している。遮光部材 1 7 にかかるように遮光膜 1 5 が設けられている

ことが好ましい

- [0142] 図49は、遮光部材17の断面構成の他の例を表している。遮光部材17は、保護層14の厚み方向の全部にわたって延在していなくてもよく、例えば、保護層14の表面側の一部に延在していてもよい。
- [0143] 図50A、図50B、図50Cは、遮光部材17の平面（図47、図48のXY平面）構成の一例を表している。遮光部材17は、例えば、駆動IC13（または駆動IC113）とパッケージ12との間を仕切るように、壁状に設けられている。図50Aに示したように、遮光部材17を格子状に設けるようにしてもよい。あるいは、図50B、図50Cに示したように、駆動IC13またはパッケージ12のどちらか一方を囲むように、遮光部材17を設けるようにしてもよい。
- [0144] 図51A、図51Bは、遮光部材17の平面構成の他の例を表している。遮光部材17は、例えば、柱状であってもよい。駆動IC13（または駆動IC113）とパッケージ12との間に、複数の柱状の遮光部材17が設けられている。図51Aに示したように、遮光部材17は円柱状であってもよい。あるいは、図51Bに示したように、遮光部材17は角柱状であってもよい。
- [0145] 遮光部材17は、発光素子12R、12G、12Bから出射される波長域の光（例えば、可視領域の波長の光）に対して遮光性を有する材料により構成されている。例えば、遮光部材17は、タングステン（W）、チタン（Ti）、タンタル（Ta）、アルミニウム（Al）および銅（Cu）等の金属材料により構成されている。あるいは、遮光部材17は、カーボンブラック等を含む有機材料等により構成されていてもよく、無機材料により構成されていてもよい。
- [0146] このような遮光部材17を、駆動IC13、113とパッケージ12（発光素子12R、12G、12B）との間に設けることにより、発光素子12R、12G、12Bから出射され、保護層14を伝搬する光が遮光部材17に吸収される。よって、保護層14を伝搬する光（図14の光L2）に起因し

た駆動IC13の特性変動の発生が抑えられる。

[0147] 例えば、表示装置6は以下のようにして製造することができる（図52A～図52E）。

[0148] まず、図52Aに示したように基板11を形成する。

[0149] 次に、図52Bに示したように、フォトリソグラフィ法を用いて、基板11上にレジストパターン64を形成する。このレジストパターン64は、遮光部材17に対応するパターンを有している。

[0150] 次に、図52Cに示したように、レジストパターン64上に、遮光材料17Aを成膜する。続いて、図52Dに示したように、例えばエッチングにより不要な遮光材料17Aを除去する。これにより、遮光部材17が形成される。

[0151] 次に、図52Eに示したように、レジストパターン64を除去する。続いて、この遮光部材17が設けられた基板11上に、駆動IC13、113およびパッケージ12を実装する。次に、保護層14および遮光膜15をこの順に形成する。この後、遮光膜15に開口15Aを形成する。例えば、このようにして図47、図48に示した表示装置6を形成することができる。

[0152] 図53A～図53Cは、表示装置6の製造方法の他の例を表している。

[0153] まず、基板11上にパッケージ12および駆動IC113（または、駆動IC13）を実装した後、保護層14を形成する（図24A）。

[0154] 次に、図53Aに示したように、保護層14上にレジストパターン65を形成する。このレジストパターン64は、遮光部材17に対応するパターンを有している。続いて、図53Bに示したように、このレジストパターン64を用いて、保護層14に溝Mを形成する。

[0155] 保護層14に溝Mを形成した後、図53Cに示したように、レジストパターン65上から溝Mを埋め込むように遮光材料17Aを成膜する。続いて、例えばエッチングにより不要な遮光材料17Aおよびレジストパターン65を除去する。これにより、遮光部材17が形成される。次に、遮光部材17および保護層14を覆うように遮光膜15を形成する。この後、遮光膜15

に開口 15 A を形成する。例えば、このような方法でも図 4 7, 図 4 8 に示した表示装置 6 を形成することができる。

[0156] この方法では、保護層 14 の溝 M に遮光材料 17 A を埋め込んで遮光部材 17 を形成しているので、複数の遮光部材 17 の高さ（例えば、図 4 7, 図 4 8 の Z 方向の大きさ）を揃えるためには、保護層 14 の平坦化および溝 M の深さが重要となる。したがって、加工難易度が高い。一方、基板 11 にパッケージ 12 および駆動 IC 13, 113 を実装する前に、遮光部材 17 を形成する場合（図 5 2 A ~ 図 5 2 E）には、容易に遮光部材 17 の高さを調整し、複数の遮光部材 17 の高さを揃えやすい。

[0157] 本実施の形態では、駆動 IC 13, 113 とパッケージ 12（発光素子 12 R, 12 G, 12 B）との間に遮光部材 17 を設けるようにしたので、発光素子 12 R, 12 G, 12 B から駆動 IC 13 に入射する光に起因した駆動 IC 13 の特性変動の発生を抑えることができる。よって、信頼性の低下を抑えることが可能となる。

[0158] 上記第 1 ~ 第 6 の実施の形態等において説明した表示装置 1, 2, 2 A, 2 B, 3, 3 A, 4, 5, 6（以下、略して表示装置 1 とする）は、複数の基板 11 がタイル状に敷き詰められた表示装置、いわゆる、タイリングディスプレイであってもよい。

[0159] <適用例>

上記第 1 ~ 第 6 の実施の形態等において説明した表示装置 1 は、例えば、テレビジョン装置、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置あるいはビデオカメラなど、外部から入力された映像信号あるいは内部で生成した映像信号を、画像あるいは映像として表示するあらゆる分野の電子機器に適用することが可能である。

[0160] 以上、実施の形態および変形例を挙げて本技術を説明したが、本技術はこれら実施の形態等に限定されるものではなく、種々変形が可能である。例えば、上記実施の形態等において説明した各部の材料および厚みなどは限定されるものではなく、他の材料および厚みとしてもよい。

[0161] また、上記実施の形態等では、本技術の半導体素子の一具体例として、駆動IC13を挙げて本技術を説明したが、本技術の半導体素子はこれに限られない。

[0162] また、上記実施の形態等では、パッケージ12が3つの発光素子（発光素子12R, 12G, 12B）を含む場合について説明したが、パッケージ12に含まれる発光素子の数は、例えば、1つであってもよく、あるいは、4つ以上であってもよい。

[0163] また、上記実施の形態等では、画素10毎に駆動IC13が設けられている場合について説明したが（図2）、複数の画素10で駆動IC13が共有されていてもよい。

[0164] また、上記実施の形態等では、本技術の発光装置を表示装置に適用する場合について説明したが、本技術は例えば、照明装置等の他のデバイスに適用することも可能である。

[0165] なお、本明細書に記載された効果はあくまで例示であってこれに限定されるものではなく、また他の効果があってもよい。

[0166] なお、本技術は以下のような構成も取ることができる。以下の構成の本技術によれば、半導体素子に、発光素子からの光の入射を抑える遮光部を設けるようにしたので、発光素子から半導体素子に入射する光に起因した半導体素子の特性変動の発生を抑えることができる。よって、信頼性の低下を抑えることが可能となる。

(1)

基板と、

前記基板上に設けられた発光素子と、

前記基板上に設けられ、前記基板側から多層配線層および半導体層をこの順に有し、かつ、前記発光素子からの光の入射を抑える遮光部を有する半導体素子とを備え、

前記遮光部は、

前記半導体層を間にして前記基板に対向する第1遮光面と、

前記第 1 遮光面と前記多層配線層との間に、前記第 1 遮光面に交差する方向に配置された第 2 遮光面とを含む

発光装置。

(2)

前記遮光部は、前記半導体素子の周縁よりも内側に設けられている

前記 (1) に記載の発光装置。

(3)

前記第 2 遮光面は、前記半導体素子のうち、少なくとも前記発光素子に臨む位置に設けられている

前記 (1) または (2) に記載の発光装置。

(4)

前記第 2 遮光面は、前記半導体素子の全周にわたって設けられている

前記 (1) ないし (3) のうちいずれか 1 つに記載の発光装置。

(5)

複数の前記第 2 遮光面を有する

前記 (1) ないし (4) のうちいずれか 1 つに記載の発光装置。

(6)

複数の前記第 2 遮光面は、互いに接して配置されている

前記 (5) に記載の発光装置。

(7)

前記半導体層は溝を有し、

前記溝内に、前記第 2 遮光面が配置されている

前記 (1) ないし (6) のうちいずれか 1 つに記載の発光装置。

(8)

前記第 2 遮光面は前記第 1 遮光面に接している

前記 (1) ないし (7) のうちいずれか 1 つに記載の発光装置。

(9)

前記遮光部は、更に、前記第 2 遮光面を間にして前記第 1 遮光面に対向す

る第3遮光面を有する

前記(1)ないし(8)のうちいずれか1つに記載の発光装置。

(10)

更に、前記発光素子と前記半導体素子との間に設けられ、前記発光素子から前記半導体素子への光の入射を抑える遮光部材を有する

前記(1)ないし(9)のうちいずれか1つに記載の発光装置。

(11)

更に、前記基板上に設けられ、前記発光素子および前記半導体素子を覆う保護層と、

前記保護層を間にして前記基板に対向し、かつ、前記発光素子に対向する位置に開口を有する遮光膜とを有する

前記(1)ないし(10)のうちいずれか1つに記載の発光装置。

(12)

前記遮光膜は、前記発光素子と前記半導体素子との間の前記保護層の厚み方向に埋設されている

前記(11)に記載の発光装置。

(13)

前記保護層は、前記半導体素子に対向する厚膜部と、前記発光素子に対向するとともに、前記厚膜部よりも厚みの小さい薄膜部とを有する

前記(11)に記載の発光装置。

(14)

前記遮光膜は、前記薄膜部と前記厚膜部との間の段差を覆っている

前記(13)に記載の発光装置。

(15)

前記保護層の表面には、複数の凹凸が設けられている

前記(11)ないし(14)のうちいずれか1つに記載の発光装置。

(16)

前記保護層は、前記基板側から順に、低屈折率膜および高屈折率膜を含む

前記（１１）ないし（１５）のうちいずれか１つに記載の発光装置。

（１７）

前記遮光部は、金属材料または樹脂材料を含む

前記（１）ないし（１６）のうちいずれか１つに記載の発光装置。

（１８）

前記遮光部は、無機絶縁材料を含む

前記（１）ないし（１７）のうちいずれか１つに記載の発光装置。

（１９）

前記遮光部の少なくとも一部は、厚み５００ｎｍ以上を有する

前記（１８）に記載の発光装置。

（２０）

発光装置を備え、

前記発光装置は、

基板と、

前記基板上に設けられた発光素子と、

前記基板上に設けられ、前記基板側から多層配線層および半導体層をこの順に有し、かつ、前記発光素子からの光の入射を抑える遮光部を有する半導体素子とを備え、

前記遮光部は、

前記半導体層を間にして前記基板に対向する第１遮光面と、

前記第１遮光面と前記多層配線層との間に、前記第１遮光面に交差する方向に配置された第２遮光面とを含む

表示装置。

（２１）

基板と、

前記基板上に設けられた発光素子と、

前記基板上に設けられ、前記基板側から多層配線層および半導体層をこの順に有する半導体素子と、

前記発光素子と前記半導体素子との間に設けられ、前記発光素子から前記半導体素子への光の入射を抑える遮光部材と

を備えた発光装置。

(22)

基板と、

前記基板上に設けられた発光素子と、

前記基板上に設けられ、前記基板側から多層配線層および半導体層をこの順に有する半導体素子と、

前記基板上に設けられ、前記発光素子および前記半導体素子を覆う保護層と、

前記保護層を間にして前記基板に対向し、かつ、前記発光素子に対向する位置に開口を有する遮光膜とを備え、

前記遮光膜は、前記発光素子と前記半導体素子との間の前記保護層の厚み方向に埋設されている

発光装置。

(23)

基板と、

前記基板上に設けられた発光素子と、

前記基板上に設けられ、前記基板側から多層配線層および半導体層をこの順に有する半導体素子と、

前記基板上に設けられ、前記発光素子および前記半導体素子を覆う保護層と、

前記保護層を間にして前記基板に対向し、かつ、前記発光素子に対向する位置に開口を有する遮光膜とを備え、

前記保護層は、前記半導体素子に対向する厚膜部と、前記発光素子に対向するとともに、前記厚膜部よりも厚みの小さい薄膜部とを有する

発光装置。

(24)

基板と、
前記基板上に設けられた発光素子と、
前記基板上に設けられ、前記基板側から多層配線層および半導体層をこの順に有する半導体素子と、
前記基板上に設けられ、前記発光素子および前記半導体素子を覆う保護層と、
前記保護層を間にして前記基板に対向し、かつ、前記発光素子に対向する位置に開口を有する遮光膜とを備え、
前記保護層の表面には、複数の凹凸が設けられている
発光装置。

(25)

基板と、
前記基板上に設けられた発光素子と、
前記基板上に設けられ、前記基板側から多層配線層および半導体層をこの順に有する半導体素子と、
前記基板上に設けられ、前記発光素子および前記半導体素子を覆う保護層と、
前記保護層を間にして前記基板に対向し、かつ、前記発光素子に対向する位置に開口を有する遮光膜とを備え、
前記保護層は、前記基板側から順に、低屈折率膜および高屈折率膜を含む
発光装置。

[0167] 本出願は、日本国特許庁において2018年8月31日出願された日本特許出願番号第2018-163023号を基礎として優先権を主張するものであり、この出願の全ての内容を参照によって本出願に援用する。

[0168] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 基板と、
 前記基板上に設けられた発光素子と、
 前記基板上に設けられ、前記基板側から多層配線層および半導体層をこの順に有し、かつ、前記発光素子からの光の入射を抑える遮光部を有する半導体素子とを備え、
 前記遮光部は、
 前記半導体層を間にして前記基板に対向する第1遮光面と、
 前記第1遮光面と前記多層配線層との間に、前記第1遮光面に交差する方向に配置された第2遮光面とを含む
 発光装置。
- [請求項2] 前記遮光部は、前記半導体素子の周縁よりも内側に設けられている
 請求項1に記載の発光装置。
- [請求項3] 前記第2遮光面は、前記半導体素子のうち、少なくとも前記発光素子に臨む位置に設けられている
 請求項1に記載の発光装置。
- [請求項4] 前記第2遮光面は、前記半導体素子の全周にわたって設けられている
 請求項1に記載の発光装置。
- [請求項5] 複数の前記第2遮光面を有する
 請求項1に記載の発光装置。
- [請求項6] 複数の前記第2遮光面は、互いに接して配置されている
 請求項5に記載の発光装置。
- [請求項7] 前記半導体層は溝を有し、
 前記溝内に、前記第2遮光面が配置されている
 請求項1に記載の発光装置。
- [請求項8] 前記第2遮光面は前記第1遮光面に接している
 請求項1に記載の発光装置。

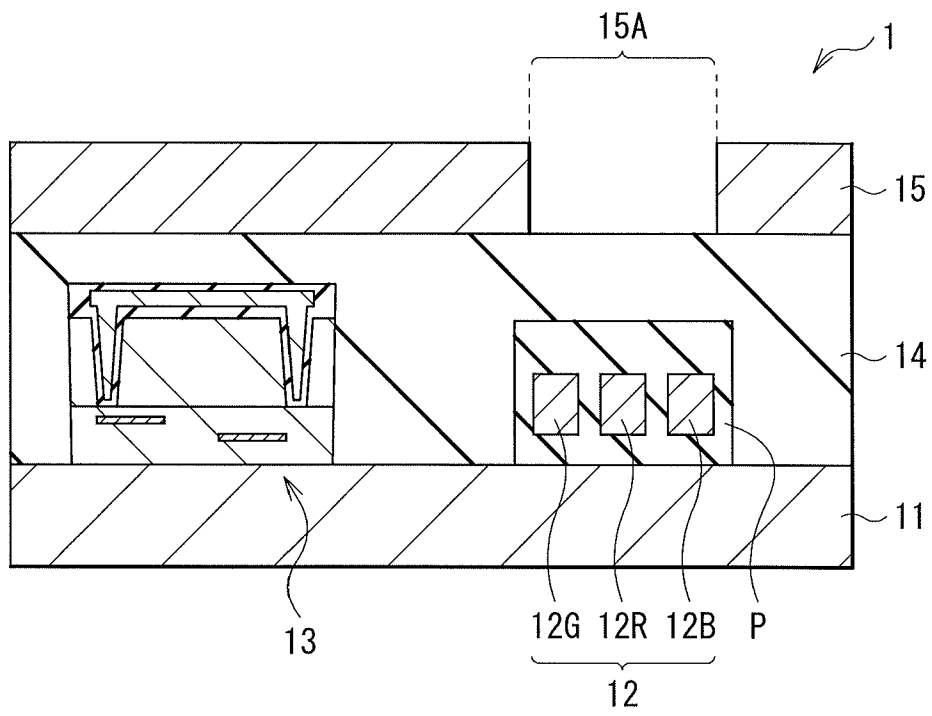
- [請求項9] 前記遮光部は、更に、前記第2遮光面を間にして前記第1遮光面に対向する第3遮光面を有する
請求項1に記載の発光装置。
- [請求項10] 更に、前記発光素子と前記半導体素子との間に設けられ、前記発光素子から前記半導体素子への光の入射を抑える遮光部材を有する
請求項1に記載の発光装置。
- [請求項11] 更に、前記基板上に設けられ、前記発光素子および前記半導体素子を覆う保護層と、
前記保護層を間にして前記基板に対向し、かつ、前記発光素子に対向する位置に開口を有する遮光膜とを有する
請求項1に記載の発光装置。
- [請求項12] 前記遮光膜は、前記発光素子と前記半導体素子との間の前記保護層の厚み方向に埋設されている
請求項11に記載の発光装置。
- [請求項13] 前記保護層は、前記半導体素子に対向する厚膜部と、前記発光素子に対向するとともに、前記厚膜部よりも厚みの小さい薄膜部とを有する
請求項11に記載の発光装置。
- [請求項14] 前記遮光膜は、前記薄膜部と前記厚膜部との間の段差を覆っている
請求項13に記載の発光装置。
- [請求項15] 前記保護層の表面には、複数の凹凸が設けられている
請求項11に記載の発光装置。
- [請求項16] 前記保護層は、前記基板側から順に、低屈折率膜および高屈折率膜を含む
請求項11に記載の発光装置。
- [請求項17] 前記遮光部は、金属材料または樹脂材料を含む
請求項1に記載の発光装置。
- [請求項18] 前記遮光部は、無機絶縁材料を含む

請求項 1 に記載の発光装置。

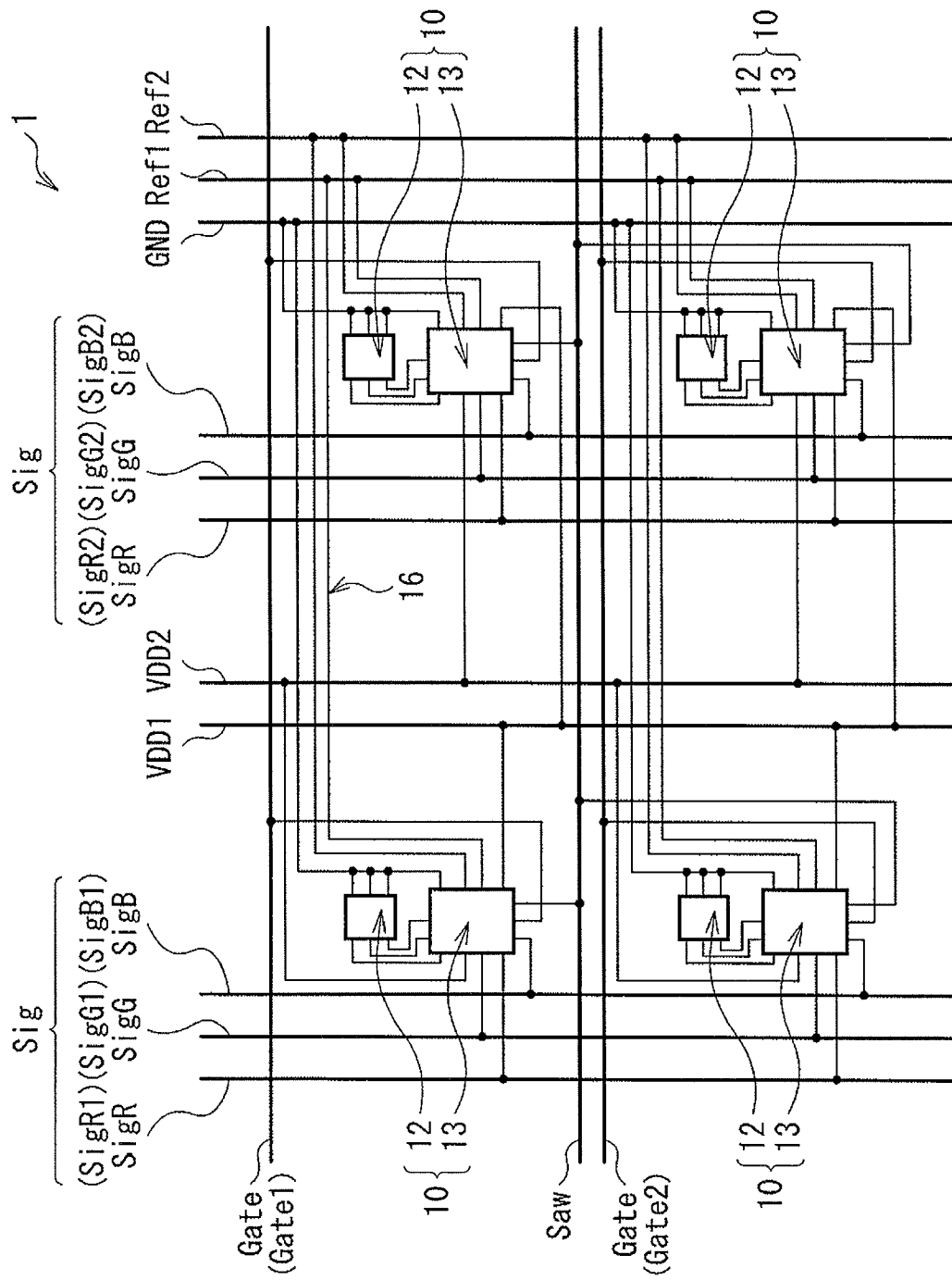
[請求項19] 前記遮光部の少なくとも一部は、厚み 500 nm 以上を有する
請求項 18 に記載の発光装置。

[請求項20] 発光装置を備え、
前記発光装置は、
基板と、
前記基板上に設けられた発光素子と、
前記基板上に設けられ、前記基板側から多層配線層および半導体層
をこの順に有し、かつ、前記発光素子からの光の入射を抑える遮光部
を有する半導体素子とを備え、
前記遮光部は、
前記半導体層を間にして前記基板に対向する第 1 遮光面と、
前記第 1 遮光面と前記多層配線層との間に、前記第 1 遮光面に交差
する方向に配置された第 2 遮光面とを含む
表示装置。

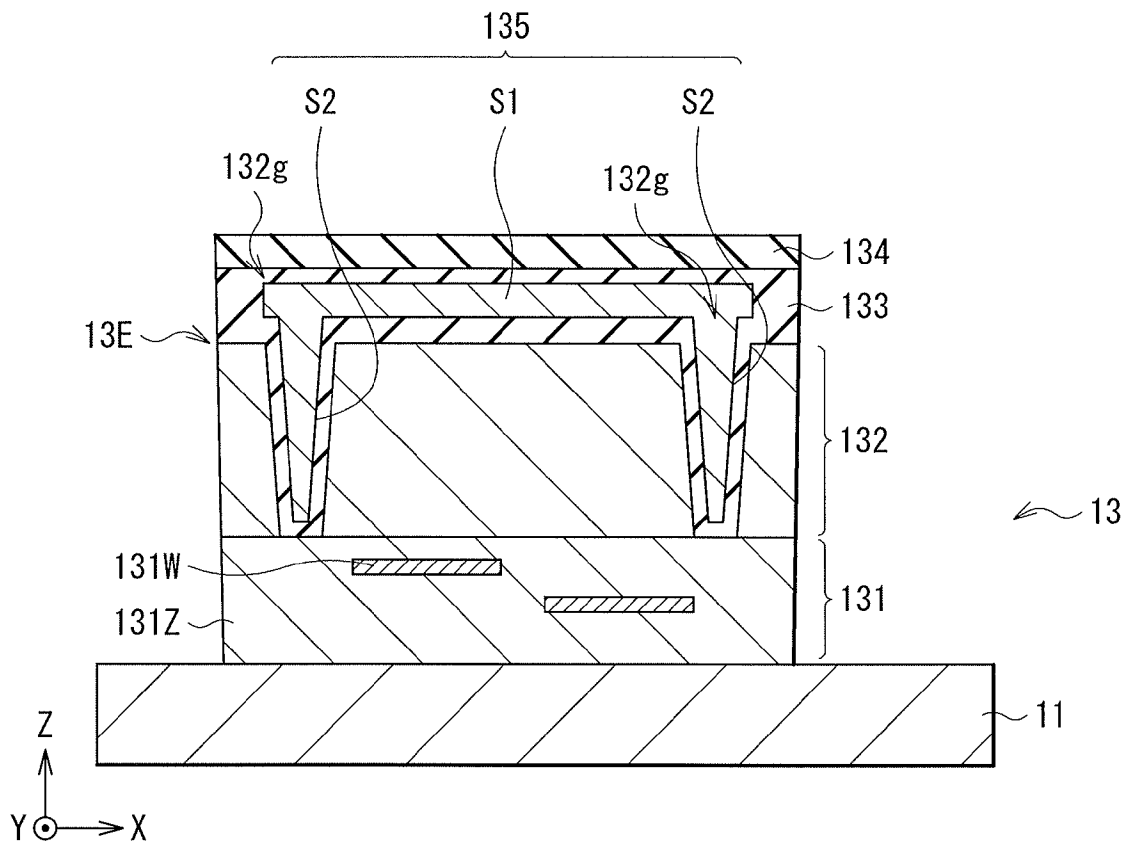
[図1]



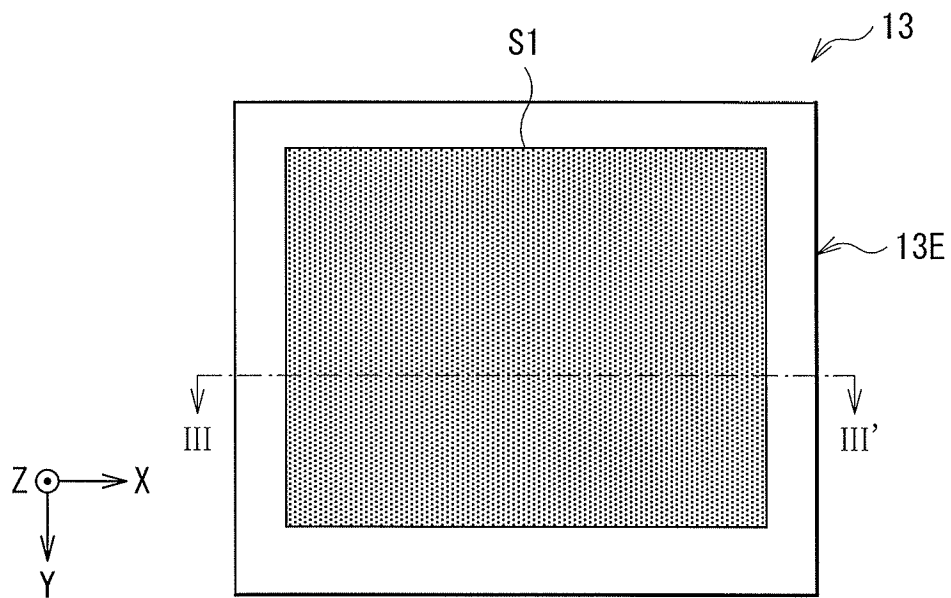
[図2]



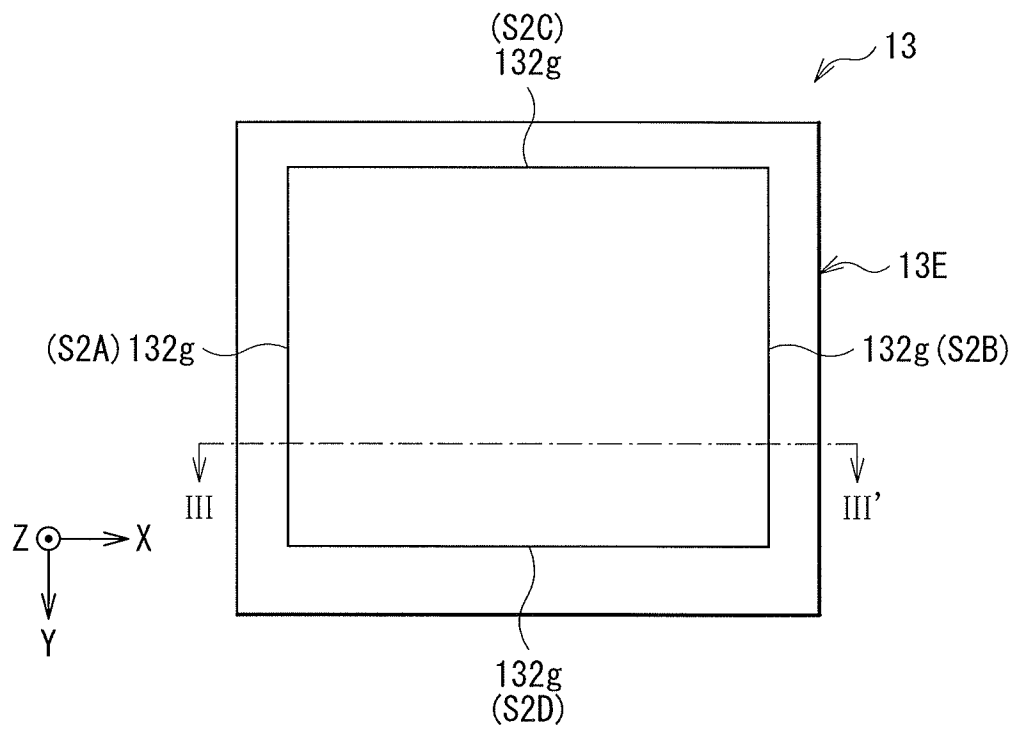
[図3]



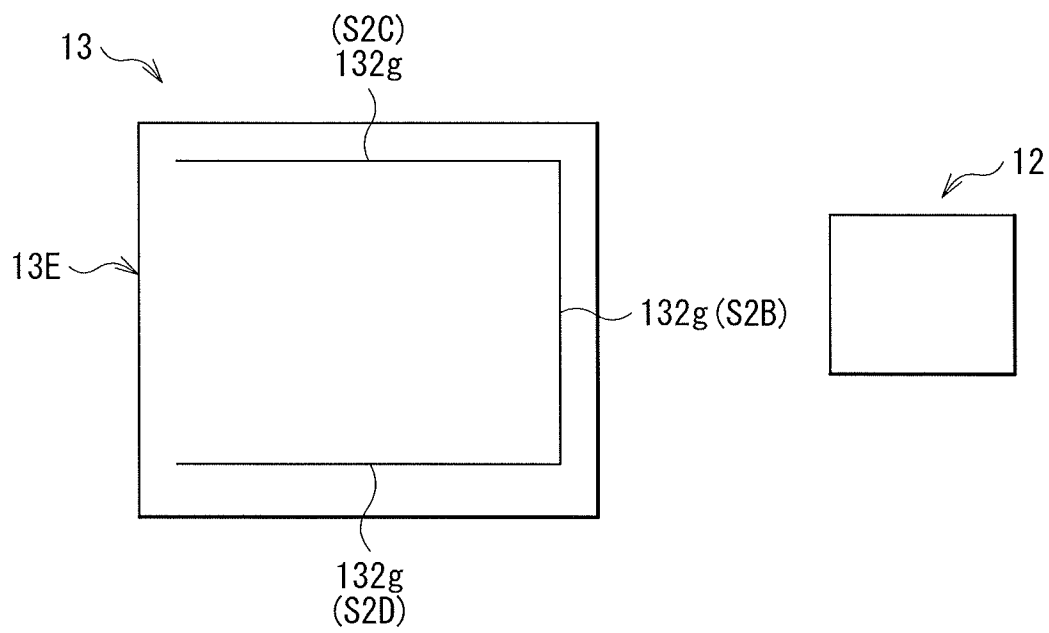
[図5]



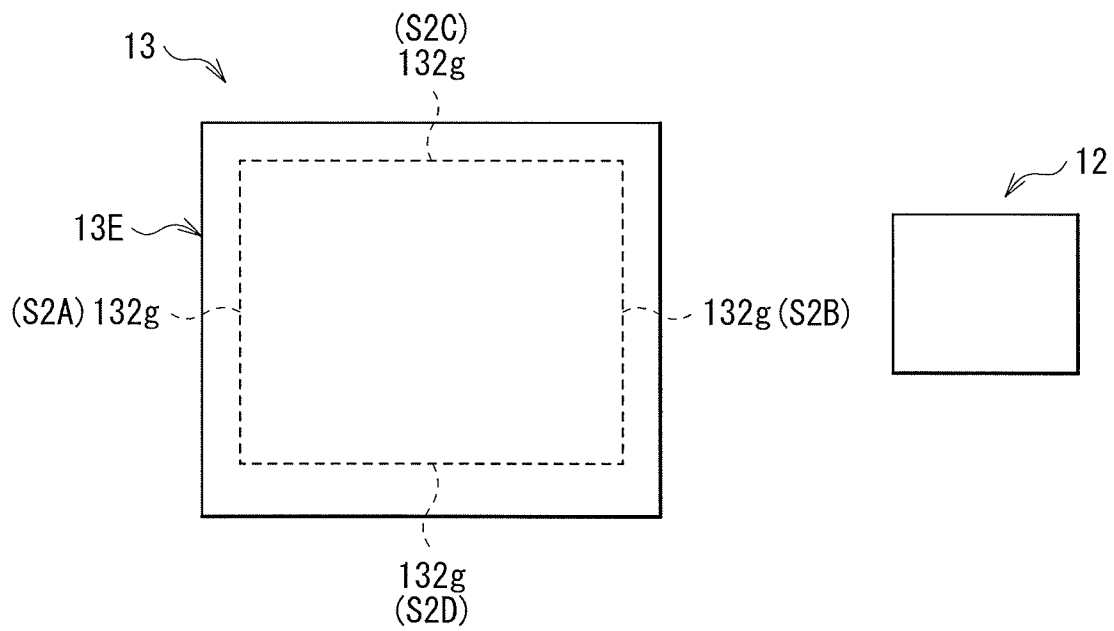
[図6]



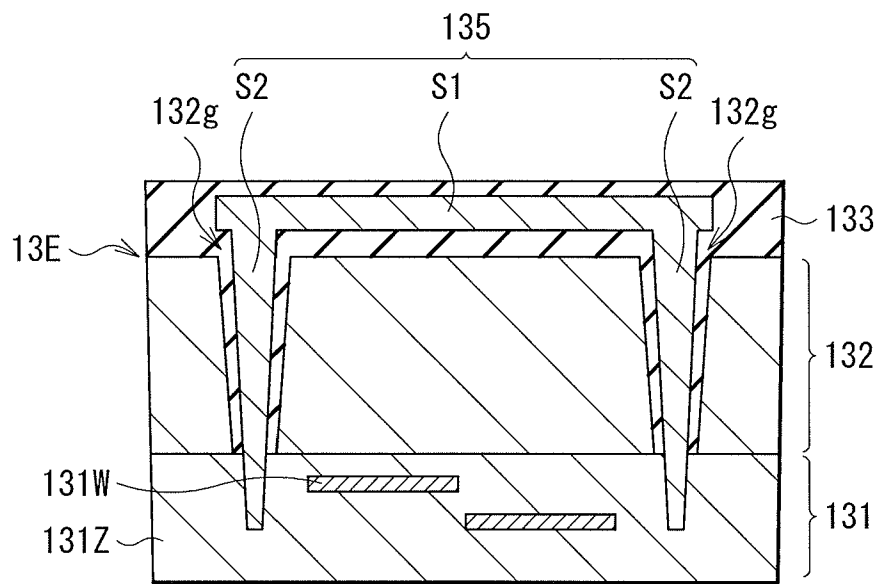
[図7]



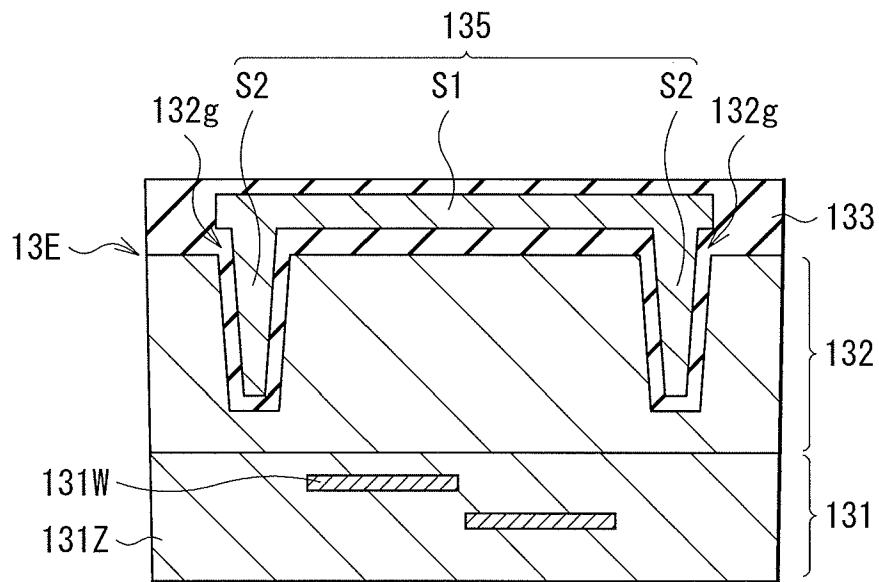
[図8]



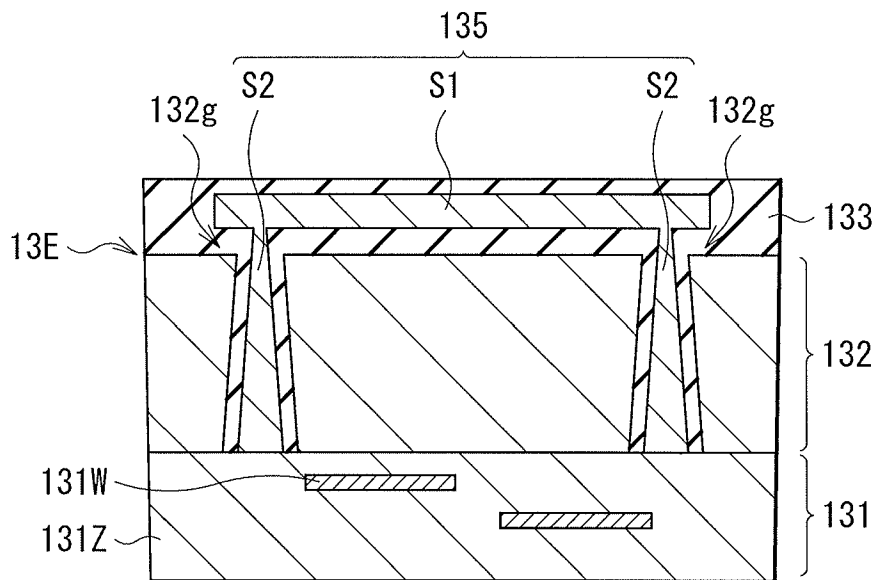
[図9A]



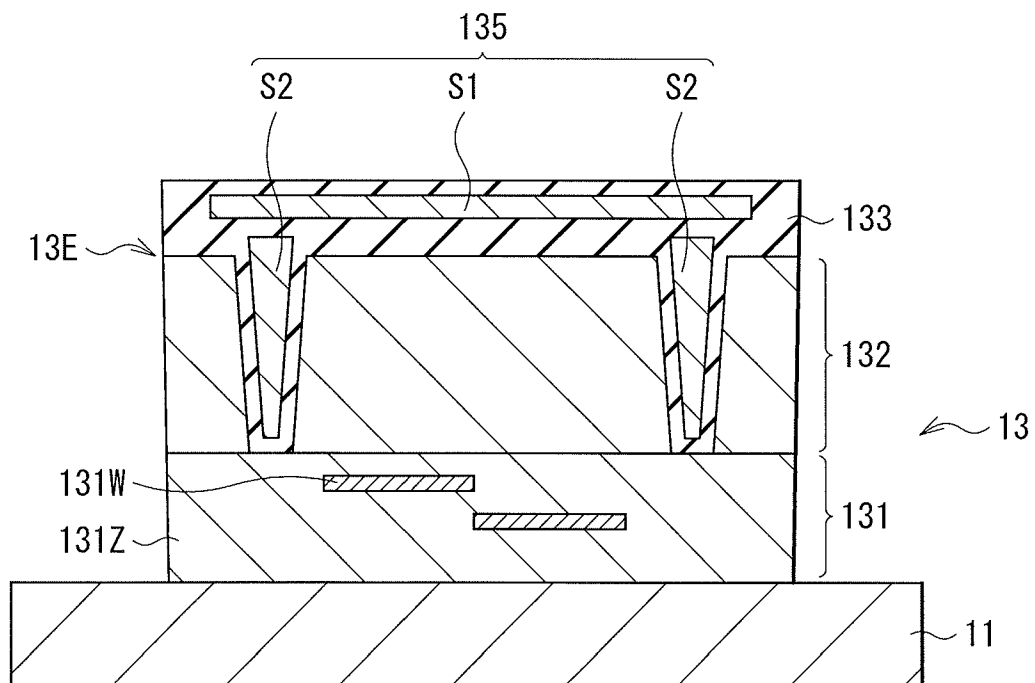
[図9B]



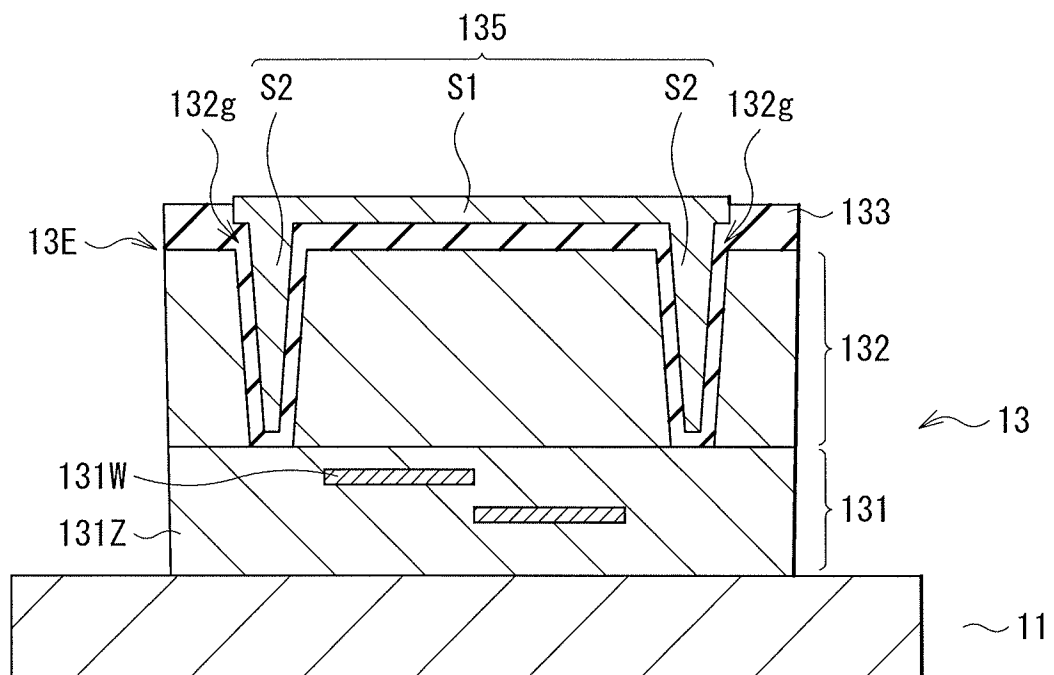
[図9C]



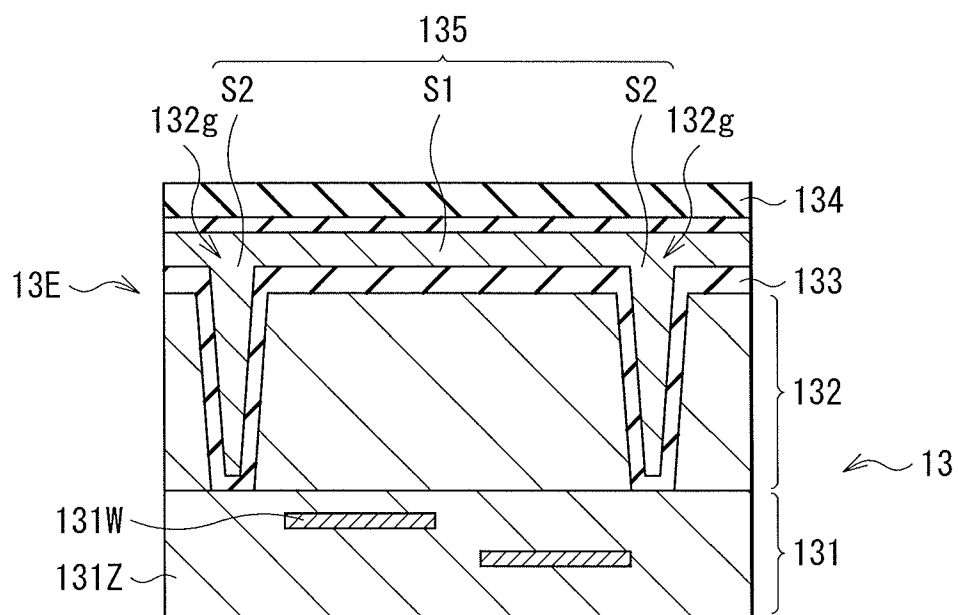
[図10]



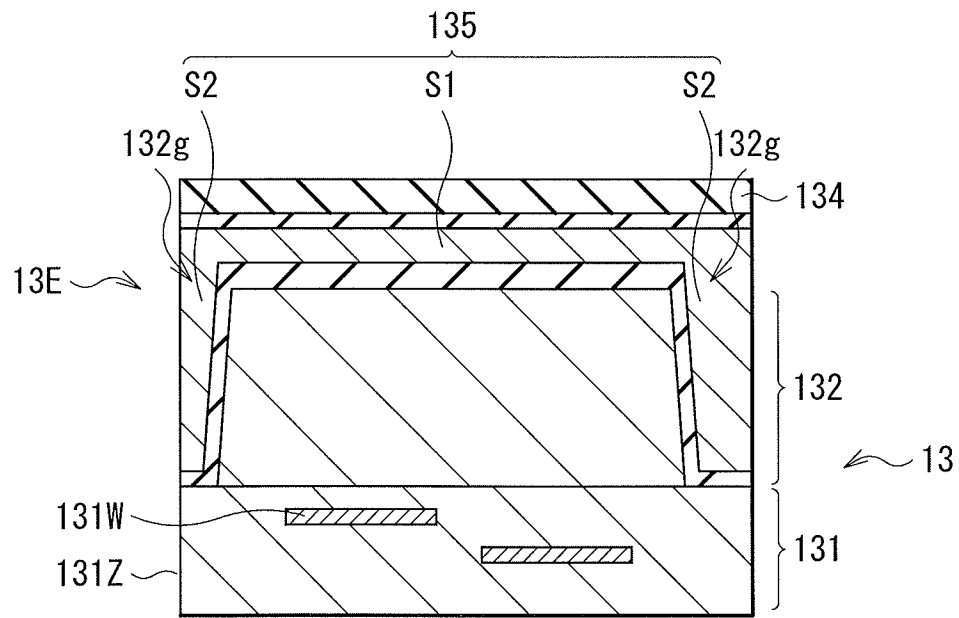
[図11]



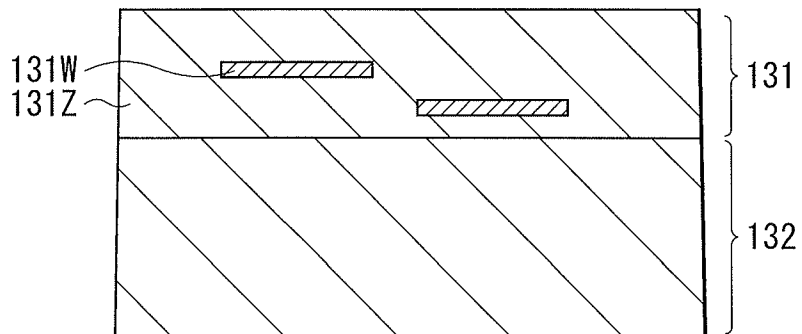
[図12A]



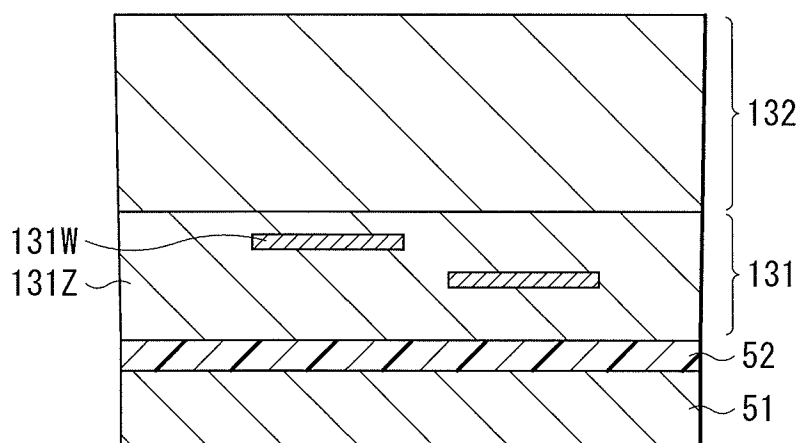
[図12B]



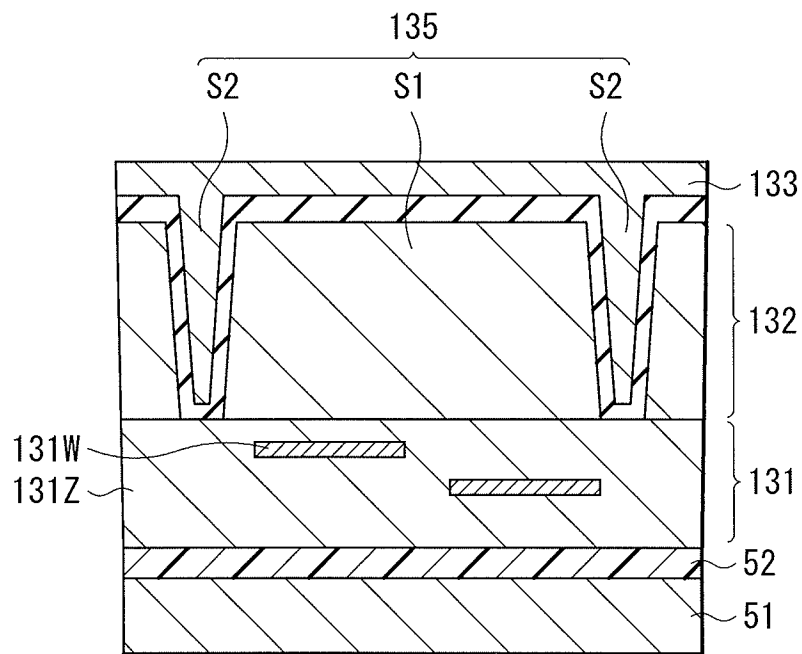
[図13A]



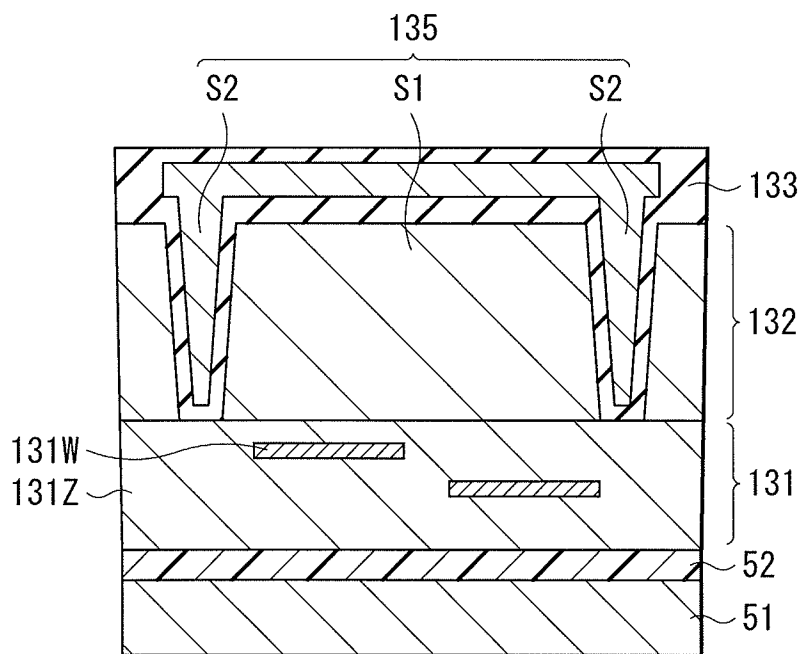
[図13B]



[図13C]

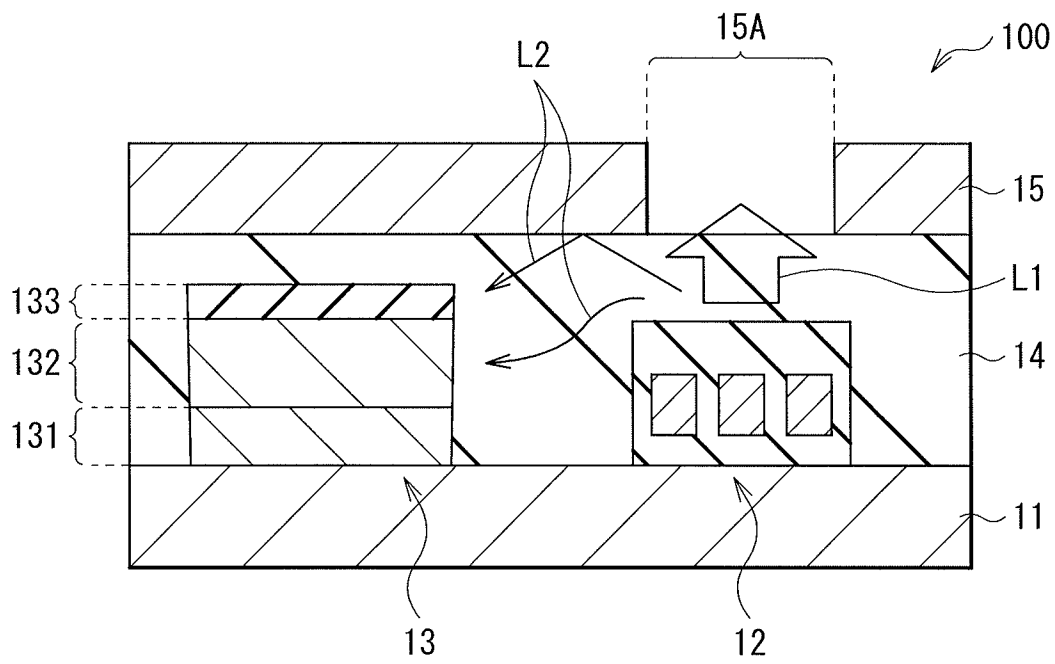


[図13D]

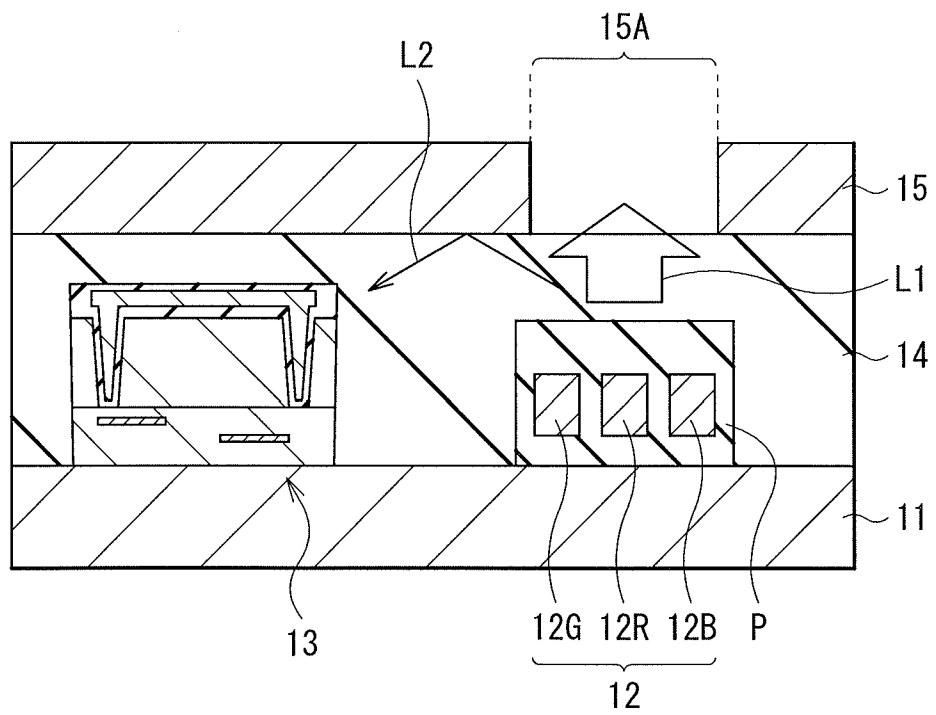


[illegible][illegible]

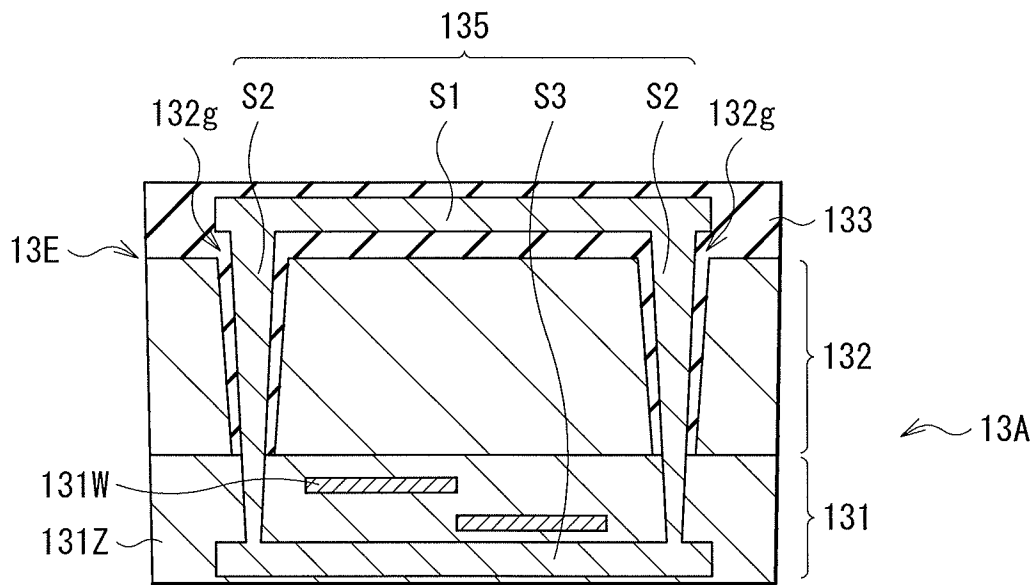
[図14]



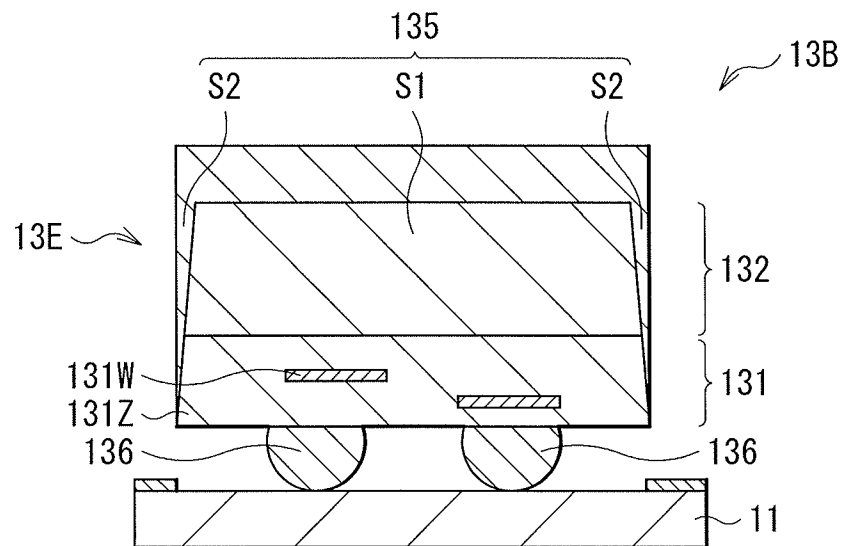
[図15]



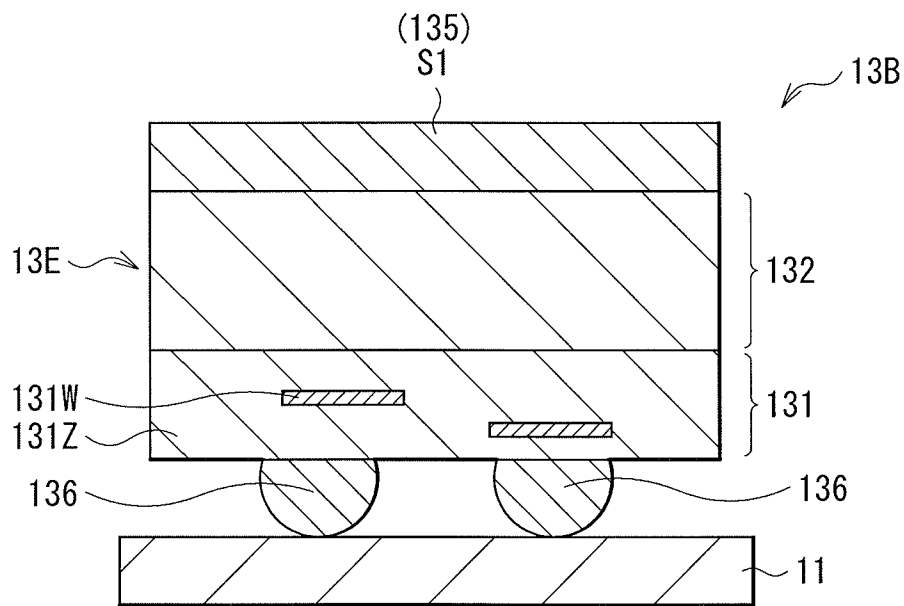
[図16]



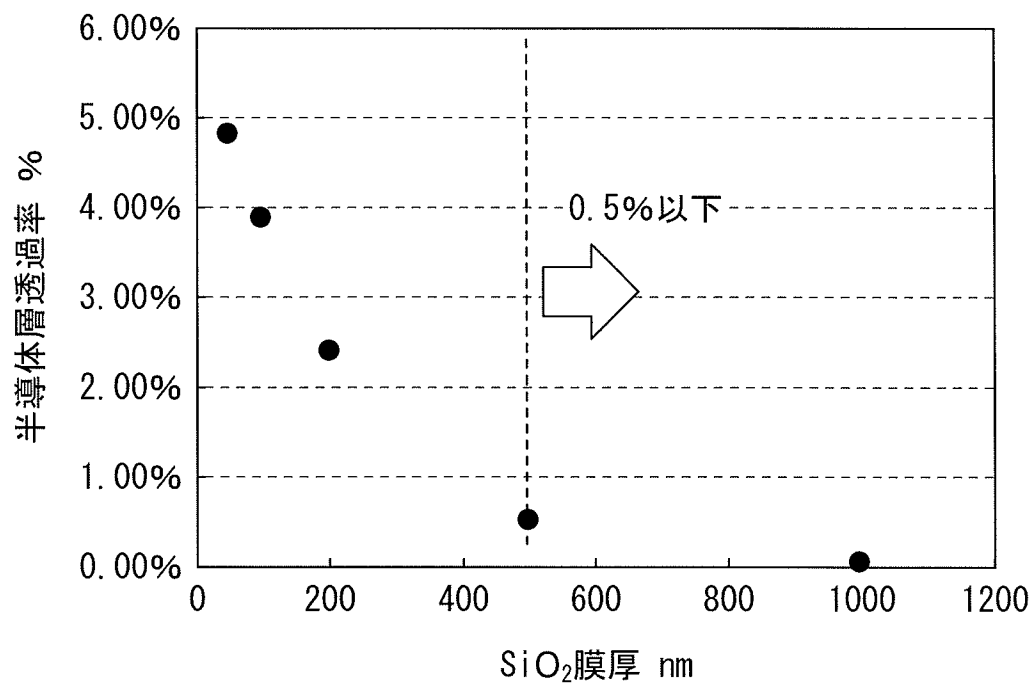
[図17]



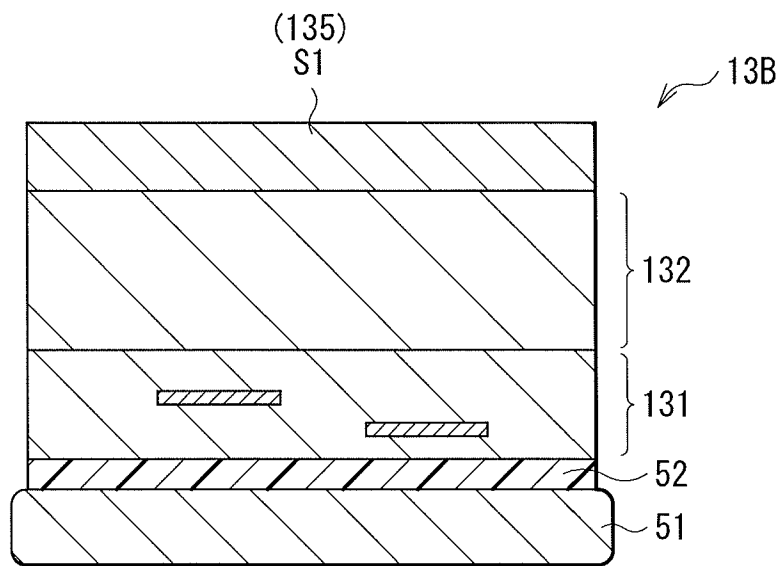
[図18]



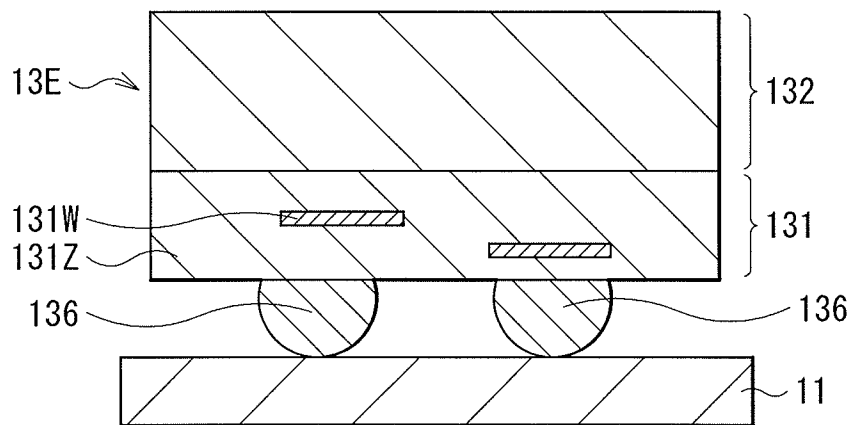
[図19]



[図20]

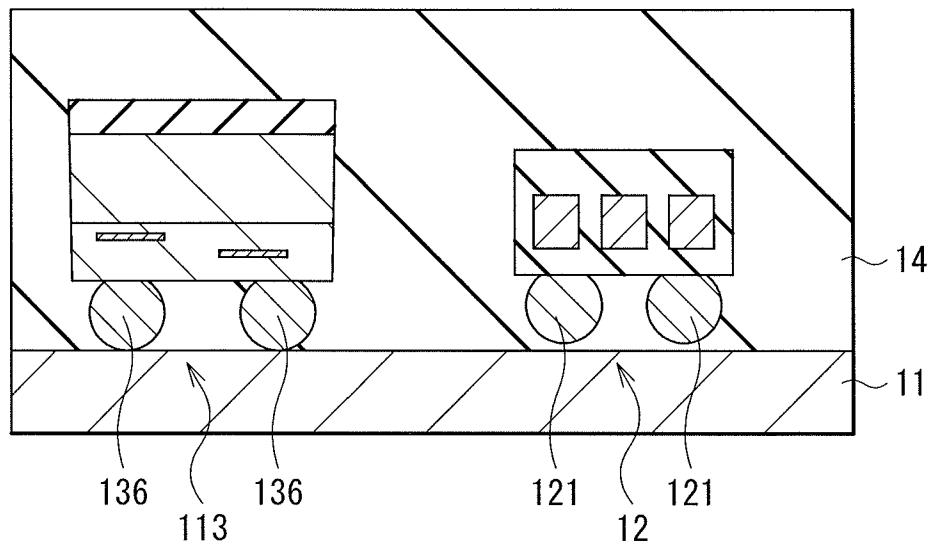


[図21]

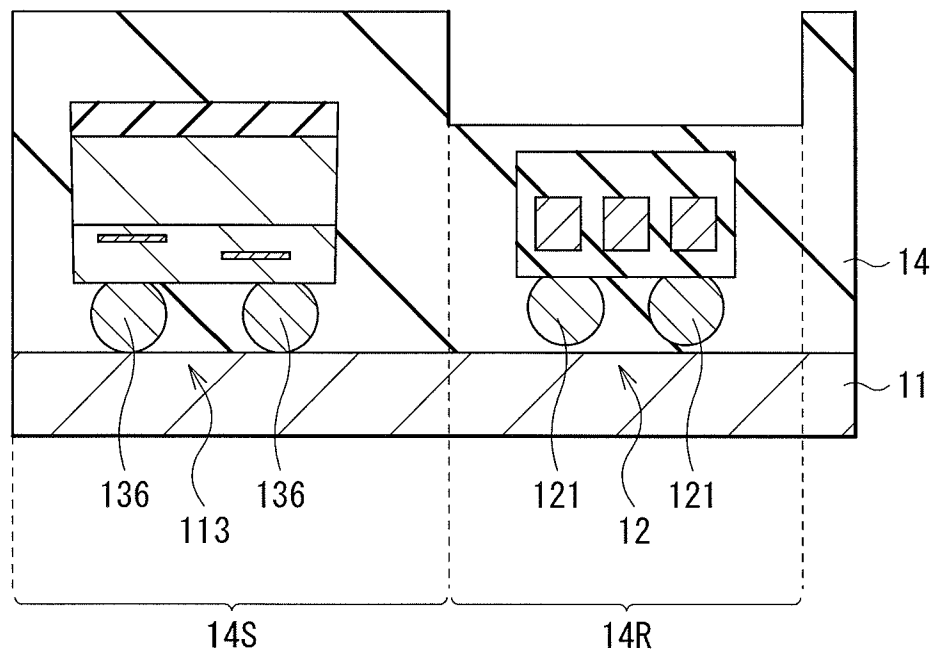


This cross-sectional view shows a portion of the semiconductor device. A substrate 11 is at the base. Above it is a gate stack 12, which includes a gate insulating layer 12G, a gate electrode 12R, and a gate insulating layer 12B. The gate stack 12 is positioned over a source/drain region 14S. The source/drain region 14S contains two small rectangular features, likely contact plugs or vias, labeled 113. The top surface of the source/drain region 14S is indicated by a dashed line TS. The overall structure is part of a larger device 2.

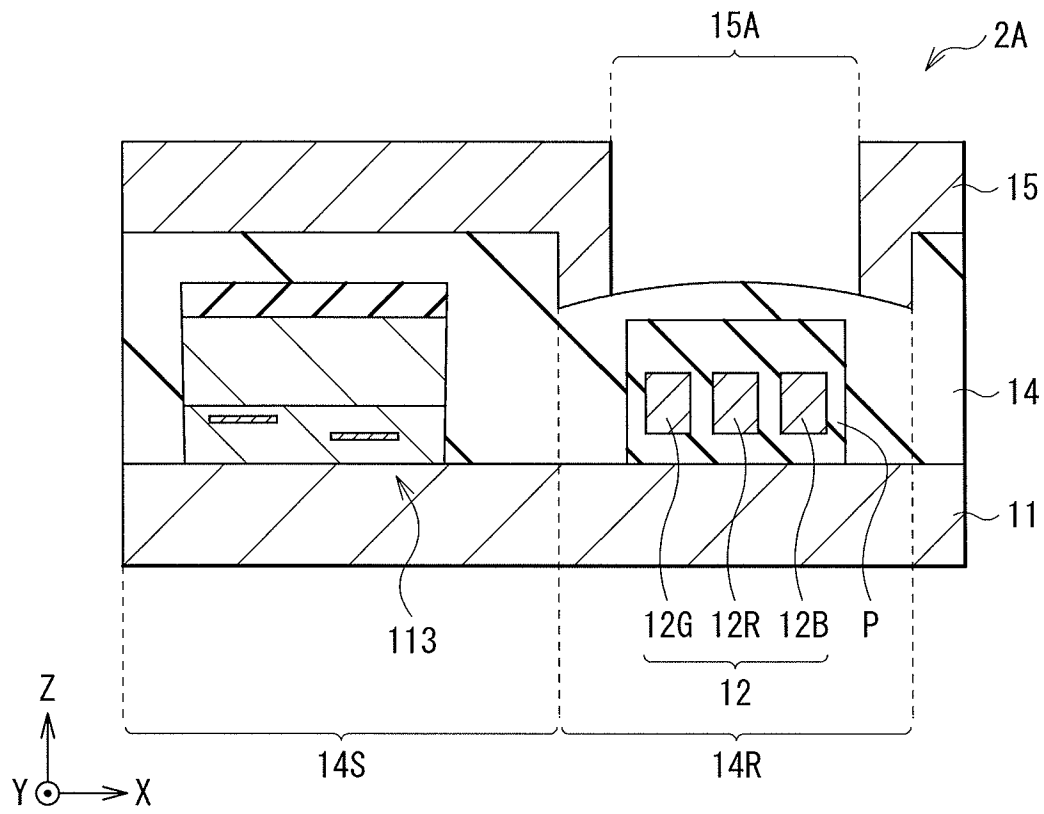
[図24A]



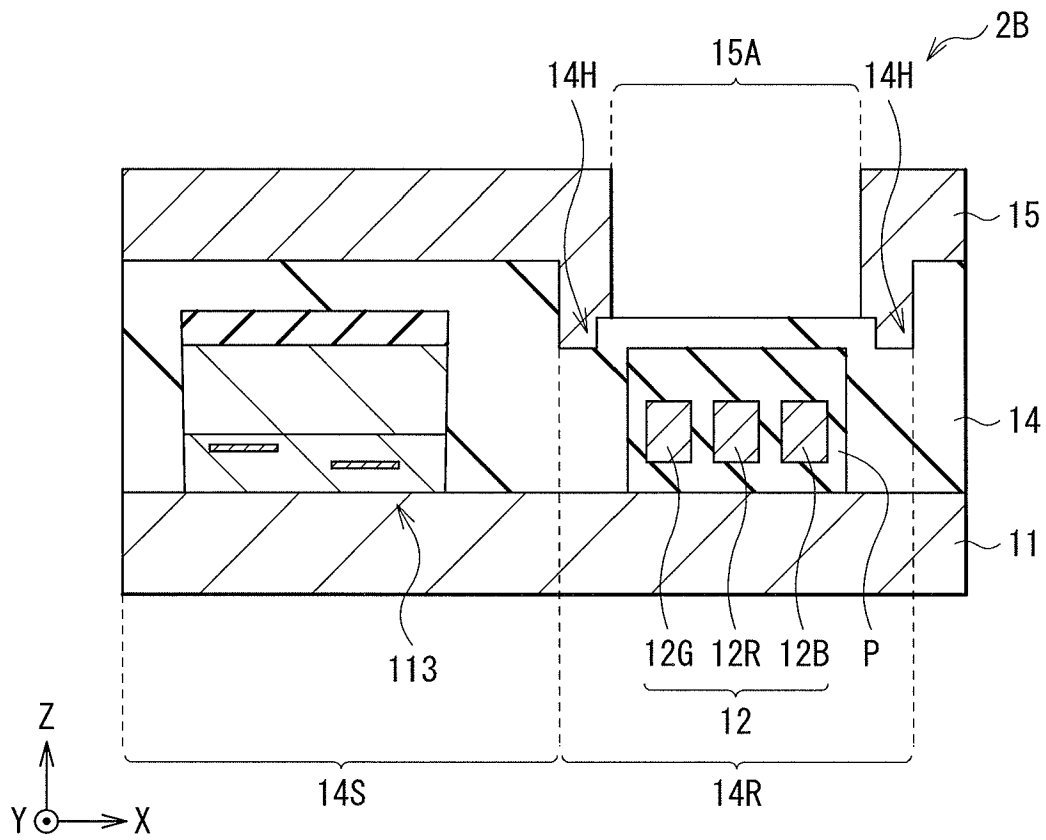
[図24B]

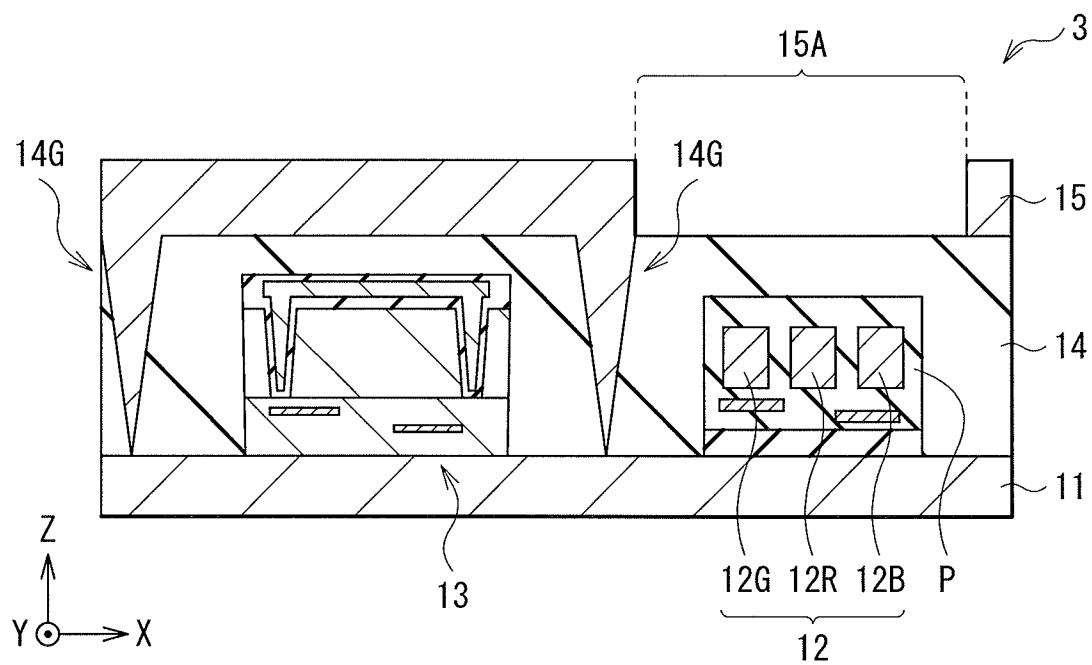


[図25]

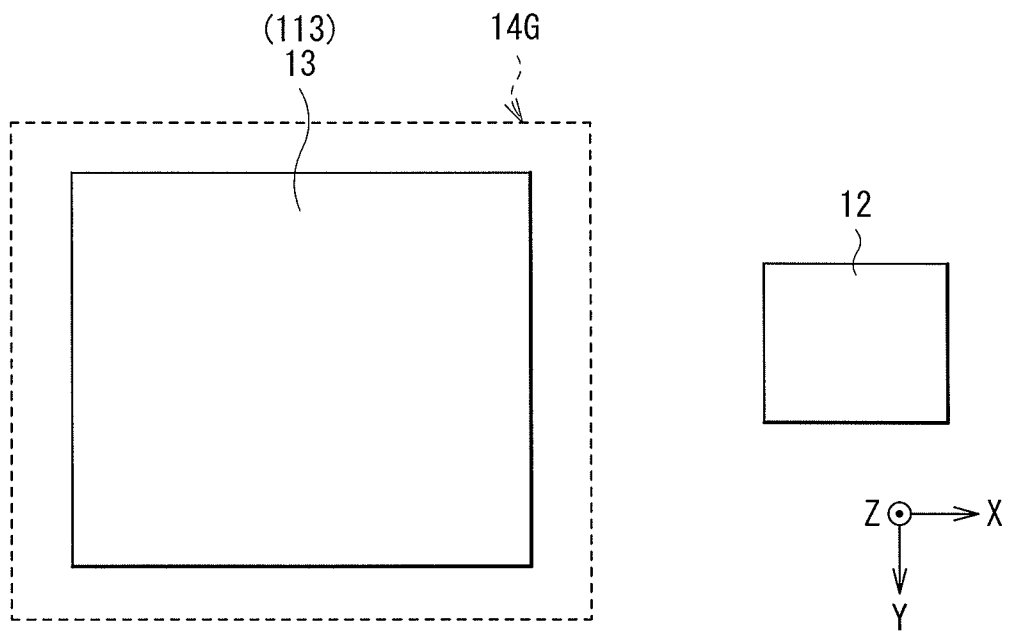


[図26]

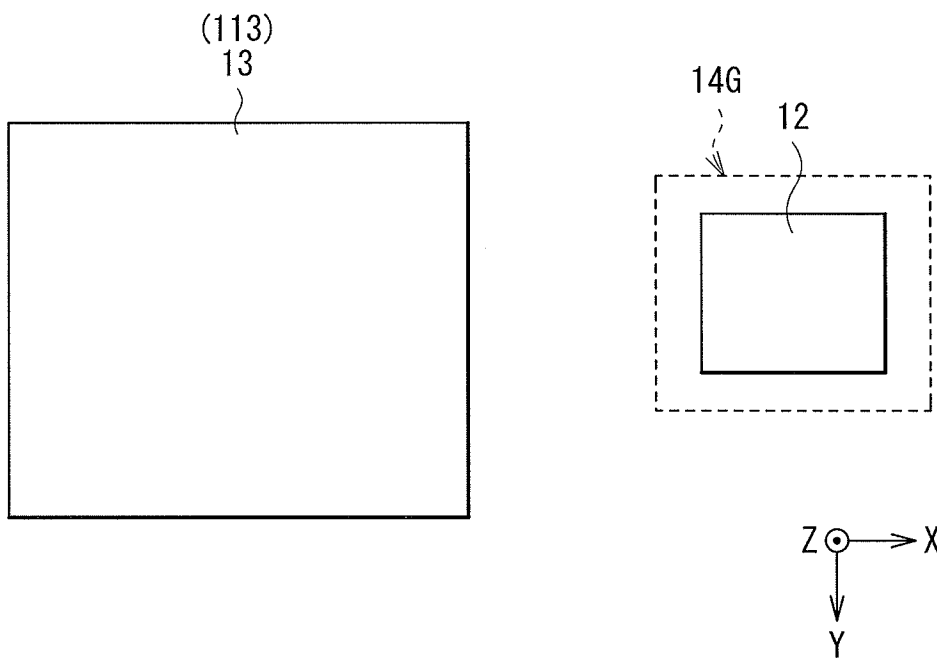




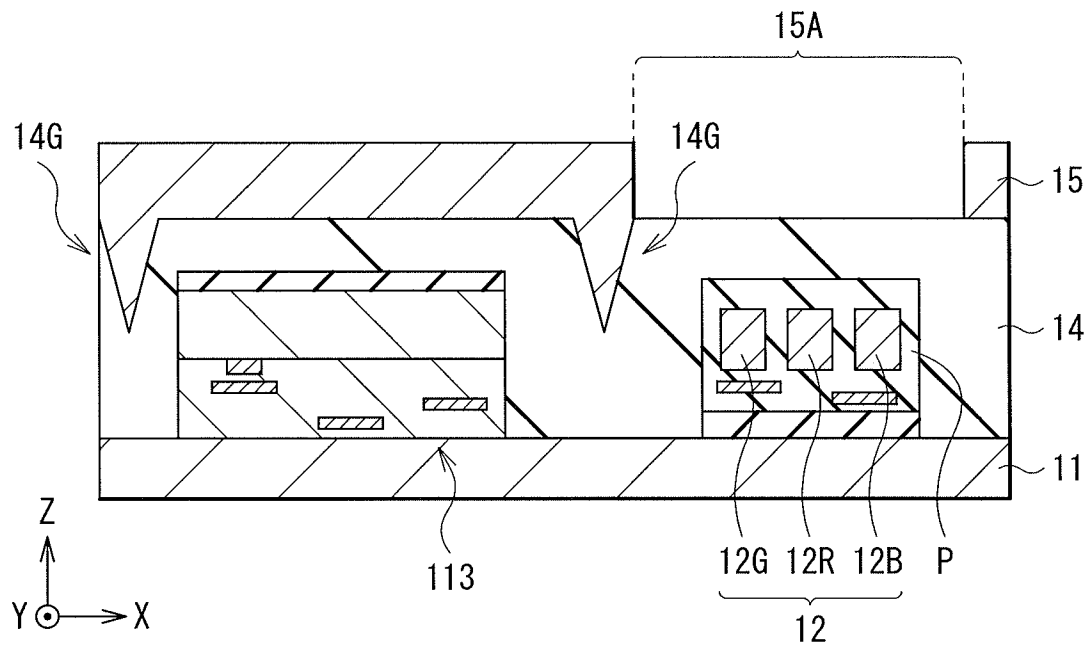
[図31A]



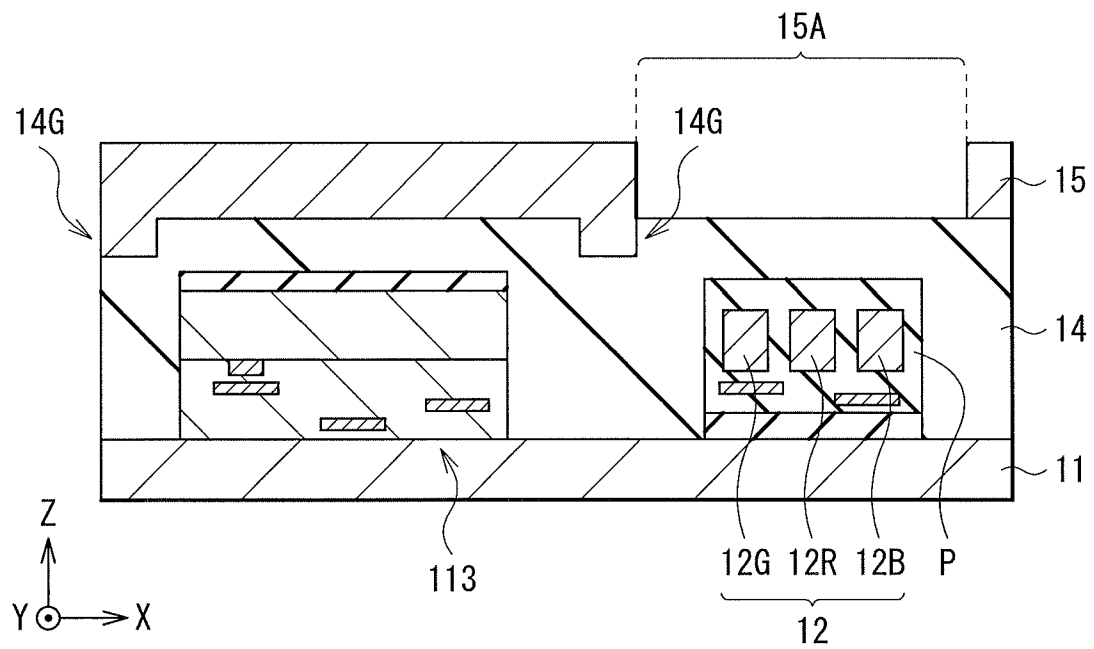
[図31B]



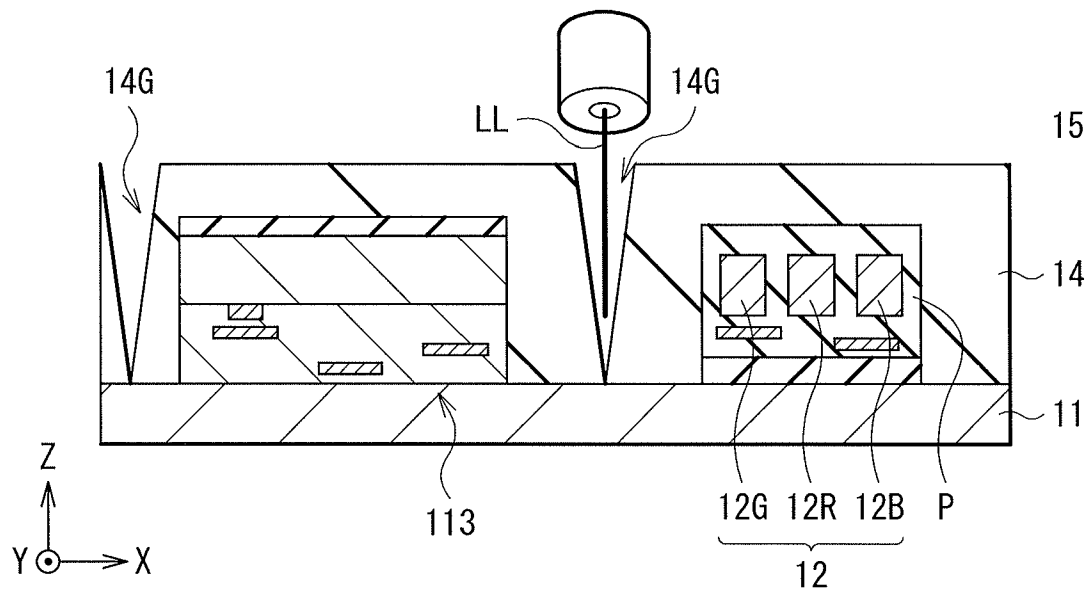
[図32]



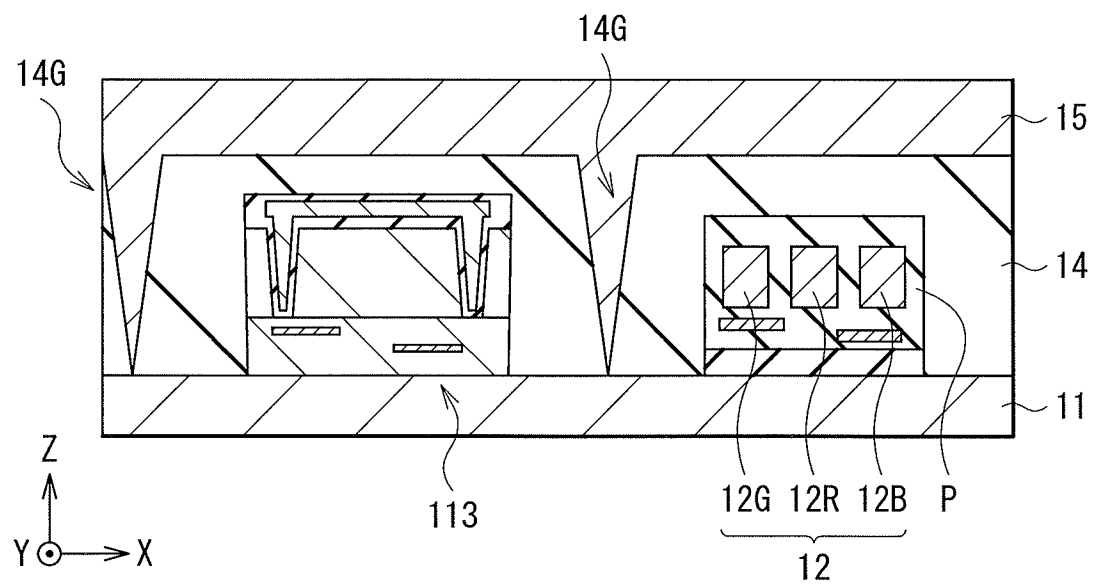
[図33]



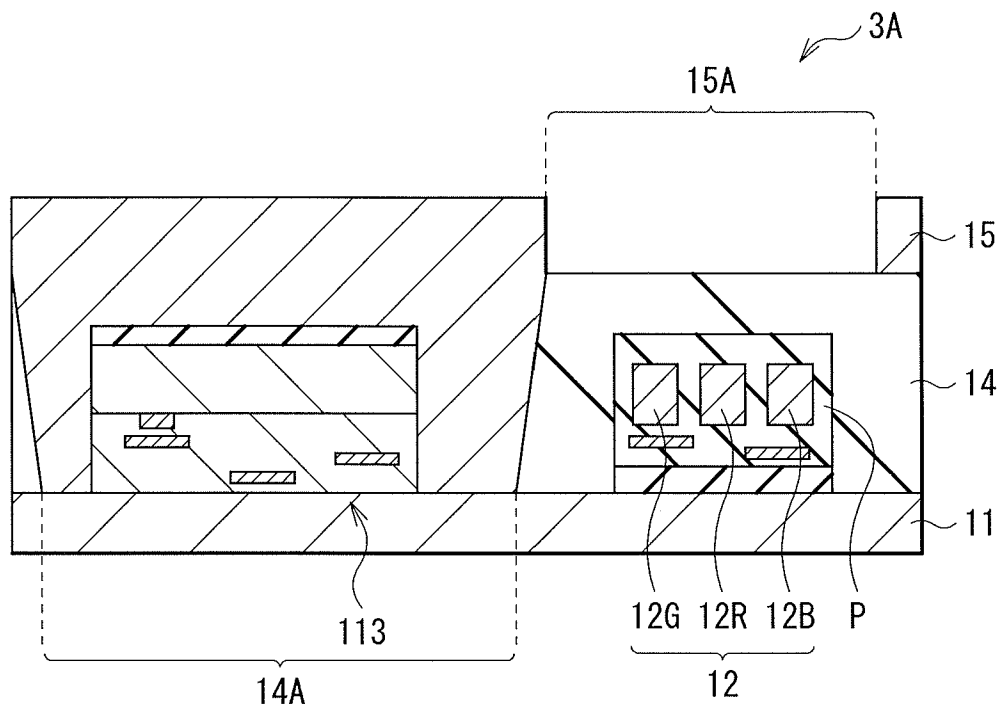
[図35A]



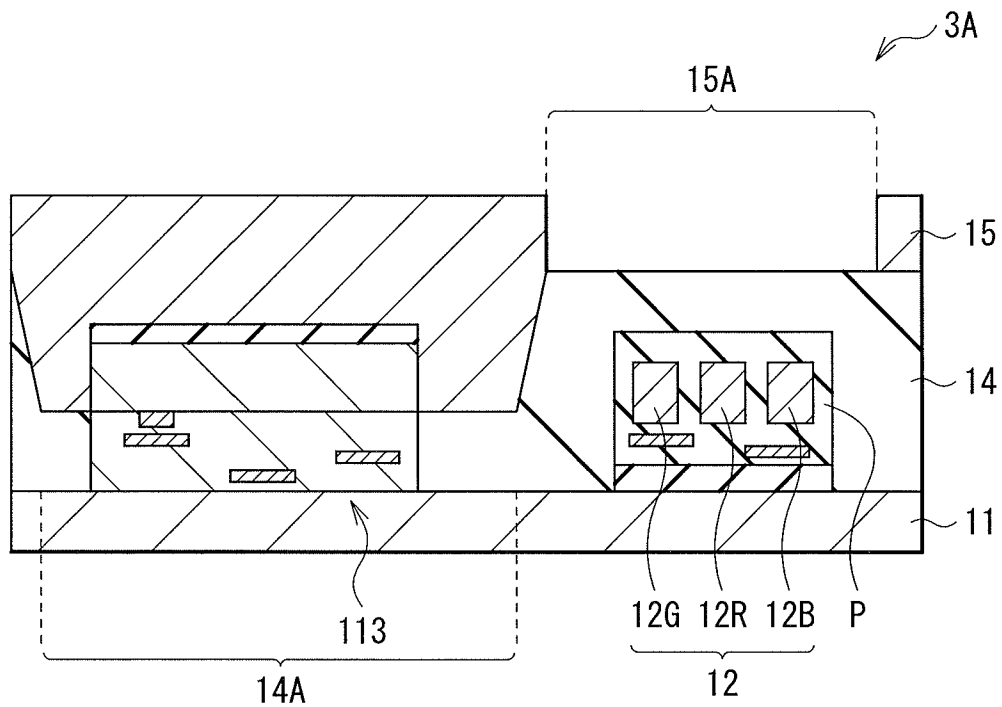
[図35B]



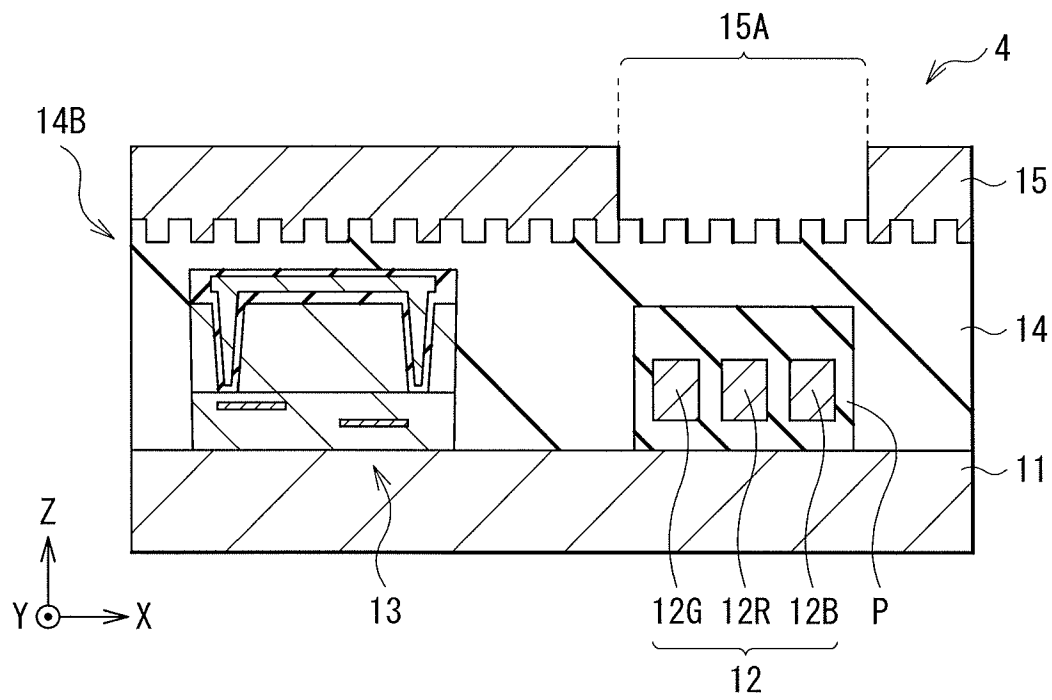
[図36]



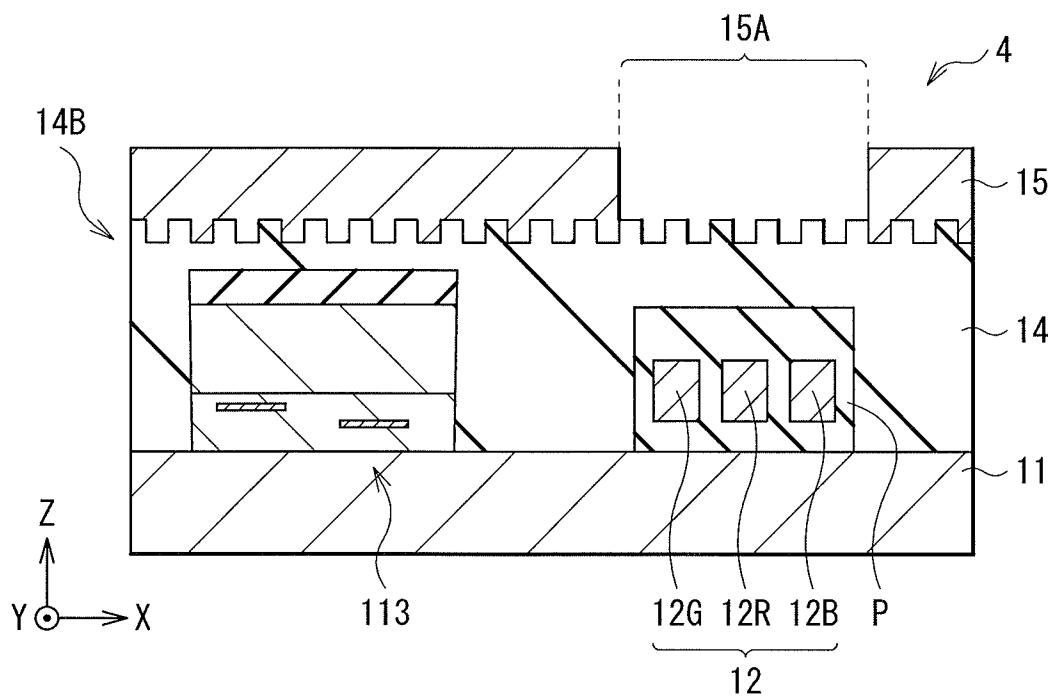
[図37]



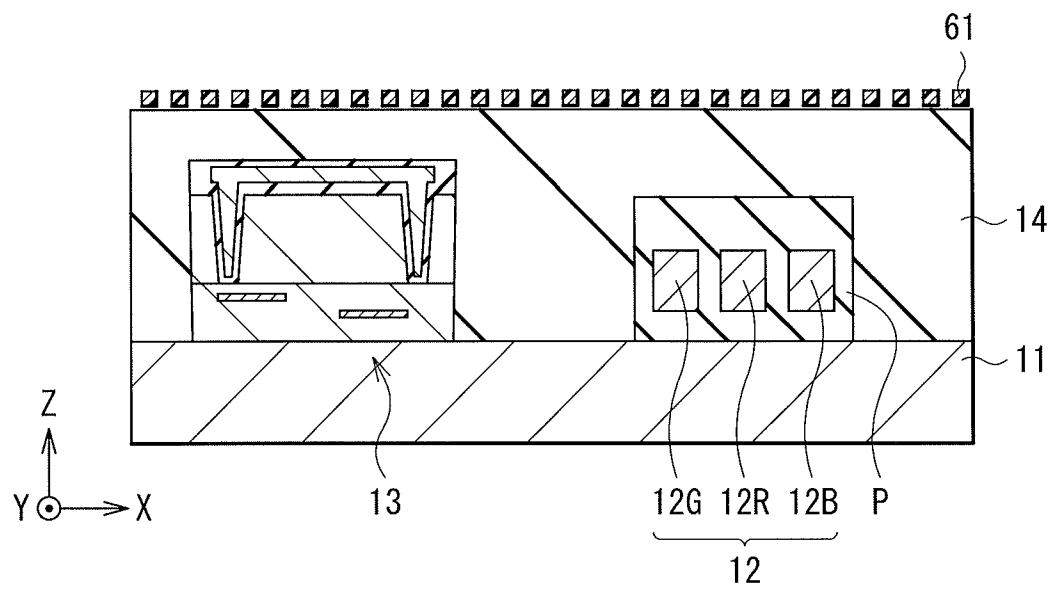
[図38]



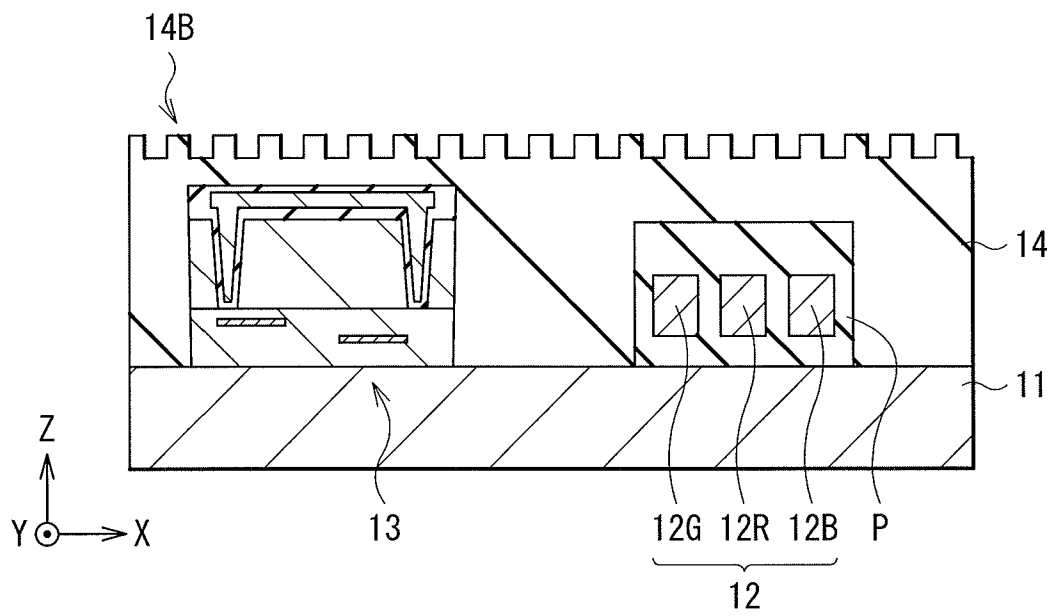
[図39]



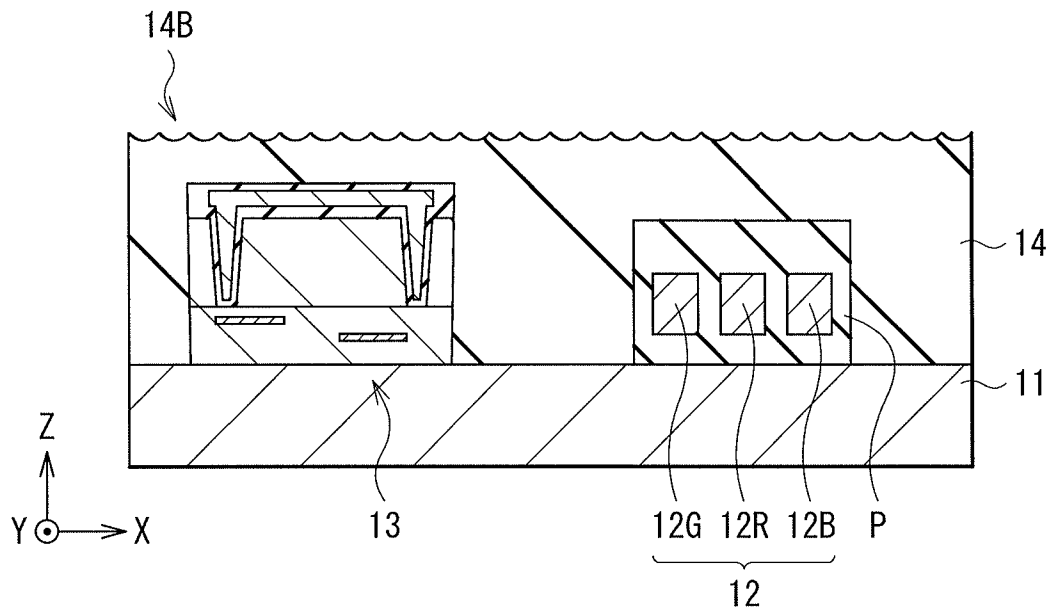
[図40A]



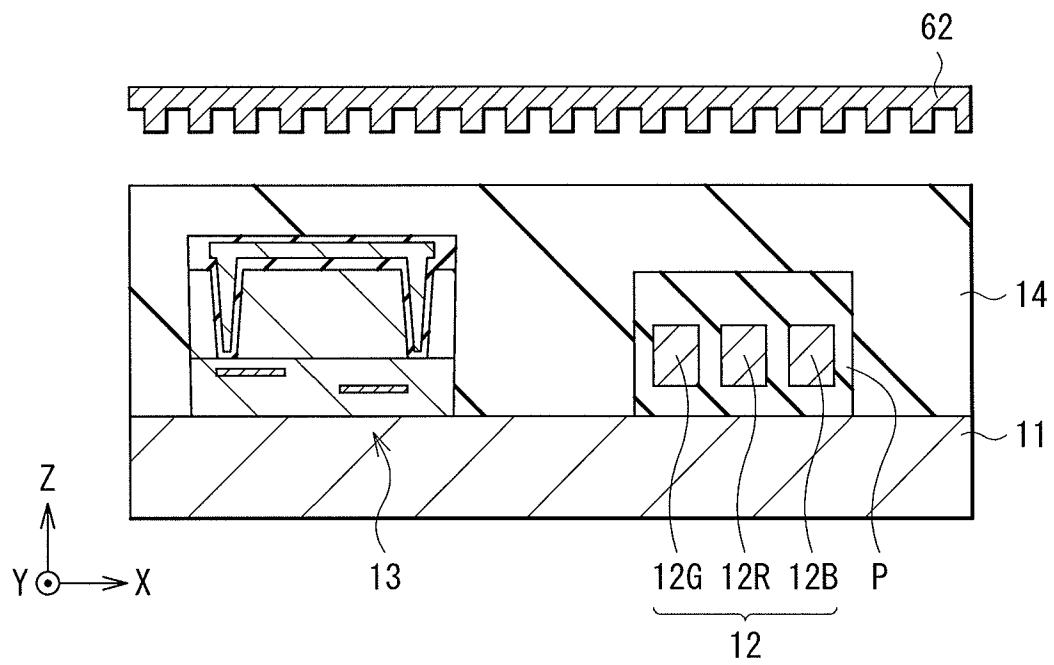
[図40B]



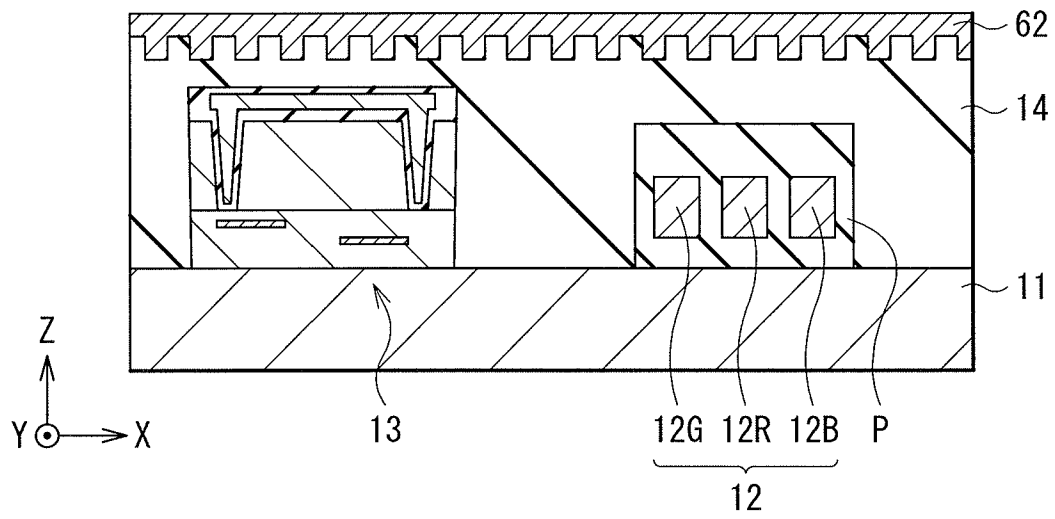
[図41]



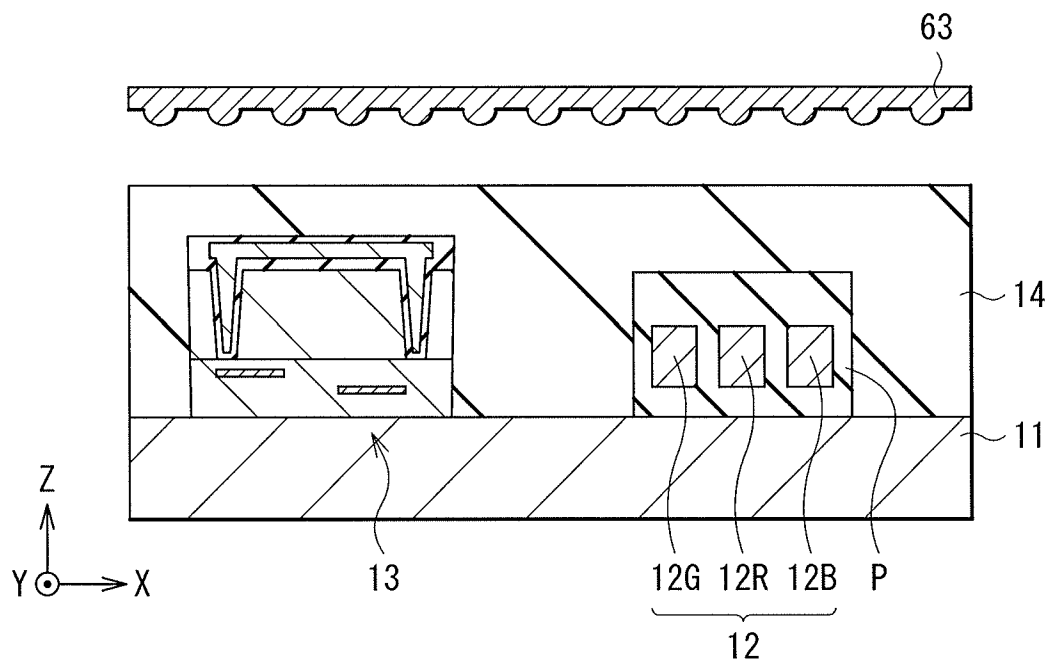
[図42A]



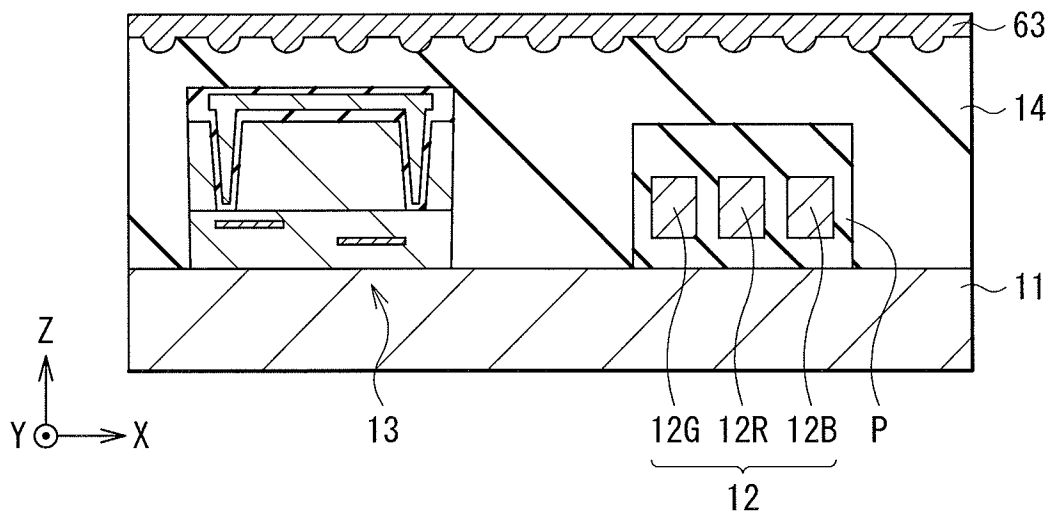
[図42B]



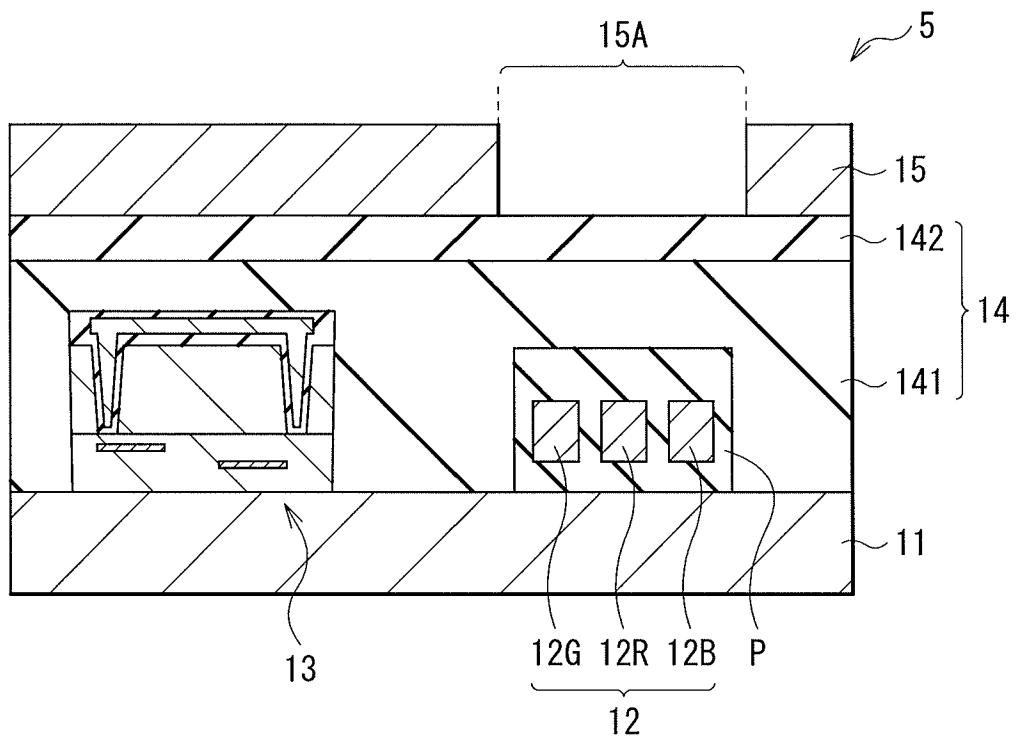
[図43A]



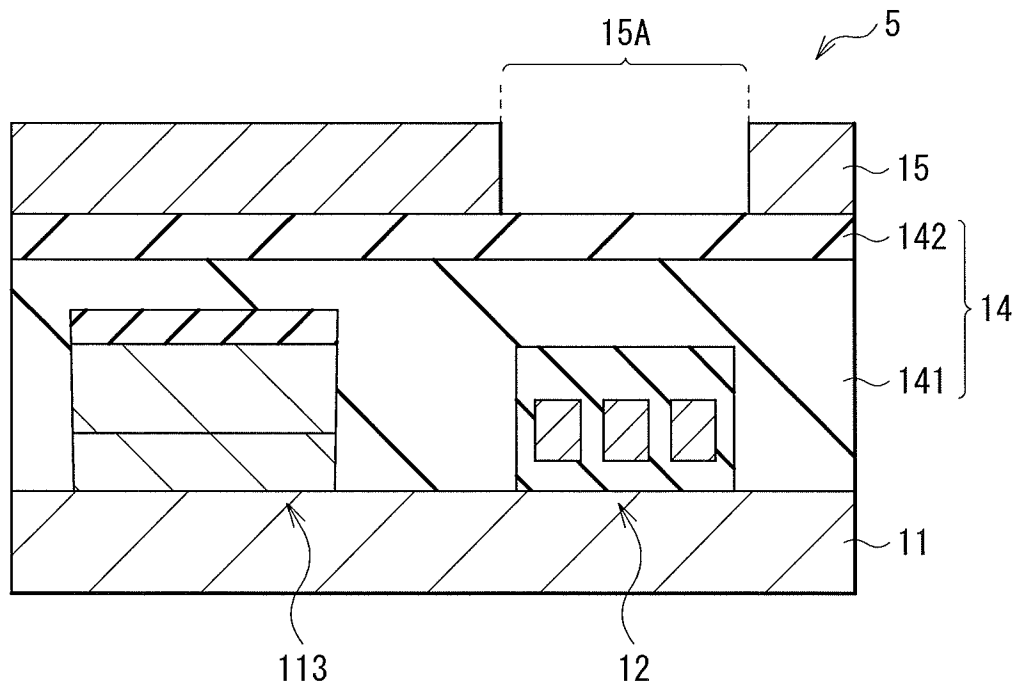
[図43B]



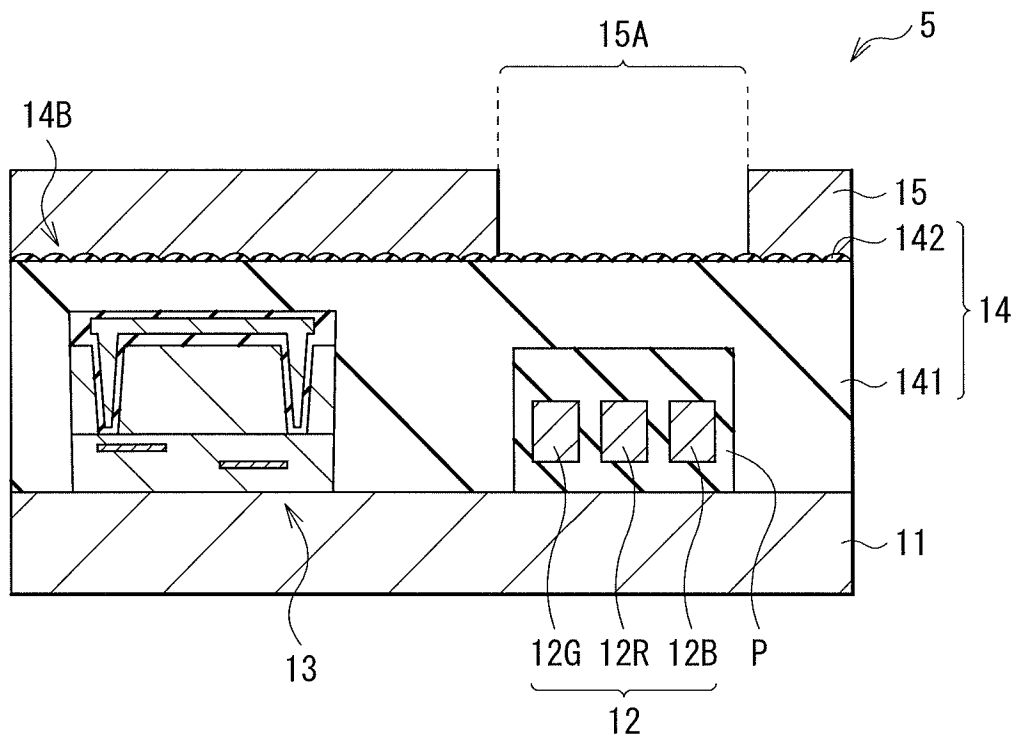
[図44]



[図45]

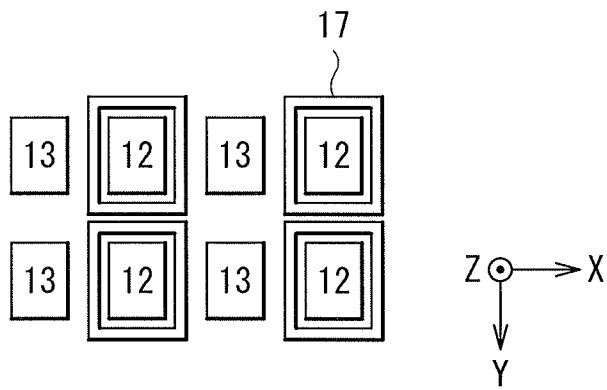


[図46]

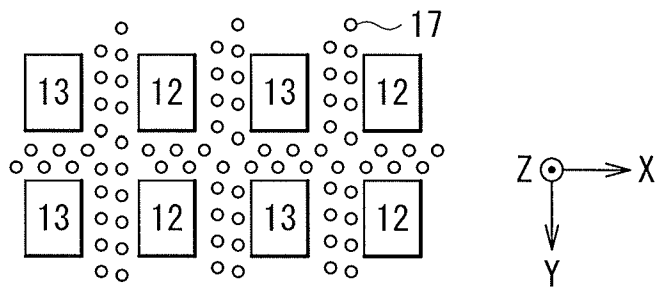


[illegible][illegible]

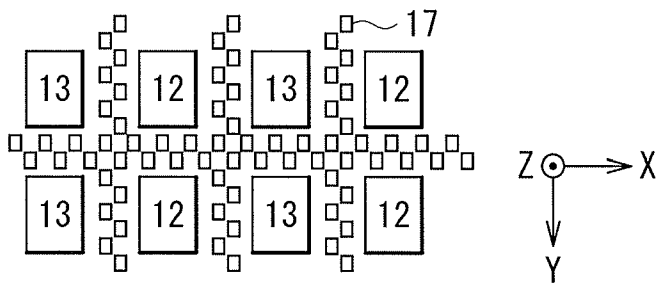
[図50C]



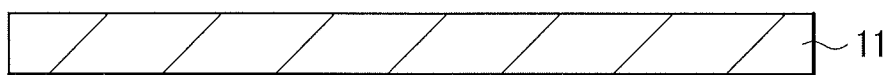
[図51A]



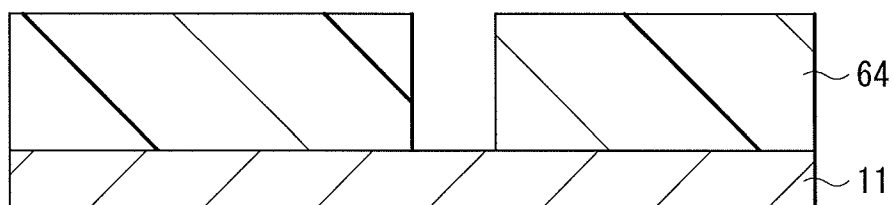
[図51B]



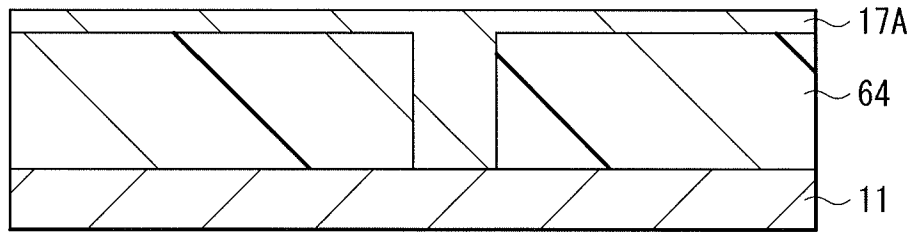
[図52A]



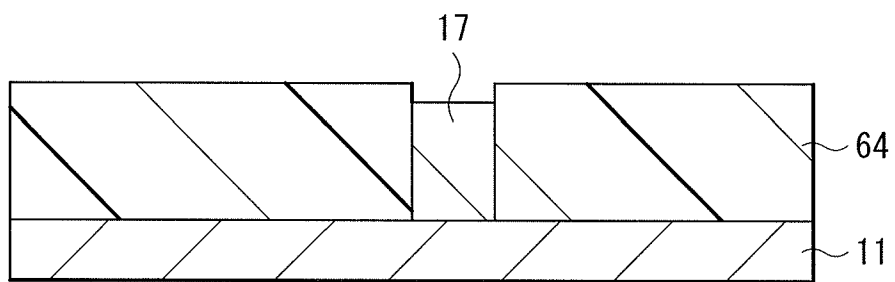
[図52B]



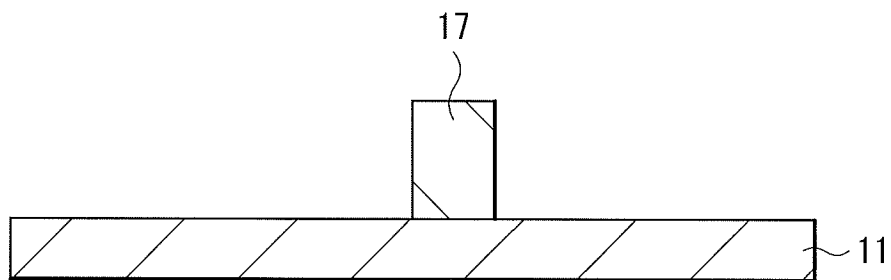
[図52C]



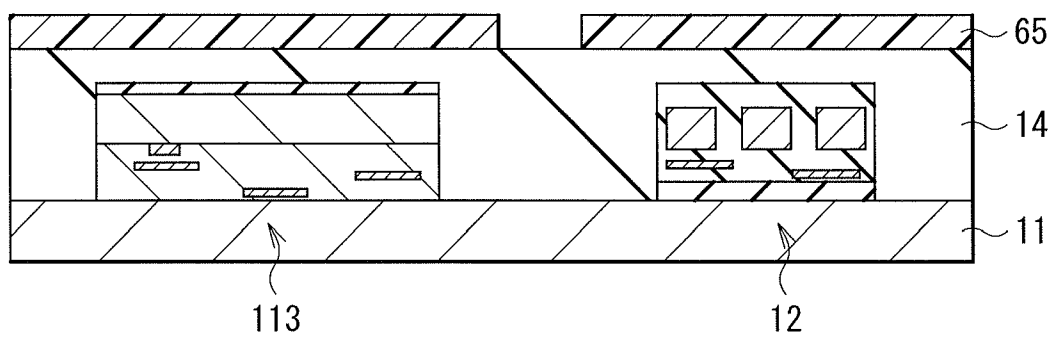
[図52D]



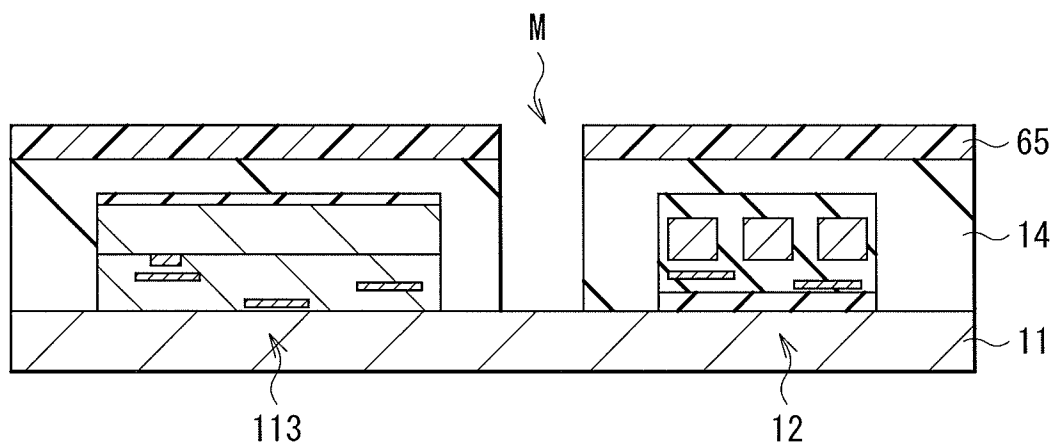
[図52E]



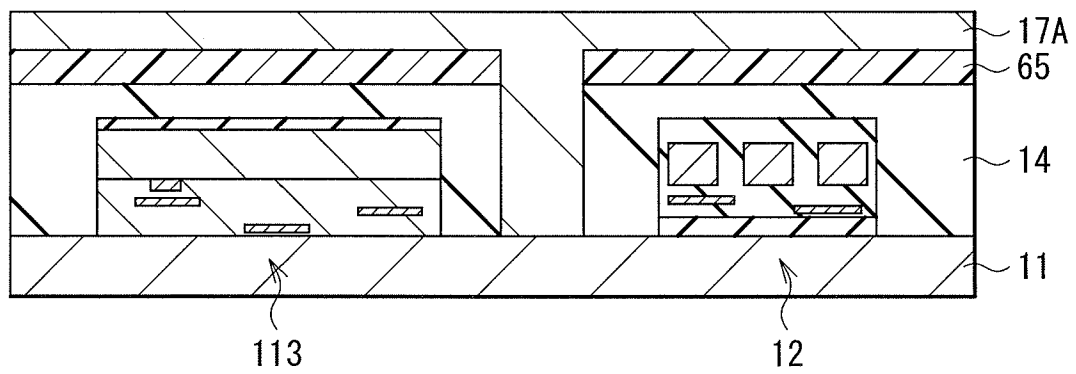
[図53A]



[図53B]



[図53C]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/032280

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G09F9/30(2006.01)i, G09F9/33(2006.01)i, H01L23/28(2006.01)i,
H01L25/16(2006.01)i, H01L33/00(2010.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G09F9/00-9/42, G09G3/00-3/38, H01L23/28, H01L33/00-33/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2017-161634 A (SONY CORP.) 14 September 2017, paragraphs [0013]-[0063] & US 2019/0019436 A1, paragraphs [0039]-[0089] & WO 2017/154400 A1 & CN 108701433 A	1-20
Y	JP 2012-108407 A (SEIKO EPSON CORP.) 07 June 2012, paragraphs [0026]-[0116] (Family: none)	1-20

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 November 2019 (01.11.2019)

Date of mailing of the international search report
19 November 2019 (19.11.2019)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/032280

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-78720 A (SONY CORP.) 19 April 2012, paragraph [0030] & US 2012/0080692 A1, paragraph [0053]	15-16
Y	JP 2018-58738 A (ASAHI GLASS CO., LTD.) 12 April 2018, paragraph [0013] & CN 207336790 U	16
A	US 5990802 A (SMARTLITE COMMUNICATIONS, INC.) 23 November 1999, entire text (Family: none)	1-20

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G09F9/30(2006.01)i, G09F9/33(2006.01)i, H01L23/28(2006.01)i, H01L25/16(2006.01)i, H01L33/00(2010.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G09F9/00-9/42, G09G3/00-3/38, H01L23/28, H01L33/00-33/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2017-161634 A（ソニー株式会社）2017.09.14, 段落 0013-0063 & US 2019/0019436 A1, 段落 0039-0089 & WO 2017/154400 A1 & CN 108701433 A	1-20
Y	JP 2012-108407 A（セイコーエプソン株式会社）2012.06.07, 段落 0026-0116 (ファミリーなし)	1-20

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

01.11.2019

国際調査報告の発送日

19.11.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

中村 直行

電話番号 03-3581-1101 内線 3272

21

9214

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2012-78720 A (ソニー株式会社) 2012. 04. 19, 段落 0030 & US 2012/0080692 A1, 段落 0053	15-16
Y	JP 2018-58738 A (旭硝子株式会社) 2018. 04. 12, 段落 0013 & CN 207336790 U	16
A	US 5990802 A (SMARTLITE COMMUNICATIONS, INC.) 1999. 11. 23, 全文 (ファミリーなし)	1-20