

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁸ H01L 23/48 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년01월26일 10-0546374 2006년01월19일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2003-0059834 2003년08월28일	(65) 공개번호 (43) 공개일자	10-2005-0023538 2005년03월10일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	삼성전자주식회사 경기도 수원시 영통구 매탄동 416
(72) 발명자	염근대 충청남도천안시신방동성지새말아파트103동604호
(74) 대리인	리엔특허법인

심사관 : 유환철

(54) 센터 패드를 갖는 적층형 반도체 패키지 및 그 제조방법

요약

와이어와 반도체 칩간의 쇼트를 방지하면서 적층 형태로 구현할 수 있는 센터 패드를 갖는 적층형 반도체 패키지 및 그 제조방법을 개시한다. 개시된 본 발명의 적층형 반도체 패키지는, 적층된 적어도 하나의 단위 패키지 구조체를 포함한다. 단위 패키지 구조체는 인쇄 회로 기판과, 상기 인쇄 회로 기판상에 부착된 센터 패드형 반도체 칩을 포함한다. 상기 반도체 칩 상부에 상기 반도체 칩과 인쇄 회로 기판을 전기적으로 연결시키는 다수의 배선 패턴이 구비된 배선 기판이 부착되며, 상기 인쇄 회로 기판의 뒷면에 상기 반도체 칩에 전기적 신호를 전달하는 외부 접속 단자가 부착된다. 이때, 상기 단위 패키지 구조체는 상기 하부의 단위 패키지 구조체의 배선 패턴과 상기 상부의 단위 패키지의 외부 접속 단자가 전기적으로 부착되도록 적층되어 있다.

대표도

도 2

색인어

센터 패드, 적층형, BGA, CSP

명세서

도면의 간단한 설명

도 1은 일반적인 센터 패드를 갖는 반도체 패키지의 단면도이다.

도 2는 본 발명에 따른 센터 패드를 갖는 적층형 반도체 패키지의 단면도이다.

도 3는 본 발명에 따른 센터 패드를 갖는 적층형 반도체 패키지의 단위 패키지 구조체를 나타낸 단면도이다.

도 4a 내지 도 4c는 본 발명에 따른 센터 패드를 갖는 적층형 반도체 패키지의 제조방법을 설명하기 위한 각 공정별 단면도이다.

(도면의 주요 부분에 대한 부호의 설명)

110 : 단위 패키지 구조체 120 : 인쇄 회로 기판

130 : 반도체 칩 135 : 본딩 패드

140 : 배선 기판 145 : 배선 패턴

150a,150b: 와이어 155 : 봉지체

160 : 솔더볼

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 패키지 및 그 제조방법에 관한 것으로, 보다 구체적으로는 센터 패드(center pad)를 갖는 적층형 반도체 패키지 및 그 제조방법에 관한 것이다.

개인용 휴대 전자 제품을 비롯한 전자 기기들의 용량 및 속도가 증가되고, 그것의 사이즈 역시 소형화됨에 따라, 반도체 패키지 역시 대용량화, 고속화 및 경박단소형화 되어가는 추세이다.

현재에는 패키지의 사이즈를 감소시키기 위하여, 핀(pin) 대신 볼(ball)을 사용하는 볼 그리드 어레이 패키지(Ball grid array package : 이하, BGA 패키지) 및 칩의 크기를 크게 벗어나지 않는 범위내에서 조립될 수 있는 칩 스케일 패키지(chip scale package:CSP)가 제안되고 있다.

여기서, 일반적인 센터 패드를 갖는 BGA 패키지를 도 1을 참조하여 설명하도록 한다.

센터 패드를 갖는 BGA 패키지(10)는 도 1에 도시된 바와 같이, 가장자리에 도전 패턴(13)이 형성된 인쇄 회로 기판(11)을 포함한다. 인쇄 회로 기판(11) 상부면에 센터 패드(25)를 구비한 반도체 칩(20)이 접촉층(30)에 의해 부착된다. 센터 패드(25)가 형성되어 있는 반도체 칩(20)의 상부면에 반도체 칩 내부의 집적회로들(도시되지 않음)과 패드를 보호하기 위한 보호막(28)이 형성되어 있다. 센터 패드(25)와 인쇄 회로 기판(11)의 도전 패턴(13)은 와이어(35)에 의해 전기적으로 연결되어 있고, 반도체 칩(20) 상부 및 와이어(35)는 봉지체(40)에 의하여 봉합된다.

한편, 인쇄 회로 기판(11)의 저부면에 솔더볼 패드(50)가 부착되고, 솔더볼 패드(50) 표면에 솔더볼(55)이 부착된다. 솔더볼(55)은 상기 인쇄 회로 기판(11)의 도전 패턴(13)과 전기적으로 연결되어 있다.

이와 같은 종래의 BGA 패키지는 리드 프레임(lead frame)대신 인쇄 회로 기판을 사용하고, 외부 접속 단자로서 솔더볼을 사용하므로, 모 기판(mother board)에 대한 실장 밀도가 유리하다는 장점을 갖는다.

그러나, 상기한 센터 패드를 구비한 BGA 패키지는 반도체 칩의 패드(25)와 인쇄 회로 기판(11)의 도전 패턴(13)을 연결하는 와이어(35)가 에지 패드(edge-pad)형 반도체 칩에 적용되는 본딩 와이어에 비하여 길고, 반도체 패키지(10)의 두께를 낮추기 위하여 와이어(35)를 최대한 낮게 형성하기 때문에 반도체 칩(10)의 모서리 부분과 와이어(35)간에 쇼트가 발생되기 쉽다.

또한, 센터 패드를 구비한 BGA 패키지는 상부면에 봉지체(40)에 의해 피복되어 있으므로, 적층형 반도체 패키지를 구현하기 어렵다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는 와이어의 길이를 단축하면서, 와이어와 반도체 칩간의 쇼트를 방지할 수 있는 센터 패드를 갖는 적층형 반도체 패키지를 제공하는 것이다.

또한, 본 발명이 이루고자 하는 다른 기술적 과제는 상기한 센터 패드를 갖는 적층형 반도체 패키지의 제조방법을 제공하는 것이다.

발명의 구성 및 작용

상기한 본 발명의 기술적 과제를 달성하기 위하여, 본 발명의 적층형 반도체 패키지는 적층된 적어도 하나의 단위 패키지 구조체를 포함한다. 단위 패키지 구조체는 인쇄 회로 기판과, 상기 인쇄 회로 기판상에 부착된 센터 패드형 반도체 칩을 포함한다. 상기 반도체 칩 상부에 상기 반도체 칩과 인쇄 회로 기판을 전기적으로 연결시키는 다수의 배선 패턴이 구비된 배선 기판이 부착되며, 상기 인쇄 회로 기판의 뒷면에 상기 반도체 칩에 전기적 신호를 전달하는 외부 접속 단자가 부착된다. 이때, 상기 단위 패키지 구조체는 상기 하부의 단위 패키지 구조체의 배선 패턴과 상기 상부의 단위 패키지의 외부 접속 단자가 전기적으로 부착되도록 적층되어 있다.

또한, 본 발명의 다른 실시예에 따른 적층형 반도체 패키지는, 적층된 적어도 하나의 단위 패키지 구조체를 포함한다. 단위 패키지 구조체는 인쇄 회로 기판과, 상기 인쇄 회로 기판의 상면에 부착된 센터 패드를 갖는 반도체 칩을 포함한다. 상기 반도체 칩의 패드 양측에 다수의 배선 패턴을 구비한 배선 기판이 부착되고, 상기 배선 기판 및 상기 패드, 및 상기 배선 기판 및 상기 인쇄 회로 기판을 각각 전기적으로 연결하는 와이어가 형성된다. 상기 와이어가 형성된 부분은 봉지체에 의해 부분적으로 봉합되고, 상기 인쇄 회로 기판의 뒷면에 상기 반도체 칩과 전기적으로 연결되도록 솔더볼이 부착된다. 상기 단위 패키지 구조체는 상기 하부의 단위 패키지 구조체의 배선 패턴과 상기 상부의 단위 패키지의 외부 접속 단자가 전기적으로 부착되도록 적층되어 있다.

상기 단위 패키지 구조체의 인쇄 회로 기판은, 제 1 표면 및 제 2 표면을 구비하고, 상기 제 1 표면에 상기 반도체 칩의 패드와 전기적으로 연결되는 제 1 회로 배선 패턴이 형성되어 있고, 상기 제 2 표면에 상기 외부 접속 단자가 부착될 제 2 회로 배선 패턴이 형성되어 있으며, 상기 제 1 및 제 2 회로 배선 패턴은 전기적으로 연결되어 있다.

상기 배선 기판은 단층 또는 다층의 배선 패턴을 구비한 리드 프레임, 단층 또는 다층의 배선 패턴을 구비한 테이프 또는 단층 또는 다층의 배선 패턴을 구비한 인쇄 회로 기판일 수 있다.

또한, 본 발명의 다른 견지에 따른 적층형 반도체 패키지의 제조방법은 다음과 같다. 제 1 표면에 제 1 회로 배선 패턴이 형성되고, 제 2 표면에 제 2 회로 배선 패턴이 형성되어 있는 인쇄 회로 기판을 제공한다. 상기 인쇄 회로 기판의 제 1 표면상에 상부 중앙에 패드가 배열되어 있는 센터 패드형 반도체 칩을 부착한다. 상기 반도체 칩의 패드 양측에 다수의 배선 패턴을 구비한 배선 기판을 부착한다음, 상기 반도체 칩의 패드와 상기 배선 기판, 및 상기 배선 기판과 상기 인쇄 회로 기판의 제 1 회로 배선 패턴을 와이어로 본딩한다. 그후, 상기 와이어가 형성된 부분을 봉지체로 봉합하고, 상기 인쇄 회로 기판의 제 2 표면에 상기 제 2 회로 배선과 접촉되도록 솔더볼을 부착하여, 단위 패키지 구조체를 형성한다. 그후, 상기 단위 패키지 구조체를 적층한다.

상기 봉지체는 스크린 프린팅 방식으로 봉합하는 것이 바람직하다.

상기 단위 패키지 구조체를 적층하는 단계는, 하부 단위 패키지 구조체의 배선 패턴과 상부 단위 패키지 구조체의 솔더볼이 대응되도록 적층시킨다.

(실시예)

이하 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 설명한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어서는 안 된다.

다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다.

도 2에 도시된 바와 같이, 센터 패드를 갖는 적층형 BGA 패키지(100)는 적층된 적어도 하나의 단위 패키지 구조체(110)를 포함한다. 단위 패키지 구조체(110)는 각각 동일한 구성을 가지면서, 순차적으로 적층된다.

각각의 단위 패키지 구조체(110)는 도 3에 도시된 바와 같이, 제 1 및 제 2 표면(120a, 120b)을 갖는 인쇄 회로 기판(120) 및 인쇄 회로 기판(120)의 제 1 표면(120a)에 부착되는 반도체 칩(130)을 포함한다.

인쇄 회로 기판(120)은 제 1 표면 및 제 2 표면(120a, 120b)을 가지는 절연판으로서, 제 1 및 제 2 표면(120a, 120b) 각각에 제 1 및 제 2 회로 배선 패턴(124, 128)이 형성되어 있다. 이때, 제 1 표면(120a)상의 제 1 회로 배선 패턴(124)은 반도체 칩(130)을 중심으로 양측에 배치되고 반도체 칩(130)과 전기적으로 연결된다. 제 2 표면(120b)의 제 2 회로 배선 패턴(128)은 솔더볼이 안착되어질 패드로서 솔더볼 안착 패드로 불리어질 수 있으며, 반도체 칩(130)의 하부면에 배치될 수 있다. 제 1 회로 배선 패턴(124) 및 제 2 회로 배선 패턴(128)은 인쇄 회로 기판(120)을 관통하여 전기적으로 연결될 수 있다.

반도체 칩(130)은 활성면의 중심 부분을 따라 본딩 패드(133)가 배열된 센터 패드형 반도체 칩으로서, 집적 회로(도시되지 않음)가 형성된 활성면을 갖는 실리콘 기판(131), 활성면에 형성된 복수개의 본딩 패드(133) 및 실리콘 기판(131)상의 집적 회로 및 본딩 패드를 덮는 보호막(도시되지 않음)을 포함한다. 반도체 칩(130)은 제 1 접착층(135)에 의해 인쇄 회로 기판(120)의 제 1 표면(120a)에 부착된다.

반도체 칩(130) 상부에 다수의 배선 패턴(145)을 갖는 기판(140: 이하 배선 기판이라 칭함)이 부착된다. 이때, 배선 기판(140)은 단층 또는 다층의 배선 패턴(145)을 포함하는 리드 프레임(lead frame), 단층 또는 다층의 배선 패턴(145)을 포함하는 테이프(tape), 또는 단층 또는 다층의 배선 패턴(145)을 포함하는 인쇄 회로 기판일 수 있다. 상기 배선 기판(140)의 배선 패턴(145)이 단층으로 형성되는 경우, 각각의 배선 패턴(145)은 소정 거리를 두고 이격되어 전기적으로 절연될 수 있다. 상기 배선 기판(140)의 배선 패턴(145)이 다층으로 형성되는 경우, 절연막을 사이에 두고 전기적으로 절연될 수 있다.

상기 배선 기판(140)은 반도체 칩(130)의 본딩 패드(133)가 노출되도록 본딩 패드(133)를 중심으로 양측에 각각 부착되며, 배선 기판(140)은 제 2 접착층(148)에 의하여 반도체 칩(130)상에 부착될 수 있다. 제 1 및 제 2 접착층(135, 148)은 비도전성 접착제임이 바람직하다. 이때, 상기 배선 기판(140)이 테이프인 경우 별도의 접착층이 사용되지 않는다. 여기서, 배선 기판(140)은 그 배선 패턴(145)이 외부로 향하여 노출되도록 부착되어야 하고, 배선 패턴(145)중 일부는 인쇄 회로 기판(120)의 제 2 회로 배선 패턴(128) 즉, 솔더볼 패드와 일부 대응되도록 배치되어 있다.

반도체 칩(130)의 본딩 패드(133)는 인접하는 배선 기판(140, 또는 배선 패턴)과 제 1 와이어(150a)에 의해 전기적으로 연결되고, 배선 기판(140)의 가장자리의 배선 패턴(145)과 제 1 회로 배선 패턴(124)은 제 2 와이어(150b)에 의해 전기적으로 연결된다. 제 1 및 제 2 와이어(150a, 150b)는 봉지체(155)에 의해 부분적으로 봉합된다. 인쇄 회로 기판(120)의 제 2 회로 배선 패턴(128) 즉, 솔더볼 패드에 솔더볼(160)이 안착된다.

이와 같은 센터 패드형 단위 패키지 구조체(110)는 상부 단위 패키지 구조체(110)의 솔더볼(160)이 배선 기판(140)의 배선 패턴(145)과 대응되도록 부착되어 있다.

이와 같은 적층형 BGA 패키지는 반도체 칩의 본딩 패드 양측에 배선 패턴(145)을 구비한 배선 기판(140)이 부착되어, 상하부 단위 패키지 구조체를 전기적으로 연결시킬 수 있다.

이하, 도 4a 내지 도 4c를 참조하여 본 발명에 따른 센터 패드형 적층형 BGA 패키지의 제조방법을 설명하도록 한다.

도 4a에 도시된 바와 같이, 제 1 표면 및 제 2 표면(120a, 120b)을 갖는 인쇄 회로 기판(120)을 준비한다. 인쇄 회로 기판(120)의 제 1 표면(120a) 상부에 도전층(도시되지 않음)을 피복하고, 도전층의 소정 부분을 패터닝하여, 인쇄 회로 기판(120)의 제 1 표면(120a)의 가장자리에 제 1 회로 배선 패턴(124)을 형성한다. 또한, 인쇄 회로 기판(120)의 제 2 표면(120b)에 도전층(도시되지 않음)을 피복한 다음, 이 도전층을 소정 부분 패터닝하여, 인쇄 회로 기판(120)의 제 2 표면(120b)에 제 2 회로 배선 패턴, 즉 솔더볼 패드(128)를 형성한다. 솔더볼 패드(128) 각각은 일정 간격을 두고 이격되도록 형성된다. 이와 같은 인쇄 회로 기판(120)의 제 1 표면(120a)에 제 1 접착층(135)을 형성하고, 제 1 접착층(135) 상부에

반도체 칩(130)을 얹은다음, 반도체 칩(130)을 인쇄 회로 기판(120)에 열합착시킨다. 이때, 반도체 칩(130)은 상술한 바와 같이 상부 중앙에 다수의 본딩 패드(133)를 포함하고 있으며, 상기 제 1 회로 배선 패턴(124)이 노출되도록 인쇄 회로 기판(120)의 중앙에 부착함이 바람직하다.

도 4b에 도시된 바와 같이, 반도체 칩(130) 상부에 제 2 접착층(148)을 매개로 하여 배선 기판(140)을 부착한다. 배선 기판(140)은 상술한 바와 같이 상부 표면에 다수의 배선 패턴(145)이 형성되어 있는 리드 프레임, 테이프 또는 인쇄 회로 기판일 수 있으며, 반도체 칩(130)의 본딩 패드(133)가 노출되도록 본딩 패드(133)를 중심으로 양측에 부착한다. 그후, 본딩 패드(133)와 배선 기판(140) 또는, 배선 기판의 배선 패턴)을 포워드(forward) 방식에 의해 제 1 와이어(150a)를 형성할 수 있다. 또한, 배선 기판(140)의 가장자리에 위치한 배선 패턴(145)과 제 1 회로 배선 패턴(124)을 리버스(reverse) 방식에 의해 제 2 와이어(150b)를 형성할 수 있다. 이때, 센터 패드(132)와 인쇄 회로 기판(120) 사이에 배선 기판(140)이 배치되어 있으므로, 상기 배선 기판(140)이 센터 패드(132)와 인쇄 회로 기판(120)의 연결 부재로 이용되어, 긴 와이어를 형성할 필요가 없다.

그후, 도 4c에 도시된 바와 같이, 제 1 및 제 2 와이어(150a,150b)를 외부로부터 보호하기 위하여 성형 수지인 봉지체(155)를 스크린 프린트(screen print) 기법에 의해 봉합한다.

재차 도 3을 참조하여, 인쇄 회로 기판(120)의 제 2 회로 배선 패턴(128) 즉, 솔더볼 패드에 솔더볼(160)을 안착시킨다. 이에 따라, 각각의 단위 패키지 구조체(110)를 형성한다.

다음, 상기 도 2에 도시된 바와 같이, 단위 패키지 구조체(110)를 적층한다. 이때, 단위 패키지 구조체는 상부 단위 패키지 구조체(110)의 솔더볼(160)이 배선 기판(140)의 배선 패턴(145)과 맞닿도록 합착시킨다. 이와 같이 하여, 센터 패드를 갖는 적층형 BGA 패키지가 완성된다.

발명의 효과

이상에서 자세히 설명한 바와 같이, 본 발명에 의하면, 센터 패드를 갖는 반도체 칩 상부 양측에 다수의 배선 패턴을 구비한 배선 기판을 부착한다. 이에 따라, 센터 패드를 구비한 반도체 칩 상부에 솔더볼을 갖는 패키지 구조체를 적층할 수 있다.

또한, 센터형 본딩 패드와 인쇄 회로 기판 사이에 배선 기판이 부착되어 있으므로, 본딩 패드와 인쇄 회로 기판을 연결하기 위하여 긴 와이어가 요구되지 않는다. 이에따라, 와이어와 반도체 칩간의 쇼트 및 와이어간의 쇼트를 방지할 수 있다.

이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형이 가능하다.

(57) 청구의 범위

청구항 1.

인쇄 회로 기판상에 부착된 센터 패드형 반도체 칩, 상기 반도체 칩 상부에 부착되며 상기 반도체 칩과 인쇄 회로 기판을 전기적으로 연결시키는 다수의 배선 패턴이 구비된 배선 기판, 및 상기 인쇄 회로 기판의 뒷면에 부착되며 상기 반도체 칩에 전기적 신호를 전달하는 외부 접속 단자를 구비하는 적어도 하나의 적층된 단위 패키지 구조체를 포함하며,

상기 단위 패키지 구조체는 상기 하부의 단위 패키지 구조체의 배선 패턴과 상기 상부의 단위 패키지의 외부 접속 단자가 전기적으로 부착되도록 적층되어 있는 것을 특징으로 하는 적층형 반도체 패키지.

청구항 2.

제 1 항에 있어서, 상기 단위 패키지 구조체의 인쇄 회로 기판은,

제 1 표면 및 제 2 표면을 구비하고,

상기 제 1 표면에 상기 반도체 칩의 패드와 전기적으로 연결되는 제 1 회로 배선 패턴이 형성되어 있고,
 상기 제 2 표면에 상기 외부 접속 단자가 부착될 제 2 회로 배선 패턴이 형성되어 있으며,
 상기 제 1 및 제 2 회로 배선 패턴은 전기적으로 연결되어 있는 것을 특징으로 하는 적층형 반도체 패키지.

청구항 3.

제 1 항에 있어서, 상기 배선 기판은 상기 반도체 칩의 패드 양측에 각각 부착되는 것을 특징으로 하는 적층형 반도체 패키지.

청구항 4.

제 1 항에 있어서, 상기 배선 기판은 단층 또는 다층의 배선 패턴을 구비한 리드 프레임인 것을 특징으로 하는 적층형 반도체 패키지.

청구항 5.

제 1 항에 있어서, 상기 배선 기판은 단층 또는 다층의 배선 패턴을 구비한 테이프인 것을 특징으로 하는 적층형 반도체 패키지.

청구항 6.

제 1 항에 있어서, 상기 배선 기판은 단층 또는 다층의 배선 패턴을 구비한 인쇄 회로 기판인 것을 특징으로 하는 적층형 반도체 패키지.

청구항 7.

제 1 항에 있어서, 상기 본딩 패드와 상기 배선 기판을 전기적으로 연결하는 제 1 와이어, 및

상기 배선 기판과 상기 인쇄 회로 기판의 제 1 회로 배선 패턴을 전기적으로 연결하는 제 2 와이어를 더 포함하는 것을 특징으로 하는 적층형 반도체 패키지.

청구항 8.

제 7 항에 있어서, 상기 제 1 및 제 2 와이어 부분을 외부로부터 보호하기 위하여 부분적으로 형성된 봉지체를 더 포함하는 것을 특징으로 하는 적층형 반도체 패키지.

청구항 9.

제 1 항에 있어서, 상기 외부 접속 단자는 솔더볼인 것을 특징으로 하는 적층형 반도체 패키지.

청구항 10.

인쇄 회로 기판; 상기 인쇄 회로 기판의 상면에 부착된 센터 패드를 갖는 반도체 칩; 상기 반도체 칩의 패드 양측에 부착되는 배선 패턴을 구비한 배선 기판; 상기 배선 기판 및 상기 패드, 및 상기 배선 기판 및 상기 인쇄 회로 기판을 각각 전기적으로 연결하는 와이어; 상기 와이어가 형성된 부분을 부분적으로 봉합하는 봉지체; 및 상기 인쇄 회로 기판의 뒷면에 부착되며 상기 반도체 칩과 전기적으로 연결되는 솔더볼로 구성된 단위 패키지 구조체를 포함하며,

상기 단위 패키지 구조체는 상기 하부의 단위 패키지 구조체의 배선 패턴과 상기 상부의 단위 패키지의 외부 접속 단자가 전기적으로 부착되도록 적층되어 있는 것을 특징으로 하는 적층형 반도체 패키지.

청구항 11.

제 10 항에 있어서, 상기 단위 패키지 구조체의 인쇄 회로 기판은,

제 1 표면 및 제 2 표면을 구비하고,

상기 제 1 표면에 상기 반도체 칩의 패드와 전기적으로 연결되는 제 1 회로 배선 패턴이 형성되어 있고,

상기 제 2 표면에 상기 외부 접속 단자가 부착될 제 2 회로 배선 패턴이 형성되어 있으며,

상기 제 1 및 제 2 회로 배선 패턴은 전기적으로 연결되어 있는 것을 특징으로 하는 적층형 반도체 패키지.

청구항 12.

제 10 항에 있어서, 상기 배선 기판은 단층 또는 다층의 배선 패턴을 구비한 리드 프레임인 것을 특징으로 하는 적층형 반도체 패키지.

청구항 13.

제 10 항에 있어서, 상기 배선 기판은 단층 또는 다층의 배선 패턴을 구비한 테이프인 것을 특징으로 하는 적층형 반도체 패키지.

청구항 14.

제 10 항에 있어서, 상기 배선 기판은 단층 또는 다층의 배선 패턴을 구비한 인쇄 회로 기판인 것을 특징으로 하는 적층형 반도체 패키지.

청구항 15.

제 1 표면에 제 1 회로 배선 패턴이 형성되고, 제 2 표면에 제 2 회로 배선 패턴이 형성되어 있는 인쇄 회로 기판을 제공하는 단계;

상기 인쇄 회로 기판의 제 1 표면상에 상부 중앙에 패드가 배열되어 있는 센터 패드형 반도체 칩을 부착하는 단계;

상기 반도체 칩의 패드 양측에 다수의 배선 패턴을 구비한 배선 기판을 부착하는 단계;

상기 반도체 칩의 패드와 상기 배선 기판, 및 상기 배선 기판과 상기 인쇄 회로 기판의 제 1 회로 배선 패턴을 와이어로 본딩하는 단계;

상기 와이어가 형성된 부분을 봉지체로 봉합하는 단계;

상기 인쇄 회로 기판의 제 2 표면에 상기 제 2 회로 배선과 접촉되도록 솔더볼을 부착하여, 단위 패키지 구조체를 형성하는 단계; 및

상기 단위 패키지 구조체를 적층하는 단계를 포함하는 것을 특징으로 하는 적층형 반도체 패키지의 제조방법.

청구항 16.

제 15 항에 있어서, 상기 봉지체는 스크린 프린팅 방식으로 봉합하는 것을 특징으로 하는 적층형 반도체 패키지의 제조방법.

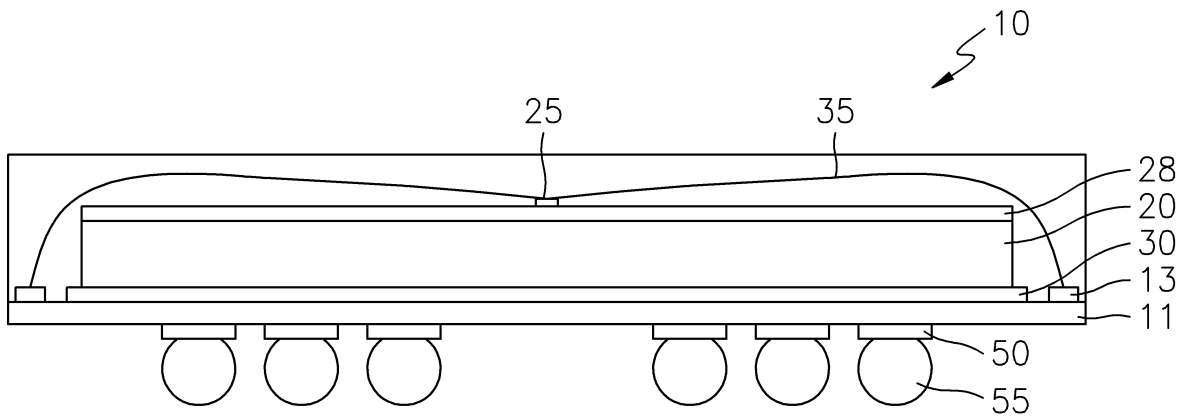
청구항 17.

제 15 항에 있어서, 상기 단위 패키지 구조체를 적층하는 단계는,

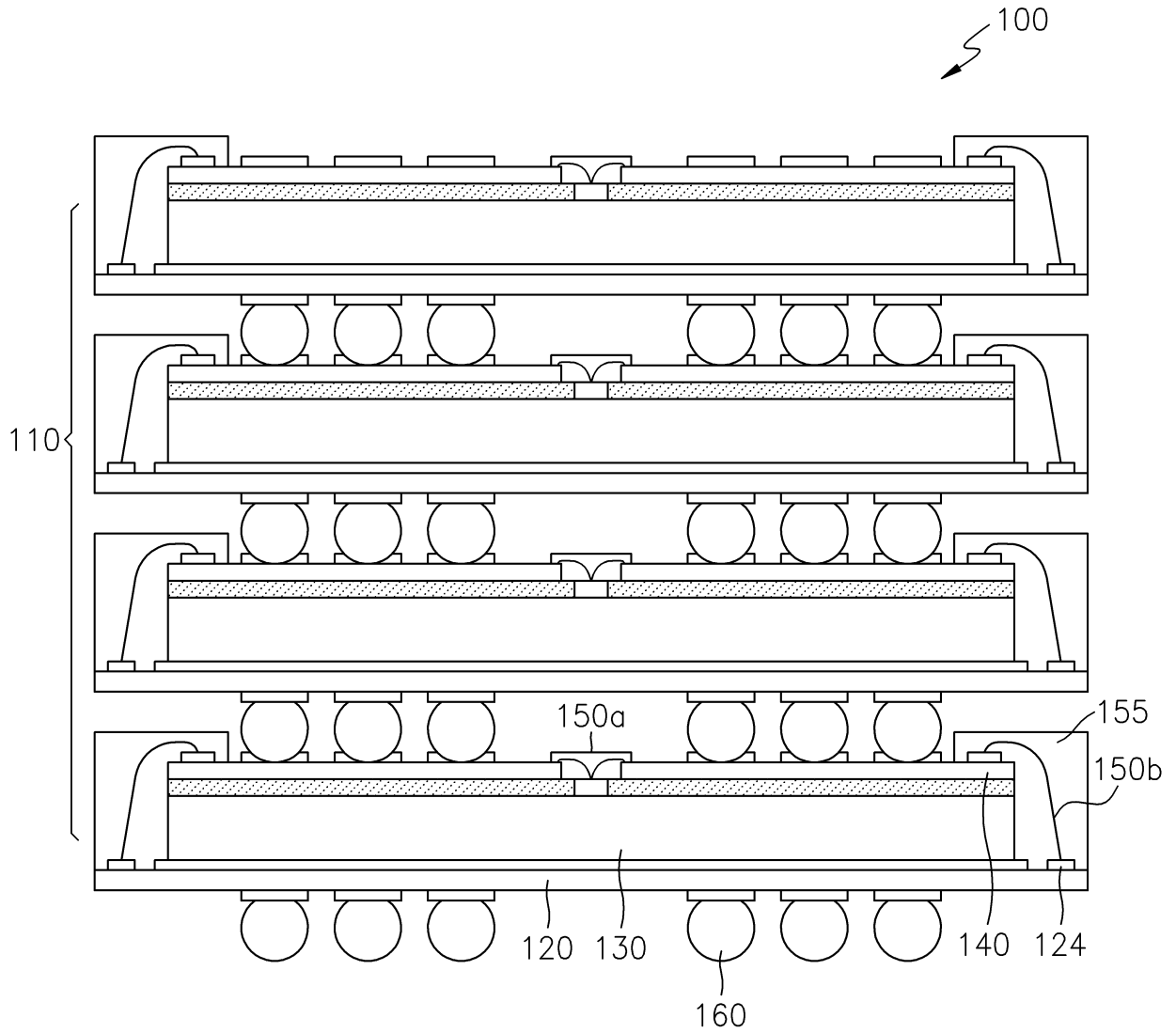
하부 단위 패키지 구조체의 배선 패턴과 상부 단위 패키지 구조체의 솔더볼이 대응되도록 적층시키는 것을 특징으로 하는 적층형 반도체 패키지의 제조방법.

도면

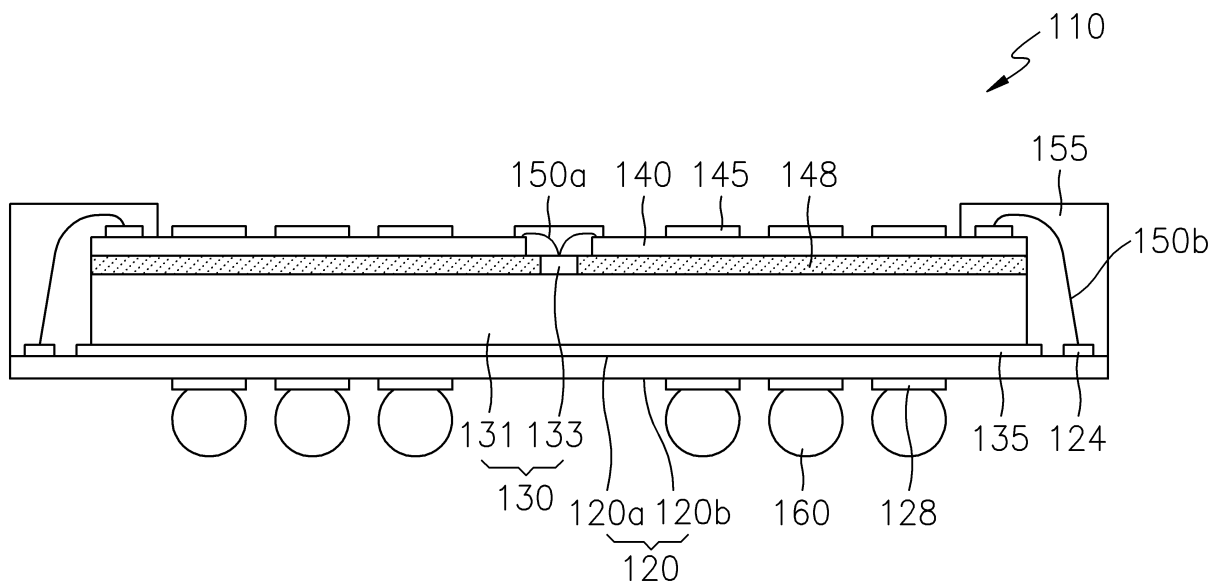
도면1



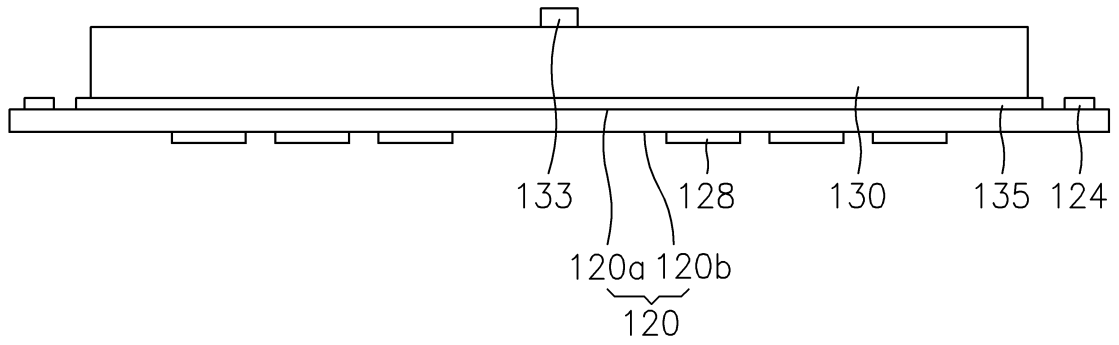
도면2



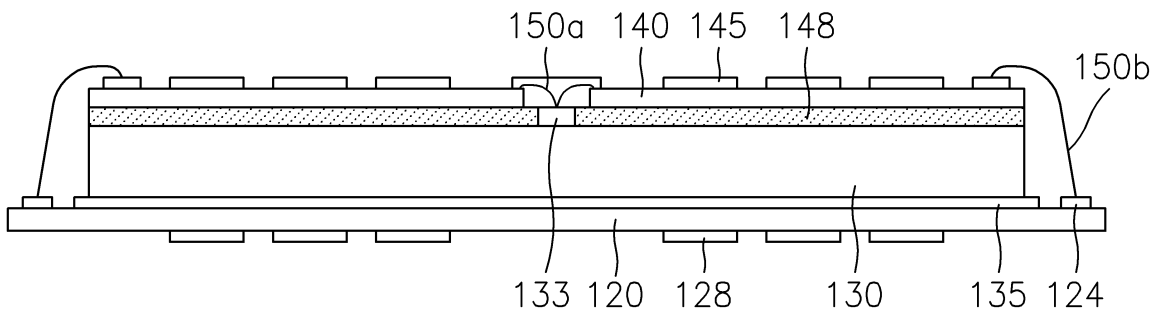
도면3



도면4a



도면4b



도면4c

