

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-510333**(P2004-510333A)**

(43) 公表日 平成16年4月2日(2004.4.2)

(51) Int. Cl.⁷

H O 1 L 29/861

H O 1 L 21/322

H O 1 L 21/329

F I

H O 1 L 29/91

H O 1 L 21/322

H O 1 L 29/91

H O 1 L 29/91

テーマコード (参考)

D

K

B

J

審査請求 有 予備審査請求 有 (全 41 頁)

(21) 出願番号 特願2002-529847 (P2002-529847)
 (86) (22) 出願日 平成13年8月24日 (2001.8.24)
 (85) 翻訳文提出日 平成15年3月19日 (2003.3.19)
 (86) 国際出願番号 PCT/DE2001/003240
 (87) 国際公開番号 W02002/025740
 (87) 国際公開日 平成14年3月28日 (2002.3.28)
 (31) 優先権主張番号 100 47 152.8
 (32) 優先日 平成12年9月22日 (2000.9.22)
 (33) 優先権主張国 ドイツ (DE)
 (81) 指定国 EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), JP, US

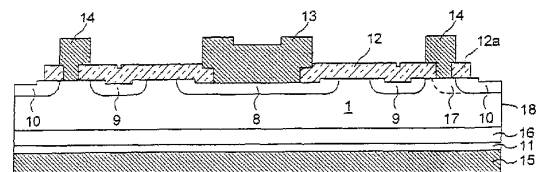
(71) 出願人 501209070
 インフィネオン テクノロジーズ アクチ
 エンゲゼルシャフト
 ドイツ連邦共和国 81669 ミュンヘ
 ン ザンクト マルティン シュトラーセ
 53
 (71) 出願人 501484264
 オイペク オイロペーシェ ゲゼルシャフ
 ト フューア ライストウングスハルブラ
 イター エムペーハー
 ドイツ連邦共和国、デー-59581 ヴ
 ァールシュタイン-ベレック、マックス
 プランク-シュトラーセ 5
 (74) 代理人 100080034
 弁理士 原 謙三

最終頁に続く

(54) 【発明の名称】 高電圧ダイオードおよびその製造方法

(57) 【要約】

本発明は、高電圧ダイオードおよびその製造方法に関するものである。この高電圧ダイオードは、調節部(16)およびC:HまたはSiからなる縁不動態化(12)を備えたチップングストッパを用いて、マスク工程を3回しか要しないものである。



【特許請求の範囲】

【請求項 1】

第 1 伝導型と反対の第 2 伝導型半導体基板 (1) の第 1 主表面に備えられている第 1 伝導型ウェル型領域 (8) と、
上記ウェル型領域 (8) の上に備えられた金属接触部 (1 3) と、
上記第 1 主表面と反対側に位置する半導体基板 (1) の第 2 主表面に、金属接触部 (1 3) と向かい合って位置する裏面金属被膜 (1 5) と、
チャンネルストッパ (1 4) を備えたエッジ終端部と、
上記金属接触部 (1 3) とチャンネルストッパ (1 4) との間の領域の第 1 主表面上に備えられており、第 1 主表面に位置する p n 接合部を覆っている不動態化層 (1 2) とを備えた高電圧ダイオードにおいて、
上記不動態化層 (1 2) は、水素をドーピングされたアモルファス炭素、またはアモルファスシリコンからなり、半導体基板 (1) におけるチャンネルストッパ (1 4) の外側の領域では、チップングストッパ (1 2 a) として機能し、
第 1 主表面に位置するウェル型領域 (8) には、少なくとも 1 つのエッジ (6) が、調整部として備えられていることを特徴とする高電圧ダイオード。

【請求項 2】

上記エッジ終端部は、フィールド環 (9) を 1 つまたは複数備えていることを特徴とする請求項 1 に記載の高電圧ダイオード。

【請求項 3】

上記チャンネルストッパ (1 4) は、半導体基板 (1) の上に備えられていることを特徴とする請求項 1 または 2 に記載の高電圧ダイオード。

【請求項 4】

上記チャンネルストッパ (1 4) は、第 1 伝導型の領域の上に備えられていることを特徴とする請求項 1 ~ 3 のいずれかに記載の高電圧ダイオード。

【請求項 5】

上記半導体基板 (1) とカソード金属被膜 (1 5) との間には、第 2 伝導型のフィールドストッパ層 (1 6) と、高ドーパされた第 2 伝導型のエミッタ層 (1 1) とが備えられていることを特徴とする請求項 1 ~ 4 のいずれかに記載の高電圧ダイオード。

【請求項 6】

上記調整部 (6) は、第 1 主表面に位置する高さ約 1 0 ~ 1 0 0 0 n m、好ましくは 5 0 ~ 2 0 0 n m のシリコンからなる段であることを特徴とする請求項 1 ~ 5 のいずれかに記載の高電圧ダイオード。

【請求項 7】

上記調整部 (6) は、アノード接触部 (1 3) の外側に位置していることを特徴とする請求項 1 ~ 6 のいずれかに記載の高電圧ダイオード。

【請求項 8】

上記不動態化層 (1 2) は、半導体基板の切り込み縁 (1 8) まで達していないことを特徴とする請求項 1 ~ 7 のいずれかに記載の高電圧ダイオード。

【請求項 9】

上記切り込み縁 (1 8) の領域において、第 1 伝導型をした環状領域 (1 0) が、第 1 主表面に露出できることを特徴とする請求項 1 ~ 8 のいずれかに記載の高電圧ダイオード。

【請求項 1 0】

上記第 1 伝導型のウェル型領域 (8) は、高電圧ダイオードを高速フリーホイールダイオードとして用いるために、分量 $(1.3 \sim 3) \times 10^{12}$ ドーパント原子 cm^{-2} をドーピングされていることを特徴とする請求項 1 ~ 9 のいずれかに記載の高電圧ダイオード。

【請求項 1 1】

上記ウェル型領域 (8) の表面領域が、分量 1.3×10^{12} ドーパント原子 cm^{-2} ~ 5×10^{13} ドーパント原子 cm^{-2} をドーピングされていることを特徴とする請求項 1 0 に記載の高電圧ダイオード。

10

20

30

40

50

【請求項 12】

請求項 1 ~ 11 のいずれかに記載の高電圧ダイオードの製造方法において、

- (a) 半導体基板(1)の上にマスク絶縁層(2)の形成工程と、
- (b) 少なくとも1つの窓(3・4・5)をウェル型領域(8)用に形成するための、上記マスク絶縁層(2)をパターン化する工程と、
- (c) 上記の窓(3・4・5)を介して、シリコン基板(1)に調整部(6)としての段を形成し、
- (d) 上記半導体基板(1)の伝導型とは反対の伝導型を有する窓(3・4・5)を介して、ウェル型領域(8)を形成する工程と、
- (e) 上記のパターン化されたマスク絶縁層(2)を除去する工程と、
- (f) 水素によってドーピングされたアモルファス炭素、またはアモルファスシリコンからなる不動態化層(12)を塗布し、上記調整部(6)によって調整されたリソグラフィ工程によって、上記不動態化層(12)をパターン化する工程と、
- (g) 上記ウェル型領域(8)または半導体基板(1)の表面において、パターン化された不動態化層(12)の窓に、金属接触部(13)とチャネルストッパ(14)とを形成・パターン化する工程と、
- (h) 上記半導体基板(1)の裏面に金属被膜(15)を形成する工程とを有することを特徴とする高電圧ダイオードの製造方法。

10

【請求項 13】

上記方法の工程(b)では、フィールド環(9)およびチップングストッパ環(10)用のパターン化が行われることを特徴とする請求項 12 に記載の高電圧ダイオードの製造方法。

20

【請求項 14】

上記方法の工程(d)の前後に、以下の方法工程の少なくとも1つが行われ、その方法工程とは、

- (i) 半導体基板(1)を最終的な厚さに薄く研磨、および/またはエッチングする工程と、
- (j) 上記半導体基板(1)の裏面に、第2伝導型をした不純物をフィールドストッパ層(16)として埋設し、上記不純物を拡散させる工程と、
- (k) 上記半導体基板(1)の裏面に、特にイオン注入によって、n型伝導不純物を裏面エミッタ(11)として埋設する工程と、
- (l) 電荷キャリアの寿命を調節するために、重金属原子を埋設する工程と、
- (m) 上記重金属原子を拡散する工程であることを特徴とする請求項 12 または 13 に記載の高電圧ダイオードの製造方法。

30

【請求項 15】

上記の方法工程(l)および(m)は、方法工程(d)の前後に行われることを特徴とする請求項 12 および 14 に記載の高電圧ダイオードの製造方法。

【請求項 16】

上記の方法工程(i)~(k)は、方法工程(l)および(m)の後に行われることを特徴とする請求項 12 および 14 に記載の高電圧ダイオードの製造方法。

40

【請求項 17】

上記の方法工程(e)と方法工程(f)との間で、以下の方法工程が行われ、その方法工程とは、

- (n) 電荷キャリアの寿命を調節するための、上記半導体基板(1)、および/または、その中に含まれる領域(8)および環(9・10)を照射する工程であることを特徴とする請求項 12 ~ 16 のいずれかに記載の高電圧ダイオードの製造方法。

【請求項 18】

上記の方法工程(f)と方法工程(g)との間で、以下の方法工程が行われ、その方法工程とは、

- (o) 電荷キャリアの寿命を調節するための、上記半導体基板(1)、および/または、

50

その中に含まれる領域(8)および環(9・10)を照射する方法工程であることを特徴とする請求項12~17のいずれかに記載の高電圧ダイオードの製造方法。

【請求項19】

上記の方法工程(g)の後で、以下の方法工程の少なくとも1つが行われ、その方法工程とは、

(p)上記金属接触部(13)およびチャネルストッパ(14)からなる表面金属被膜を熱処理する工程と、

(q)電荷キャリアの寿命を調節するための、上記半導体基板(1)およびその中に含まれる領域(8)および環(9・10)を照射する方法工程とであることを特徴とする請求項12~18のいずれかに記載の高電圧ダイオードの製造方法。

10

【請求項20】

上記の方法工程(i)および(k)は、方法工程(q)の後で行われることを特徴とする請求項12~19のいずれかに記載の高電圧ダイオードの製造方法。

【請求項21】

上記の方法工程(h)後に、以下の方法工程が行われ、その方法工程とは、

(r)上記半導体基板の裏面にある金属被膜(15)を熱処理する方法工程であることを特徴とする請求項12~20のいずれかに記載の高電圧ダイオードの製造方法。

【請求項22】

上記マスク絶縁層(2)は、厚さ約0.5μmの層になるまで、湿気酸化を用いた燃焼プロセスを行われることを特徴とする請求項12~21のいずれかに記載の高電圧ダイオードの製造方法。

20

【請求項23】

エッチングによって深さ10~1000nm、好ましくは50~200nmまで半導体基板(1)内に調節部(6)を埋設することを特徴とする請求項12~22のいずれかに記載の高電圧ダイオードの製造方法。

【請求項24】

上記エッチング用に、等方性エッチングが行われることを特徴とする請求項23に記載の高電圧ダイオードの製造方法。

【請求項25】

上記調節部(6)は、窓(3・4・5)から一定の距離(7)に設けられることを特徴とする請求項12~24のいずれかに記載の高電圧ダイオードの製造方法。

30

【請求項26】

上記高電圧ダイオードを製造するために、フォトリソ技術工程を3回のみ実行することを特徴とする請求項12~25のいずれかに記載の高電圧ダイオードの製造方法。

【発明の詳細な説明】

本発明は、請求項1の前提構成の節に基づいた高電圧ダイオードと、そのような高電圧ダイオードの製造方法に関するものである。

【0001】

従来、特に約400Vより高い高電圧用の高電圧ダイオードは、フィールド板、フィールド環、誘電性絶縁層、半絶縁性カパーおよび様々な不純物からなるエッジ終端部(縁終端部)を縁領域に有するプレーナ型構造に備えられている。これらの手段は、個々に、または組み合わせて用いられる。例えば、フィールド板、フィールド環および誘電性絶縁層も必ず(durchaus)一緒に用いられる。

40

【0002】

ダイオードを製造する際、エッジ終端部に対する要求を満たすために、ON状態およびスイッチング特性を望ましい状態に調節するよりもさらに多くの工程を要する。したがって、例えばフィールド板を基板にしたダイオードエッジの製造プロセスは、比較的成本高になる。

【0003】

とりわけ、C. Mingues、G. Charitat「接合終端技術の有効性および酸

50

化膜捕獲電荷 (Efficiency of Junction Termination Techniques vs. Oxide Trapped Charges)」(『IEEE パワー半導体デバイスおよびICに関する国際シンポジウム』ワイマール、137～140ページ)には、フィールド環、半絶縁層、または、JTE(接合終端拡張(Junction Termination Extension))を備えた各エッジ終端部が、特に、酸化膜電荷に対するエッジ終端部の感度に関して、互いに比較されている。ここでは、高電圧機器(Hochspannungsanwendungen)用に、半絶縁層として(also)SIPOS技術の使用が推奨される。

【0004】

EP-B1-0 341 453から、厚さの異なる絶縁層の上にフィールド板を配置した高逆電圧用のMOS半導体素子が開示されている。これらのフィールド板のいくつかは、チャンネルストッパとして用いられる。チャンネルストッパとして用いられるダイオードのフィールド板は、縁領域に位置するp型伝導領域によってダイオードの裏面電位に連結される場合が多い。しかし本来は、n型伝導領域を介して連結することが好ましい。なぜなら、そうすることによって、p型伝導チャンネルを確実に防止できるからである。しかしながら、このようなn型伝導領域を介した連結には、通常の製造プロセスでは、付加的なマスク工程が必要である。

【0005】

いわゆるチップングストッパは、ウェハを個々のチップに切断するとき、切り込みエッジから各チップの活性領域への結晶欠陥の拡大を防止するためのものである。このチップングストッパを、通常、チップの機能的縁領域と切り込み線との間のフィールド酸化物によって実施する。

【0006】

ブロッキング性の高いpn接合部が誘電性不動態化層によってのみ覆われると、例えば湿度、アルカリ性汚染物、または、金属性汚染物等に起因する外部電荷の影響のもと、pn接合部にブロッキング負荷がかかる(Sperrelastung)場合には、長期にわたるブロッキング安定性に対する変化を観察できる。この変化は、不動態化層の上、または、その中の逆バイアスのかかった(in Sperrrichtung gepolt)pn接合部の電氣的領域にイオン電荷が移動することによって起こる。イオン電荷の符号しだいで、さらにエッジ終端部の構造しだいで、イオン電荷は、pn接合部のブロッキング性を高め、あるいは、それを低下させる。この場合、アノードがp型伝導性であるダイオードでは、n型伝導性のベースの不純物が減少することによって(つまりダイオードのブロッキング性(Volumensperreffaehigkeit)が増すことによって)影響力(Influenzwirkung)が増し、そのような表面電荷の影響は、不動態化層中およびその上で増す。これによって、ブロッキング不安定性という危険が劇的に上昇する。この関連で、いわゆるヨシダ効果(Yoshida-Effekt)を以下に示す。つまり、不動態化するために絶縁層を用いると、pn接合部がブロッキング状態であるときに極性を変える際にON状態の負荷がかかる(Durchlassbelastung)間に、過熱された電子を注入することによって、逆電圧のドリフトが時々観察される。

【0007】

半絶縁層をpn接合部に直接使用すると、層パラメータおよび界面パラメータ(例えば半絶縁層の層厚および不純物)を適切に調節することによって、半絶縁層の表面負荷(Oberflaechenladungen)の影響を抑制できる。現時点で、pn接合部の不動態化層に用いられる半絶縁層は、例えばアモルファスシリコン(a-Si)、または、水素がドーピングされたアモルファス炭素(a-C:H)からなる。(これらについてはEP-B1-0 400 178およびEP-B1-0 381 111に記載されている。)この半絶縁層によって、これらの層と電氣的に活性のシリコン基板との間のアモルファス結晶からなるヘテロ接合を適切に最適化する場合、寄生的な効果(逆電流の上昇、あるいは、反転層の形成)を防止できる。さらに、半絶縁性不動態化層が、その有限状

態密度によって映像電荷を活発に形成でき、外部から侵入する外来電荷 (F r e m d l a d u n g e n) から保護し、その有限特殊導電率に注入された電荷キャリアを導出する。全体として、誘電性不動態化よりも半絶縁性不動態化によって、長期的安定性が根本的に改善される。

【 0 0 0 8 】

本発明の課題は、約 4 0 0 V および好ましくは約 5 0 0 V 以上の逆電圧に適した高電圧ダイオードを提示することにある。この高電圧ダイオードは、プロセスの複雑さをできる限り減らして、つまりフォト技術の数を減らして形成でき、縁領域では、漏れ電流を防止するためにチャネルストッパと、切り込み欠陥の拡大を制限するためのチップングストッパとを用いて簡単に備えることができるものである。さらに本課題は、そのような高電圧ダイオードの製造方法を提示することにある。 10

【 0 0 0 9 】

本発明の課題を、請求項 1 の前提構成の節に記載の高電圧ダイオードの場合、その特徴部分に含まれる特徴によって解決する。

【 0 0 1 0 】

本発明の高電圧ダイオードの好ましい製造方法を、請求項 1 2 に提示する。

【 0 0 1 1 】

本発明の他の好ましい形態を従属請求項に示す。

【 0 0 1 2 】

請求項 1 の特徴部分に提示した手段 (a) および (b) を用いることによって、 20
マスクおよび調整 (J u s t a g e) 用のコストを低く製造でき、かつ、チャネルストッパやチップングストッパ等を使用できる高電圧ダイオードを実現できる。また、この手段 (a) および (b) の両方を用いることが好ましい。もちろん、一方の手段だけを実施する高電圧ダイオードを形成することも可能である。

【 0 0 1 3 】

本発明の高電圧ダイオードは、高速スイッチング固定ダイオード (s c h n e l l e s c h a l t f e s t e D i o d e) 、または様々な電圧類 (S p a n n u n g s k l a s s e n) 、および電流類 (S t r o m k l a s s e n) を有する整流器ダイオード、および普遍ダイオード (U n i v e r s a l - D i o d e) であってもよい。高電圧ダイオードは、望ましい電圧類に応じてその縁領域において 1 つまたは複数のフィールド環を備えていてもよい。 30

【 0 0 1 4 】

本発明の高電圧ダイオードでは、半導体基板は、p 型伝導ウェル型領域が埋設されている n 型伝導シリコンを含んでいることが好ましい。

【 0 0 1 5 】

n 型伝導シリコン基板に代わって、n 型伝導ウェル型領域を備えた p 型伝導シリコン基板を配置してもよい。

【 0 0 1 6 】

半導体材料は、シリコンに限ったものではない。シリコンに代わって、例えば S i C や A 40
I I I B V 半導体材料を使用してもよい。

【 0 0 1 7 】

次に、本発明を、添付図面に基づいて詳述する。図 1 ~ 5 は、本発明の高電圧ダイオードの様々な製造工程を示す図である。

【 0 0 1 8 】

図 1 に、例えば湿気酸化 (f e u c h t e r O x i d a t i o n) を用いた燃焼 (オープン) プロセス (O f e n p r o z e s s) によって、厚さ約 0 . 5 μ m の二酸化珪素層 2 が表面に形成された n 型伝導シリコン基板 1 を示す。二酸化珪素の代わりに、この層 2 用に、例えば窒化珪素といった他の材料を選択してもよい。

【 0 0 1 9 】

次に、この二酸化珪素層 2 の、ダイオードのアノード用に、場合によってはフィールド環 50

用に縁領域において、フォトリソグラフィーによって構造を埋設する。このために、二酸化珪素層 2 にフォトレジスト層が形成・露光・現像される。アノードと、場合によってはフィールド環とが後に形成されるフォトレジスト層の領域は、現像中に取り除かれる。こうして露出した二酸化珪素層 2 の上に、例えば湿気化学エッチング中に、エッチング液が作用することによって、この領域では二酸化珪素層が取り除かれる。

【0020】

次に、さらなる工程では、露出したシリコン基板 1 の表面、つまり二酸化珪素層 2 に埋設された「窓」の領域において、例えば $10 \sim 1000 \text{ nm}$ 、好ましくは $50 \sim 200 \text{ nm}$ のシリコン除去が行われる。このシリコン除去を、なおも存在しているフォトレジスト、または、フォトレジストを除去した後に残った二酸化珪素層 2 を介して行うことができる。こうして、図 2 に示した構造、つまり、シリコン基板 1 の上に、二酸化珪素層 2 の残存している部分と、アノード（窓 3）、フィールド環（窓 4）、および、各半導体チップの縁（図 2 の右縁）（窓 5）において削り線（Ritzrahmen）によって規定される調節部（Justage-Strukturen）とが実現する。さらに、フィールド環は 1 つではなく複数存在してもよいし、場合によってはこれらのフィールド環を使用しなくてもよい。さらに、調節部（Justage-Strukturen）に形成された残存している窓 5 のエッジまたは段 6 を調整する。

【0021】

窓 3 ~ 5 からシリコン基板 1 をエッチングする際、なおも存在しているレジストマスクを介して二酸化珪素層をさらに湿気化学エッチバックできる。これによって、後に窓 3 ~ 5 に埋設される p 型不純物（Dotierung）と、調節部のエッジ 6、または、後者（調節部）によってシリコン基板 1 に形成された段との間に、一定の間隔 7 をつくることことができる。そして、遅くともこの付随的な（gegebene）エッチバックが行われた後、残存しているフォトレジストは取り除かれる。こうして、図 2（シリコン基板の付随的なエッチバックを行う前）または図 3（シリコン基板の付随的なエッチバック後）に示した構造となる。

【0022】

本実施例では、シリコン除去は窓 3 ~ 5 から行われる。少なくとも、この除去が窓 3 から行われることにより、アノード接触部 13（下記参照）の外側に位置するウェル 8 の領域で、エッジまたは段が調節部として形成される。

【0023】

図 2 の構造を形成するために、シリコン除去は、窓 3 ~ 5 から、残存している二酸化珪素 2（酸化マスク）またはこの二酸化珪素 2 の上になおも存在するフォトレジストを介して行われる。

【0024】

次に、図 3 の構造が処理されるのだが、図 2 の構造を適切に処理することもできる。しかし、この場合、残存している二酸化珪素層 2 と調節部のエッジ 6 との間には、間隔 7 は存在せず、むしろ、調節部のエッジ 6 は窓 3 ~ 5 のエッジに適宜（lagemaessig）直接隣接している。

【0025】

次に、p 型ドーピングが例えばホウ素を用いて行われる。これによって、図 4 に示したように、p 型伝導ウェル型領域 8 と、p 型伝導フィールド環 9 と、チップングストッパの領域に位置する p 型伝導環 10 とを形成できる。ウェル型領域 8 とフィールド環 9 と環 10 とを、例えばイオン注入によって、1 段に、あるいは多段に形成することもできる。そして、敏速な（schnell）スイッチングダイオードの場合は特に、領域 8 用に、ねじ込み深さ（Eindringtiefe）がわずかで、ドーパント量が 1.3×10^{12} ドーパント原子 cm^{-2} から 5×10^{13} ドーパント原子 cm^{-2} である p⁺ 型導アノードエミッタを領域 8 に備えることができ、さらに、分量が約 $(1.3 \sim 3) \times 10^{12}$ ドーパント原子 cm^{-2} を領域 8 の残部にドーピングできる（比較参照：DE-A 1-100 31 461）。

10

20

30

40

50

【0026】

図4の構造を処理するための様々な変型例がある。これらの変型例では、以下のようなプロセス工程が必要不可欠である。つまり、例えばイオン注入によって n^+ 型伝導シリコン層11を形成するために、裏面エミッタ用に、半導体基板1の裏面(ウェハ裏面)上に n 型不純物(例えばリン)を埋設し、ウェハ表面上に残存している二酸化珪素層2(犠牲酸化物)をエッチングして除去し、特に水素がドーピングされたアモルファス炭素($a-C:H$)からなるチップングストップ12aを備えた縁不動態化層12を、リソグラフィー工程を用いて塗布・パターン化し、例えばAlSiからなる表面金属被膜を蒸着・パターン化することによって、アノード接触部13およびチャネルストップ14を形成し、例えばAlSiからなる裏面金属被膜を蒸着することによって、カソード接触部15を形成し、任意のプロセス工程(シリコン基板1を裏面から最終的な厚さに薄く研磨、または、エッチングする)を行い、フィールドストップ層16用に、ウェハ裏面に n 伝導不純物を埋設して拡散させ、重金属原子を埋設することによって電荷キャリアの寿命を調節し、重金属を拡散し、照射することによって電荷キャリアの寿命を調節し、表面金属被膜を熱処理し、裏面金属を熱処理するプロセス工程である。このプロセス工程では、必要に応じて(soweit erforderlich)、エッジ6を調節部として使用する。この場合、領域8、フィールド環9、および、環10用の p 型伝導ドーピング、つまり、後に、表面 p 型接触部または p 型伝導エミッタをイオン注入によって埋設することもできる。

10

【0027】

この個々のプロセス変型例を次の表に編集した。プロセス変型例1は、帯域精製法(FZ)によって実現するシリコン基板ウェハからなる一次材(Grundmaterial)に特に適している。一方、プロセス変型例2・3は、チョクラルスキー(CZ)基板ウェハ、または、エピタキシー層が備えられたウェハ、または、拡散されたウェハに有効である。

20

【0028】

縁不動態化層12(およびチップングストップ12a)は、アモルファスシリコン($a-Si$)からなる場合もある。

【0029】

【表1】

プロセス変型例 1 一次材： S i - F z 基板ウェハ	プロセス変型例 2 一次材： S i - F z - / C Z - 基板ウェハ、または、エ ピタキシーウェハ、また は、拡散ウェハ	プロセス変型例 3 一次材： S i - F Z - / C Z - 基板ウェハまたはエピ タキシーウェハ、また は、拡散ウェハ
最終的な厚さに薄く削 る／エッチングを行う		
任意に、裏面エミッタ 用に、例えばイオン注 入を用いてウェハ裏面 に n 型不純物を埋設す る		
任意に重金属原子を埋 設することによって、 電荷キャリアの寿命を 調節する	任意に重金属原子を埋 設することによって、電 荷キャリアの寿命を調 節する	任意に重金属原子を埋 設することによって、 電荷キャリアの寿命を 調節する
任意に重金属を拡散さ せる	任意に重金属を拡散さ せる	任意に重金属を拡散さ せる
		最終的な厚さに薄く削 る／エッチングを行う

10

20

30

		任意に、続くアニーリング工程と共に、例えば注入によって n 型裏面接触部を埋設する	
任意に、イオン注入によって、表面 p 型接触部 / p 型エミッタを初めに (jetzt erst) 埋設する	任意に、イオン注入によって、表面 p 型接触部 / p 型エミッタを初めに (jetzt erst) 埋設する	任意に、イオン注入によって、表面 p 型接触部 / p 型エミッタを初めに (jetzt erst) 埋設する	10
表面に位置する犠牲酸化物をエッチングして取り除く	表面に位置する犠牲酸化物をエッチングして取り除く	表面に位置する犠牲酸化物をエッチングして取り除く	20
任意に照射することによって、電荷キャリアの寿命を調節する	任意に照射することによって、電荷キャリアの寿命を調節する	任意に照射することによって、電荷キャリアの寿命を調節する	
例えば a - C : H からなる縁不動態化を塗布する	例えば a - C : H からなる縁不動態化を塗布する	例えば a - C : H からなる縁不動態化を塗布する	30
任意に照射することによって、電荷キャリアの寿命を調節する	任意に照射することによって、電荷キャリアの寿命を調節する	任意に照射することによって、電荷キャリアの寿命を調節する	40

例えばA l S i からの る表面金属被膜を蒸着 ／パターン化する	例えばA l S i からの る表面金属被膜を蒸着 ／パターン化する	例えばA l S i からの る表面金属被膜を蒸着 ／パターン化する
任意に、表面金属被膜 を熱処理する	任意に、表面金属被膜を 熱処理する	任意に、表面金属被膜 を熱処理する
任意に照射することによ って、電荷キャリアの 寿命を調節する	任意に照射することによ って、電荷キャリアの 寿命を調節する	任意に照射することによ って、電荷キャリアの 寿命を調節する
	最終的な厚さに薄く削 る／エッチングを行う	
	裏面接触部用に、例えば イオン注入によってウ ェハ裏面に n 型不純物 を埋設する	
裏面金属を蒸着する	裏面金属を蒸着する	裏面金属を蒸着する
裏面金属を任意に熱処 理する	裏面金属を任意に熱処 理する	裏面金属を任意に熱処 理する

10

20

30

40

50

【 0 0 3 0 】

上述の様々なプロセス変型例では、「任意に照射することによって、電荷キャリアの寿命を調節する」というプロセス工程を何度も行う。なぜなら、イオン注入および照射 (S t r a h l e n a r t) 中に用いられる投与量に応じて、高い熱量が、ビームのダメージをアニーリングするために必要だからである

特に、水素がドーピングされたアモルファス炭素からなる縁不動態化層 1 2 は、部分的にチップングストッパ 1 2 a として用いられ、シリコンウェハをチップに細分化、または、切断している間に、削り線から活性領域に結晶欠陥が拡大することを防止する。削り線自体には、不動態化層 1 2 は、アノード接触部 1 3 およびチャネルストッパ 1 4 用に、接触ホールのように開口している。しかしここは、金属によって覆われていない。

【 0 0 3 1 】

チャネルストッパ 1 4 は、フィールド板として用いられ、空間電荷領域が削り線の外へ (n a c h a u s s e n i n d e n R i t z r a h m e n) さらに拡大することを防止する。したがって、シリコン基板 1 用の一次材の抵抗が高い場合、必要不可欠な縁幅を減少させることができる。

【 0 0 3 2 】

チャネルストッパ 1 4 は、図 5 の点線 1 7 に示すように、p 型伝導領域とも連結できる。この p 型伝導領域は、シリコン基板の裏面と同じ電位でなければならず、したがって、カソード接触部 1 5 と連結している必要がある。

【 0 0 3 3 】

特に有効であるのは、図 5 に示すように、チャネルストップパ 1 4 が n 型伝導領域と直接隣接している場合である。

【 0 0 3 4 】

活性領域（つまりウェル型領域 8）と切り込み縁 1 8 との間には、今あるフィールド環 9 に加えて、全体にまたは部分的に金属構造をさらに備えることのできるさらなるフィールド環 9 が備えられていてもよい。フィールド環 9 は、このような金属構造を有していてもよい。

【 0 0 3 5 】

本発明の高電圧ダイオードは、パターン化された二酸化珪素層 2 と、不動態化層 1 2 と、アノード接触部 1 3 およびチャネルストップパ 1 4 からなる表面金属被膜とを形成するために、アノード接触部 1 3 の外側に位置する調節部 6 と、不動態化層 1 2 による縁領域へのチップングストップパ 1 2 a の配置とのゆえに、マスク化工程を全部で 3 回だけ行うことによって製造される。例えばアノード接触部 1 3 とチャネルストップパ 1 4 との位置を正確に調節する調節部 6 を、使用できることが好ましい。

10

【図面の簡単な説明】

【図 1】

本発明の高電圧ダイオードの様々な製造工程を示す図である。

【図 2】

本発明の高電圧ダイオードの様々な製造工程を示す図である。

【図 3】

本発明の高電圧ダイオードの様々な製造工程を示す図である。

20

【図 4】

本発明の高電圧ダイオードの様々な製造工程を示す図である。

【図 5】

本発明の高電圧ダイオードの様々な製造工程を示す図である。

【符号の説明】

- | | |
|-------|-------------------------|
| 1 | シリコン基板 |
| 2 | 二酸化珪素層 |
| 3 | ウェル用窓 |
| 4 | フィールド環用窓 |
| 5 | チップングストップパ環用窓 |
| 6 | エッジ |
| 7 | 間隔 |
| 8 | ウェル型領域 |
| 9 | フィールド環 |
| 1 0 | チップングストップパ環 |
| 1 1 | n ⁺ 型伝導シリコン層 |
| 1 2 | 不動態化層 |
| 1 2 a | チップングストップパ |
| 1 3 | アノード接触部 |
| 1 4 | チャネルストップパ |
| 1 5 | 切り込み縁 |

30

40

【国際公開パンフレット】

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
28. März 2002 (28.03.2002)

PCT

(10) Internationale Veröffentlichungsnummer
WO 02/25740 A1

(51) Internationale Patentklassifikation: **H01L 29/861**,
29/06, 21/304

(21) Internationales Aktenzeichen: PCT/DE01/03240

(22) Internationales Anmeldedatum:
24. August 2001 (24.08.2001)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
100 47 152.8 22. September 2000 (22.09.2000) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme
von US): **EUPEC EUROPÄISCHE GESELLSCHAFT
FÜR LEISTUNGSHALBLEITER MBH & CO. KG**
[DE/DE]; Max-Planck-Strasse 5, 59581 Warstein-Belecke
(DE). **INFINEON TECHNOLOGIES AG** [DE/DE];
St.-Martin-Strasse 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **BARTHELMMESS,**

Reimer [DE/DE]; Kuelbe 29, 59581 Warstein-Belecke
(DE). **PFIIRSCH, Frank** [DE/DE]; Saebener Strasse
230, 81545 München (DE). **MAUDER, Anton** [DE/DE];
Wilhelm-Zer-Strasse 3A, 83059 Kolbermoor (DE).
SCHMIDT, Gerhard [DE/AT]; Waldrainweg 12, A-9241
Wernberg-Widnath (AT).

(74) Anwalt: **KOTTMANN, Dieter**; Müller & Hoffmann, In-
nere Wiener Strasse 17, 81667 München (DE).

(81) Bestimmungsstaaten (national): JP, US.

(84) Bestimmungsstaaten (regional): europäisches Patent (AT,
BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,
NL, PT, SE, TR).

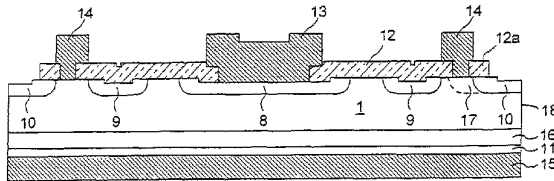
Veröffentlicht:

— mit internationalem Recherchenbericht

Zur Erklärung der Zweitbuchstaben-Codes und der anderen
Abkürzungen wird auf die Erklärungen ("Guidance Notes on
Codes and Abbreviations") am Anfang jeder regulären Ausgabe
der PCT-Gazette verwiesen.

(54) Title: HIGH-VOLTAGE DIODE AND METHOD FOR THE PRODUCTION THEREOF

(54) Bezeichnung: HOCHVOLT-DIODE UND VERFAHREN ZU DEREN HERSTELLUNG



(57) Abstract: The invention relates to a high-voltage diode and to a method for the production thereof. According to the invention, only three masking steps are required due to the use of adjustment structures (6) and of a chipping stopper with an edge passivation (12) comprised of a-C:H or a-Si.

(57) Zusammenfassung: Die Erfindung betrifft eine Hochvolt-Diode sowie ein Verfahren zu deren Herstellung, bei denen unter Verwendung von Justage-Strukturen (16) und eines Chipping-Stoppers mit einer Randpassivierung (12) aus a-C:H oder a-Si nur drei Maskenschritte benötigt werden.

WO 02/25740 A1

WO 02/25740

PCT/DE01/03240

1

Beschreibung

Hochvolt-Diode und Verfahren zu deren Herstellung

- 5 Die vorliegende Erfindung betrifft eine Hochvolt-Diode nach dem Oberbegriff des Patentanspruches 1 sowie ein Verfahren zum Herstellen einer solchen Hochvolt-Diode.

- 10 Bisher werden Hochvolt-Dioden, die für höhere Spannungen insbesondere oberhalb von etwa 400 V vorgesehen sind, bei Verwendung von planaren Strukturen mit Randabschlüssen aus Feldplatten, Feldringen, dielektrischen Isolierschichten, semiisolierenden Abdeckungen und variierender Dotierung im Randbereich versehen. Dabei werden diese Maßnahmen einzeln oder in
15 Kombination angewandt, wobei durchaus beispielsweise auch Feldplatten, Feldringe und dielektrische Isolierschichten gemeinsam zum Einsatz kommen.

- Dabei hat es sich gezeigt, dass bei der Herstellung der Diode
20 für einen den an ihn gestellten Forderungen genügenden Randabschluss sogar mehr Schritte als zur Einstellung der gewünschten Durchlass- und Schalteigenschaften notwendig sind. So erfordern beispielsweise Diodenränder auf der Basis von Feldplatten relativ aufwändige Herstellungsprozesse.

- 25 Im Einzelnen sind in C. Mingues und G. Charitat: "Efficiency of Junction Termination Techniques vs. Oxide Trapped Charges", 1997, IEEE International Symposium on Power Semiconductor Devices and ICs, Weimar, Seiten 137 bis 140, Randabschlüsse mit
30 Feldringen, semiisolierenden Schichten oder einer JTE (Junction Termination Extension) speziell hinsichtlich ihrer Empfindlichkeit gegenüber Oxydladungen miteinander verglichen. Dabei werden für Hochspannungsanwendungen als semiisolierende Schichten der Einsatz von SIPOS-Techniken empfohlen.

- 35 Aus EP-B1-0 341 453 ist ein MOS-Halbleiterbauelement für hohe Sperrspannung bekannt, bei dem Feldplatten auf verschiedenen dicken Isolierschichten angeordnet sind. Einige dieser Feld-

WO 02/25740

PCT/DE01/03240

2

platten dienen dabei als Kanal- bzw. Channel-Stopper. Solche als Kanal-Stopper verwendeten Feldplatten werden bei Dioden oft durch ein p-leitendes Gebiet im Randbereich an das Rückseitenpotenzial der Diode angeschlossen, obwohl an sich ein Anschluss über ein n-leitendes Gebiet vorteilhafter wäre, weil dadurch ein p-leitender Kanal zuverlässig verhindert werden könnte. Allerdings wäre für einen solchen Anschluss über ein n-leitendes Gebiet bei einem sonst üblichen Herstellungsprozess ein zusätzlicher Maskenschritt erforderlich.

10 So genannte Chipping-Stopper sollen beim Sägen einer Scheibe in einzelne Chips eine Ausbreitung von Kristalldefekten von der Sägekante in das aktive Gebiet der jeweiligen Chips verhindern. Diese Chipping-Stopper werden üblicherweise durch ein
15 Feldoxid zwischen dem funktionellen Randbereich des Chips und dem Sägerahmen realisiert.

Werden hoch sperrende pn-Übergänge nur mit dielektrischen Passivierungsschichten abgedeckt, so können bei Einwirkung von
20 äußeren Ladungen, die beispielsweise auf Feuchtigkeit, alkalische oder metallische Kontamination etc. zurückzuführen sind, bei Sperrbelastung des pn-Überganges Veränderungen in der Langzeit-Sperrstabilität beobachtet werden. Diese Veränderungen werden durch Drift von Ionenladungen im elektrischen
25 Feld des in Sperrrichtung gepolten pn-Überganges auf oder in der Passivierungsschicht hervorgerufen. Abhängig von dem Vorzeichen der Ionenladungen und auch abhängig von der Struktur des Randabschlusses, also abhängig von der so genannten Randkontur, können die Ionenladungen zu einer Erhöhung oder zu einer Erniedrigung der Sperrfähigkeit des pn-Überganges führen.
30 Bei einer Diode mit p-leitender Anode nimmt dabei mit abnehmender Dotierung in der n-leitenden Basis und daher mit zunehmender Volumensperrfähigkeit der Diode durch eine größere Influenzwirkung der Einfluss solcher Oberflächenladungen in und
35 auf der Passivierungsschicht zu, was zu einer dramatischen Steigerung der Gefahr von Sperrinstabilitäten führt. In diesem Zusammenhang ist auf den so genannten Yoshida-Effekt zu verweisen: Bei Einsatz von Isolatorschichten zur Passivierung

WO 02/25740

PCT/DE01/03240

3

wird gelegentlich infolge einer Injektion von heißen Elektronen während der Durchlassbelastung beim Umschalten in den Sperrzustand des pn-Überganges eine Drift der Sperrspannung beobachtet.

5 Durch den Einsatz von semiisolierenden Schichten direkt auf den pn-Übergängen kann bei geeigneten Einstellungen der Schicht- und Grenzflächenparameter, wie beispielsweise der Schichtdicke und Dotierung der semiisolierenden Schichten, der
10 Einfluss solcher Oberflächenladungen unterdrückt werden. Die semiisolierenden Schichten, die derzeit zur Passivierung von pn-Übergängen eingesetzt werden, bestehen beispielsweise aus amorphem Silizium (a-Si) oder aus mit Wasserstoff dotiertem amorphem Kohlenstoff (a-C:H), wie sie in EP-B1-0 400 178 und
15 EP-B1-0 381 111 beschrieben sind. Mit diesen semiisolierenden Schichten können bei entsprechender Optimierung der amorph-kristallinen Heteroübergänge zwischen diesen Schichten und dem elektrisch aktiven Siliziumsubstrat parasitäre Effekte, wie ein erhöhter Sperrstrom oder die Ausbildung von In-
20 versionsschichten, vermieden werden. Außerdem können semiisolierende Passivierungsschichten durch ihre endliche Zustandsdichte aktiv Bildladungen aufbauen und so von außen eindringende Fremdladungen abschirmen sowie durch ihre endliche spezifische Leitfähigkeit injizierte Ladungsträger ableiten. Insgesamt führt so eine semiisolierende Passivierung gegenüber
25 einer dielektrischen Passivierung zu einer wesentlich verbesserten Langzeitstabilität.

Es ist Aufgabe der vorliegenden Erfindung, eine Hochvolt-Diode
30 für Sperrspannungen insbesondere über etwa 400 V und vorzugsweise über etwa 500 V anzugeben, welche mit möglichst geringer Prozesskomplexität und damit geringer Anzahl von Fototechniken herstellbar ist und im Randbereich ohne Weiteres mit einem Kanal-Stopper zur Vermeidung von Leckströmen und einem Chipping-
35 Stopper zur Begrenzung der Ausdehnung von Sägedefekten ausgestattet werden kann; außerdem soll ein Verfahren zum Herstellen einer solchen Hochvolt-Diode geschaffen werden.

WO 02/25740

PCT/DE01/03240

4

Diese Aufgabe wird bei einer Hochvolt-Diode nach dem Oberbegriff des Patentanspruches 1 erfindungsgemäß durch die in dessen kennzeichnendem Teil enthaltenen Merkmale gelöst.

- 5 Ein vorteilhaftes Verfahren zum Herstellen der erfindungsgemäßen Hochvolt-Diode ist in Patentanspruch 12 angegeben.

Vorteilhafte Weiterbildungen der Erfindung ergeben sich aus den Unteransprüchen.

10

Die im kennzeichnenden Teil des Patentanspruches 1 angegebenen Maßnahmen (a) und (b) dienen jede einzeln für sich dazu, eine Hochvolt-Diode zu ermöglichen, die mit geringem Aufwand für Masken und Justage herstellbar ist und über einen Kanal-
15 Stopper, Chipping-Stopper etc. verfügt. Die Maßnahmen (a) und (b) können in vorteilhafter Weise gemeinsam angewandt werden. Selbstverständlich ist es aber auch möglich, eine Hochvolt-Diode zu schaffen, die nur eine dieser Maßnahmen realisiert.

20

Bei der erfindungsgemäßen Hochvolt-Diode kann es sich um eine schnelle schaltfeste Diode oder aber auch um eine Gleichrichter- und Universal-Diode in verschiedenen Spannungs- und Stromklassen handeln. Die Hochvolt-Diode kann einen oder mehrere Felddringe abhängig von der gewünschten Spannungs-
25 ihrem Randbereich haben.

In bevorzugter Weise besteht bei der erfindungsgemäßen Hochvolt-Diode der Halbleiterkörper aus n-leitendem Silizium, in das eine p-leitende wannenförmige Zone eingebracht ist.

30

Anstelle eines n-leitenden Siliziumkörpers kann aber auch ein p-leitender Siliziumkörper mit einer n-leitenden wannenförmigen Zone vorgesehen werden.

35

Das Halbleitermaterial ist nicht auf Silizium begrenzt. Anstelle von Silizium kann beispielsweise auch SiC oder ein A_mB_n -Halbleitermaterial eingesetzt werden.

WO 02/25740

PCT/DE01/03240

5

Nachfolgend wird die Erfindung anhand von Zeichnungen näher erläutert, in deren Fig. 1 bis 5 verschiedene Schritte zur Herstellung der erfindungsgemäßen Hochvolt-Diode dargestellt sind.

5

Fig. 1 zeigt ein n-leitendes Siliziumsubstrat 1, auf das beispielsweise in einem Ofenprozess mit feuchter Oxidation auf der Vorderseite eine etwa 0,5 µm dicke Siliziumdioxidschicht 2 aufgebracht wird. Anstelle von Siliziumdioxid kann gegebenenfalls für diese Schicht 2 auch ein anderes Material, beispielsweise Siliziumnitrid, gewählt werden.

In der Siliziumdioxidschicht 2 werden sodann Strukturen für die Anode der Diode und gegebenenfalls im Randbereich für Feldringe mittels Fotolithografie eingebracht. Hierzu wird auf die Siliziumdioxidschicht 2 eine Fotolackschicht aufgetragen, belichtet und entwickelt. Bei dieser Entwicklung werden die Bereiche der Fotolackschicht, in denen die Anode und gegebenenfalls Feldringe erzeugt werden sollen, entfernt. Auf die so freiliegende Siliziumdioxidschicht 2 wird ein Ätzmittel, beispielsweise während einer nasschemischen Ätzung, zur Einwirkung gebracht, um in den genannten Bereichen die Siliziumdioxidschicht zu entfernen.

Es schließt sich sodann ein weiterer Ätzschritt an, bei welchem ein Silizium-Abtrag von beispielsweise 10 ... 1000 nm, vorzugsweise 50 ... 200 nm in der freiliegenden Oberfläche des Siliziumsubstrates 1, also in den Bereichen der in die Siliziumdioxidschicht 2 eingebrachten "Fenster" vorgenommen wird. Dieser Silizium-Abtrag kann über den noch vorhandenen Fotolack oder über die nach Entfernung des Fotolackes verbleibende Siliziumdioxidschicht 2 vorgenommen werden. Damit wird die in Fig. 2 gezeigte Anordnung erhalten, welche auf dem Siliziumsubstrat 1 die verbleibenden Teile der Siliziumdioxidschicht 2 und in Fenstern 3 bis 5 für eine Anode (Fenster 3), einen Feldring (Fenster 4) und Justage-Strukturen zeigt, die in einem Ritzrahmen am Rand des jeweiligen Halbleiterchips (in Fig. 2 rechter Rand) definiert werden (Fenster 5). Anstelle eines

WO 02/25740

PCT/DE01/03240

6

Feldringses können auch mehrere Feldringe vorgesehen sein. Gegebenenfalls kann auf die Feldringe auch verzichtet werden. Die Justage erfolgt an Justage-Strukturen bildenden verbleibenden Kanten oder Stufen 6 des Fensters 5.

5 Bei der Ätzung des Siliziumsubstrates 1 in den Fenstern 3 bis 5 kann über die noch vorliegende Lackmaske die Siliziumdioxidschicht weiter nasschemisch zurückgeätzt werden, um einen gewissen Abstand 7 zwischen später in den Fenstern 3 bis 5 einzubringenden p-Dotierungen und den Kanten 6 der Justage-Strukturen bzw. der durch diese gebildeten Stufe im Siliziumsubstrat 1 zu erzeugen. Spätestens nach diesem gegebenenfalls erfolgenden Rückätzen wird der verbleibende Fotolack entfernt. Damit liegt die in Fig. 2 (ohne zusätzliches Rückätzen des Siliziumsubstrates) bzw. in Fig. 3 (mit zusätzlichem Rückätzen des Siliziumsubstrates) gezeigte Anordnung vor.

Es sei noch angemerkt, dass im vorliegenden Ausführungsbeispiel der Silizium-Abtrag in den Fenstern 3 bis 5 vorgenommen wird. Zumindest erfolgt dieser Abtrag im Fenster 3, um im Bereich einer Wanne 8 außerhalb eines Anodenkontaktes 13 (vgl. unten) eine Kante bzw. Stufe als Justage-Struktur zu erzeugen.

Die in Fig. 2 gezeigte Anordnung kann also in der Weise erzeugt werden, dass der Silizium-Abtrag in den Fenstern 3 bis 5 über die verbleibende Siliziumdioxidschicht 2 (Oxidmaske) bzw. über den auf dieser Siliziumdioxidschicht 2 noch vorhandenen Fotolack erfolgt.

30 Im Folgenden wird davon ausgegangen, dass die Anordnung von Fig. 3 weiterverarbeitet wird. Es ist jedoch auch möglich, die Anordnung von Fig. 2 in entsprechender Weise zu verarbeiten. In diesem Fall ist aber der Abstand 7 zwischen dem Rand der verbleibenden Siliziumdioxidschicht 2 und den Kanten 6 der Justage-Strukturen nicht vorhanden. Vielmehr schließen sich diese Kanten 6 der Justage-Strukturen dann lagemäßig direkt an den Rand der Fenster 3 bis 5 an.

WO 02/25740

PCT/DE01/03240

7

Es folgt sodann eine p-Dotierung, beispielsweise mit Bor, um eine p-leitende wannenförmige Zone 8, einen p-leitenden Feldring 9 und im Bereich des Chipping-Stoppers einen p-leitenden Ring 10 zu erzeugen, wie diese in Fig. 4 dargestellt sind. Die wannenförmige Zone 8 sowie der Feldring 9 und der Ring 10 können beispielsweise einstufig mittels Ionenimplantation oder auch mehrstufig hergestellt werden. So ist es speziell bei schnell schaltenden Dioden für die Zone 8 möglich, diese mit einem p'-leitenden Anoden-emitter von geringer Eindringtiefe zu versehen, dessen Dotierstoff-Dosis zwischen $1,3 \times 10^{13}$ Dotierstoff-Atomen cm^{-2} und 5×10^{13} Dotierstoffatomen cm^{-2} liegt, und den Rest der Zone 8 mit einer Dosis von etwa $(1,3 \dots 3) \times 10^{12}$ Dotierstoffatomen cm^{-2} zu dotieren (vgl. hierzu auch DE-A1-100 31 461).

Für die Weiterprozessierung der in Fig. 4 gezeigten Anordnung gibt es nun verschiedene Varianten, bei denen notwendige Prozessschritte, wie das Einbringen einer n-Dotierung (beispielsweise Phosphor) auf der Rückseite des Halbleitersubstrates 1, also der Scheibenrückseite, als Rückseiten-Emitter zur Bildung einer n'-leitenden Siliziumschicht 11 beispielsweise durch Ionenimplantation, das Abätzen der verbleibenden Siliziumdioxidschicht 2 (Opferoxid) auf der Scheibenvorderseite, das Aufbringen und Strukturieren einer Randpassivierungsschicht 12 mit einem Chipping-Stopper 12a aus jeweils insbesondere mit Wasserstoff dotiertem amorphem Kohlenstoff (a-C:H) unter Verwendung eines Litnographieschrittes, das Abscheiden und die Strukturierung einer Vorderseitenmetallisierung aus beispielsweise AlSi zur Bildung eines Anodenkontaktes 13 und eines Kanal-Stoppers 14 und das Abscheiden einer Rückseitenmetallisierung aus beispielsweise AlSi zur Bildung eines Kathodenkontaktes 15 sowie fakultative Prozessschritte, wie das Dünnschleifen bzw. Ätzen des Siliziumsubstrates 1 von der Rückseite auf Enddicke, das Einbringen einer n-leitenden Dotierung als Feldstoppschicht 16 auf der Scheibenrückseite und Ausdiffusion dieser n-leitenden Dotierung, das Einbringen von Schwermetallatomen zur Ladungsträgerlebensdauer-Einstellung, die Schwermetalldiffusion, die Bestrahlung zur Ladungs-

WO 02/25740

PCT/DE01/03240

8

- trägerlebensdauer-Einstellung, das Tempern der Vorderseitenmetallisierung und das Tempern des Rückseitenmetalls vorgenommen werden. Bei diesen Prozessschritten werden, soweit erforderlich, die Kanten 6 als Justage-Strukturen verwendet. Dabei ist es sogar möglich, die p-leitenden Dotierungen für die Zone 8, den Feldring 9 und den Ring 10, also das Einbringen des Vorderseiten-p-Kontaktes bzw. des p-leitenden Emitters mit Ionenimplantation zu einem späteren Zeitpunkt vorzunehmen.
- 5
- 10 Diese einzelnen Prozessvarianten sind in der folgenden Tabelle zusammengestellt. Dabei ist die Prozessvariante 1 besonders für Grundmaterial geeignet, das aus durch Zonenziehen (FZ) erhaltenen Silizium-Substratscheiben besteht, während die Prozessvarianten 2 und 3 auch für Czochralski-(CZ-) Substratscheiben oder für mit epitaktischen Schichten versehene bzw. diffundierte ("diffused") Wafer vorteilhaft sind.
- 15

Die Randpassivierungsschicht 12 (und damit der Chipping-Stopper 12a) kann gegebenenfalls auch aus amorphen Silizium (a-Si) bestehen.

20

Prozessvariante 1 für: Grundmaterial: Si-FZ-Substratscheiben	Prozessvariante 2 für: Grundmaterial: Si-FZ-/CZ-Substratscheiben oder Epi- bzw. Diffused Wafer	Prozessvariante 3 für: Grundmaterial: Si-FZ-/CZ-Substratscheiben oder Epi- bzw. Diffused Wafer
Dünnschleifen/Ätzen auf Enddicke		
Ggf. Einbringen einer n-Dotierung auf der Scheibenrückseite als Rückseiten-Emitter z. B.		

WO 02/25740

PCT/DE01/03240

9

mit Ionenimplanta- tion		
Ggf. Einbringen von Schwermetallatomen zur Ladungsträger- lebensdauer-Ein- stellung	Ggf. Einbringen von Schwermetallatomen zur Ladungsträger- lebensdauer-Ein- stellung	Ggf. Einbringen von Schwermetallatomen zur Ladungsträger- lebensdauer-Ein- stellung

WO 02/25740

PCT/DE01/03240

10

Ggf. Schwermetall-diffu- sion	Ggf. Schwermetall-diffu- sion	Ggf. Schwermetall-diffu- sion
		Dünnschleifen/Ätzen auf Enddicke
		Ggf. Einbringen ei- nes n-Rückseiten- kontakts z. B. durch Implantation mit nachfolgendem Ausheilschritt
Ggf. jetzt erst Einbringen des Vor- derseiten-p-Kon- takts/p-Emitters mit Ionenimplanta- tion	Ggf. jetzt erst Ein- bringen des Vor- derseiten-p-Kon- takts/p-Emitters mit Ionenimplantation	Ggf. jetzt erst Einbringen des Vor- derseiten-p-Kon- takts/p-Emitters mit Ionenimplanta- tion
Abätzen des Opfer- oxids auf der Vor- derseite	Abätzen des Opfer- oxids auf der Vor- derseite	Abätzen des Opfer- oxids auf der Vor- derseite
Ggf. Bestrahlung zur Ladungsträger- lebensdauer-Ein- stellung	Ggf. Bestrahlung zur Ladungsträger- lebensdauer-Ein- stellung	Ggf. Bestrahlung zur Ladungsträger- lebensdauer-Ein- stellung
Aufbringen der Randpassivierung, z. B. aus a-C:H	Aufbringen der Rand- passivierung, z. B. aus a-C:H	Aufbringen der Randpassivierung, z. B. aus a-C:H
Ggf. Bestrahlung zur Ladungsträger- lebensdauer-Ein- stellung	Ggf. Bestrahlung zur Ladungsträger- lebensdauer-Ein- stellung	Ggf. Bestrahlung zur Ladungsträger- lebensdauer-Ein- stellung
Abscheiden/ Strukturieren der Vorderseiten-Metal- lisierung z. B. aus AlSi	Abscheiden/ Strukturieren der Vorderseiten-Metal- lisierung z. B. aus AlSi	Abscheiden/ Strukturieren der Vorderseiten-Metal- lisierung z. B. aus AlSi

WO 02/25740

PCT/DE01/03240

11

Ggf. Tempern der Vorderseiten-Metal-lisierung	Ggf. Tempern der Vorderseiten-Metal-lisierung	Ggf. Tempern der Vorderseiten-Metal-lisierung
Ggf. Bestrahlung zur Ladungsträger-lebensdauer-Ein-stellung	Ggf. Bestrahlung zur Ladungsträger-lebensdauer-Ein-stellung	Ggf. Bestrahlung zur Ladungsträger-lebensdauer-Ein-stellung
	Dünnschleifen/Ätzen auf Enddicke	
	Einbringen einer n-Dotierung auf der Scheibenrückseite als Rückseiten-kontakt z. B. mit Ionenimplantation	
Abscheiden Rückseitenmetall	Abscheiden Rückseitenmetall	Abscheiden Rückseitenmetall
Ggf. Tempern des Rückseitenmetalls	Ggf. Tempern des Rückseitenmetalls	Ggf. Tempern des Rückseitenmetalls

Bei den obigen verschiedenen Prozessvarianten wird der Prozessschritt "Ggf. Bestrahlung zur Ladungsträgerlebensdauer-Einstellung" mehrmals vorgenommen, da je nach verwendeter Dosis bei der Ionenimplantation und Strahlenart unterschiedlich hohe Temperaturbudgets zur Ausheilung von Strahlenschäden erforderlich sind.

Die insbesondere aus mit Wasserstoff dotiertem amorphem Kohlenstoff bestehende Randpassivierungsschicht 12 wirkt teilweise als Chipping-Stopper 12a und verhindert die Ausbreitung von Kristalldefekten ausgehend von einem Ritzrahmen in ein aktives Gebiet beim Vereinzeln bzw. Sägen einer Siliziumscheibe in Chips. Im Ritzrahmen selbst ist dabei die Passivierungsschicht 12 analog zu den Kontaktlöchern für den Anodenkontakt 13 und den Kanal-Stopper 14 geöffnet, wobei hier aber keine Abdeckung mit Metall erfolgt.

WO 02/25740

PCT/DE01/03240

12

Der Kanal-Stopper 14 wirkt als Feldplatte und verhindert die weitere Ausbreitung einer Raumladungszone nach außen in den Ritzrahmen. Dadurch ist es möglich, die notwendige Randbreite speziell bei einem hochohmigen Grundmaterial für das Siliziumsubstrat 1 zu reduzieren.

Der Kanal-Stopper 14 kann auch mit einem p-leitenden Gebiet verbunden sein, wie dies durch eine gestrichelte Linie 17 in Fig. 5 angedeutet ist. Dieses p-leitende Gebiet sollte dann das gleiche elektrische Potenzial wie die Rückseite des Siliziumsubstrates haben, also mit dem Kathodenkontakt 15 verbunden sein.

Besonders vorteilhaft ist es aber, wenn der Kanalstopper 14 direkt mit einem n-leitenden Gebiet verbunden ist, wie dies in Fig. 5 gezeigt ist.

Zusätzlich zu dem Feldring 9 können gegebenenfalls zwischen dem aktiven Gebiet, also der wannenförmigen Zone 8, und einem Sägerand 18 noch weitere Feldringe 9 vorhanden sein, die zudem alle oder teilweise mit Metallstrukturen versehen sein können. Auch kann der Feldring 9 eine solche Metallstruktur haben.

Die erfindungsgemäße Hochvolt-Diode lässt sich dank der Justage-Strukturen 6, die außerhalb des Anodenkontaktes 13 gelegen sind, und der Ausführung des Chipping-Stoppers 12a im Randbereich durch die Passivierungsschicht 12 mittels lediglich insgesamt drei Maskierungsschritten für die Erzeugung der strukturierten Siliziumdioxidschicht 2, der Passivierungsschicht 12 und der Vorderseitenmetallisierung aus dem Anodenkontakt 13 und dem Kanal-Stopper 14 herstellen. In vorteilhafter Weise kann dabei die Justage-Struktur 6 ausgenutzt werden, die ein genaues Positionieren beispielsweise des Anodenkontaktes 13 und des Kanal-Stoppers 14 erlaubt.

WO 02/25740

13

PCT/DE01/03240

Bezugszeichenliste

	1	Siliziumsubstrat
5	2	Siliziumdioxidschicht
	3	Fenster für Wanne
	4	Fenster für Feldring
	5	Fenster für Chipping-Stopper-Ring
	6	Kante
10	7	Abstand
	8	wannenförmige Zone
	9	Feldring
	10	Chipping-Stopper-Ring
	11	n ⁺ -leitende Siliziumschicht
15	12	Passivierungsschicht
	12a	Chipping-Stopper
	13	Anodenkontakt
	14	Kanal-Stopper
	15	Kathodenkontakt
20	16	Feldstoppschicht
	17	gestrichelte Linie für p-leitendes Gebiet
	18	Sägerand

WO 02/25740

14

PCT/DE01/03240

Patentansprüche

1. Hochvolt-Diode mit:
- einer wannenförmigen Zone (8) des einen Leitungstyps, die in einer ersten Hauptoberfläche eines Halbleiterkörpers (1) des
 - 5 anderen, zum einen Leitungstyp entgegengesetzten Leitungstyps vorgesehen ist,
 - einem auf der wannenförmigen Zone (8) vorgesehenen Metallkontakt (13),
 - einer dem Metallkontakt (13) gegenüber liegenden Rückseitenmetallisierung (15) auf einer der ersten Hauptoberfläche gegenüber liegenden zweiten Hauptoberfläche des Halbleiterkörpers (1),
 - einem Randabschluss mit einem Kanal-Stopper (14) und
 - einer Passivierungsschicht (12), die auf der ersten Haupt-
 - 15 oberfläche im Bereich zwischen dem Metallkontakt (13) und dem Kanal-Stopper (14) vorgesehen ist und den an die erste Hauptoberfläche tretenden pn-Übergang bedeckt,
 - dadurch gekennzeichnet, daß
 - die Passivierungsschicht (12) aus amorphem, mit Wasserstoff
 - 20 dotiertem Kohlenstoff oder aus amorphem Silizium besteht und im Bereich des Halbleiterkörpers (1) außerhalb des Kanal-Stoppers (14) als Chipping-Stopper (12a) dient und
 - in der ersten Hauptoberfläche im Bereich der wannenförmigen Zone (8) mindestens eine Kante (6) als Justage-Struktur vorgesehen ist.
 - 25
2. Hochvolt-Diode nach Anspruch 1,
- dadurch gekennzeichnet, dass
- der Randabschluß einen oder mehrere Feldringe (9) aufweist.
- 30
3. Hochvolt-Diode der Ansprüche 1 oder 2,
- dadurch gekennzeichnet, dass
- der Kanal-Stopper (14) auf dem Halbleiterkörper (1) vorgesehen
- 35 ist.

WO 02/25740

15

PCT/DE01/03240

4. Hochvolt-Diode nach einem der Ansprüche 1 bis 3,
dadurch gekennzeichnet, dass
der Kanal-Stopper (14) auf einem Gebiet des einen Leitungstyps
vorgesehen ist.
- 5
5. Hochvolt-Diode nach einem der Ansprüche 1 bis 4,
dadurch gekennzeichnet, dass
zwischen dem Halbleiterkörper (1) und einer Kathodenmetalli-
sierung (15) eine Feldstoppschicht (16) des anderen Lei-
tungstyps und eine hochdotierte Emitterschicht (11) des ande-
ren Leitungstyps vorgesehen sind.
- 10
6. Hochvolt-Diode nach einem der Ansprüche 1 bis 5,
dadurch gekennzeichnet, dass
die Justage-Strukturen (6) aus Siliziumstufen in der ersten
Hauptoberfläche mit einer Höhe von etwa 10 ... 1000 nm, vor-
zugsweise 50 ... 200 nm bestehen.
- 15
7. Hochvolt-Diode nach einem der Ansprüche 1 bis 6,
dadurch gekennzeichnet, dass
die Justage-Strukturen (6) außerhalb des Anodenkontaktes (13)
gelegen sind.
- 20
8. Hochvolt-Diode nach einem der Ansprüche 1 bis 7,
dadurch gekennzeichnet, dass
die Passivierungsschicht (12) nicht bis zum Sägerand (18) des
Halbleiterkörpers reicht.
- 25
9. Hochvolt-Diode nach einem der Ansprüche 1 bis 8,
dadurch gekennzeichnet, dass
im Bereich des Sägerandes (18) eine ringförmige Zone (10) des
einen Leitungstyps an der ersten Hauptoberfläche freiliegen
kann.
- 30

35

WO 02/25740

16

PCT/DE01/03240

10. Hochvolt-Diode nach einem der Ansprüche 1 bis 9,
dadurch gekennzeichnet, dass
die wannenförmige Zone (8) des einen Leitungstyps mit einer
Dosis von $(1,3 \dots 3) \times 10^{12}$ Dotierstoffatomen cm^{-2} dotiert ist,
5 um die Hochvolt-Diode als schnelle Freilaufdiode zu betreiben.
11. Hochvolt-Diode nach Anspruch 10,
dadurch gekennzeichnet, dass
ein Oberflächenbereich der wannenförmigen Zone (8) mit einer
10 Dosis zwischen $1,3 \times 10^{12}$ Dotierstoffatomen cm^{-2} und
 5×10^{12} Dotierstoffatomen cm^{-2} dotiert ist.
12. Verfahren zum Herstellen der Hochvolt-Diode nach einem
der Ansprüche 1 bis 11,
15 gekennzeichnet durch
die folgenden Verfahrensschritte:
(a) Erzeugen einer Maskenisolierschicht (2) auf einem Halb-
leiterkörper (1),
(b) Strukturieren der Maskenisolierschicht (2) zur Erzeugung
20 wenigstens eines Fensters (3, 4, 5) für eine wannenförmige Zo-
ne (8),
(c) Erzeugen von Stufen als Justage-Strukturen (6) im Silizi-
umkörper (1) durch die Fenster (3, 4, 5),
(d) Erzeugen der wannenförmigen Zone (8) durch das Fenster (3)
25 mit jeweils einem zum Leitungstyp des Halbleiterkörpers (1)
entgegengesetzten Leitungstyp,
(e) Entfernen der strukturierten Maskenisolierschicht (2),
(f) Aufbringen und mittels eines mit den Justage-Strukturen
(6) justierten Lithographieschrittes Strukturieren einer Pas-
sivierungsschicht (12) aus amorphem, mit Wasserstoff dotiertem
30 Kohlenstoff oder aus amorphem Silizium,
(g) Aufbringen und Strukturieren eines Metallkontaktes (13)
und eines Kanal-Stoppers (14) in Fenstern der strukturierten
Passivierungsschicht (12) auf einer Vorderseite der wannen-
förmigen Zone (8) bzw. des Halbleiterkörpers (1) und
35 (h) Aufbringen einer Metallisierung (15) auf der Rückseite des
Halbleiterkörpers (1).

WO 02/25740

17

PCT/DE01/03240

13. Verfahren nach Anspruch 12,
 dadurch gekennzeichnet, dass
 bei Verfahrensschritt (b) ein Strukturieren für einen Feldring
 (9) und einen Chipping-Stopper-Ring (10) vorgenommen wird.
- 5
14. Verfahren nach Anspruch 12 oder 13,
 dadurch gekennzeichnet, dass
 vor oder nach dem Verfahrensschritt (d) wenigstens einer der
 folgenden Verfahrensschritte durchgeführt wird:
- 10 (i) Dünnschleifen und/oder Ätzen des Halbleiterkörpers (1) auf
 Enddicke,
 (j) Einbringen einer Dotierung des anderen Leitungstyps als
 Feldstoppschicht (16) auf der Rückseite des Halbleiterkörpers
 (1) und Ausdiffusion dieser Dotierung,
- 15 (k) Einbringen einer n-leitenden Dotierung auf der Rückseite
 des Halbleiterkörpers (1) als Rückseiten-Emitter (11) insbe-
 sondere durch Ionenimplantation,
 (l) Einbringen von Schwermetallatomen zur Ladungsträgerle-
 bensdauer-Einstellung und
- 20 (m) Diffusion der Schwermetallatome.
15. Verfahren nach den Ansprüchen 12 und 14,
 dadurch gekennzeichnet, dass
 einer der Verfahrensschritte (l) und (m) vor oder nach dem
- 25 Verfahrensschritt (d) durchgeführt wird.
16. Verfahren nach den Ansprüchen 12 und 14,
 dadurch gekennzeichnet, dass
 die Verfahrensschritte (i) bis (k) nach den Verfahrensschrit-
- 30 ten (l) und (m) durchgeführt werden.
17. Verfahren nach einem der Ansprüche 12 bis 16,
 dadurch gekennzeichnet, dass
 nach dem Verfahrensschritt (e) und vor dem Verfahrensschritt
- 35 (f) der folgende Verfahrensschritt durchgeführt wird:
 (n) Bestrahlen des Halbleiterkörpers (1) und/oder darin ent-
 haltenen Zonen (8) und Ringe (9, 10) zur Ladungsträgerlebens-
 dauer-Einstellung.

18. Verfahren nach einem der Ansprüche 12 bis 17,
dadurch gekennzeichnet, dass
nach dem Verfahrensschritt (f) und vor dem Verfahrensschritt
5 (g) der folgende Verfahrensschritt durchgeführt wird:
(o) Bestrahlen des Halbleiterkörpers (1) und/oder der darin
enthaltenen Zonen (8) und Ringe (9, 10) zur Ladungsträgerle-
bensdauer-Einstellung.
- 10 19. Verfahren nach einem der Ansprüche 12 bis 18,
dadurch gekennzeichnet, dass
nach dem Verfahrensschritt (g) wenigstens einer der folgenden
Verfahrensschritte durchgeführt wird:
15 (p) Tempern der Vorseiten-Metallisierung aus dem Metallkontakt
(13) und dem Kanal-Stopper (14) und
(q) Bestrahlen des Halbleiterkörpers (1) und der darin ent-
haltenen Zonen (8) und Ringe (9, 10) zur Ladungsträgerlebens-
dauer-Einstellung.
- 20 20. Verfahren nach einem der Ansprüche 12 bis 19,
dadurch gekennzeichnet, dass
die Verfahrensschritte (i) und (k) nach dem Verfahrensschritt
(q) durchgeführt werden.
- 25 21. Verfahren nach einem der Ansprüche 12 bis 20,
dadurch gekennzeichnet, dass
nach dem Verfahrensschritt (h) der folgende Verfahrensschritt
durchgeführt wird:
(r) Tempern der Metallisierung (15) auf der Rückseite des
30 Halbleiterkörpers.
22. Verfahren nach einem der Ansprüche 12 bis 21,
dadurch gekennzeichnet, dass
die Maskenisolierschicht (2) in einem Ofenprozess mit feuchter
35 Oxidation bis zu einer Schichtdicke von etwa 0,5 µm durchge-
führt wird.

WO 02/25740

19

PCT/DE01/03240

23. Verfahren nach einem der Ansprüche 12 bis 22,
dadurch gekennzeichnet, dass
die Justage-Strukturen (6) bis zu einer Tiefe von
10 ... 1000 nm, vorzugsweise 50 ... 200 nm in den Halbleiter-
5 körper (1) durch Ätzen eingebracht werden.
24. Verfahren nach Anspruch 23,
dadurch gekennzeichnet, dass
für das Ätzen eine isotrope Ätzung durchgeführt wird.
10
25. Verfahren nach einem der Ansprüche 12 bis 24,
dadurch gekennzeichnet, dass
die Justage-Strukturen (6) mit einem Abstand (7) gegenüber den
Fenstern (3, 4, 5) versehen werden.
15
26. Verfahren nach einem der Ansprüche 12 bis 25,
dadurch gekennzeichnet, dass
zur Herstellung der Hochvolt-Diode nur drei Fototechnik-
Schritte durchgeführt werden.
20

WO 02/25740

PCT/DE01/03240

1/2

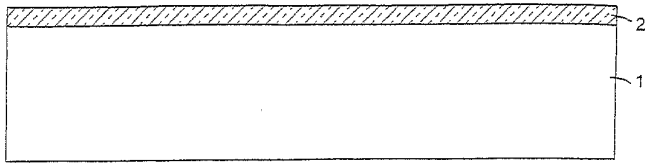


Fig. 1

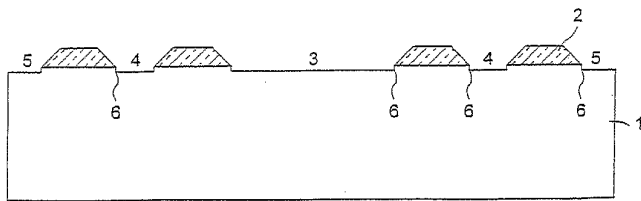


Fig. 2

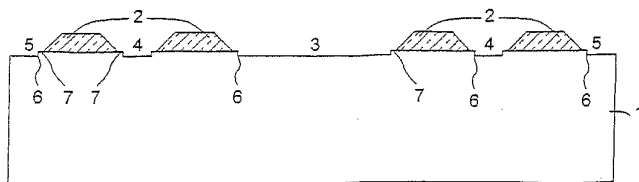


Fig. 3

This cross-sectional view shows a substrate with several layers. From bottom to top, the layers are labeled 15, 11, 16, 10, and 18. A central region is labeled 1. Above this region, there are several rectangular blocks labeled 13 and 14. A layer labeled 12 is situated above the central region 1. A layer labeled 17 is located between the central region 1 and the blocks 13 and 14. A layer labeled 8 is located below the central region 1. A layer labeled 9 is located below the central region 1. A layer labeled 10 is located below the central region 1. A layer labeled 12a is located below the central region 1. A layer labeled 13 is located below the central region 1. A layer labeled 14 is located below the central region 1. A layer labeled 17 is located below the central region 1. A layer labeled 18 is located below the central region 1.

Fig. 5

【国際調査報告】

INTERNATIONAL SEARCH REPORT		Inventor's Application No. PCT/DE 01/03240
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L29/861 H01L29/06 H01L21/304		
According to International Patent Classification (IPC) or to both national classification and IPC.		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 760 528 A (SIEMENS AG) 5 March 1997 (1997-03-05) column 12, line 42 - line 47; figure 3	1-26
A	EP 0 264 564 A (SIEMENS AG) 27 April 1988 (1988-04-27) column 5, line 45 - line 58; figure 4	1-26
A	EP 0 381 111 A (SIEMENS AG) 8 August 1990 (1990-08-08) cited in the application claim 1	1-26
A	EP 0 341 453 A (SIEMENS AG) 15 November 1989 (1989-11-15) cited in the application figure 2	1-26
--- -/-		
☒ Further documents are listed in the continuation of box C. ☒ Patent family members are listed in annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another claim or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "Z" document member of the same patent family		
Date of the actual completion of the international search 10 December 2001		Date of mailing of the international search report 18/12/2001
Name and mailing address of the ISA European Patent Office, P.B. 5518 Patentkanal 2 NL - 2280 LV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Juhl, A

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT		Int. Patent Application No. PCT/JP 01/03240
C/(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 400 178 A (SIEMENS AG) 5 December 1990 (1990-12-05) cited in the application figure 4	1,12
A	US 4 804 641 A (ARLT MANFRED ET AL) 14 February 1989 (1989-02-14) figure 2	1
A	EP 0 982 768 A (ASEA BROWN BOVERI) 1 March 2000 (2000-03-01) claim 7	1

INTERNATIONAL SEARCH REPORT

 Int. Application No.
 PL 1/01E 01/03240

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
EP 0760528	A	05-03-1997	DE	19531369 A1	27-02-1997
			EP	0760528 A2	05-03-1997
			JP	9107098 A	22-04-1997
EP 0264564	A	27-04-1988	DE	3782609 D1	17-12-1992
			EP	0264564 A1	27-04-1988
EP 0381111	A	08-08-1990	DE	59009167 D1	06-07-1995
			EP	0381111 A2	08-08-1990
			ES	2072321 T3	16-07-1995
			JP	2239623 A	21-09-1990
			US	5039358 A	13-08-1991
EP 0341453	A	15-11-1989	DE	58905356 D1	30-09-1993
			EP	0341453 A1	15-11-1989
			JP	2017676 A	22-01-1990
			JP	2566210 B2	25-12-1996
			US	4954868 A	04-09-1990
EP 0400178	A	05-12-1990	EP	0400178 A1	05-12-1990
			DE	4013435 A1	06-12-1990
			DE	58908152 D1	08-09-1994
			JP	2856847 B2	10-02-1999
			JP	3116785 A	17-05-1991
US 4804641	A	14-02-1989	DE	3677455 D1	14-03-1991
			EP	0220404 A1	06-05-1987
			JP	62081729 A	15-04-1987
EP 0982768	A	01-03-2000	DE	19837944 A1	24-02-2000
			CN	1245974 A	01-03-2000
			EP	0982768 A1	01-03-2000
			JP	2000106368 A	11-04-2000

Form: PCT/ISA/210 (patent family annex) (July 1992)

INTERNATIONALER RECHERCHENBERICHT		Int. nationales Aktenzeichen Pct./UE 01/03240
A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES IPK 7 H01L29/861 H01L29/06 H01L21/304		
Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK		
B. RECHERCHIERTE GEBIETE Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole) IPK 7 H01L		
Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe) EP0-Internal, PAJ		
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Bez. Anspruch Nr.
A	EP 0 760 528 A (SIEMENS AG) 5. März 1997 (1997-03-05) Spalte 12, Zeile 42 - Zeile 47; Abbildung 3	1-26
A	EP 0 264 564 A (SIEMENS AG) 27. April 1988 (1988-04-27) Spalte 5, Zeile 45 - Zeile 58; Abbildung 4	1-26
A	EP 0 381 111 A (SIEMENS AG) 8. August 1990 (1990-08-08) in der Anmeldung erwähnt Anspruch 1	1-26
A	EP 0 341 453 A (SIEMENS AG) 15. November 1989 (1989-11-15) in der Anmeldung erwähnt Abbildung 2	1-26
-/-		
☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie		
* Besondere Kategorien von angegebenen Veröffentlichungen : "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist "E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung betragt werden soll oder die aus einem anderen besonderen Grund angegeben ist (z.B. ausgetilgt) "C" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Auszelle oder andere Maßnahmen bezieht "P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist "T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist "X" Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfindarischer Tätigkeit beruhend betrachtet werden "Y" Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann nicht als auf erfindarischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist "Z" Veröffentlichung, die Mitglied derselben Patentfamilie ist		
Datum des Abschlusses der internationalen Recherche 10. Dezember 2001		Abschlußdatum des internationalen Recherchenberichts 18/12/2001
Name und Postanschrift der internationalen Recherchenbehörde Europäisches Patentamt, P.O. Box 5016 Patentkanal 2 NL - 5260 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Bevollmächtigter Bevollmächtigter Juhl, A

INTERNATIONALER RECHERCHENBERICHT

Int. ———— nationales Aktenzeichen
 Pub. DE 01/03240

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Beiz. Anspruch Nr.
A	EP 0 400 178 A (SIEMENS AG) 5. Dezember 1990 (1990-12-05) in der Anmeldung erwähnt Abbildung 4	1, 12
A	US 4 804 641 A (ARLT MANFRED ET AL) 14. Februar 1989 (1989-02-14) Abbildung 2	1
A	EP 0 982 768 A (ASEA BROWN BOVERI) 1. März 2000 (2000-03-01) Anspruch 7	1

Formblatt PCT/ISA/210 (Fortsetzung von Blatt 2) (Juli 1992)

INTERNATIONALER RECHERCHENBERICHT

 Int.
 nächstes Aktenzeichen
 F 01, DE 01/03240

Im Recherchenbericht angeführtes Patentedokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP 0760528 A	05-03-1997	DE 19531369 A1 EP 0760528 A2 JP 9107098 A	27-02-1997 05-03-1997 22-04-1997
EP 0264564 A	27-04-1988	DE 3782609 D1 EP 0264564 A1	17-12-1992 27-04-1988
EP 0381111 A	08-08-1990	DE 59009167 D1 EP 0381111 A2 ES 2072321 T3 JP 2239623 A US 5039358 A	06-07-1995 08-08-1990 16-07-1995 21-09-1990 13-08-1991
EP 0341453 A	15-11-1989	DE 58905356 D1 EP 0341453 A1 JP 2017676 A JP 2566210 B2 US 4954868 A	30-09-1993 15-11-1989 22-01-1990 25-12-1996 04-09-1990
EP 0400178 A	05-12-1990	EP 0400178 A1 DE 4013435 A1 DE 58908152 D1 JP 2856847 B2 JP 3116785 A	05-12-1990 06-12-1990 08-09-1994 10-02-1999 17-05-1991
US 4804641 A	14-02-1989	DE 3677455 D1 EP 0220404 A1 JP 62081729 A	14-03-1991 06-05-1987 15-04-1987
EP 0982768 A	01-03-2000	DE 19837944 A1 CN 1245974 A EP 0982768 A1 JP 2000106368 A	24-02-2000 01-03-2000 01-03-2000 11-04-2000

Formblatt PCT/ISA/210 (Anhang Patentamt 89) (Juli 1992)

フロントページの続き

(74)代理人 100113701

弁理士 木島 隆一

(74)代理人 100116241

弁理士 金子 一郎

(72)発明者 バルテルメス, ライナー

ドイツ連邦共和国 5 9 4 9 4 ゴースト ヴェステンヘルヴェク 2 5

(72)発明者 プフィルシュ, フランク

ドイツ連邦共和国 8 1 5 4 5 ミュンヘン ゼベナー シュトラーセ 2 3 0

(72)発明者 マウダー, アントン

ドイツ連邦共和国 8 3 0 5 9 コルベルモーア ヴィルヘルム ツェル シュトラーセ 3 アー

(72)発明者 シュミット, ゲルハルト

オーストリア 9 2 4 1 ヴェルンベルグ ヴドマス ヴァルトラインヴェク 1 2