(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G02F 1/133

(45) 공고일자 2002년10월09일
(11) 등록번호 10-0318698
(24) 등록일자 2001년12월12일

(21) 출원번호 10-1996-0013043
(22) 출원일자 1996년04월26일

(65) 공개번호 특1996-0038451
(43) 공개일자 1996년11월21일

(30) 우선권주장 95-129429 1995년04월27일 일본(JP)

(73) 특허권자 가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 야마자끼 순페이
일본국 157 토오쿄 세타가야구 세이조 4-10-20
고야마 준
일본국 229 가나가와켄 사가미하라시 니시 하시모토 1-4-23
치무라 히데히코
일본국 243 가나가와켄 아쓰기시 아이코 1058-1 마이존 돌 203

(74) 대리인 황의만

심사관 : 고종욱

(54) 액티브매트릭스표시장치

요약

본 발명에 따르면 다수의 부분상표시부들이 제공된다. 이 부분상표시부들의 각각은 최소한 하나의 신호라인 구동회로와, 최소한 하나의 주사라인 구동회로로 구성된다. 각 부분상표시부는 상의 일 프레임의 일부를 표시한다. 상의 일 프레임 전체는 상기 부분상표시부들의 전체에 의해 표시된다.

대표도

도 1

명세서

도면의 간단한 설명

제 1 도는 본 발명의 실시예 1에 따른 화상 판독/재생 시스템의 블록도.

제 2 도는 제 1 도에 도시된 아날로그/디지털 변환기와 디지털/아날로그 변환기를 나타내는 도면.

제 3 도는 제 1 도에 도시된 화상 데이터 재배열 유니트를 나타내는 도면.

제 4 도는 제 1 도의 시스템에 사용되는 R(적) 신호용 FIFO 메모리를 나타내는 도면.

제 5 도는 판독되는 화상 데이터와 표시되는 화상 사이의 관계를 나타내는 도면.

제 6 도는 제 3 도에 도시된 화상 데이터 재배열 유니트의 동작을 나타내는 타이밍차트.

제 7 도는 제 1 도의 시스템에 사용되는 액정표시장치의 회로도.

제 8 도는 제 7 도에 도시된 액정표시장치에 의해 화상이 표시되는 방식을 나타내는 도면.

제 9 도(a) 및 (b)는 제 7 도에 도시된 액정표시장치에서 실행되는 주사의 예를 나타내는 도면.

제 10 도는 본 발명의 실시예 2에 따른 액정표시장치의 회로도.

제 11 도(a) 및 (b)는 제 10 도에 도시된 게이트측 구동기의 구동 성능을 나타내는 회로도.

제 12 도는 제 10 도의 액정표시장치에 사용되는 샘플링 회로의 부분 회로도.

제 13 도는 제 10 도의 액정표시장치의 부분적인 화소 매트릭스들의 배치를 나타내는 도면.

제 14 도는 제 10 도의 액정표시장치에 사용되는 샘플링 회로의 배치를 나타내는 도면.

제 15 도는 제 10 도의 액정표시장치에서 실행되는 주사의 예를 나타내는 도면.

제 16 도는 본 발명의 실시예 3에 따른 액정표시장치의 부분적인 화소 매트릭스들의 배치를 나타내는 도면.

제 17 도는 제 16 도의 액정표시장치에 사용되는 샘플링 회로의 배치를 나타내는 도면.

제 18 도는 제 16 도의 면(1610)을 따라 취한 단면도.

제 19 도는 제 16 도의 면(1611)을 따라 취한 단면도.

제 20 도는 종래의 표시장치의 블록도.

제 21 도는 종래의 액티브 매트릭스형 액정표시장치의 회로도.

제 22 도는 종래기술에 의해 형성된 하나의 화소의 회로도.

제 23 도는 종래의 표시장치의 파형도.

* 도면의 주요부분에 대한 부호의 설명

001a, 001b, 001c, 001d: 부분적인 화상표시부

101: 화상 판독기 102: 표시장치

301, 302, 303: FIFO 메모리 304: 타이밍 발생기

701a, 701b, 701c, 701d: 소스측 스타트 펄스 입력단자

702a, 702b, 702c, 702d: 소스측 시프트 클럭 입력단자

703a, 703b, 703c, 703d: 아날로그 적녹청(RGB) 입력단자

704a, 704b, 704c, 704d: 게이트측 스타트 펄스 입력단자

705a, 705b, 705c, 705d: 게이트측 시프트 클럭 입력단자

720a, 720b, 720c, 720d: 대향전극

801a, 801b, 801c, 801d: 부분적인 화소 매트릭스

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 고속 및 대량의 화상 데이터를 사용하여 고화질의 화상을 표시하는데 적합한 HDTV와 같은 표시장치에 관한 것으로, 더 구체적으로는, 전기광학 액정표시장치에 관한 것이다.

제 20 도에, 종래의 화상 표시 시스템의 구성이 나타내어져 있다. 이 시스템은 비디오 카메라와 같은 화상 판독기(2001)를 구비하고 있고, 이 화상 판독기는 정지 화상 또는 동화상일 수 있는 소망의 화상을 주사하여, 출력 데이터를 발생한다. 전기광학 액정표시장치와 같은 표시장치(2002)가 그 표시장치(2002)와 화상판독기(2001) 사이에 접속된 제어 유니트의 제어하에 화상 판독기(2001)로부터의 출력 데이터를 사용하여, 즉, 주사 결과에 따라 표시를 행한다.

다음, 제 21 도를 참조하여, 상기한 표시장치의 일 예인 전기광학 액티브 매트릭스형 액정표시장치에 관하여 설명한다. 제 21 도에 도시된 종래의 액티브 매트릭스형 액정표시장치는 게이트측 구동기(2116), 즉, 주사선 구동회로와, 소스측 구동기(2115), 즉, 신호선 구동회로, 및 행렬로 배열된 다수의 화소로 이루어진 화소 매트릭스(2105)를 포함한다.

신호선 구동회로(소스측 구동기)(2115)는 시프트 레지스터(2102)와, 상보형 박막트랜지스터(TFT)로 이루어진 샘플링 회로(2103)로 구성되어 있다. 시프트 레지스터(2102)는 상보형 TFT로 이루어진 마스터-슬레이브 플립플롭들을 포함한다.

주사선 구동회로(게이트측 구동기)(2116)는 시프트 레지스터(2106)와, 상보형 TFT로 이루어진 버퍼 회로(2107)로 구성되어 있다. 상기 시프트 레지스터(2106)는 상보형 TFT로 이루어진 마스터-슬레이브 플립플롭들을 포함한다.

제 22 도에 각 화소의 구성이 나타내어져 있다. N형 TFT(2200)는 게이트 전극(2202)과, 소스 전극(2201), 및 드레인 전극(2203)을 가지고 있다. N형 TFT(2200)의 드레인 전극(2203)에 접속된 액정소자(2204)와 보조용량(2206)이 각각 대향전극(2205)과 접지(2207)에 접속되어 있다.

다음, 상기한 바와 같이 구성된 종래의 전기광학 액티브 매트릭스형 액정표시장치의 동작에 관하여 설명한다. 먼저, 게이트측 구동기, 즉, 주사선 구동회로(2116)의 동작에 대해 설명한다. 게이트측의 스타트 펄스 및 게이트측의 시프트 클럭 펄스가 입력되면, 버퍼 회로(2107)에 접속된 게이트 신호선(2108)이 저(L)레벨로 되고, 그 뒤에 게이트측의 시프트 클럭 펄스에 동기하여 고(H)레벨로 된다.

소스측 구동기, 즉, 신호선 구동회로(2115)의 동작에 관해서는, 소스측의 스타트 펄스와 소스측의 시프트 클럭 펄스가 입력되면, 샘플링 신호선(2117)이 저(L)레벨로부터 고(H)레벨로 바뀐 다음, 소스측의 시프트 클럭 펄스와 동기하여 저레벨로 된다. 아날로그 적녹청(RGB) 신호선(2110)을 통해 입력된 화상 신호가 샘플링 신호선(2117)으로부터 얻어진 신호에 따라 샘플링되고, 화상에 관한 데이터가 소스 신호선들에 인가된다.

액티브 매트릭스 표시장치 전체는 다음과 같이 동작한다. 일 수평방향으로 데이터를 기록하기 위해서는, 소스측의 시프트 클럭 펄스와 동기하여 게이트 신호선들이 고레벨로 유지되는 이들 수평선상의 화소들에 화상에 관한 데이터가 기록된다. 이러한 동작은 게이트측의 수직 시프트 클럭 펄스들과 동기하여 수직방향으로 반복된다. 이들 동작이 1 프레임의 화상에 대해 수행되어, 1 프레임의 화상이 표시된다. 제 23 도는 이러한 일련의 동작을 나타내는 타이밍 차트이다.

상기한 종래의 구조에 의해 표시가 이루어지는 방식은 다음과 같은 단점을 가지고 있다. 즉, (1) 종래의 액정표시장치의 TFT는 작은 이동도를 가지고 있고, (2) 액정화소들에 데이터를 기록하는데 장시간이 걸린다는 단점이 있다. 이러한 이유 및 그외의 다른 이유 때문에, 수평 샘플링 클럭 주파수를 높은 값으로 설정하는 것이 불가능하였다. 그 결과, 고속동작을 달성하기가 어려웠다. 즉, TFT와 액정의 상태를 변화시키는데 장시간이 걸린다.

이들 바람직하지 않은 현상은, 표시화면의 면적이 증가함에 따라, 즉, 화소의 수가 증가함에 따라 더욱 심화되는데, 그 이유는 대량의 데이터를 사용해야 하기 때문이다.

오늘날, HDTV 및 EDTV에서와 같이 고화질을 얻기 위해서는, 1 프레임의 화상에 대한 데이터의 양이 기존의 텔레비전에 비해 수 배 증가한다. 표시면적이 증가함에 따라, 가시도가 향상된다. 또한, 하나의 표시장치에 동시에 다수의 화상이 표시될 수 있다. 따라서, 대면적의 표시장치에 대한 요구가 증가되고 있다. 이러한 요구를 만족시키기 위해서는, 전기광학 액정표시장치가 고속으로 동작해야 할 필요가 있다.

본 발명의 목적은 상기한 문제점들이 해소된 표시장치를 제공하는데 있다.

본 발명의 일 실시형태에 따르면, 행렬(매트릭스)로 배열된 다수의 화소와, 그 화소들 각각에 배치된 스위칭 소자와, 상기 화소들에 접속되고 스위칭 소자들을 온/오프시키도록 작용하는 주사선과, 상기 화소들에 접속되고 표시신호들을 발생하도록 작용하는 신호선을 포함하는 액티브 매트릭스 표시장치가 제공된다. 이 액티브 매트릭스 표시장치는, 그 장치가 적어도 하나의 신호선 구동회로와 적어도 하나의 주사선 구동회로로 이루어진 2종류의 라인 구동회로를 가지고 있다는 것과, 이들 2종류의 라인 구동회로들중 적어도 하나가 다수 개로 되어 있다는 것을 특징으로 한다. 적어도 하나의 신호선 구동회로와 적어도 하나의 주사선 구동회로는 쌍으로 구성되어 부분적인 화상표시부를 형성한다. 이 표시장치는 이와 같은 부분적인 화상표시부를 다수 개 가지고 있다. 각각의 부분적인 화상표시부가 1 프레임의 화상의 일부를 표시한다. 따라서, 부분적인 화상표시부들 모두가 협동하여 화상의 1 프레임 전체를 표시한다.

본 발명의 일 특징에서는, 상기 주사선과 신호선중 하나 또는 그들 모두가 다층의 금속구조물 형태를 취한다.

본 발명의 다른 특징에서는, 상기 부분적인 화상표시부들 각각이 전기적으로 독립적인 대향전극을 가지고 있다.

본 발명의 또 다른 특징에서는, 상기 표시장치가 입력 화상 데이터를 부분적인 화상표시부들에 각각 대응하는 데이터 세트들로 변환시키기 위한 화상 데이터 재배열 유니트를 가지고 있다.

상기 표시장치는 적어도 하나의 주사선 구동회로와 적어도 하나의 신호선구동회로로 이루어진 2종류의 라인 구동회로를 가지고 있다. 이들 2종류의 라인구동회로중 적어도 하나는 다수 개로 구성되어 있다. 표시장치가 1 프레임의 화상을 표시하는 경우, 적어도 하나의 주사선 구동회로와 적어도 하나의 신호선 구동회로에 의해 하나의 부분적인 화상표시부가 형성된다. 즉, 다수의 부분적인 화상표시부들이 함께 하나의 표시장치를 구성한다. 따라서, 부분적인 화상표시부들의 집합체가 1 프레임의 화상을 표시하게 된다.

각각의 부분적인 화상표시부는 하나의 완전한 화상을 표시할 때 사용되는 것보다 적은 수의 주사선과 적은 수의 신호선을 가진다. 따라서, 주사선들과 신호선들을 구동하고 신호들을 공급하는데 걸리는 시간이 종래보다 길어질 수 있다.

따라서, 저속동작하는 TFT가 신호선 및 주사선들을 구동하는데 사용되는 경우에는, 동일한 방식으로 표시가 행해질 수 있으며, 이것은 비용을 절감시킬 수 있다.

종래기술에서 사용되는 TFT와 동일한 속도로 동작하는 TFT가 신호선 및 주사선들을 활성화시키는 데 사용되는 경우에는, 표시장치 전체에 포함되는 화소의 수가 증가될 수 있다.

일 예로서, 전체 표시장치는 2개의 주사선 구동회로와 2개의 신호선 구동회로를 가지고 있다. 부분적인 화상표시부들 각각이 하나의 주사선 구동회로와 하나의 신호선 구동회로로 구성되는 경우, 4개의 부분적인 화상표시부가 형성된다.

표시장치가 480개의 주사선을 가지고 있고 초당 30개의 프레임이 생성되는 것을 가정하면, 종래에는 일 주사선에 대한 데이터를 공급하는데 소요되는 시간이 1÷30÷480 = 69 μs보다 짧아야만 하였으나, 본 발명에서는 소요시간이 1÷30÷240 = 139 μs로 된다. 그리하여, 종래보다 2배 긴 시간이 보장된다. 종래기술에서는, 하나의 구동회로가 480개의 라인을 구동시킬 수 있으나, 본 발명에서는 동일 구동회로가 960개의 라인을 구동시킬 수 있다.

본 발명은, 소스측 구동기 또는 게이트측 구동기의 동작속도를 변화시키지 않고 그리고 클럭 주파수 또는 다른 매개변수를 변화시키지 않고, 종래보다 고속으로 표시장치, 특히, 전기광학 액티브 매트릭스형 액정표시장치상에 화상을 표시할 수 있게 한다. 따라서, 높은 정보용량을 갖는 고속, 대면적의 표시장치가 저렴한 가격으로 얻어질 수 있다.

본 발명의 다른 목적 및 특징들은 하기의 설명으로부터 명백해질 것이다. 이하, 본 발명의 실시예에 관해 설명한다.

실시예 1

본 실시예의 구성을 제 1 도를 참조하여 간단히 설명한다. 본 실시예는 전기광학 액정표시장치와 같은 표시장치(102)를 사용하는 화상 판독/재생 시스템에 관한 것이다. 도시된 바와 같은 화상 판독기(101)에 의해 화상이 주사 및 판독된다. 그 화상은 표시장치(102)의 4개의 화상표시부(102a, 102b, 102c, 102d)에 표시 또는 재현된다. 판독되는 화상은 두 방향으로 주사되는데, 이것을 쌍방향 주사라 부른다.

화상은 2m×2n의 화소로 이루어진 비디오 카메라와 같은 화상 판독기(101)에 의해 판독된다.

이하, 화상 판독/재생 시스템의 동작에 관하여 설명한다. 화상 판독기(101)는 아날로그 적녹청(RGB) 신호를 발생시켜 아날로그/디지털 변환기(A/D 변환기)로 출력하며, 이 A/D 변환기는 입력된 아날로그 데이터를 디지털 형태로 변환시킨다. A/D 변환기로부터의 디지털 데이터는 화상 데이터 재배열 유니트에 의해 4개의 데이터 세트로 재배열되며, 화상 데이터 재배열 유니트로부터의 4개의 데이터 세트는 4개의 디지털/아날로그 변환기(D/A 변환기)에 각각 입력된다. 4개의 D/A 변환기로부터 출력되는 데이터 세트는 표시장치(102)에 입력되어, 그 표시장치에서 볼 수 있게 된다.

제 2 도(a)는 제 1 도에 도시된 A/D 변환기의 일 예를 나타내고, 제 2 도(b)는 제 1 도에 도시된 D/A 변환기 세트의 일 예를 나타낸다. A/D 변환기는 8비트(256 계조(階調)) 아날로그/디지털 변환기이고, 각각의 D/A 변환기는 8비트 D/A 변환기이다. 비트의 수는 표시되는 계조의 수에 따라 증감될 수 있다.

제 1 도에 도시된 화상 데이터 재배열 유니트의 예가 제 3 도에 구체적으로 나타내어져 있다. 이 화상 데이터 재배열 유니트는 FIFO(First-in First-out) 메모리(301, 302, 303)와, 그 FIFO 메모리(301 303)에의 기록 및 그로부터의 판독을 동기화시키기 위한 타이밍 신호를 발생시키는 타이밍 발생기(304)를 포함한다. 이들 FIFO 메모리(301 303)는 삼원색, 즉, 적색(R), 녹색(G), 청색(B)에 관한 디지털 데이터를 4개의 화상표시부에 각각 대응하는 4개의 데이터 세트로 재배열한다.

적색(R) 신호에 관련된 FIFO 메모리가 제 4 도에 구체적으로 나타내어져 있다. 녹색(G) 및 청색(B) 신호에 관련된 FIFO 메모리도 유사한 구성을 가지고 있다. FIFO 메모리(FIFOa, FIFOb, FIFOc, FIFOd)에 저장된 데이터 세트는 제 1 도에 도시된 표시장치(102)의 4개의 화상표시부(102a, 102b, 102c, 102d) 각각에 화상의 4부분 각각을 표시하는데 사용된다.

다음, 적색(R) 신호에 관련한 화상 데이터 재배열 유니트의 동작에 대하여 설명한다. 이 화상 데이터 재배열 유니트는 녹색 신호 및 청색 신호와 관련하여서도 마찬가지로 동작한다. 제 1 도에 도시된 화상 판독기(101)로부터 발생된 화상 데이터는 A/D 변환기에 공급된다. 이 A/D 변환기로부터의 출력신호가 제 5 도에 구체적으로 나타내어져 있다. 제 6 도는 FIFO 메모리에의 기록 및 그로부터의 판독을 나타내는 타이밍 차트이다. 화상 데이터는 메인 클럭 펄스와 동기하여 A/D 변환기로부터 송출되고, 기록 클럭 펄스(RCLKwa)에 동기하여 FIFO 메모리(FIFOa)에 기록된다. 제1 행의 m번째 열까지 기록이 행해진 때, 기록 클럭 펄스(RCLKwa)가 중지되고, 그 다음, 기록 클럭 펄스(RCLKwb)가 발생된다. 그 뒤에, (m+1)번째 열로부터 FIFO 메모리(FIFOb)에 데이터가 기록된다.

이들 동작은 화소(n, 2m)까지 반복된다. 그 다음, (n+1)번째 행으로부터 FIFO 메모리(FIFOc)에 데이터가 기록되고, 그 후, (n+1)번째 행의 (m+1)번째 열로부터 FIFO 메모리(FIFOd)에 데이터가 기록된다. 이들 동작은 1 프레임의 화상에 대한 데이터가 4개의 FIFO 메모리에 기록될 때까지 반복된다.

이어서, 판독 클럭 펄스(RCLK)와 동기하여 4개의 화상 데이터 세트가 4개의 FIFO 메모리로부터 동시에 판독된다. 이 판독된 데이터 세트들은 표시장치(102)의 4개의 화상표시부로 동시에 전달되어, 제 1 도에 도시된 바와 같이, 4개의 데이터 세트가 기록된다.

다음에, 제 7 도를 참조하여 표시장치(102)를 설명한다. 이 표시장치(102)의 부분적인 화상표시부(001a, 001b, 001c, 001d)는 종래의 전기광학 액티브 매트릭스형 액정표시장치와 유사한 구조를 가지고 있다.

제 7 도에 도시된 바와 같이, 부분적인 화상표시부(001a)는, P형 TFT, N형 TFT, 또는 상보형 TFT로 이루어진 소스측 시프트 레지스터 a와, TFT로 이루어진 샘플링 회로와, P형 TFT, N형 TFT, 또는 상보형 TFT로 이루어진 게이트측 시프트 레지스터 a와, 소스측 스타트 펄스 입력단자(701a)와, 소스측 시프트 클럭 입력단자(702a)와, 아날로그 적녹청 입력단자(703a)와, 게이트측 스타트 펄스 입력단자(704a)와, 게이트측 시프트 클럭 입력단자(705a)를 포함한다. 이와 마찬가지로, 부분적인 화상표시부(001b)는, P형 TFT, N형 TFT, 또는 상보형 TFT로 이루어진 소스측 시프트 레지스터 b와, TFT로 이루어진 샘플링 회로와, P형 TFT, N형 TFT, 또는 상보형 TFT로 이루어진 게이트측 시프트 레지스터 b와, 소스측 스타트 펄스 입력단자(701b)와, 소스측 시프트 클럭 입력단자(702b)와, 아날로그 적녹청 입력단자(703b)와, 게이트측 스타트 펄스 입력단자(704b)와, 게이트측 시프트 클럭 입력단자(705b)를 포함한다. 부분적인 화상표시부(001c)는, P형 TFT, N형 TFT, 또는 상보형 TFT로 이루어진 소스측 시프트 레지스터 c와, TFT로 이루어진 샘플링 회로와, P형 TFT, N형 TFT, 또는 상보형 TFT로 이루어진 게이트측 시프트 레지스터 c와, 소스측 스타트 펄스 입력단자(701c)와, 소스측 시프트 클럭 입력단자(702c)와, 아날로그 적녹청 입력단자(703c)와, 게이트측 스타트 펄스 입력단자(704c)와, 게이트측 시프트 클럭 입력단자(705c)를 포함한다. 부분적인 화상표시부(001d)는, P형 TFT, N형 TFT, 또는 상보형 TFT로 이루어진 소스측 시프트 레지스터 d와, TFT로 이루어진 샘플링 회로와, P형 TFT, N형 TFT, 또는 상보형 TFT로 이루어진 게이트측 시프트 레지스터 d와, 소스측 스타트 펄스 입력단자(701d)와, 소스측 시프트 클럭 입력단자(702d)와, 아날로그 적녹청 입력단자(703d)와, 게이트측 스타트 펄스 입력단자(704d)와, 게이트측 시프트 클럭 입력단자(705d)를 포함한다.

각각의 부분적인 화상표시부의 수직방향으로의 화소의 수는 전기광학 액정표시장치 전체의 수직방향으로의 화소의 수의 절반이고, 또한, 각각의 부분적인 화상표시부의 수평방향으로의 화소의 수는 전기광학 액정표시장치 전체의 수평방향으로의 화소의 수의 절반이다. 부분적인 화상표시부(001a 001d)는 대향전극(720a, 720b, 720c, 720d)을 각각 구비하고 있다.

다음, 전기광학 액정표시장치 전체의 동작에 대하여 설명한다. 부분적인 화상표시부(001a 001d)는 종래의 표시장치와 유사하게 동작하며, 따라서, 이들의 동작에 대한 설명은 생략한다.

게이트측 스타트 펄스 입력단자(704a 704d)로부터 게이트측 시프트 클럭 펄스들이, 그리고, 게이트측 시프트 클럭 입력단자(705a 705d)로부터 게이트측 스타트 펄스들이 인가되면, 부분적인 화상표시부(001a 001d)의 제1 행의 화소들에 배치된 스위칭 트랜지스터들이 온(ON)으로 된다. 이때, 소스측 스타트 펄스 입력단자(701a 701d)로부터 소스측 시프트 클럭 펄스들이, 그리고, 소스측 시프트 클럭 입력단자(702a 702d)로부터 소스측 스타트 펄스들이 인가되면, 아날로그 적녹청 입력단자(703a 703d)로부터 입력된 화상 데이터가 그들 각자의 샘플링 회로에 의해 샘플링되어, 부분적인 화상표시부(001a 001d) 각각의 제1 화소 a(1,1), b(1,1), c(1,1), d(1,1)가 활성화된다. 그 결과, 화상 데이터가 가시화된다.

이들 동작이 반복적으로 수행되어, 부분적인 화상표시부(001a 001d)의 제1 행이 활성화된다. 그 다음, 상기한 동작이 반복되어, 부분적인 화상표시부(001a 001d)의 제2 행을 활성화시킨다. 이들 동작은 부분적인 화상표시부(001a 001d)의 모든 행을 활성화시키도록 반복된다. 따라서, 1 프레임의 화상이 완전히 표시된다. 이러한 표시를 위해 수행되는 동작을 제 8 도에 나타내었다.

서로 다른 4개 지역에 위치된 4개의 부분적인 화상표시부 또는 4개의 액티브 매트릭스 패널이 동시에 표시을 행하며, 4개의 부분적인 화상표시부가 협동하여 하나의 완전한 화상을 표시한다.

이때, 4개의 대향전극(720a 720d)에 4개의 별도의 전압이 각각 인가될 수 있다. 또 다르게는, 공통의 대향전극을 형성하도록 4개의 부분적인 화상표시부가 서로 내부적으로 단락될 수 있고, 이 공통의 대향전극에 전압이 인가될 수 있다.

본 실시예에서는, 4개의 부분적인 화소 매트릭스(화상표시부)(801a, 801b, 801c, 801d)가 동일한 크기를 가질 필요는 없다. 그러나, 4개의 부분적인 화상표시부들간의 발란스를 고려하면, 이들 4개의 부분적인 화상표시부들이 동일한 크기를 가지는 것이 바람직하다. 일 예로서, 전체 장치가 640×480의 화소 매트릭스로 이루어진 경우, 4개의 부분적인 화소 매트릭스(801a 801d)들 각각이 320×240의 화소 매트릭스를 포함한다.

화상 데이터는 제 9 도(a) 및 (b)에 도시된 바와 같이 임의의 방식으로 표시될 수 있다. 본 실시예의 경우, 소스측 구동기들의 수평 샘플링 주파수는 종래에 채택된 수평 샘플링 주파수의 1/4이며, 소스측 구동기들의 수직 샘플링 주파수는 종래에 채택된 수직 샘플링 주파수의 1/2이다.

실시예 2

본 실시예에서는, 표시장치 전체가, 제 10 도에 도시된 바와 같이, 독립적으로 표시를 행할 수 있는 9개의 부분적인 화상표시부로 분할되어 있다. 화상 데이터의 재배열은 실시에 1에서 사용된 FIFO 메모리의 수를 증가시킴으로써 쉽게 행해질 수 있다. 따라서, 이 표시장치의 표시부들에 대해서만 아래에 설명한다.

게이팅(gating) 신호가 제1 게이트측 구동기로부터 제1 및 제2 화소 매트릭스에 인가되고, 제2 게이트측 구동기로부터의 게이팅 신호는 제4 화소 매트릭스에 인가된다. 제3 게이트측 구동기로부터의 게이팅 신호는 제7 및 제8 화소 매트릭스에 인가되고, 제4 게이트측 구동기로부터의 게이팅 신호는 제3 화소 매트릭스에 인가되고, 제5 게이트측 구동기로부터의 게이팅 신호는 제5 및 제6 화소 매트릭스에 인가되고, 제6 게이트측 구동기로부터의 게이팅 신호는 제9 화소 매트릭스에 인가된다. 따라서, 게이트선들을 구동시키는 제1, 제3, 제5 게이트측 구동기의 능력이 제2, 제4, 제6 게이트측 구동기의 능력보다 클 필요가 있다. 바람직하게는, 전자의 능력이 후자의 능력의 약 2배이다. 제 11 도(a) 및 (b)에, 제1 제6 게이트측 구동기의 구성의 예가 나타내어져 있다.

다시 제 10 도를 참조하면, 제1 제9 화소 매트릭스의 대향전극이 각각 부호 1071 1079로 표시되어 있다. 이들 대향전극에는 별도의 전압이 인가될 수 있다. 변형예에서는, 공통의 소스측 구동기에 의해 구동되는 화소 매트릭스들에 공통의 전압이 인가될 수도 있다. 다른 변형예에서는, 화소 매트릭스들이 화소 매트릭스 부조립체(subassembly)들을 형성하도록 서로 접속될 수도 있고, 각각의 부조립체에 전압이 인가된다. 이 경우, 대향전극의 수는 화소 매트릭스 부조립체의 수와 동일하다.

제1 소스측 구동기로부터 제1 및 제4 화소 매트릭스로 소스 신호선들이 연장하여 있고, 제2 소스측 구동기로부터 제2 화소 매트릭스로 소스 신호선들이 연장하여 있다. 제3 소스측 구동기로부터는 소스 신호선들이 제3 및 제6 화소 매트릭스로 연장하여 있고, 제4 소스측 구동기로부터는 소스 신호선들이 제7 화소 매트릭스로 연장하여 있고, 제5 소스측 구동기로부터는 소스 신호선들이 제5 및 제8 화소 매트릭스로 연장하여 있고, 제6 소스측 구동기로부터는 소스 신호선들이 제9 화소 매트릭스로 연장하여 있다.

제1, 제3, 제5 소스측 구동기의 샘플링 회로들이 제 12 도에 도시되어 있는데, 이들 샘플링 회로는 제2, 제4, 제6 소스측 구동기의 샘플링 회로와 다른 구성을 가진다. 제2, 제4, 제6 소스측 구동기의 샘플링 회로는 종래의 샘플링 회로와 동일하다.

제 12 도에 도시된 도전성 배선들의 레이아웃(layout)이 제 13 도 및 제 14 도에 나타내어져 있다. 제 13 도에서, 알루미늄 배선(1306, 1307)이 배선(1209, 1210) 또는 배선(1211, 1212)에 대응하고, 게이트 배선(1303, 1309)이 배선(1213, 1214)에 대응한다.

제 14 도에서, 알루미늄 배선(1401, 1402, 1403, 1404, 1405, 1406, 1407, 1408)이 제 12 도의 배선(1205, 1206, 1229, 1206, 1230, 1209, 1210, 1211, 1212)에 대응한다.

실시예 2에서는, 제1 제6 게이트측 구동기와 제1 제6 소스측 구동기가 임의로 조합될 수도 있다. 또한, 표시도 임의의 방식으로 행해질 수 있다. 이러한 조합의 예 및 표시방식의 예가 제 15 도에 나타내어져 있다.

실시예 3

본 실시예는 다층의 금속구조물을 제외하고는 실시예 2와 유사하다. 즉, 실시예 2의 소스측 구동기, 게이트측 구동기, 및 부분적인 화소 매트릭스들이 본 실시예의 대응하는 것들과 동일하다.

실시예 2에서는, 수직의 라인당 제1, 제3, 제5 소스측 구동기의 소스 신호선들이 제2, 제4, 제6 소스측 구동기의 소스 신호선의 2배의 갯수로 되어 있고, 따라서, 화소 매트릭스들내의 신호선들과 샘플링 회로들의 신호선들만이 제 13 도 및 14 도에 도시된 바와 같은 게이트 배선들과 알루미늄 배선들인 경우, 제1, 제3, 제8 화소 매트릭스의 개구율이 나빠지게 된다.

제 16 도 및 제 17 도에 도시된 바와 같은 다층의 금속구조물이 사용되는 경우에는, 다수의 구동회로가 사용될지라도 개구율을 희생시킴이 없이 동작속도가 향상될 수 있다.

제 16 도에서, 서로 겹치는 제1 및 제2 알루미늄 배선이 제 12 도에 도시된 소스선(1209, 1210) 및 소스선(1211, 1211)과 같은 2개의 금속층을 형성한다. 제 16 도에서, 게이트 배선(1601, 1602, 1603, 1604)은 배선(1205, 1229, 1206, 1230)에 대응하고, 알루미늄 배선(1607, 1608)은 배선(1207, 1208)에 대응하고, 알루미늄 배선(1605, 1606)은 배선(1209, 1210) 또는 배선(1211, 1212)에 대응한다. 제 18 도는 제 16 도의 면(1610)을 따라 취한 단면도이고, 제 19 도는 제 16 도의 면(1611)을 따라 취한 단면도이다.

본 발명은, 소스측 구동기 및 게이트측 구동기의 유효 동작속도를 변화시킴이 없이 그리고 클럭 주파수 또는 다른 매개변수들을 변화시킴이 없이, 종래보다 고속으로 표시장치, 특히, 액티브 매트릭스형 액정표시장치에 화상을 표시할 수 있게 한다. 따라서, 높은 정보용량을 갖는 고속, 대면적의 표시장치를 저렴한 가격으로 쉽게 얻을 수 있다.

(57) 청구의 범위

청구항 1.

적어도 제1 부분과, 그 제1 부분과 분리된 제2 부분을 가지는 기판과;

적어도 제1 표시부와 제2 표시부를 가지는 표시영역으로서, 그 제1 표시부가 상기 기판의 상기 제1 부분 위에 형성되고, 상기 제2 표시부가 상기 기판의 상기 제2 부분 위에 형성되며, 상기 제1 및 제2 표시부들 각각이, 매트릭스 형태로 배치된 다수의 화소전극과 그 화소전극들을 스위칭하기 위한 다수의 스위칭 소자를 포함하는 표시영역과;

적어도 하나의 주사선 구동회로; 및

상기 제1 및 제2 표시부들 각각에 화상 신호를 공급하도록 작동하는 제1 및 제2 신호선 구동회로를 포함하고;

상기 제1 및 제2 신호선 구동회로는 상기 표시영역 외측에 위치되고, 상기 제1 및 제2 표시부들이 서로 반대방향으로 주사되도록 작동되는 것을 특징으로 하는 액티브 매트릭스 표시장치.

청구항 2.

적어도 제1 부분과, 그 제1 부분과 분리된 제2 부분을 가지는 기판과;

적어도 제1 표시부와 제2 표시부를 가지는 표시영역으로서, 그 제1 표시부가 상기 기판의 상기 제1 부분 위에 형성되고, 상기 제2 표시부가 상기 기판의 상기 제2 부분 위에 형성되며, 상기 제1 및 제2 표시부들 각각이, 매트릭스 형태로 배치된 다수의 화소전극과, 상기 기판 위에 형성된 박막트랜지스터로 이루어져 상기 화소전극들을 스위칭하는 다수의 스위칭 소자를 포함하는 표시영역과;

적어도 하나의 주사선 구동회로; 및

상기 제1 및 제2 표시부들 각각에 화상 신호를 공급하도록 작동하고, 상기 기판 위에 형성된 박막트랜지스터들을 포함하는 제1 및 제2 신호선 구동회로를 포함하고;

상기 제1 및 제2 신호선 구동회로는 상기 표시영역 외측에서 상기 기판의 주변부분에 배치되고, 상기 제1 및 제2 표시부들이 서로 반대방향으로 주사되도록 작동되는 것을 특징으로 하는 액티브 매트릭스 표시장치.

청구항 3.

적어도 제1 부분과, 그 제1 부분과 분리된 제2 부분을 가지는 기판과;

적어도 제1 표시부와 제2 표시부를 가지는 표시영역으로서, 그 제1 표시부가 상기 기판의 상기 제1 부분 위에 형성되고, 상기 제2 표시부가 상기 기판의 상기 제2 부분 위에 형성되며, 상기 제1 및 제2 표시부들 각각이, 매트릭스 형태로 배치된 다수의 화소전극과 그 화소전극들을 스위칭하기 위한 다수의 스위칭 소자를 포함하는 표시영역과;

적어도 하나의 신호선 구동회로; 및

상기 제1 및 제2 표시부들 각각을 주사하기 위한 제1 및 제2 주사선 구동회로를 포함하고;

상기 제1 및 제2 주사선 구동회로는 상기 표시영역 외측에 위치되고, 상기 제1 및 제2 표시부들이 서로 반대방향으로 주사되도록 작동되는 것을 특징으로 하는 액티브 매트릭스 표시장치.

청구항 4.

적어도 제1 부분과, 그 제1 부분과 분리된 제2 부분을 가지는 기판과;

적어도 제1 표시부와 제2 표시부를 가지는 표시영역으로서, 그 제1 표시부가 상기 기판의 상기 제1 부분 위에 형성되고, 상기 제2 표시부가 상기 기판의 상기 제2 부분 위에 형성되며, 상기 제1 및 제2 표시부들 각각이, 매트릭스 형태로 배치된 다수의 화소전극과, 상기 기판 위에 형성된 박막트랜지스터로 이루어져 상기 화소전극들을 스위칭하는 다수의 스위칭 소자를 포함하는 표시영역과;

적어도 하나의 신호선 구동회로; 및

상기 제1 및 제2 표시부들 각각을 주사하도록 작동하고, 상기 기판 위에 형성된 박막트랜지스터들을 포함하는 제1 및 제2 주사선 구동회로를 포함하고;

상기 제1 및 제2 주사선 구동회로는 상기 표시영역 외측에서 상기 기판의 주변부분에 배치되고, 상기 제1 및 제2 표시부들이 서로 반대방향으로 주사되도록 작동되는 것을 특징으로 하는 액티브 매트릭스 표시장치.

청구항 5.

적어도 제1 표시부, 제2 표시부, 제3 표시부 및 제4 표시부를 포함하는 액티브 매트릭스 표시장치로서;

상기 제1 표시부가,

매트릭스 형태로 배치된 제1의 다수의 화소 박막트랜지스터,

상기 제1의 다수의 화소 박막트랜지스터들 각각의 드레인영역에 각각 접속된 제1의 다수의 화소전극,

상기 제1의 다수의 화소 박막트랜지스터들 각각의 소스영역에 각각 접속된 제1의 다수의 신호선,

상기 제1의 다수의 화소 박막트랜지스터들 각각의 게이트전극에 각각 접속된 제1의 다수의 주사선,

상기 제1의 다수의 신호선에 접속되고, 상기 제1의 다수의 신호선을 제1 구동방향으로 구동하도록 작동하는 제1 신호선 구동회로, 및

상기 제1의 다수의 주사선에 접속되고, 상기 제1의 다수의 주사선을 제1 주사방향으로 주사하도록 작동하는 제1 주사선 구동회로를 포함하고;

상기 제2 표시부가,

매트릭스 형태로 배치된 제2의 다수의 화소 박막트랜지스터,

상기 제2의 다수의 화소 박막트랜지스터들 각각의 드레인영역에 각각 접속된 제2의 다수의 화소전극,

상기 제2의 다수의 화소 박막트랜지스터들 각각의 소스영역에 각각 접속된 제2의 다수의 신호선,

상기 제2의 다수의 화소 박막트랜지스터들 각각의 게이트전극에 각각 접속된 제2의 다수의 주사선,

상기 제2의 다수의 신호선에 접속되고, 상기 제2의 다수의 신호선을 제2 구동방향으로 구동하도록 작동하는 제2 신호선 구동회로, 및

상기 제2의 다수의 주사선에 접속되고, 상기 제2의 다수의 주사선을 제2 주사방향으로 주사하도록 작동하는 제2 주사선 구동회로를 포함하고;

상기 제3 표시부가,

매트릭스 형태로 배치된 제3의 다수의 화소 박막트랜지스터,

상기 제3의 다수의 화소 박막트랜지스터들 각각의 드레인영역에 각각 접속된 제3의 다수의 화소전극,

상기 제3의 다수의 화소 박막트랜지스터들 각각의 소스영역에 각각 접속된 제3의 다수의 신호선,

상기 제3의 다수의 화소 박막트랜지스터들 각각의 게이트전극에 각각 접속된 제3의 다수의 주사선,

상기 제3의 다수의 신호선에 접속되고, 상기 제3의 다수의 신호선을 제3 구동방향으로 구동하도록 작동하는 제3 신호선 구동회로, 및

상기 제3의 다수의 주사선에 접속되고, 상기 제3의 다수의 주사선을 제3 주사방향으로 주사하도록 작동하는 제3 주사선 구동회로를 포함하고;

상기 제4 표시부가,

매트릭스 형태로 배치된 제4의 다수의 화소 박막트랜지스터,

상기 제4의 다수의 화소 박막트랜지스터들 각각의 드레인영역에 각각 접속된 제4의 다수의 화소전극,

상기 제4의 다수의 화소 박막트랜지스터들 각각의 소스영역에 각각 접속된 제4의 다수의 신호선,

상기 제4의 다수의 화소 박막트랜지스터들 각각의 게이트전극에 각각 접속된 제4의 다수의 주사선,

상기 제4의 다수의 신호선에 접속되고, 상기 제4의 다수의 신호선을 제4 구동방향으로 구동하도록 작동하는 제4 신호선 구동회로, 및

상기 제4의 다수의 주사선에 접속되고, 상기 제4의 다수의 주사선을 제4 주사방향으로 주사하도록 작동하는 제4 주사선 구동회로를 포함하고;

상기 제1, 제2, 제3, 제4 구동방향들중 적어도 2개가 동일 시간에 서로 반대이고, 상기 제1, 제2, 제3, 제4 주사방향들중 적어도 2개가 동일 시간에 서로 반대인 것을 특징으로 하는 액티브 매트릭스 표시장치.

청구항 6.

적어도 제1 표시부, 제2 표시부, 제3 표시부 및 제4 표시부를 포함하는 액티브 매트릭스 표시장치로서;

상기 제1 표시부가,

매트릭스 형태로 배치된 제1의 다수의 화소 박막트랜지스터,

상기 제1의 다수의 화소 박막트랜지스터들 각각의 드레인영역에 각각 접속된 제1의 다수의 화소전극,

상기 제1의 다수의 화소 박막트랜지스터들 각각의 소스영역에 각각 접속된 제1의 다수의 신호선,

상기 제1의 다수의 화소 박막트랜지스터들 각각의 게이트전극에 각각 접속된 제1의 다수의 주사선,

상기 제1의 다수의 신호선에 접속되고, 제1의 다수의 신호선 구동 박막트랜지스터를 포함하며, 상기 제1의 다수의 신호선을 제1 구동방향으로 구동하도록 작동하는 제1 신호선 구동회로, 및

상기 제1의 다수의 주사선에 접속되고, 제1의 다수의 주사선 구동 박막트랜지스터를 포함하며, 상기 제1의 다수의 주사선을 제1 주사방향으로 주사하도록 작동하는 제1 주사선 구동회로를 포함하고;

상기 제2 표시부가,

매트릭스 형태로 배치된 제2의 다수의 화소 박막트랜지스터,

상기 제2의 다수의 화소 박막트랜지스터들 각각의 드레인영역에 각각 접속된 제2의 다수의 화소전극,

상기 제2의 다수의 화소 박막트랜지스터들 각각의 소스영역에 각각 접속된 제2의 다수의 신호선,

상기 제2의 다수의 화소 박막트랜지스터들 각각의 게이트전극에 각각 접속된 제2의 다수의 주사선,

상기 제2의 다수의 신호선에 접속되고, 제2의 다수의 신호선 구동 박막트랜지스터를 포함하며, 상기 제2의 다수의 신호선을 제2 구동방향으로 구동하도록 작동하는 제2 신호선 구동회로, 및

상기 제2의 다수의 주사선에 접속되고, 제2의 다수의 주사선 구동 박막트랜지스터를 포함하며, 상기 제2의 다수의 주사선을 제2 주사방향으로 주사하도록 작동하는 제2 주사선 구동회로를 포함하고;

상기 제3 표시부가,

매트릭스 형태로 배치된 제3의 다수의 화소 박막트랜지스터,

상기 제3의 다수의 화소 박막트랜지스터들 각각의 드레인영역에 각각 접속된 제3의 다수의 화소전극,

상기 제3의 다수의 화소 박막트랜지스터들 각각의 소스영역에 각각 접속된 제3의 다수의 신호선,

상기 제3의 다수의 화소 박막트랜지스터들 각각의 게이트전극에 각각 접속된 제3의 다수의 주사선,

상기 제2의 다수의 신호선에 접속되고, 제3의 다수의 신호선 구동 박막트랜지스터를 포함하며, 상기 제3의 다수의 신호선을 제3 구동방향으로 구동하도록 작동하는 제3 신호선 구동회로, 및

상기 제3의 다수의 주사선에 접속되고, 제3의 다수의 주사선 구동 박막트랜지스터를 포함하며, 상기 제3의 다수의 주사선을 제3 주사방향으로 주사하도록 작동하는 제3 주사선 구동회로를 포함하고;

상기 제4 표시부가,

매트릭스 형태로 배치된 제4의 다수의 화소 박막트랜지스터,

상기 제4의 다수의 화소 박막트랜지스터들 각각의 드레인영역에 각각 접속된 제4의 다수의 화소전극,

상기 제4의 다수의 화소 박막트랜지스터들 각각의 소스영역에 각각 접속된 제4의 다수의 신호선,

상기 제4의 다수의 화소 박막트랜지스터들 각각의 게이트전극에 각각 접속된 제4의 다수의 주사선,

상기 제4의 다수의 신호선에 접속되고, 제4의 다수의 신호선 구동 박막트랜지스터를 포함하며, 상기 제4의 다수의 신호선을 제4 구동방향으로 구동하도록 작동하는 제4 신호선 구동회로, 및

상기 제4의 다수의 주사선에 접속되고, 제4의 다수의 주사선 구동 박막트랜지스터를 포함하며, 상기 제4의 다수의 주사선을 제4 주사방향으로 주사하도록 작동하는 제4 주사선 구동회로를 포함하고;

상기 제1, 제2, 제3, 제4 구동방향들중 적어도 2개가 동일 시간에 서로 반대이고, 상기 제1, 제2, 제3, 제4 주사방향들중 적어도 2개가 동일 시간에 서로 반대인 것을 특징으로 하는 액티브 매트릭스 표시장치.

청구항 7.

제 1 항 내지 제 4 항중 어느 한 항에 있어서, 상기 제1 및 제2 표시부들 각각에 대응하는 제1 및 제2 FIFO 메모리를 더 포함하는 것을 특징으로 하는 액티브 매트릭스 표시장치.

청구항 8.

제 1 항 또는 제 2 항에 있어서, 상기 제1 및 제2 신호선 구동회로들 각각이 시프트 레지스터와 샘플링 회로를 포함하고, 그 샘플링 회로는 시프트 레지스터의 출력에 응답하여 입력 화상 신호들을 샘플링하고, 그 샘플링된 신호들을 신호선들에 공급하는 것을 특징으로 하는 액티브 매트릭스 표시장치.

청구항 9.

제 3 항 또는 제 4 항에 있어서, 상기 제1 및 제2 주사선 구동회로들 각각이 시프트 레지스터와 샘플링 회로를 포함하고, 그 샘플링 회로는 시프트 레지스터의 출력에 응답하여 입력 화상 신호들을 샘플링하고, 그 샘플링된 신호들을 신호선들에 공급하는 것을 특징으로 하는 액티브 매트릭스 표시장치.

청구항 10.

제 5 항 또는 제 6 항에 있어서, 상기 제1, 제2, 제3 및 제4 표시부들 각각에 대응하는 FIFO 메모리를 더 포함하는 것을 특징으로 하는 액티브 매트릭스 표시장치.

청구항 11.

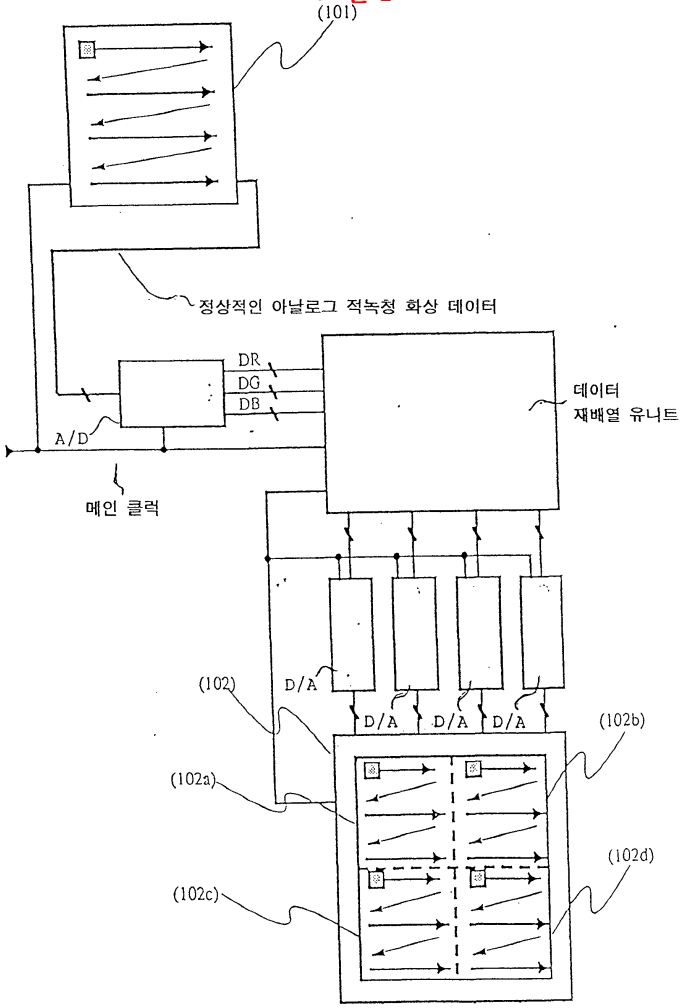
제 5 항 또는 제 6 항에 있어서, 상기 제1, 제2, 제3 및 제4 신호선 구동회로들 각각이 시프트 레지스터와 샘플링 회로를 포함하고, 그 샘플링 회로는 시프트 레지스터의 출력에 응답하여 입력 화상 신호들을 샘플링하고, 그 샘플링된 신호들을 상기 제1, 제2, 제3, 제4의 다수의 신호선들에 공급하는 것을 특징으로 하는 액티브 매트릭스 표시장치.

청구항 12.

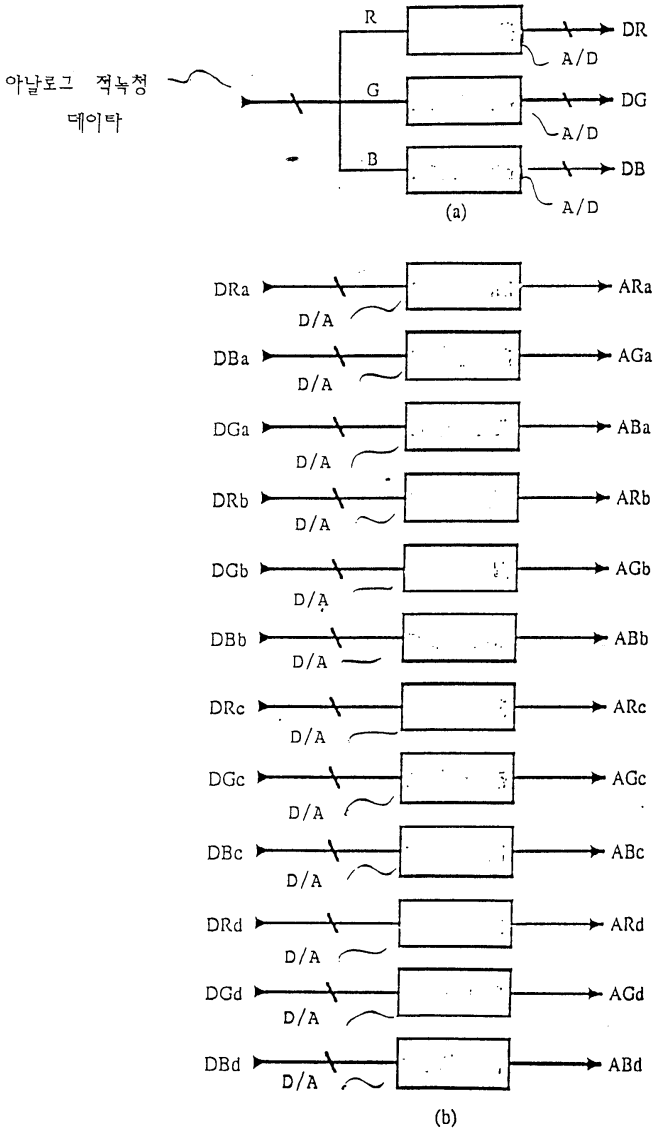
제 6 항에 있어서, 상기 제1, 제2, 제3, 제4의 다수의 신호선 및 주사선 구동 박막트랜지스터들 각각이, p형 박막트랜지스터, n형 박막트랜지스터 및 상보형 박막트랜지스터로 이루어진 군으로부터 선택된 박막트랜지스터인 것을 특징으로 하는 액티브 매트릭스 표시장치.

도면

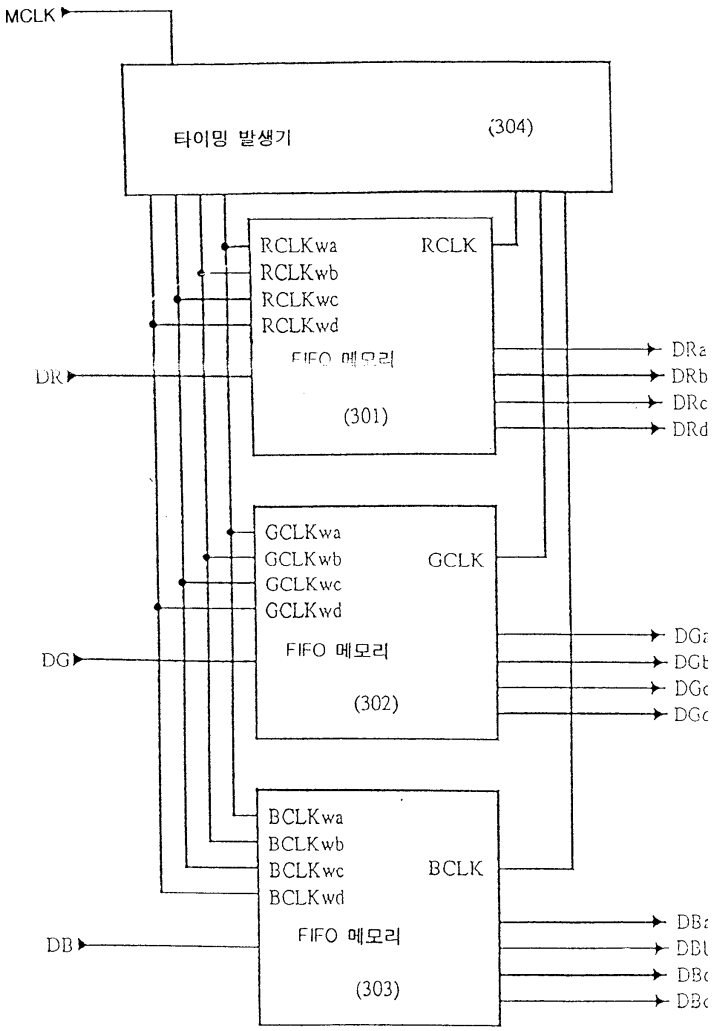
도면 1


(101)
정상적인 아날로그 적녹청 화상 데이터
DR
DG
DB
A/D
메인 클럭
데이터
재배열 유니트
(102)
D/A
D/A
D/A
D/A
(102b)
(102a)
(102d)
(102c)

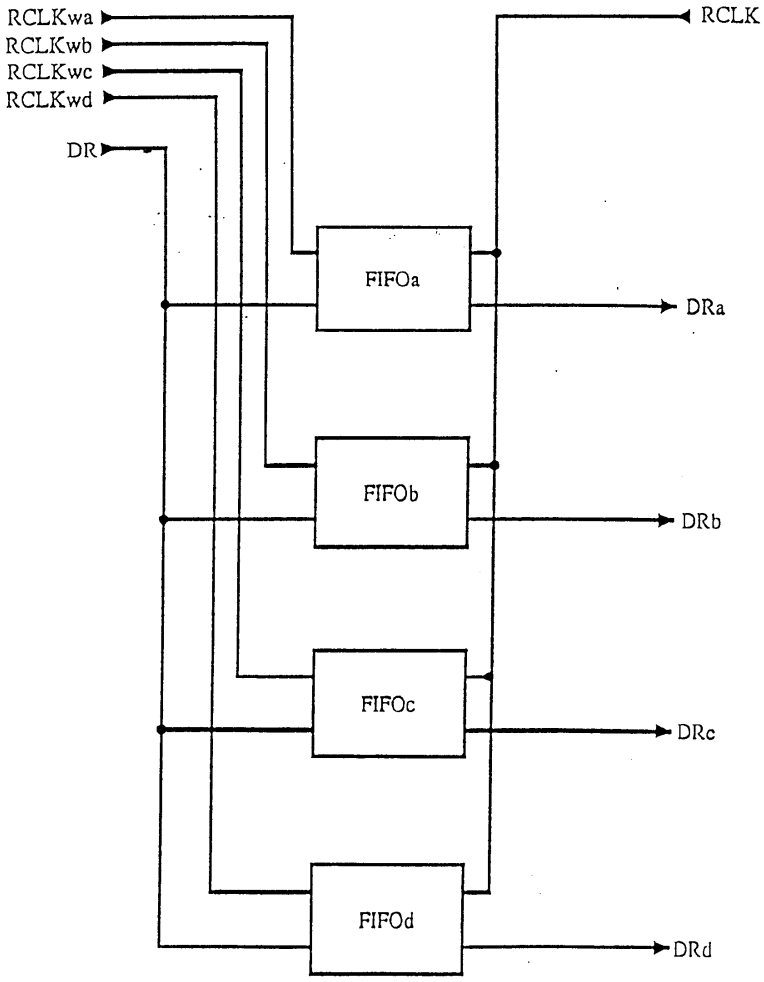
도면 2


아날로그 적녹청
데이타
R
G
B
A/D
DR
DG
DB
(a)
DRa
DBa
DGa
DRb
DGb
DBb
DRc
DGc
DBc
DRd
DGd
DBd
D/A
ARa
AGa
ABa
ARb
AGb
ABb
ARc
AGc
ABc
ARd
AGd
ABd
(b)

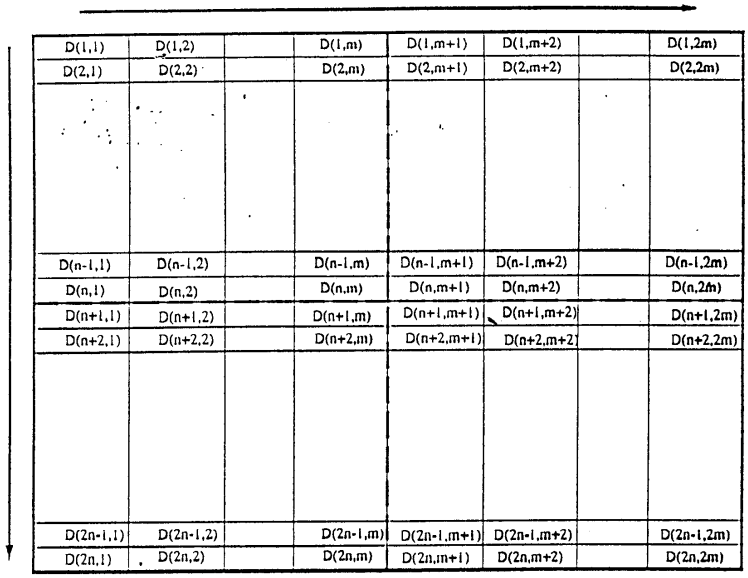
도면 3


MCLK
타이밍 발생기
(304)
RCLKwa
RCLKwb
RCLKwc
RCLKwd
RCLK
FIFO 메모리
(301)
DR
DRa
DRb
DRc
DRd
GCLKwa
GCLKwb
GCLKwc
GCLKwd
GCLK
FIFO 메모리
(302)
DG
BCLKwa
BCLKwb
BCLKwc
BCLKwd
BCLK
FIFO 메모리
(303)
DB

도면 4

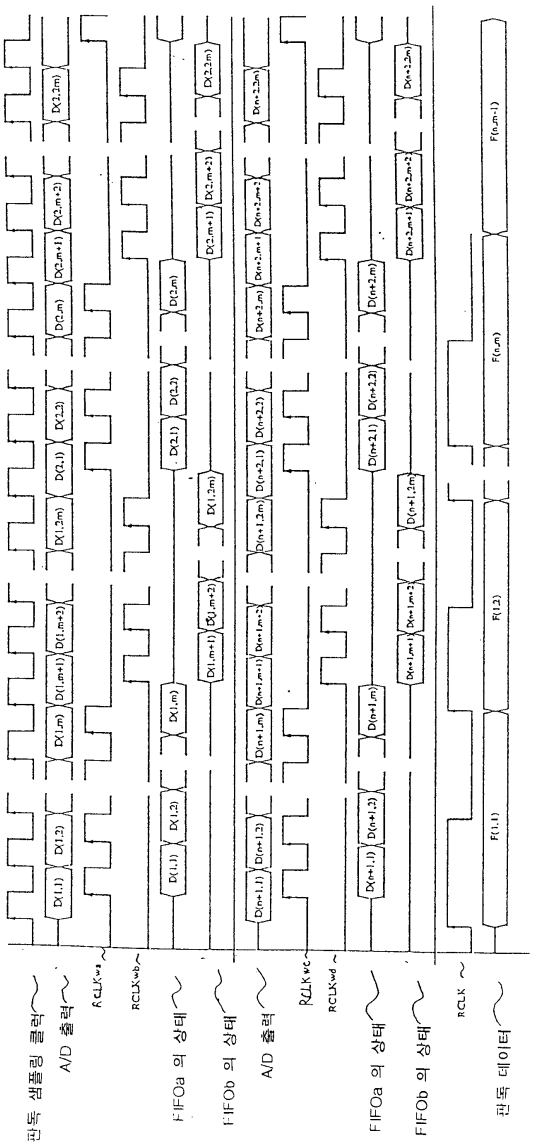

RCLKwa
RCLKwb
RCLKwc
RCLKwd
DR
RCLK
FIFOa
DRa
FIFOb
DRb
FIFOc
DRc
FIFOd
DRd

도면 5

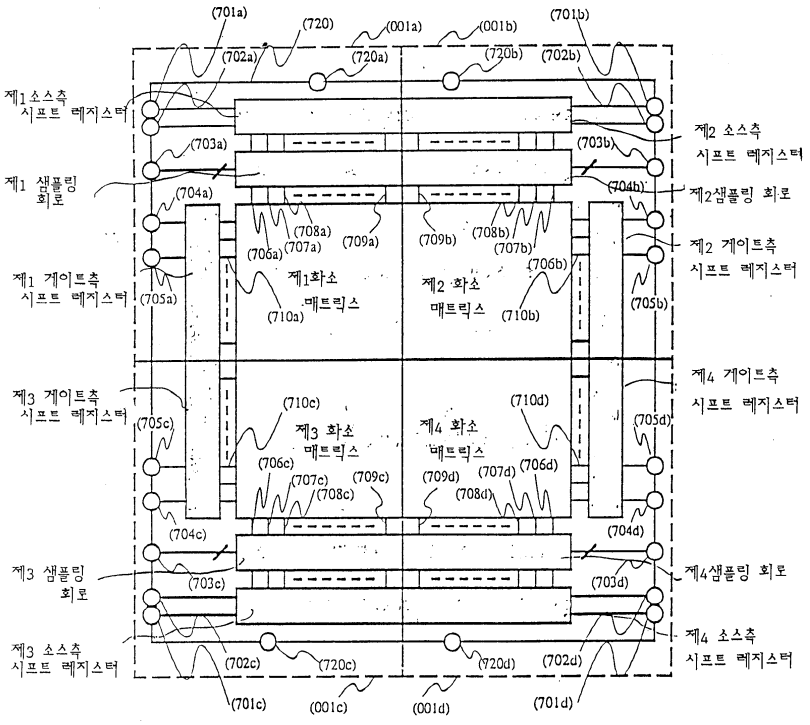


D(1,1)	D(1,2)		D(1,m)	D(1,m+1)	D(1,m+2)		D(1,2m)
D(2,1)	D(2,2)		D(2,m)	D(2,m+1)	D(2,m+2)		D(2,2m)
D(n-1,1)	D(n-1,2)		D(n-1,m)	D(n-1,m+1)	D(n-1,m+2)		D(n-1,2m)
D(n,1)	D(n,2)		D(n,m)	D(n,m+1)	D(n,m+2)		D(n,2m)
D(n+1,1)	D(n+1,2)		D(n+1,m)	D(n+1,m+1)	D(n+1,m+2)		D(n+1,2m)
D(n+2,1)	D(n+2,2)		D(n+2,m)	D(n+2,m+1)	D(n+2,m+2)		D(n+2,2m)
D(2n-1,1)	D(2n-1,2)		D(2n-1,m)	D(2n-1,m+1)	D(2n-1,m+2)		D(2n-1,2m)
D(2n,1)	D(2n,2)		D(2n,m)	D(2n,m+1)	D(2n,m+2)		D(2n,2m)

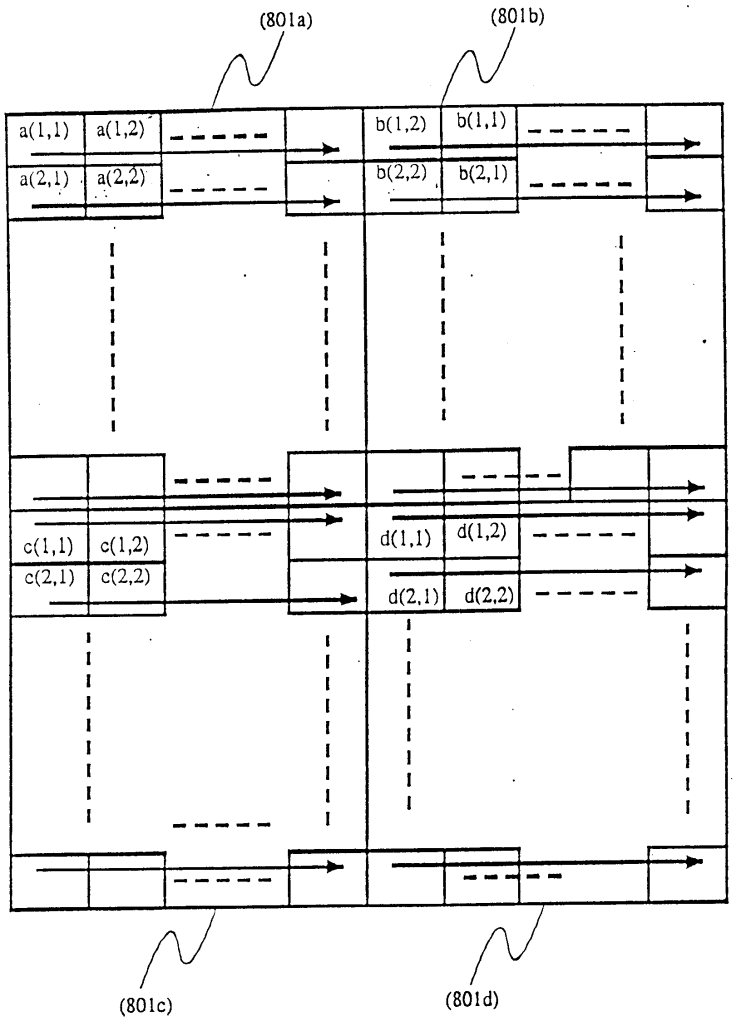
도면 6


판독 샘플링 클럭
A/D 출력
RCLKwa
RCLKwb
FIFOa 의 상태
FIFOb 의 상태
A/D 출력
RCLKwc
RCLKwd
FIFOa 의 상태
FIFOb 의 상태
RCLK
판독 데이터

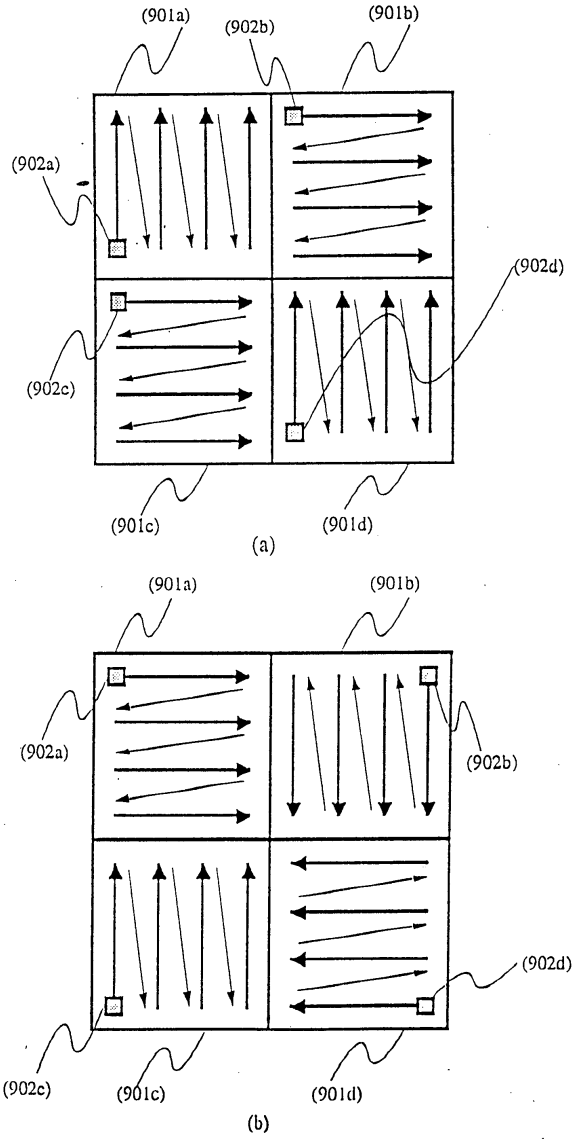
도면 7


(701a)
(720)
(001a)
(001b)
(701b)
(702a)
(720a)
(720b)
(702b)
제1 소스측 시프트 레지스터
제2 소스측 시프트 레지스터
(703a)
(703b)
제1 샘플링 회로
(704a)
(704b)
제2샘플링 회로
(708a)
(707a)
(709a)
(709b)
(708b)
(707b)
(706a)
(706b)
제2 게이트측 시프트 레지스터
제1 게이트측 시프트 레지스터
(705a)
제1화소 매트릭스
제2 화소 매트릭스
(710a)
(710b)
(705b)
제4 게이트측 시프트 레지스터
제3 게이트측 시프트 레지스터
(710c)
(710d)
(705c)
제3 화소 매트릭스
제4 화소 매트릭스
(705d)
(706c)
(706d)
(707c)
(709c)
(709d)
(707d)
(708c)
(708d)
(704c)
(704d)
제4샘플링 회로
제3 샘플링 회로
(703c)
(703d)
제4 소스측 시프트 레지스터
제3 소스측 시프트 레지스터
(702c)
(720c)
(720d)
(702d)
(701c)
(001c)
(001d)
(701d)

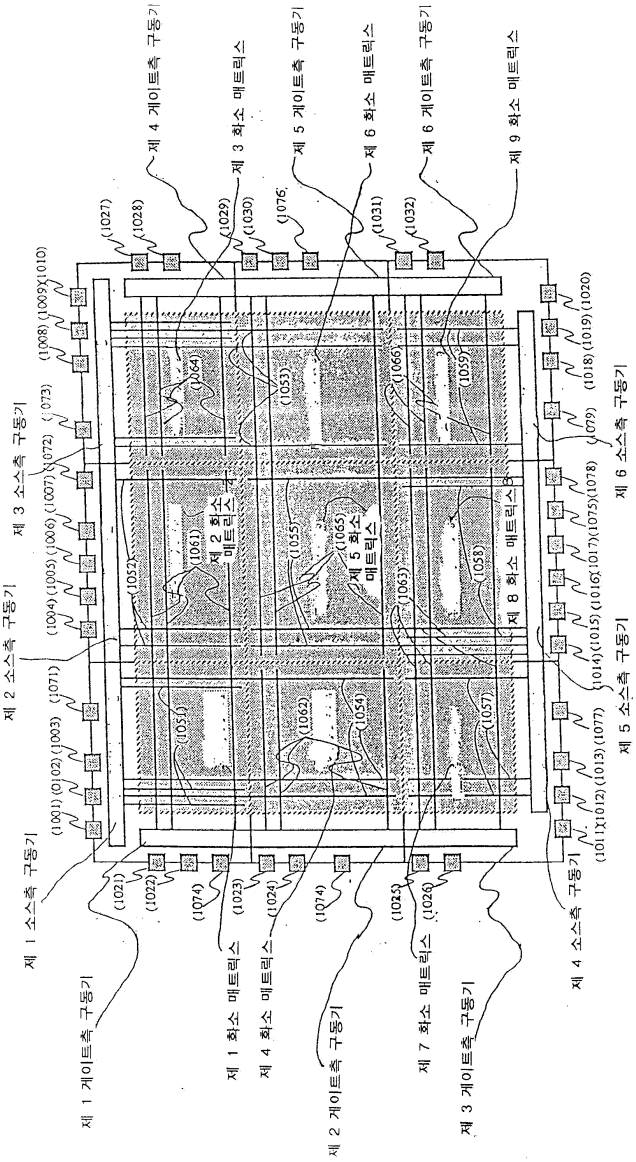
도면 8


(801a)
(801b)
a(1,1)
a(1,2)
a(2,1)
a(2,2)
b(1,2)
b(1,1)
b(2,2)
b(2,1)
c(1,1)
c(1,2)
c(2,1)
c(2,2)
d(1,1)
d(1,2)
d(2,1)
d(2,2)
(801c)
(801d)

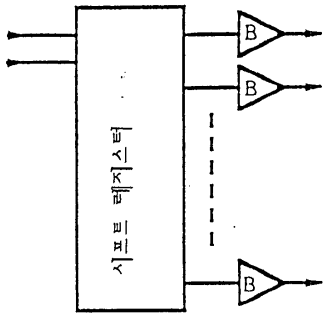
도면 9


(901a)
(902b)
(901b)
(902a)
(902d)
(902c)
(901c)
(901d)
(a)
(901a)
(901b)
(902a)
(902b)
(902d)
(902c)
(901c)
(901d)
(b)

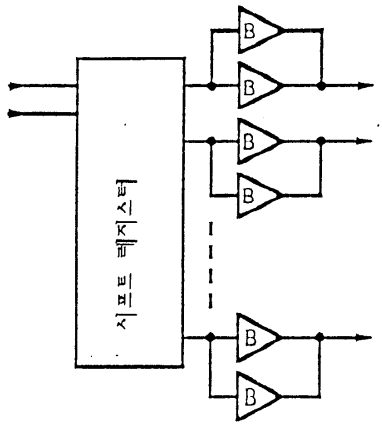
도면 10


제 1 소스측 구동기
제 2 소스측 구동기
제 3 소스측 구동기
제 4 소스측 구동기
제 5 소스측 구동기
제 6 소스측 구동기
제 1 게이트측 구동기
제 2 게이트측 구동기
제 3 게이트측 구동기
제 4 게이트측 구동기
제 5 게이트측 구동기
제 6 게이트측 구동기
제 1 화소 매트릭스
제 2 화소 매트릭스
제 3 화소 매트릭스
제 4 화소 매트릭스
제 5 화소 매트릭스
제 6 화소 매트릭스
제 7 화소 매트릭스
제 8 화소 매트릭스
제 9 화소 매트릭스

도면 11

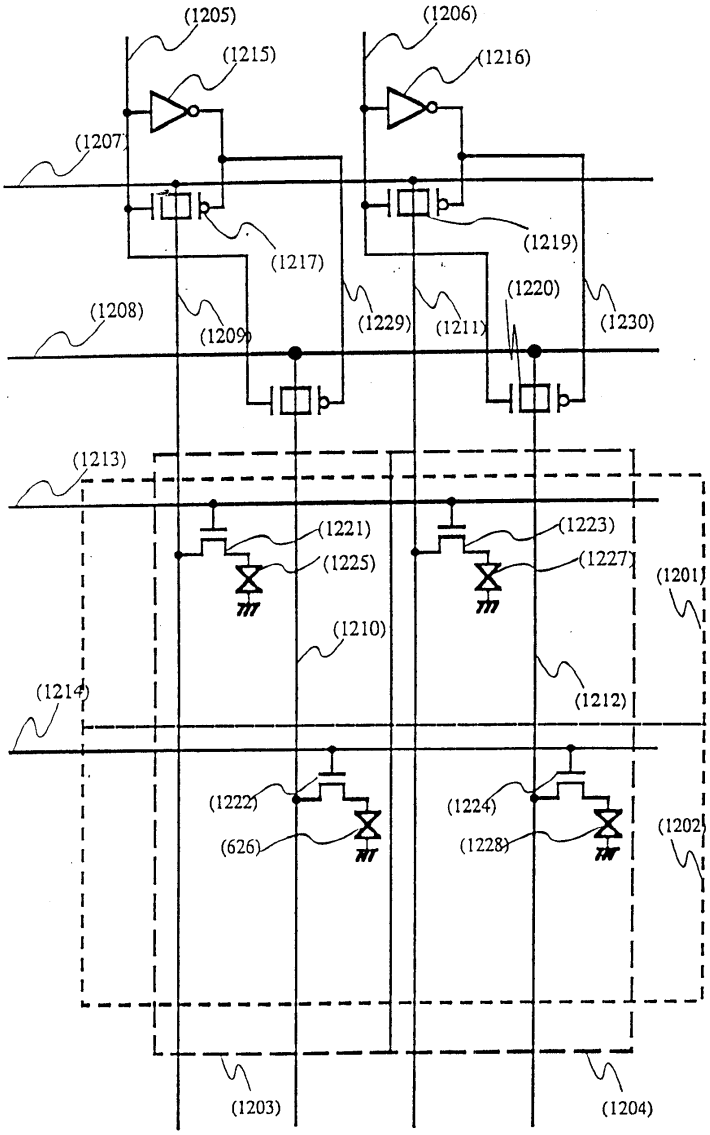


(a)

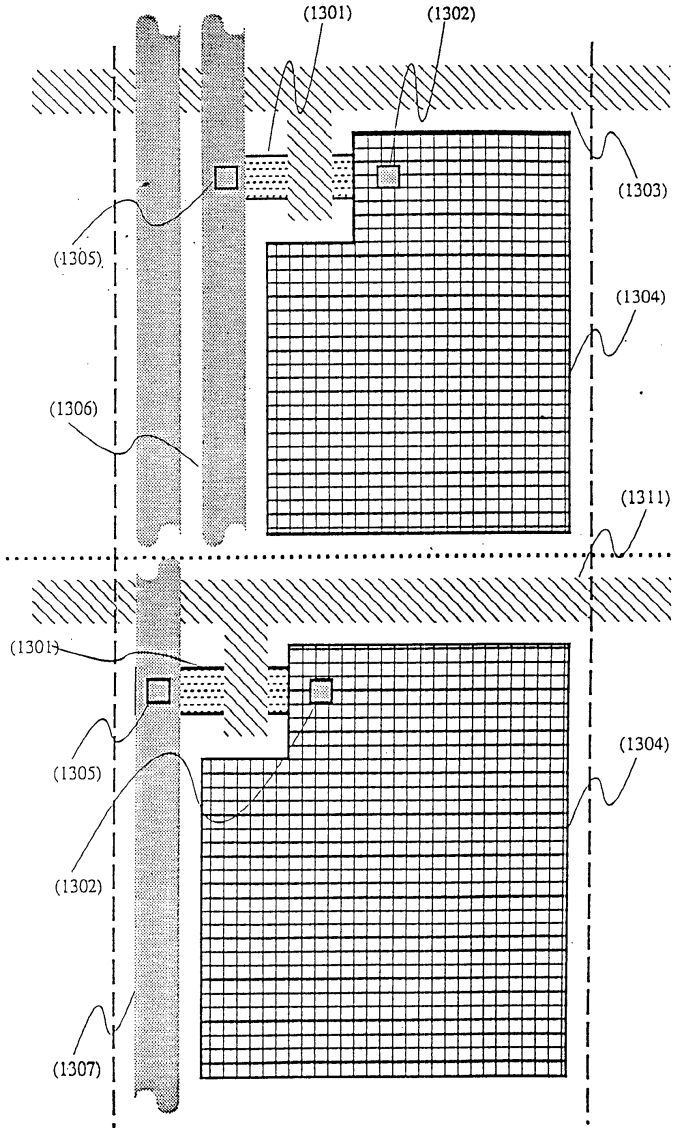


(b)

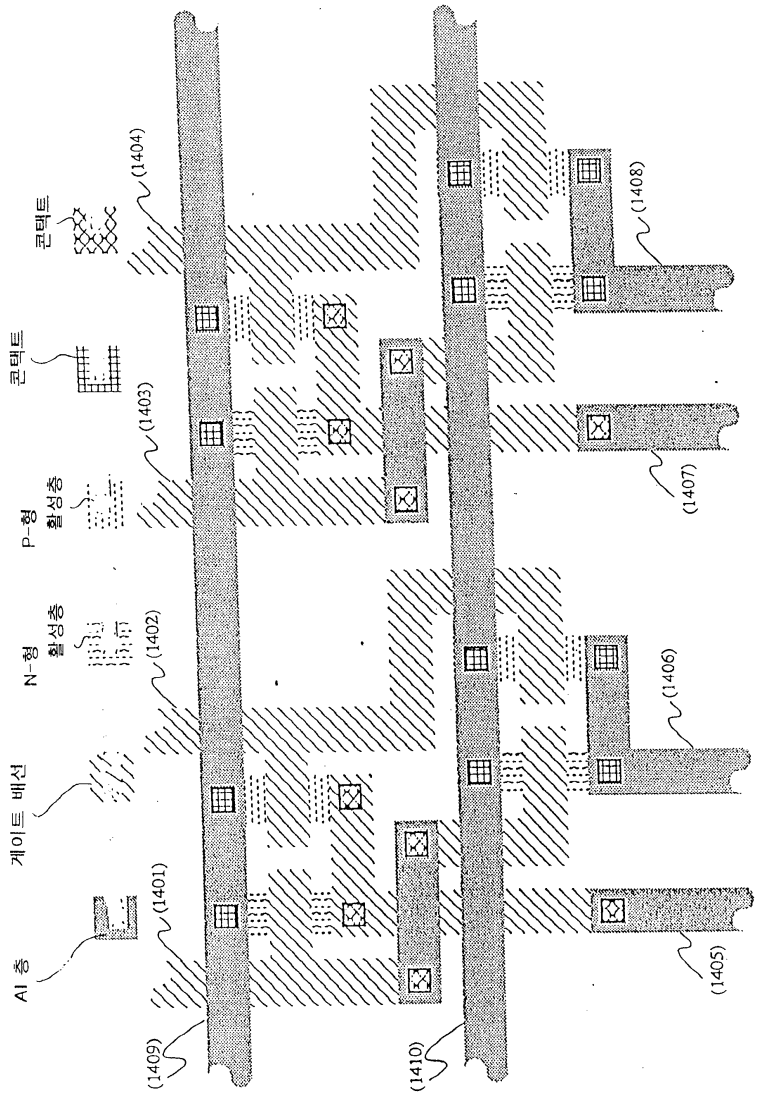
도면 12


(1205)
(1206)
(1215)
(1216)
(1207)
(1219)
(1217)
(1220)
(1208)
(1209)
(1229)
(1211)
(1230)
(1213)
(1221)
(1223)
(1225)
(1227)
(1201)
(1210)
(1214)
(1212)
(1222)
(1224)
(626)
(1228)
(1202)
(1203)
(1204)

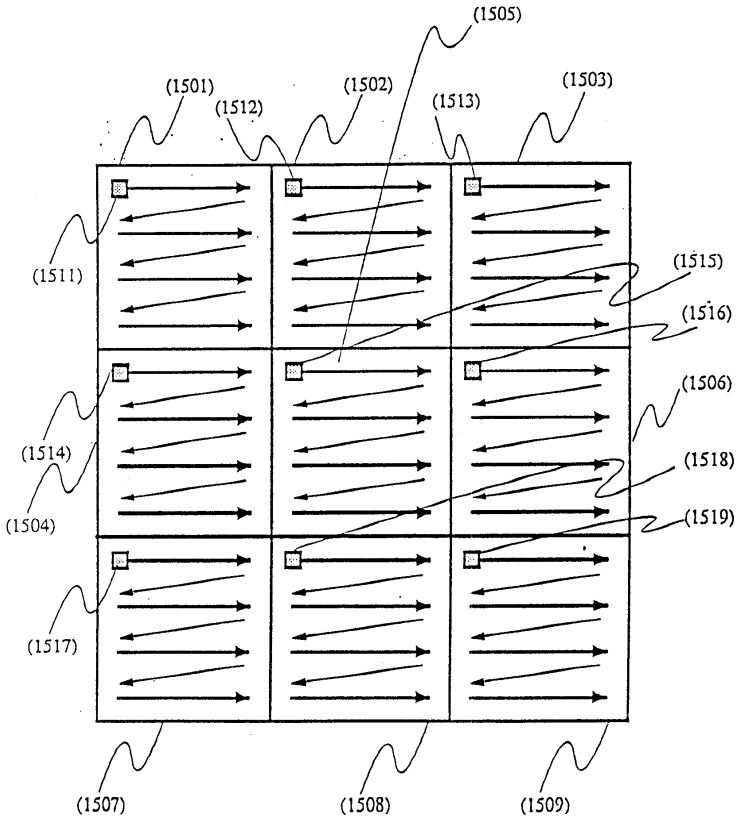
도면 13



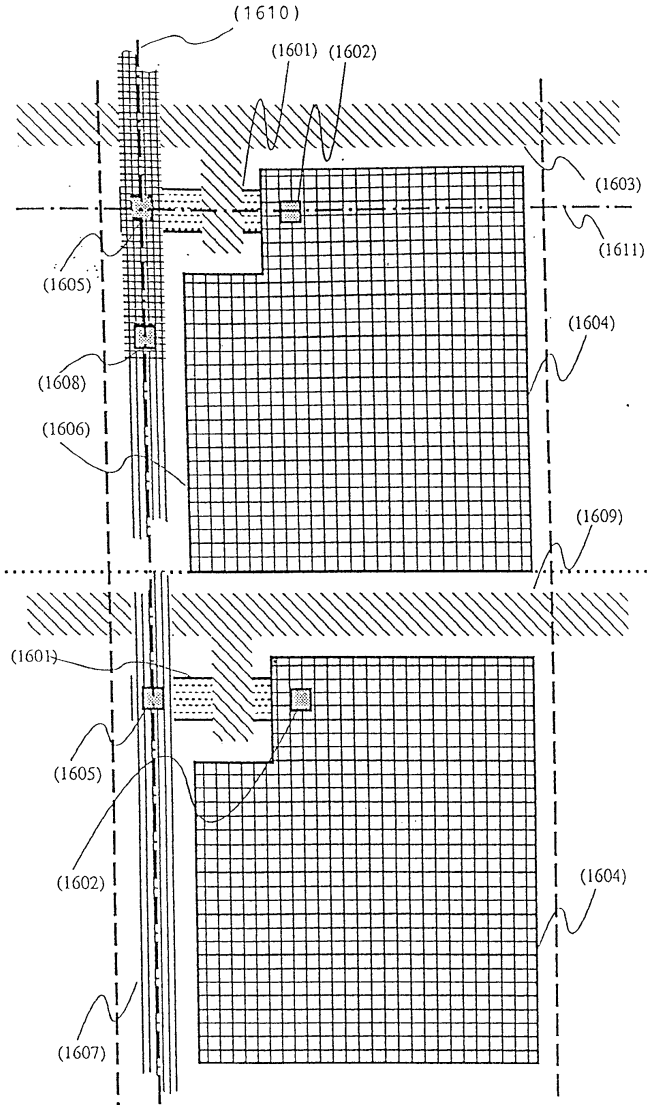
도면 14


(1404)
콘택트
(1408)
콘택트
(1403)
P-형
활성층
(1407)
N-형
활성층
(1402)
(1406)
게이트 배선
Al 층
(1401)
(1405)
(1409)
(1410)

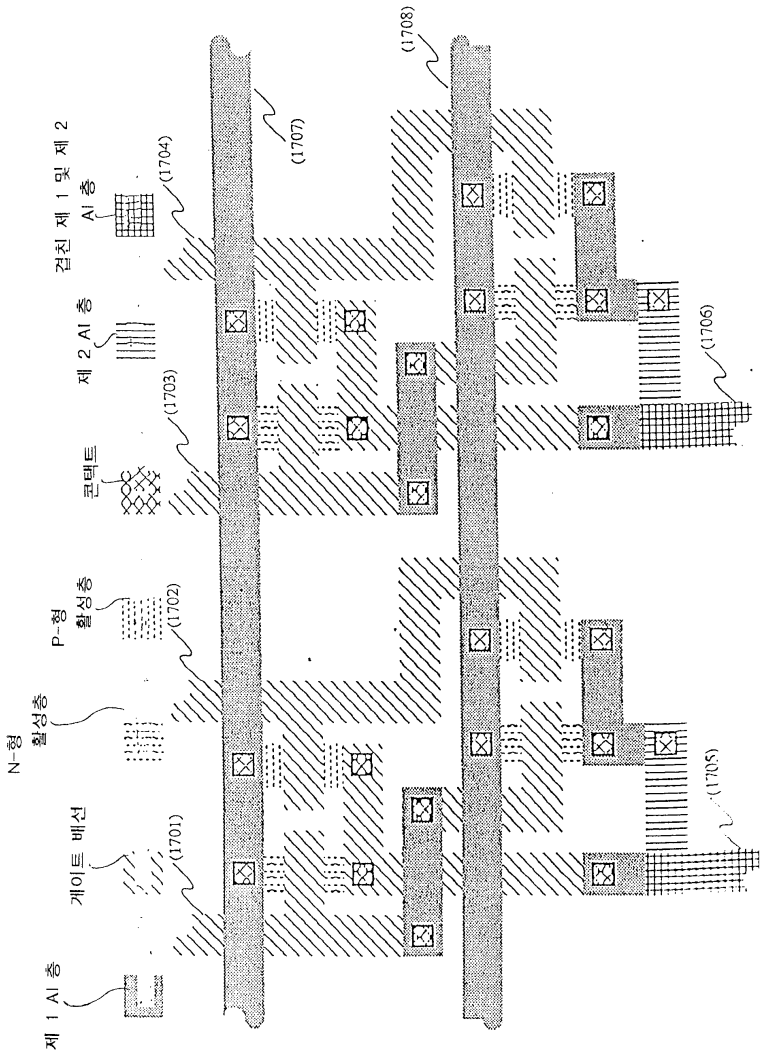
도면 15


(1505)
(1501)
(1512)
(1502)
(1513)
(1503)
(1511)
(1515)
(1516)
(1506)
(1514)
(1504)
(1518)
(1519)
(1517)
(1507)
(1508)
(1509)

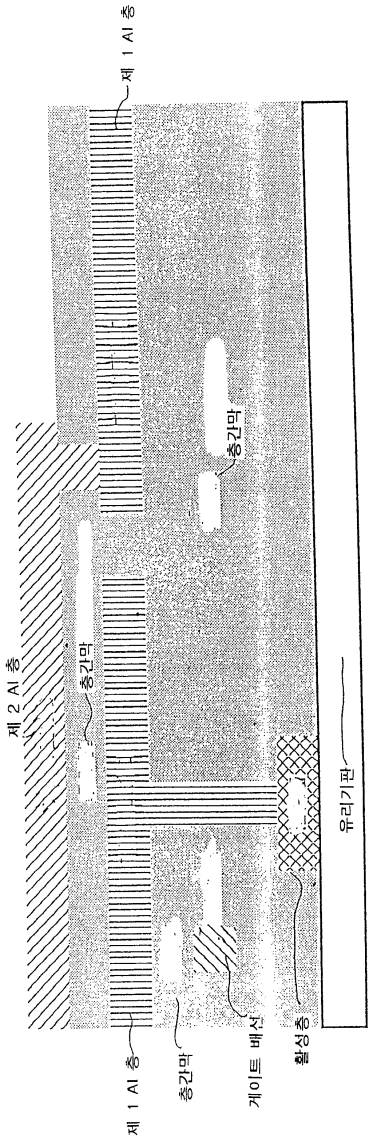
도면 16


(1610)
(1601)
(1602)
(1603)
(1611)
(1605)
(1604)
(1608)
(1606)
(1609)
(1601)
(1605)
(1602)
(1604)
(1607)

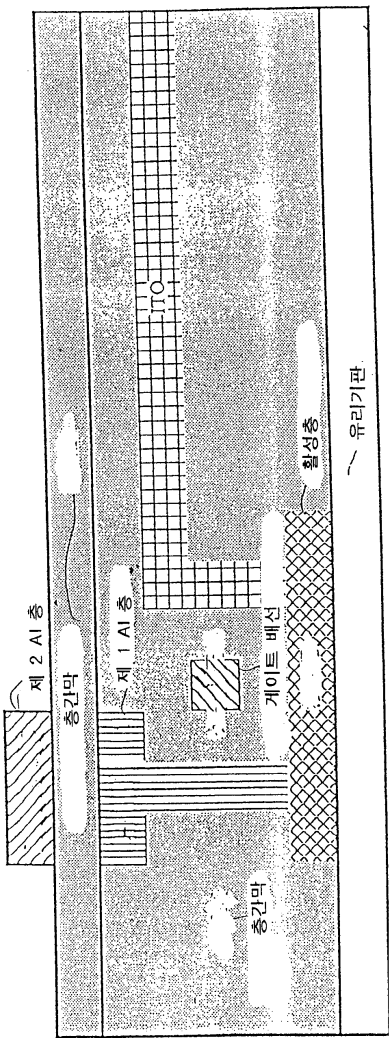
도면 17


(1708)
(1707)
겹친 제 1 및 제 2 Al 층
(1704)
제 2 Al 층
(1706)
(1703)
콘택트
P-형 활성층
(1702)
N-형 활성층
(1705)
게이트 배선
(1701)
제 1 Al 층

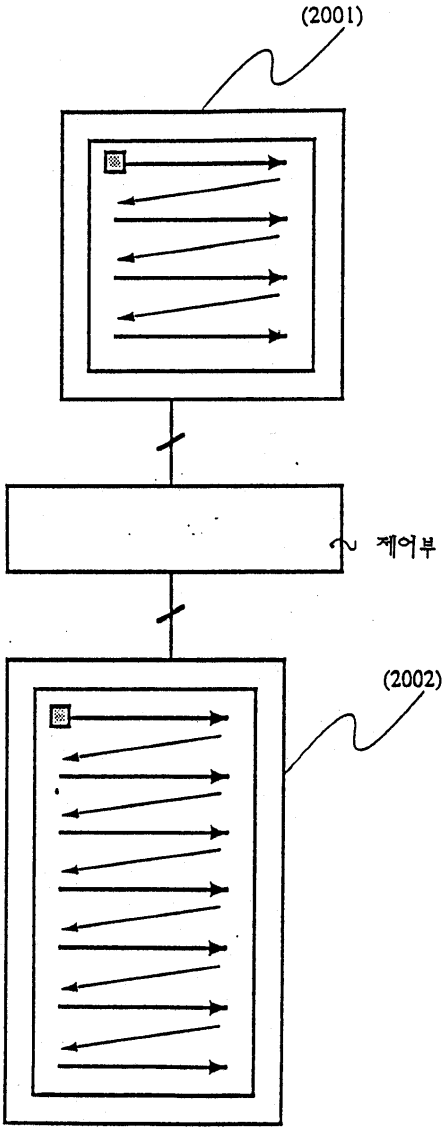
도면 18



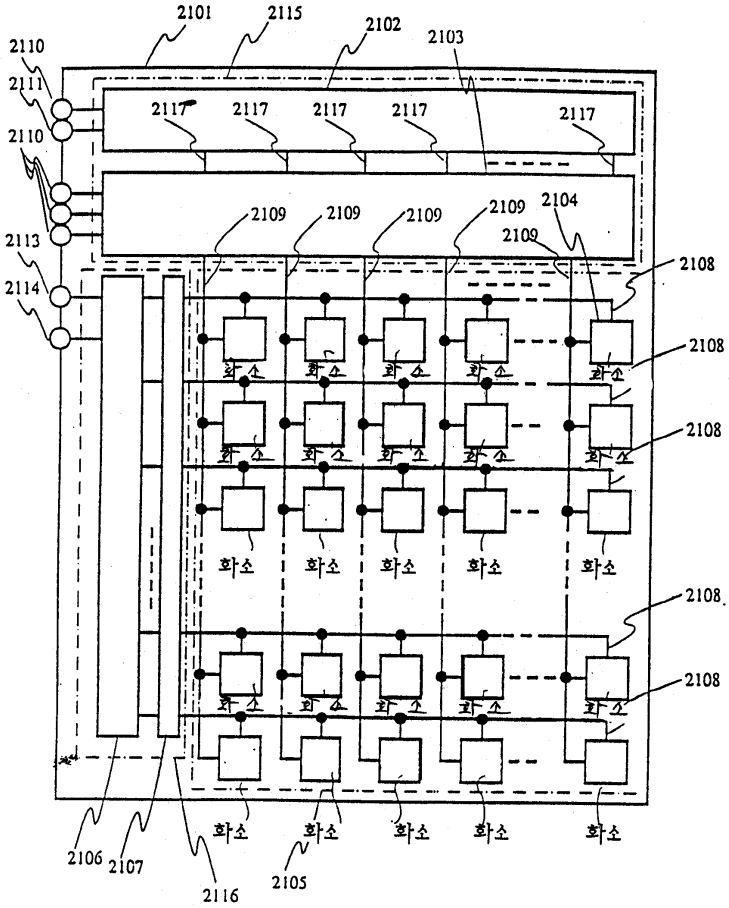
도면 19



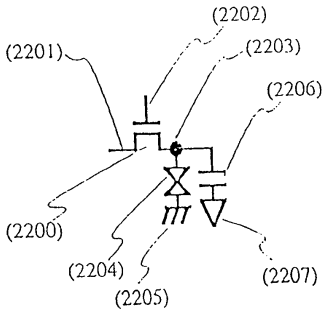
도면 20



도면 21


2101
2115
2102
2103
2110
2111
2110
2113
2114
2117
2109
2104
2108
화소
2106
2107
2116
2105

도면 22


(2202)
(2201)
(2203)
(2206)
(2200)
(2204)
(2205)
(2207)

도면 23

