



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0052943  
(43) 공개일자 2016년05월13일

- |   |  |
|---|--|
| (51) 국제특허분류(Int. Cl.)<br><i>H01L 27/32</i> (2006.01) <i>H01L 29/786</i> (2006.01) | (71) 출원인<br>삼성디스플레이 주식회사<br>경기 용인시 기흥구 삼성로 1 (농서동) |
| (21) 출원번호 10-2014-0148449   | (72) 발명자<br>황원미<br>경기도 용인시 기흥구 삼성2로 95 (농서동)       |
| (22) 출원일자 2014년10월29일<br>심사청구일자 없음  | (74) 대리인<br>리앤목특허법인                                |

전체 청구항 수 : 총 20 항

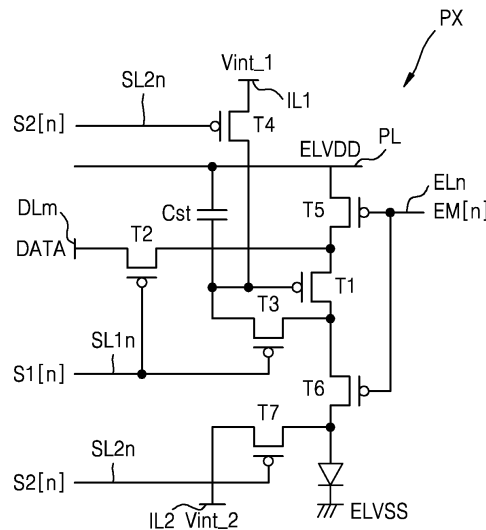
(54) 발명의 명칭 박막 트랜지스터 기관

(57) 요약

본 발명의 실시예들은 박막 트랜지스터 기관 및 이를 포함하는 표시장치를 개시한다

본 발명의 일 실시예에 따른 박막 트랜지스터 기관은, 제1 화소 행에 배치된 복수의 제1 화소들; 상기 제1 화소 행에 인접한 제2 화소 행에 배치된 복수의 제2 화소들; 상기 제2 화소 행에 인접한 제3 화소 행에 배치된 복수의 제3 화소들; 상기 제1 화소 행과 제2 화소 행 사이에 배치되고, 상기 복수의 제1 화소들과 제2 화소들에 제1 초기화 전압을 인가하는 제1 초기화 전압선; 및 상기 제2 화소 행과 상기 제3 화소 행 사이에 배치되고, 상기 복수의 제2 화소들과 제3 화소들에 상기 제1 초기화 전압과 다른 레벨의 제2 초기화 전압을 인가하는 제2 초기화 전압선;을 포함한다.

대표도 - 도2



## 명세서

### 청구범위

#### 청구항 1

제1 화소 행에 배치된 복수의 제1 화소들;

상기 제1 화소 행에 인접한 제2 화소 행에 배치된 복수의 제2 화소들;

상기 제2 화소 행에 인접한 제3 화소 행에 배치된 복수의 제3 화소들;

상기 제1 화소 행과 제2 화소 행 사이에 배치되고, 상기 복수의 제1 화소들과 제2 화소들에 제1 초기화 전압을 인가하는 제1 초기화 전압선; 및

상기 제2 화소 행과 상기 제3 화소 행 사이에 배치되고, 상기 복수의 제2 화소들과 제3 화소들에 상기 제1 초기화 전압과 다른 레벨의 제2 초기화 전압을 인가하는 제2 초기화 전압선;을 포함하는 박막 트랜지스터 기관.

#### 청구항 2

제1항에 있어서,

동일 화소 열의 제1 화소와 제2 화소는 상기 제1 초기화 전압선을 기준으로 대칭인 박막 트랜지스터 기관.

#### 청구항 3

제1항에 있어서,

동일 화소 열의 제2 화소와 제3 화소는 상기 제2 초기화 전압선을 기준으로 대칭인 박막 트랜지스터 기관.

#### 청구항 4

제1항에 있어서

상기 제1 초기화 전압선을 인접한 두 개의 화소 열에 배치된 한 쌍의 제1 화소들 및 한 쌍의 제2 화소들과 전기적으로 연결하는 제1 연결 전극;을 더 포함하는 박막 트랜지스터 기관.

#### 청구항 5

제4항에 있어서,

상기 인접한 두 개의 화소 열의 제1 화소들 내지 제2 화소들 각각의 초기화 박막 트랜지스터와 연결된 제1 활성층 연결선;

상기 제1 활성층 연결선과 상기 제1 연결 전극 사이에 형성되고, 제1 공통 컨택홀을 구비한 제1 절연막; 및

상기 제1 연결 전극 상부에 차례로 형성되고, 제1 비아홀을 구비한 제2 절연막과 제3 절연막;을 더 포함하고,

상기 초기화 박막 트랜지스터는 상기 제1 초기화 전압을 전달하고,

상기 제1 연결 전극은 상기 제1 공통 컨택홀을 통해 상기 제1 활성층 연결선과 컨택하고,

상기 제1 초기화 전압선은 상기 제3 절연막 상부에 형성되고, 상기 제1 비아홀을 통해 상기 제1 연결 전극과 컨택하는 박막 트랜지스터 기관.

#### 청구항 6

제1항에 있어서,

상기 제2 초기화 전압선을 인접한 두 개의 화소 열에 배치된 한 쌍의 제2 화소들 및 한 쌍의 제3 화소들과 전기적으로 연결하는 제2 연결 전극;을 더 포함하는 박막 트랜지스터 기관.

**청구항 7**

제6항에 있어서,

상기 인접한 두 개의 화소 열의 제2 화소들 내지 제3 화소들 각각의 바이패스 박막 트랜지스터와 연결된 제2 활성층 연결선;

상기 제2 활성층 연결선과 상기 제2 연결 전극 사이에 형성되고, 제2 공통 컨택홀을 구비한 제1 절연막; 및  
 상기 제2 연결 전극 상부에 차례로 형성되고, 제2 비아홀을 구비한 제2 절연막과 제3 절연막;을 더 포함하고,  
 상기 바이패스 박막 트랜지스터는 상기 제2 초기화 전압을 전달하고,

상기 제2 연결 전극은 상기 제2 공통 컨택홀을 통해 상기 제2 활성층 연결선과 컨택하고,

상기 제2 초기화 전압선은 상기 제3 절연막 상부에 형성되고, 상기 제2 비아홀을 통해 상기 제2 연결 전극과 컨택하는 박막 트랜지스터 기관.

**청구항 8**

제1항에 있어서,

상기 제1 화소 행 내지 제3 화소 행 각각에 배치되어 상기 제1 화소들 내지 제3 화소들로 제1 주사신호 및 제2 주사신호를 각각 인가하는 제1 주사선들 및 제2 주사선들;

상기 제1 주사선들 및 제2 주사선들과 교차하며 화소 열마다 배치되고, 상기 제1 화소들 내지 제3 화소들로 데이터 신호를 인가하는 데이터선들; 및

상기 제1 주사선들 및 제2 주사선들과 교차하며 화소 열마다 배치되고, 상기 제1 화소들 내지 제3 화소들로 제1 전원전압을 인가하는 구동전압선들;을 더 포함하는 박막 트랜지스터 기관.

**청구항 9**

제8항에 있어서,

상기 제1 화소 행의 제1 주사선 및 제2 주사선은 상기 제1 초기화 전압선을 기준으로 상기 제2 화소 행의 제1 주사선 및 제2 주사선과 대칭인 박막 트랜지스터 기관.

**청구항 10**

제8항에 있어서,

상기 제2 화소 행의 제1 주사선 및 제2 주사선은 상기 제2 초기화 전압선을 기준으로 상기 제3 화소 행의 제1 주사선 및 제2 주사선과 대칭인 박막 트랜지스터 기관.

**청구항 11**

복수의 화소들을 포함하는 박막 트랜지스터 기관에 있어서,

상기 복수의 화소들 각각은,

제1 주사 신호에 응답하여 데이터 신호에 대응하는 구동전류를 발광소자로 출력하는 구동 박막 트랜지스터;

제2 주사 신호에 응답하여 제1 초기화 전압을 상기 구동 박막 트랜지스터의 게이트 전극으로 전달하는 초기화 박막 트랜지스터; 및

상기 제2 주사 신호에 응답하여 상기 제1 초기화 전압과 다른 레벨의 제2 초기화 전압을 상기 발광소자의 애노드 전극으로 전달하는 바이패스 박막 트랜지스터;를 포함하고,

상기 복수의 화소들 각각은 상기 제1 초기화 전압을 공급하는 제1 초기화 전압선 및 상기 제2 초기화 전압을 공급하는 제2 초기화 전압선에 연결되고,

상기 제1 초기화 전압선은 동일 화소 행의 인접 화소들 및 인접한 제1 화소 행의 화소들의 초기화 박막 트랜지스터들과 연결되고, 상기 동일 화소 행과 제1 화소 행 사이에 배치되고,

상기 제2 초기화 전압선은 동일 화소 행의 인접 화소들 및 인접한 제2 화소 행의 화소들의 바이패스 박막 트랜지스터들과 연결되고, 상기 동일 화소 행과 제2 화소 행 사이에 배치된, 박막 트랜지스터 기판.

**청구항 12**

제11항에 있어서,

상기 복수의 화소들 각각은 동일 화소 열의 상기 제1 화소 행의 화소와 상기 제1 초기화 전압선을 기준으로 대칭인 박막 트랜지스터 기판.

**청구항 13**

제11항에 있어서,

상기 복수의 화소들 각각은 동일 화소 열의 상기 제2 화소 행의 화소와 상기 제2 초기화 전압선을 기준으로 대칭인 박막 트랜지스터 기판.

**청구항 14**

제11항에 있어서

상기 제1 초기화 전압선을 인접한 두 개의 화소 열에 배치된 동일 화소 행의 한 쌍의 화소들 및 제1 화소 행의 한 쌍의 화소들과 전기적으로 연결하는 제1 연결 전극;을 더 포함하는 박막 트랜지스터 기판.

**청구항 15**

제11항에 있어서,

상기 제2 초기화 전압선을 인접한 두 개의 화소 열에 배치된 동일 화소 행의 한 쌍의 화소들 및 제2 화소 행의 한 쌍의 화소들과 전기적으로 연결하는 제2 연결 전극;을 더 포함하는 박막 트랜지스터 기판.

**청구항 16**

제1 화소 행에 배치된 제1 화소 및 제2 화소;

상기 제1 화소 행에 인접한 제2 화소 행에 배치되고, 상기 제1 화소와 동일 화소 열에 배치된 제3 화소 및 상기 제2 화소와 동일 화소 열에 배치된 제4 화소;

상기 제2 화소 행에 인접한 제3 화소 행에 배치되고, 상기 제1 화소와 동일 화소 열에 배치된 제5 화소 및 상기 제2 화소와 동일 화소 열에 배치된 제6 화소;

상기 제1 화소 행과 상기 제2 화소 행 사이에 배치되고, 상기 제1 화소 내지 상기 제4 화소에 제1 초기화 전압을 인가하는 제1 초기화 전압선; 및

상기 제2 화소 행과 상기 제3 화소 행 사이에 배치되고, 상기 제3 화소 내지 제6 화소에 상기 제1 초기화 전압과 다른 레벨의 제2 초기화 전압을 인가하는 제2 초기화 전압선;을 포함하는 박막 트랜지스터 기판.

**청구항 17**

제16항에 있어서,

상기 제1 화소 및 제2 화소는 각각 상기 제1 초기화 전압선을 기준으로 상기 제3 화소 및 제4 화소와 대칭인 박막 트랜지스터 기판.

**청구항 18**

제16항에 있어서,

상기 제3 화소 및 제4 화소는 각각 상기 제2 초기화 전압선을 기준으로 상기 제5 화소 및 제6 화소와 대칭인 박막 트랜지스터 기판.

**청구항 19**

제16항에 있어서

상기 제1 초기화 전압선을 상기 제1 화소 내지 제4 화소에 전기적으로 연결하는 제1 연결 전극;을 더 포함하는 박막 트랜지스터 기관.

**청구항 20**

제16항에 있어서,

상기 제2 초기화 전압선을 상기 제3 화소 내지 제6 화소에 전기적으로 연결하는 제2 연결 전극;을 더 포함하는 박막 트랜지스터 기관.

**발명의 설명**

**기술 분야**

[0001] 본 발명의 실시예들은 박막 트랜지스터 기관 및 이를 포함하는 표시장치에 관한 것이다.

**배경 기술**

[0002] 표시장치는 이미지를 표시하는 장치로서, 최근 유기발광표시장치(organic light emitting diode display)가 주목받고 있다.

[0003] 유기발광표시장치는 자체 발광 특성을 가지며, 액정 표시 장치(liquid crystal display device)와 달리 별도의 광원을 필요로 하지 않으므로 두께와 무게를 줄일 수 있다. 또한, 유기발광표시장치는 낮은 소비 전력, 높은 휘도 및 높은 반응 속도 등의 고품위 특성을 나타낸다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명의 실시예는 저휘도 및 저계조에서 발광 지연에 따른 색번짐 발생을 완화할 수 있는 표시장치를 제공하는데 목적이 있다.

**과제의 해결 수단**

[0005] 본 발명의 일 실시예에 따른 박막 트랜지스터 기관은, 제1 화소 행에 배치된 복수의 제1 화소들; 상기 제1 화소 행에 인접한 제2 화소 행에 배치된 복수의 제2 화소들; 상기 제2 화소 행에 인접한 제3 화소 행에 배치된 복수의 제3 화소들; 상기 제1 화소 행과 제2 화소 행 사이에 배치되고, 상기 복수의 제1 화소들과 제2 화소들에 제1 초기화 전압을 인가하는 제1 초기화 전압선; 및 상기 제2 화소 행과 상기 제3 화소 행 사이에 배치되고, 상기 복수의 제2 화소들과 제3 화소들에 상기 제1 초기화 전압과 다른 레벨의 제2 초기화 전압을 인가하는 제2 초기화 전압선;을 포함한다.

[0006] 동일 화소 열의 제1 화소와 제2 화소는 상기 제1 초기화 전압선을 기준으로 대칭일 수 있다.

[0007] 동일 화소 열의 제2 화소와 제3 화소는 상기 제2 초기화 전압선을 기준으로 대칭일 수 있다.

[0008] 상기 기관은, 상기 제1 초기화 전압선을 인접한 두 개의 화소 열에 배치된 한 쌍의 제1 화소들 및 한 쌍의 제2 화소들과 전기적으로 연결하는 제1 연결 전극;을 더 포함할 수 있다.

[0009] 상기 기관은, 상기 인접한 두 개의 화소 열의 제1 화소들 내지 제2 화소들 각각의 초기화 박막 트랜지스터와 연결된 제1 활성층 연결선; 상기 제1 활성층 연결선과 상기 제1 연결 전극 사이에 형성되고, 제1 공통 컨택홀을 구비한 제1 절연막; 및 상기 제1 연결 전극 상부에 차례로 형성되고, 제1 비아홀을 구비한 제2 절연막과 제3 절연막;을 더 포함하고, 상기 초기화 박막 트랜지스터는 상기 제1 초기화 전압을 전달하고, 상기 제1 연결 전극은 상기 제1 공통 컨택홀을 통해 상기 제1 활성층 연결선과 컨택하고, 상기 제1 초기화 전압선은 상기 제3 절연막 상부에 형성되고, 상기 제1 비아홀을 통해 상기 제1 연결 전극과 컨택할 수 있다.

[0010] 상기 기관은, 상기 제2 초기화 전압선을 인접한 두 개의 화소 열에 배치된 한 쌍의 제2 화소들 및 한 쌍의 제3 화소들과 전기적으로 연결하는 제2 연결 전극;을 더 포함할 수 있다.

- [0011] 상기 기관은, 상기 인접한 두 개의 화소 열의 제2 화소들 내지 제3 화소들 각각의 바이패스 박막 트랜지스터와 연결된 제2 활성층 연결선; 상기 제2 활성층 연결선과 상기 제2 연결 전극 사이에 형성되고, 제2 공통 컨택홀을 구비한 제1 절연막; 및 상기 제2 연결 전극 상부에 차례로 형성되고, 제2 비아홀을 구비한 제2 절연막과 제3 절연막;을 더 포함하고, 상기 바이패스 박막 트랜지스터는 상기 제2 초기화 전압을 전달하고, 상기 제2 연결 전극은 상기 제2 공통 컨택홀을 통해 상기 제2 활성층 연결선과 컨택하고, 상기 제2 초기화 전압선은 상기 제3 절연막 상부에 형성되고, 상기 제2 비아홀을 통해 상기 제2 연결 전극과 컨택한다.
- [0012] 상기 기관은, 상기 제1 화소 행 내지 제3 화소 행 각각에 배치되어 상기 제1 화소들 내지 제3 화소들로 제1 주사신호 및 제2 주사신호를 각각 인가하는 제1 주사선들 및 제2 주사선들; 상기 제1 주사선들 및 제2 주사선들과 교차하며 화소 열마다 배치되고, 상기 제1 화소들 내지 제3 화소들로 데이터 신호를 인가하는 데이터선들; 및 상기 제1 주사선들 및 제2 주사선들과 교차하며 화소 열마다 배치되고, 상기 제1 화소들 내지 제3 화소들로 제1 전원전압을 인가하는 구동전압선들;을 더 포함할 수 있다.
- [0013] 상기 제1 화소 행의 제1 주사선 및 제2 주사선은 상기 제1 초기화 전압선을 기준으로 상기 제2 화소 행의 제1 주사선 및 제2 주사선과 대칭일 수 있다.
- [0014] 상기 제2 화소 행의 제1 주사선 및 제2 주사선은 상기 제2 초기화 전압선을 기준으로 상기 제3 화소 행의 제1 주사선 및 제2 주사선과 대칭일 수 있다.
- [0015] 본 발명의 일 실시예에 따른 박막 트랜지스터 기관은, 복수의 화소들을 포함하고, 상기 복수의 화소들 각각은, 제1 주사 신호에 응답하여 데이터 신호에 대응하는 구동전류를 발광소자로 출력하는 구동 박막 트랜지스터; 제2 주사 신호에 응답하여 제1 초기화 전압을 상기 구동 박막 트랜지스터의 게이트 전극으로 전달하는 초기화 박막 트랜지스터; 및 상기 제2 주사 신호에 응답하여 상기 제1 초기화 전압과 다른 레벨의 제2 초기화 전압을 상기 발광소자의 애노드 전극으로 전달하는 바이패스 박막 트랜지스터;를 포함하고, 상기 복수의 화소들 각각은 상기 제1 초기화 전압을 공급하는 제1 초기화 전압선 및 상기 제2 초기화 전압을 공급하는 제2 초기화 전압선에 연결되고, 상기 제1 초기화 전압선은 동일 화소 행의 인접 화소들 및 인접한 제1 화소 행의 화소들의 초기화 박막 트랜지스터들과 연결되고, 상기 동일 화소 행과 제1 화소 행 사이에 배치되고, 상기 제2 초기화 전압선은 동일 화소 행의 인접 화소들 및 인접한 제2 화소 행의 화소들의 바이패스 박막 트랜지스터들과 연결되고, 상기 동일 화소 행과 제2 화소 행 사이에 배치된다.
- [0016] 상기 복수의 화소들 각각은 동일 화소 열의 상기 제1 화소 행의 화소와 상기 제1 초기화 전압선을 기준으로 대칭일 수 있다.
- [0017] 상기 복수의 화소들 각각은 동일 화소 열의 상기 제2 화소 행의 화소와 상기 제2 초기화 전압선을 기준으로 대칭일 수 있다.
- [0018] 상기 기관은, 상기 제1 초기화 전압선을 인접한 두 개의 화소 열에 배치된 동일 화소 행의 한 쌍의 화소들 및 제1 화소 행의 한 쌍의 화소들과 전기적으로 연결하는 제1 연결 전극;을 더 포함할 수 있다.
- [0019] 상기 기관은, 상기 제2 초기화 전압선을 인접한 두 개의 화소 열에 배치된 동일 화소 행의 한 쌍의 화소들 및 제2 화소 행의 한 쌍의 화소들과 전기적으로 연결하는 제2 연결 전극;을 더 포함할 수 있다.
- [0020] 본 발명의 일 실시예에 따른 박막 트랜지스터 기관은, 제1 화소 행에 배치된 제1 화소 및 제2 화소; 상기 제1 화소 행에 인접한 제2 화소 행에 배치되고, 상기 제1 화소와 동일 화소 열에 배치된 제3 화소 및 상기 제2 화소와 동일 화소 열에 배치된 제4 화소; 상기 제2 화소 행에 인접한 제3 화소 행에 배치되고, 상기 제1 화소와 동일 화소 열에 배치된 제5 화소 및 상기 제2 화소와 동일 화소 열에 배치된 제6 화소; 상기 제1 화소 행과 상기 제2 화소 행 사이에 배치되고, 상기 제1 화소 내지 상기 제4 화소에 제1 초기화 전압을 인가하는 제1 초기화 전압선; 및 상기 제2 화소 행과 상기 제3 화소 행 사이에 배치되고, 상기 제3 화소 내지 제6 화소에 상기 제1 초기화 전압과 다른 레벨의 제2 초기화 전압을 인가하는 제2 초기화 전압선;을 포함한다.
- [0021] 상기 제1 화소 및 제2 화소는 각각 상기 제1 초기화 전압선을 기준으로 상기 제3 화소 및 제4 화소와 대칭일 수 있다.
- [0022] 상기 제3 화소 및 제4 화소는 각각 상기 제2 초기화 전압선을 기준으로 상기 제5 화소 및 제6 화소와 대칭일 수 있다.
- [0023] 상기 기관은, 상기 제1 초기화 전압선을 상기 제1 화소 내지 제4 화소에 전기적으로 연결하는 제1 연결 전극;을

더 포함할 수 있다.

[0024] 상기 기관은, 상기 제2 초기화 전압선을 상기 제3 화소 내지 제6 화소에 전기적으로 연결하는 제2 연결 전극;을 더 포함할 수 있다.

**발명의 효과**

[0025] 본 발명의 표시장치는 저휘도 및 저계조에서 발광 지연에 따른 색번짐 발생을 완화할 수 있다.

**도면의 간단한 설명**

[0026] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 개략적으로 나타낸 블록도이다.  
 도 2는 본 발명의 일 실시예에 따른 표시 장치의 하나의 화소의 등가 회로도이다.  
 도 3은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 일부 화소를 나타낸 회로도이다.  
 도 4는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 일부 화소를 나타낸 평면도이다.  
 도 5는 도 4에 도시된 제3 비아홀(VH3) 영역의 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

[0027] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.

[0028] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.

[0029] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

[0030] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0031] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서, "~상에" 라 함은 대상 부분의 위 또는 아래에 위치함을 의미하는 것이며, 반드시 중력 방향을 기준으로 상 측에 위치하는 것을 의미하는 것은 아니다.

[0032] 도 1은 본 발명의 일 실시예에 따른 표시장치를 개략적으로 나타낸 블록도이다.

[0033] 본 발명의 일 실시예에 의한 표시 장치(100)는 복수의 화소를 포함하는 화소부(10), 주사 구동부(20), 데이터 구동부(30), 발광 제어 구동부(40), 초기화 전압 공급부(50) 및 제어부(60)를 포함한다.

[0034] 화소부(10)는 박막 트랜지스터 기관 상에 형성된 복수의 주사선(SL11 내지 SL2n), 복수의 데이터선(DL1 내지 DLm), 및 복수의 발광 제어선(EL1 내지 ELn)의 교차부에 위치되어, 대략 행렬 형태로 배열된 복수의 화소(PX)를 포함한다. 복수의 주사선(SL1 내지 SLn) 및 복수의 발광 제어선(EL1 내지 ELn)은 행 방향인 제2 방향으로 연장되고, 복수의 데이터선(DL1 내지 DLm)은 열 방향인 제1 방향으로 연장되어 있다. 구동 전압선(PL)은 글로벌선(GL)으로부터 제1 방향으로 연장된 수직선(VL)과 제2 방향으로 연장된 수평선(HL)으로 구성되어 메쉬(mesh) 구조를 가진다.

[0035] 화소(PX)는 화소부(10)에 전달되는 복수의 주사선(SL11 내지 SL2n) 중 두 개의 주사선에 연결되어 있다. 주사 구동부(20)는 복수의 주사선(SL11 내지 SL2n)을 통해 각 화소(PX)에 두 개의 주사 신호를 생성하여 전달한다. 즉, 주사 구동부(20)는 제1 주사선(SL11~SL1n) 또는 제2 주사선(SL21~SL2n)으로 주사 신호를 순차적으로 공급한다. 도 1에서 제1 주사선(SL11~SL1n)은 대응하는 화소 행의 주사선이고, 제2 주사선(SL21~SL2n)은 그 이전 화소 행의 주사선일 수 있다. 이 경우 첫 번째 화소 행에는 제2 주사선이 추가될 수 있다.

- [0036] 또한 화소(PX)는 화소부(10)에 전달되는 복수의 데이터선(DL1 내지 DLm) 중 하나의 데이터선, 화소부(10)에 전달되는 복수의 발광 제어선(EL1 내지 ELn) 중 하나의 발광 제어선에 연결되어 있다. 그리고, 화소(PX)는 제1 초기화 전압선(IL1) 및 제2 초기화 전압선(IL2)에 연결되어 있다.
- [0037] 데이터 구동부(30)는 복수의 데이터선(DL1 내지 DLm)을 통해 각 화소(PX)에 데이터 신호를 전달한다. 데이터 신호는 제1 주사선(SL11~SL1n)으로 주사 신호가 공급될 때마다 주사 신호에 의해 선택된 화소(PX)로 공급된다.
- [0038] 발광 제어 구동부(40)는 복수의 발광 제어선(EL1 내지 ELn)을 통해 각 화소(PX)에 발광 제어 신호를 생성하여 전달한다. 발광 제어 신호는 화소(PX)의 발광 시간을 제어한다. 발광 제어 구동부(40)는 화소(PX)의 내부 구조에 따라 생략될 수도 있다. 본 발명의 실시예에서는 발광 제어 구동부(40)는 별도로 구비되어 있으나, 발광 제어선(EL1 내지 ELn)이 주사 구동부(20)에 연결되어 주사 구동부(20)로부터 발광 제어 신호를 인가받을 수도 있다.
- [0039] 초기화 전압 공급부(50)는 제1 초기화 전압선(IL1)을 통해 각 화소(PX)에 제1 초기화 전압을 생성하여 전달하고, 제2 초기화 전압선(IL2)을 통해 각 화소(PX)에 제2 초기화 전압을 생성하여 전달한다. 제2 초기화 전압은 제1 초기화 전압보다 낮은 전압일 수 있다. 예를 들어, 제2 초기화 전압은 제2 전원전압(ELVSS)과 같은 레벨 또는 더 낮은 레벨의 전압일 수 있다.
- [0040] 본 발명의 실시예에서는 초기화 전압 공급부(50)가 별도로 구비되어 있으나, 제1 및 제2 초기화 전압선(IL1 및 IL2)이 주사 구동부(20)에 연결되어 주사 구동부(20)로부터 초기화 전압을 인가받을 수도 있다.
- [0041] 제어부(60)는 외부에서 전달되는 복수의 영상 신호(R, G, B)를 복수의 영상 데이터 신호(DR, DG, DB)로 변경하여 데이터 구동부(30)에 전달한다. 또한 제어부(60)는 수직동기신호(Vsync), 수평동기신호(Hsync) 및 클럭신호(MCLK)를 전달받아 주사 구동부(20), 데이터 구동부(30), 발광 제어 구동부(40) 및 초기화 전압 공급부(50)의 구동을 제어하기 위한 제어 신호를 생성하여 각각에 전달한다. 즉, 제어부(60)는 주사 구동부(20)를 제어하는 주사 구동 제어 신호(SCS), 데이터 구동부(30)를 제어하는 데이터 구동 제어 신호(DCS), 발광 제어 구동부(40)를 제어하는 발광 구동 제어 신호(ECS), 및 초기화 전압 공급부(50)를 제어하는 초기화 구동 제어 신호(ICS)를 각각 생성하여 전달한다.
- [0042] 화소(PX)는 외부의 제1 전원전압(ELVDD) 및 제2 전원전압(ELVSS)을 공급받는다. 제1 전원전압(ELVDD)은 소정의 하이 레벨 전압일 수 있고, 제2 전원전압(ELVSS)은 상기 제1 전원전압(ELVDD)보다 낮은 전압이거나 접지 전압일 수 있다. 제1 전원전압(ELVDD)은 구동 전압선(PL)을 통해 각 화소(PX)로 공급된다.
- [0043] 복수의 화소(PX) 각각은 복수의 데이터선(DL1 내지 DLm)을 통해 전달된 데이터 신호에 따라 발광 소자로 공급되는 구동 전류에 의해 소정 휘도의 빛을 방출한다.
- [0044] 도 2는 본 발명의 일 실시예에 따른 표시 장치의 하나의 화소의 등가 회로도이다.
- [0045] 본 발명의 일 실시예에 따른 표시 장치(100)의 하나의 화소(PX)는 복수의 박막 트랜지스터(T1 내지 T7), 커패시터(Cst) 및 발광소자를 포함한다. 발광소자는 유기 발광 다이오드(organic light emitting diode, OLED)일 수 있다.
- [0046] 도 2의 실시예에서는 설명의 편의를 위해 m번째 화소 열 및 n번째 화소 행의 화소(PX)를 예로서 설명하겠다. 제1 주사선(SL1n)은 n번째 화소 행의 주사선이고, 제2 주사선(SL2n)은 이전 화소 행(n-1번째 화소 행)의 주사선일 수 있다.
- [0047] 박막 트랜지스터는 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 제1 발광 제어 박막 트랜지스터(T5), 제2 발광 제어 박막 트랜지스터(T6) 및 바이패스 박막 트랜지스터(T7)를 포함한다.
- [0048] 화소(PX)는 스위칭 박막 트랜지스터(T2) 및 보상 박막 트랜지스터(T3)에 제1 주사 신호(S1[n])를 전달하는 제1 주사선(SL1n), 초기화 박막 트랜지스터(T4) 및 바이패스 박막 트랜지스터(T7)에 제2 주사 신호(S2[n])를 전달하는 제2 주사선(SL2n), 제1 발광 제어 박막 트랜지스터(T5) 및 제2 발광 제어 박막 트랜지스터(T6)에 발광 제어 신호(EM[n])를 전달하는 발광 제어선(ELn), 제1 주사선(SL1n)과 교차하며 데이터 신호(DATA)를 전달하는 데이터선(DLm), 제1 전원전압(ELVDD)을 전달하는 구동 전압선(PL), 구동 박막 트랜지스터(T1)를 초기화하는 제1 초기화 전압(Vint\_1)을 전달하는 제1 초기화 전압선(IL1) 및 유기발광다이오드(OLED)의 애노드 전극을 초기화하는 제2 초기화 전압(Vint\_2)을 전달하는 제2 초기화 전압선(IL2)에 연결된다.

- [0049] 구동 박막 트랜지스터(T1)의 게이트 전극은 스토리지 커패시터(Cst)의 제1전극과 연결되어 있다. 구동 박막 트랜지스터(T1)의 소스 전극은 제1 발광 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(PL)과 연결되어 있다. 구동 박막 트랜지스터(T1)의 드레인 전극은 제2 발광 제어 박막 트랜지스터(T6)를 경유하여 유기발광 다이오드(OLED)의 애노드(anode) 전극과 전기적으로 연결되어 있다. 구동 박막 트랜지스터(T1)는 스위칭 박막 트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(DATA)를 전달받아 유기발광다이오드(OLED)에 구동 전류를 공급한다.
- [0050] 스위칭 박막 트랜지스터(T2)의 게이트 전극은 제1 주사선(SL1n)과 연결되어 있다. 스위칭 박막 트랜지스터(T2)의 소스 전극은 데이터선(DLm)과 연결되어 있다. 스위칭 박막 트랜지스터(T2)의 드레인 전극은 구동 박막 트랜지스터(T1)의 소스 전극과 연결되어 있으면서 제1 발광 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(PL)과 연결되어 있다. 이러한 스위칭 박막 트랜지스터(T2)는 제1 주사선(SL1n)을 통해 전달받은 제1 주사 신호(S1[n])에 따라 턴-온되어 데이터선(DLm)으로 전달된 데이터 신호(DATA)를 구동 박막 트랜지스터(T1)의 소스 전극으로 전달하는 스위칭 동작을 수행한다.
- [0051] 보상 박막 트랜지스터(T3)의 게이트 전극은 제1 주사선(SL1n)에 연결되어 있다. 보상 박막 트랜지스터(T3)의 소스 전극은 구동 박막 트랜지스터(T1)의 드레인 전극과 연결되어 있으면서 제2 발광 제어 박막 트랜지스터(T6)를 경유하여 유기발광다이오드(OLED)의 애노드 전극과 연결되어 있다. 보상 박막 트랜지스터(T3)의 드레인 전극은 커패시터(Cst)의 제1 전극, 초기화 박막 트랜지스터(T4)의 드레인 전극 및 구동 박막 트랜지스터(T1)의 게이트 전극과 함께 연결되어 있다. 보상 박막 트랜지스터(T3)는 제1 주사선(SL1n)을 통해 전달받은 제1 주사 신호(S1[n])에 따라 턴-온되어 구동 박막 트랜지스터(T1)의 게이트 전극과 드레인 전극을 서로 연결하여 구동 박막 트랜지스터(T1)를 다이오드 연결시킨다.
- [0052] 초기화 박막 트랜지스터(T4)의 게이트 전극은 제2 주사선(SL2n)과 연결되어 있다. 초기화 박막 트랜지스터(T4)의 소스 전극은 제1 초기화 전압선(IL1)과 연결되어 있다. 초기화 박막 트랜지스터(T4)의 드레인 전극은 커패시터(Cst)의 제1 전극, 보상 박막 트랜지스터(T3)의 드레인 전극 및 구동 박막 트랜지스터(T1)의 게이트 전극과 함께 연결되어 있다. 초기화 박막 트랜지스터(T4)는 제2 주사선(SL2n)을 통해 전달받은 제2 주사 신호(S2[n])에 따라 턴-온되어 제1 초기화 전압(Vint\_1)을 구동 박막 트랜지스터(T1)의 게이트 전극에 전달하여 구동 박막 트랜지스터(T1)의 게이트 전극의 전압을 초기화시키는 초기화 동작을 수행한다.
- [0053] 제1 발광 제어 박막 트랜지스터(T5)의 게이트 전극은 발광 제어선(ELn)과 연결되어 있다. 제1 발광 제어 박막 트랜지스터(T5)의 소스 전극은 구동 전압선(PL)과 연결되어 있다. 제1 발광 제어 박막 트랜지스터(T5)의 드레인 전극은 구동 박막 트랜지스터(T1)의 소스 전극 및 스위칭 박막 트랜지스터(T2)의 드레인 전극과 연결되어 있다.
- [0054] 제2 발광 제어 박막 트랜지스터(T6)의 게이트 전극은 발광 제어선(ELn)과 연결되어 있다. 제2 발광 제어 박막 트랜지스터(T6)의 소스 전극은 구동 박막 트랜지스터(T1)의 드레인 전극 및 보상 박막 트랜지스터(T3)의 소스 전극과 연결되어 있다. 제2 발광 제어 박막 트랜지스터(T6)의 드레인 전극은 유기발광다이오드(OLED)의 애노드 전극과 전기적으로 연결되어 있다. 제2 발광 제어 박막 트랜지스터(T5) 및 제2 발광 제어 박막 트랜지스터(T6)는 발광 제어선(ELn)을 통해 전달받은 발광 제어 신호(EM[n])에 따라 동시에 턴-온되어 제1 전원전압(ELVDD)이 유기발광다이오드(OLED)에 전달되어 유기발광다이오드(OLED)에 구동 전류가 흐르게 된다.
- [0055] 바이패스 박막 트랜지스터(T7)의 게이트 전극은 제2 주사선(SL2n)과 연결되어 있다. 바이패스 박막 트랜지스터(T7)의 소스 전극은 제2 발광 제어 박막 트랜지스터(T6)의 드레인 전극 및 유기발광다이오드(OLED)의 애노드 전극과 함께 연결되어 있다. 바이패스 박막 트랜지스터(T7)의 드레인 전극은 제2 초기화 전압선(IL2)에 연결되어 있다.
- [0056] 커패시터(Cst)의 제2 전극은 구동 전압선(PL)과 연결되어 있다. 커패시터(Cst)의 제1 전극은 구동 박막 트랜지스터(T1)의 게이트 전극, 보상 박막 트랜지스터(T3)의 드레인 전극, 및 초기화 박막 트랜지스터(T4)의 드레인 전극에 함께 연결되어 있다.
- [0057] 유기발광다이오드(OLED)의 캐소드(cathode) 전극은 제2 전원전압(ELVSS)을 공급하는 전원과 연결되어 있다. 유기발광다이오드(OLED)는 구동 박막 트랜지스터(T1)로부터 구동 전류를 전달받아 발광함으로써 영상을 표시한다.
- [0058] 화소(PX)는 한 프레임 동안 초기화, 데이터 기입, 발광 동작을 수행한다.
- [0059] 초기화 기간 동안, 화소(PX)는 제2 주사선(SL2n)을 통해 로우 레벨(low level)의 제2 주사 신호(S2[n])가 공급된다. 로우 레벨의 제2 주사 신호(S2[n])에 대응하여 초기화 박막 트랜지스터(T4)가 턴-온되고, 제1 초기화 전압선(IL1)으로부터 초기화 박막 트랜지스터(T4)를 통해 제1 초기화 전압(Vint\_1)이 구동 박막 트랜지스터(T1)의

게이트 전극에 전달되어, 구동 박막 트랜지스터(T1)의 게이트 전극이 초기화된다. 그리고, 로우 레벨의 제2 주사 신호(S2[n])에 대응하여 바이패스 박막 트랜지스터(T7)가 턴-온되고, 제2 초기화 전압선(IL2)으로부터 바이패스 박막 트랜지스터(T7)를 통해 제2 초기화 전압(Vint\_2)이 유기발광다이오드(OLED)의 애노드 전극에 전달되어, 유기발광다이오드(OLED)의 애노드 전극이 초기화된다.

[0060] 이 후, 데이터 기입 기간 동안, 제1 주사선(SL1n)을 통해 로우 레벨의 제1 주사 신호(S1[n])가 공급된다. 그러면, 로우 레벨의 제1 주사 신호(S1[n])에 대응하여 스위칭 박막 트랜지스터(T2) 및 보상 박막 트랜지스터(T3)가 턴-온된다. 이때, 구동 박막 트랜지스터(T1)는 턴-온된 보상 박막 트랜지스터(T3)에 의해 다이오드 연결되고, 순방향으로 바이어스된다. 그러면, 데이터선(DLn)으로부터 공급된 데이터 신호(DATA)에서 구동 박막 트랜지스터(T1)의 문턱 전압(Threshold voltage, Vth)만큼 감소한 보상 전압(DATA+Vth, Vth는 (-)의 값)이 구동 박막 트랜지스터(T1)의 게이트 전극에 인가된다. 커패시터(Cst)의 양단에는 제1 전원전압(ELVDD)과 보상 전압(DATA+Vth)이 인가되고, 커패시터(Cst)에는 양단 전압 차에 대응하는 전하가 저장된다.

[0061] 이후, 발광 기간 동안, 발광 제어선(ELn)으로부터 공급되는 발광 제어 신호(EM[n])가 하이 레벨에서 로우 레벨로 변경된다. 그러면, 발광 기간 동안 로우 레벨의 발광 제어 신호(EM[n])에 의해 제1 발광 제어 박막 트랜지스터(T5) 및 제2 발광 제어 박막 트랜지스터(T6)가 턴-온된다. 그러면, 구동 박막 트랜지스터(T1)의 게이트 전극의 전압과 제1 전원전압(ELVDD) 간의 전압차에 따르는 구동 전류가 발생하고, 제2 발광 제어 박막 트랜지스터(T6)를 통해 구동 전류가 유기발광다이오드(OLED)에 공급된다. 발광 기간 동안, 커패시터(Cst)에 의해 구동 박막 트랜지스터(T1)의 게이트-소스 전압(Vgs)은 '(DATA+Vth)-ELVDD'로 유지되고, 구동 박막 트랜지스터(T1)의 전류-전압 관계에 따르면, 구동 전류는 소스-게이트 전압에서 문턱 전압을 차감한 값의 제곱 '(DATA-ELVDD)<sup>2</sup>'에 비례한다. 따라서 구동 전류는 구동 박막 트랜지스터(T1)의 문턱 전압(Vth)에 관계없이 결정된다.

[0062] 도 3은 본 발명의 일 실시예에 따른 표시장치의 일부 화소를 나타낸 회로도이다.

[0063] 도 3을 참조하면, 상하로 인접한 화소들, 즉 동일 화소 열의 인접한 화소 행들의 화소들은 제1 초기화 전압선(IL1) 및 제2 초기화 전압선(IL2)을 공유하고, 서로 대칭 구조로 형성된다.

[0064] 도 3에서는 임의의 화소 열에서 (i-1)번째 화소 행의 제1 화소(1), (i)번째 화소 행의 제2 화소(2), (i+1)번째 화소 행의 제3 화소(3)를 예로서 도시하고 있다. 도 3에서 제1 주사선은 대응하는 화소 행의 주사선이고, 제2 주사선은 바로 이전 화소 행의 주사선일 수 있다.

[0065] 제2 화소(2)와 제3 화소(3)는 영역(B)에서 제1 공통 연결 전극에 의해 연결되고, 제1 공통 연결 전극에 연결된 제1 초기화 전압선을 통해 제1 초기화 전압(Vint\_1)을 인가받는다. 제2 화소(2)와 제3 화소(3)는 영역(B)을 기준으로 서로 대칭이다.

[0066] 제1 화소(1)와 제2 화소(2)는 영역(A)에서 제2 공통 연결 전극에 의해 연결되고, 제2 공통 연결 전극에 연결된 제2 초기화 전압선을 통해 제2 초기화 전압(Vint\_2)을 인가받는다. 제1 화소(1)와 제2 화소(2)는 영역(A)을 기준으로 서로 대칭이다.

[0067] 본 발명의 실시예에서는 구동 박막 트랜지스터(T1)의 게이트 전극을 초기화하는 제1 초기화 전압(Vint\_1)을 인가하는 제1 초기화 전압선(IL1)과 유기 발광 다이오드(OLED)의 애노드 전극을 초기화하는 제2 초기화 전압(Vint\_2)을 인가하는 제2 초기화 전압선(IL2)을 분리한다. 이로써 제1 초기화 전압(Vint\_1)과 제2 초기화 전압(Vint\_2)의 인가 타이밍을 조절하여 서로 다른 기간에 인가하거나, 각각 동일 또는 상이한 전압으로 설정할 수 있다.

[0068] 초기화 박막 트랜지스터(T4)와 바이패스 박막 트랜지스터(T7)를 동일한 초기화 전압선에 연결하고 동일한 초기화 전압을 인가하는 경우, 초기화 전압은 구동 박막 트랜지스터(T1)의 게이트 전극의 초기화 및 유기발광다이오드(OLED)의 애노드 전극의 초기화 모두를 위한 전압으로 설정된다. 이에 따라, 초기화 전압은 제2 전원전압(ELVSS)보다 높게 설정된다. 구동 전류는 유기발광다이오드(OLED)의 기생캡을 먼저 충전하게 되는데, 저휘도 및 저계조에서는 구동 전류의 크기가 작기 때문에 유기발광다이오드(OLED)의 기생캡 충전 시간이 길어진다. 이에 따라 유기발광다이오드(OLED)의 발광 시점이 늦어지고, 발광 지연에 따른 색 번짐이 발생한다. 이러한 현상은 녹색 화소에서 두드러지게 나타난다.

[0069] 본 발명의 실시예는 제1 초기화 전압선(IL1)과 제2 초기화 전압선(IL2)을 분리함으로써 제1 초기화 전압(Vint\_1)과 제2 초기화 전압(Vint\_2)을 각각 최적의 전압으로 설정할 수 있다. 예를 들어, 제1 초기화 전압(Vint\_1)은 기존의 초기화 전압으로 유지하고, 제2 초기화 전압(Vint\_2)은 제2 전원전압(ELVSS)과 동일 또는 더

낮은 전압으로 설정할 수 있다. 제2 초기화 전압(Vint\_2)을 제2 전원전압(ELVSS)의 전압 레벨로 설정함으로써 유기발광다이오드(OLED)의 기생캐پ 충전 시간을 단축시킬 수 있기 때문에 발광 지연에 따른 색 번짐 현상을 완화할 수 있다.

- [0070] 또한 제1 초기화 전압(Vint\_1)을 공급하는 제1 초기화 전압선(IL1) 및 제2 초기화 전압(Vint\_2)을 공급하는 제2 초기화 전압선(IL2)을 상하로 인접한 화소들이 공유함으로써 화소마다 두 개의 초기화 전압선을 배치할 필요가 없고 화소 배치를 위한 공간을 확보할 수 있다.
- [0071] 도 4는 본 발명의 일 실시예에 따른 표시장치의 일부 화소를 나타낸 평면도이다.
- [0072] 도 4에는 박막 트랜지스터 기관 상의 임의의 인접한 두 화소 행과 임의의 인접한 두 화소 열에 각각 배치된 제1 내지 제4 화소들(11, 12, 13, 14)이 도시되어 있다. 이하에서는 편의상 제1 화소 행 및 제2 화소 행, 제1 화소 열 및 제2 화소 열로 지칭하여 설명하겠다.
- [0073] 제1 화소 행에는 제1 주사 신호를 인가하는 제1 주사선(111a), 제2 주사 신호를 인가하는 제2 주사선(112a), 발광 제어 신호를 인가하는 발광 제어선(113a)이 제2 방향으로 배치된다. 제1 화소 행에 인접한 제2 화소 행에는 제1 주사 신호를 인가하는 제1 주사선(111b), 제2 주사 신호를 인가하는 제2 주사선(112b), 발광 제어 신호를 인가하는 발광 제어선(113b)이 제2 방향으로 배치된다.
- [0074] 제1 화소 열에는 데이터 신호를 인가하는 데이터선(116) 및 제1 전원전압(ELVDD)을 인가하는 구동 전압선(117)이 제1 방향으로 배치된다. 제2 화소 열에도 마찬가지로 데이터 신호를 인가하는 데이터선(118) 및 제1 전원전압(ELVDD)을 인가하는 구동 전압선(119)이 제1 방향으로 배치된다.
- [0075] 제1 화소 행과 제2 화소 행의 사이에는 제2 초기화 전압선(122)이 제2 방향으로 배치된다. 제2 초기화 전압선(122)은 제1 내지 제4 화소들(11, 12, 13, 14)이 공유한다.
- [0076] 제1 화소 행과 제1 화소 행 이전의 화소 행의 사이에는 제1 초기화 전압선(121)이 제2 방향으로 배치된다. 제1 초기화 전압선(121)은 제1 및 제2 화소들(11, 12) 및 동일 화소 열의 이전 화소 행의 화소들과 제1 초기화 전압선(121)을 공유한다.
- [0077] 도시되지 않았으나, 제2 화소 행과 제2 화소 행 다음 화소 행의 사이에도 제1 초기화 전압선이 제2 방향으로 배치된다. 제1 초기화 전압선은 제3 및 제4 화소들(13, 14) 및 동일 화소 열의 다음 화소 행의 화소들과 제1 초기화 전압선을 공유한다.
- [0078] 제1 화소(11) 및 제2 화소(12)는 제2 초기화 전압선(122)을 기준으로 각각 제3 화소(13) 및 제4 화소(14)와 서로 대칭이다. 그리고, 제1 화소(11) 및 제2 화소(12)는 제1 초기화 전압선(121)을 기준으로 각각 이전 화소 행의 화소들과 서로 대칭이다. 마찬가지로, 제3 화소(13) 및 제4 화소(14)는 도시되지 않은 제1 초기화 전압선을 기준으로 각각 다음 화소 행의 화소들과 서로 대칭이다.
- [0079] 제1 화소(11) 및 제2 화소(12) 각각의 박막 트랜지스터들(T1 내지 T7)과 커패시터(Cst)의 배치는 제2 초기화 전압선(122)을 기준으로 제3 화소(13) 및 제4 화소(14) 각각의 박막 트랜지스터들(T1 내지 T7)과 커패시터(Cst)의 배치와 서로 대칭이다. 또한 제1 화소(11) 및 제2 화소(12) 각각의 박막 트랜지스터들(T1 내지 T7)과 커패시터(Cst)의 배치는 제1 초기화 전압선(121)을 기준으로 이전 화소 행의 화소들 각각의 박막 트랜지스터들(T1 내지 T7)과 커패시터(Cst)의 배치와 서로 대칭이다. 또한 제3 화소(13) 및 제4 화소(14) 각각의 박막 트랜지스터들(T1 내지 T7)과 커패시터(Cst)의 배치는 제1 초기화 전압선을 기준으로 다음 화소 행의 화소들 각각의 박막 트랜지스터들(T1 내지 T7)과 커패시터(Cst)의 배치와 서로 대칭이다.
- [0080] 제1 화소 행의 제1 주사선(111a), 제2 주사선(112a) 및 발광 제어선(113a)은 제2 초기화 전압선(122)을 기준으로 제2 화소 행의 제1 주사선(111b), 제2 주사선(112b) 및 발광 제어선(113b)과 서로 대칭되게 위치된다.
- [0081] 마찬가지로, 제1 화소 행의 제1 주사선(111a), 제2 주사선(112a) 및 발광 제어선(113a)은 제1 초기화 전압선(121)을 기준으로 이전 화소 행의 제1 주사선, 제2 주사선 및 발광 제어선과 서로 대칭되게 위치된다. 또한, 제2 화소 행의 제1 주사선(111b), 제2 주사선(112b) 및 발광 제어선(113b)은 미도시된 제1 초기화 전압선을 기준으로 다음 화소 행의 제1 주사선, 제2 주사선 및 발광 제어선과 서로 대칭되게 위치된다.
- [0082] 제1 내지 제4 화소들(11, 12, 13, 14) 각각은 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 제1 발광 제어 박막 트랜지스터(T5), 제2 발광 제어 박막 트랜지스터(T6) 및 바이패스 박막 트랜지스터(T7), 커패시터(Cst) 및 유기 발광 다이오드(OLED)를 포함한다. 도 4

에서는 유기 발광 다이오드(OLED)는 도시되어 있지 않다.

- [0083] 이하에서는 제1 화소(11)를 중심으로 설명하겠으며, 나머지 제2 내지 제4 화소들(12, 13, 14)의 구조도 이와 동일하다.
- [0084] 제1 화소(11)는 제1 주사 신호, 제2 주사 신호, 발광 제어 신호, 제1 초기화 전압 및 제2 초기화 전압을 각각 인가하며 제2 방향을 따라 형성되어 있는 제1 주사선(111a), 제2 주사선(112a), 발광 제어선(113a), 제1 초기화 전압선(121), 제2 초기화 전압선(122)에 연결된다. 제1 화소(11)는 제1 주사선(111a), 제2 주사선(112a), 발광 제어선(113a), 제1 초기화 전압선(121), 제2 초기화 전압선(122) 모두와 교차하며 제1 방향을 따라 형성되어 있는 데이터 신호를 전달하는 데이터선(116), 제1 전원전압(ELVDD)을 전달하는 구동 전압선(117)에 연결된다.
- [0085] 박막 트랜지스터들은 활성층을 따라 형성되어 있으며, 활성층은 다양한 형상으로 굴곡되어 형성되어 있다. 이러한 활성층은 폴리 실리콘으로 이루어지며, 불순물이 도핑되지 않은 채널 영역과, 채널 영역의 양 옆으로 불순물이 도핑되어 형성된 소스 영역 및 드레인 영역을 포함한다. 여기서, 이러한 불순물은 박막 트랜지스터의 종류에 따라 달라지며, N형 불순물 또는 P형 불순물이 가능하다.
- [0086] 구동 박막 트랜지스터(T1)는 게이트 전극(G1), 소스 전극(S1) 및 드레인 전극(D1)을 포함한다. 소스 전극(S1)은 활성층에서 불순물이 도핑된 소스 영역에 해당하고, 드레인 전극(D1)은 활성층에서 불순물이 도핑된 드레인 영역에 해당한다. 게이트 전극(G1)은 채널 영역과 중첩한다. 게이트 전극(G1)은 콘택홀(41)을 통해 제2 연결 전극(130)에 연결되고, 제2 연결 전극(130)은 콘택홀(42)을 통해 보상 박막 트랜지스터(T3)의 드레인 전극(D3) 및 초기화 박막 트랜지스터(T4)의 드레인 전극(D4)과 연결된다.
- [0087] 구동 박막 트랜지스터(T1)의 활성층은 굴곡되어 있다. 도 4의 예에서는 구동 박막 트랜지스터(T1)의 활성층이 'S' 형상으로 배치되어 있다. 이와 같이, 굴곡된 활성층을 형성함으로써, 좁은 공간 내에 길게 활성층을 형성할 수 있다. 따라서, 구동 박막 트랜지스터(T1)의 활성층은 채널 영역을 길게 형성할 수 있으므로 게이트 전극(G1)에 인가되는 게이트 전압의 구동 범위(driving range)는 넓어지게 된다. 따라서, 게이트 전압의 구동 범위가 넓으므로 게이트 전압의 크기를 변화시켜 유기발광다이오드(OLED)에서 방출되는 빛의 계조를 보다 세밀하게 제어할 수 있으며, 그 결과 유기 발광 표시 장치의 해상도를 높이고 표시 품질을 향상시킬 수 있다. 구동 박막 트랜지스터(T1)의 활성층은 'L', 'M', 'W' 등의 다양한 실시예가 가능하다.
- [0088] 스위칭 박막 트랜지스터(T2)는 게이트 전극(G2), 소스 전극(S2) 및 드레인 전극(D2)을 포함한다. 소스 전극(S2)은 활성층에서 불순물이 도핑된 소스 영역에 해당하고, 드레인 전극(D2)은 활성층에서 불순물이 도핑된 드레인 영역(D2)에 해당한다. 게이트 전극(G2)은 채널 영역과 중첩한다. 소스 전극(S2)은 콘택홀(43)을 통해 데이터선(116)과 연결된다. 드레인 전극(D2)은 구동 박막 트랜지스터(T1)의 소스 전극(S1) 및 제1 발광 제어 박막 트랜지스터(T5)의 드레인 전극(D5)과 연결되어 있다. 게이트 전극(G2)은 제1 주사선(111a)의 일부에 의해 형성된다.
- [0089] 보상 박막 트랜지스터(T3)는 게이트 전극(G3), 소스 전극(S3) 및 드레인 전극(D3)을 포함한다. 소스 전극(S3)은 활성층에서 불순물이 도핑된 소스 영역에 해당하고, 드레인 전극(D3)은 활성층에서 불순물이 도핑된 드레인 영역에 해당한다. 게이트 전극(G3)은 채널 영역과 중첩하고, 제1 주사선(111a)의 일부에 의해 형성된다. 보상 박막 트랜지스터(T3)는 듀얼 게이트형 박막 트랜지스터이다.
- [0090] 초기화 박막 트랜지스터(T4)는 게이트 전극(G4), 소스 전극(S4) 및 드레인 전극(D4)을 포함한다. 소스 전극(S4)은 활성층에서 불순물이 도핑된 소스 영역에 해당하고, 드레인 전극(D4)은 활성층에서 불순물이 도핑된 드레인 영역에 해당한다. 소스 전극(S4)은 제1 공통 콘택홀(45)을 통해 제3 연결 전극(140)에 연결되고, 제3 연결 전극(140)은 제2 비아홀(VH2)을 통해 제1 초기화 전압선(121)과 연결된다. 게이트 전극(G4)은 채널 영역과 중첩하고, 제2 주사선(112a)의 일부에 의해 형성된다. 초기화 박막 트랜지스터(T4)는 듀얼 게이트형 박막 트랜지스터이다.
- [0091] 제1 발광 제어 박막 트랜지스터(T5)는 게이트 전극(G5), 소스 전극(S5) 및 드레인 전극(D5)을 포함한다. 소스 전극(S5)은 활성층에서 불순물이 도핑된 소스 영역에 해당하고, 드레인 전극(D5)은 활성층에서 불순물이 도핑된 드레인 영역에 해당한다. 게이트 전극(G5)은 채널 영역과 중첩한다. 소스 전극(S5)은 콘택홀(44)을 통해 구동 전압선(117)과 연결된다. 게이트 전극(G5)은 발광 제어선(113a)의 일부에 의해 형성된다.
- [0092] 제2 발광 제어 박막 트랜지스터(T6)는 게이트 전극(G6), 소스 전극(S6) 및 드레인 전극(D6)을 포함한다. 소스 전극(S6)은 활성층에서 불순물이 도핑된 소스 영역에 해당하고, 드레인 전극(D6)은 활성층에서 불순물이 도핑된 드레인 영역에 해당한다. 게이트 전극(G6)은 채널 영역과 중첩한다. 드레인 전극(D6)은 콘택홀(46)을 통해 제1

연결 전극(120)에 연결되고, 제1 연결 전극(120)은 제1 비아홀(VH1)을 통해 유기발광소자(OLED)의 애노드 전극과 연결된다. 게이트 전극(G6)은 발광 제어선(113a)의 일부에 의해 형성된다.

[0093] 바이패스 박막 트랜지스터(T7)는 게이트 전극(G7), 소스 전극(S7) 및 드레인 전극(D7)을 포함한다. 소스 전극(S7)은 활성층에서 불순물이 도핑된 소스 영역에 해당하고, 드레인 전극(D7)은 활성층에서 불순물이 도핑된 드레인 영역에 해당한다. 게이트 전극(G7)은 채널 영역과 중첩한다. 소스 전극(S7)은 제2 발광 제어 박막 트랜지스터(T6)의 드레인 전극(D6)과 연결된다. 그리고, 소스 전극(S7)은 컨택홀(46)을 통해 제1 연결 전극(120)에 연결되고, 제1 연결 전극(120)은 제1 비아홀(VH1)을 통해 유기발광소자(OLED)의 애노드 전극과 연결된다. 드레인 전극(D7)은 제2 공통 컨택홀(47)을 통해 제4 연결 전극(150)에 연결되고, 제4 연결 전극(150)은 제3 비아홀(VH3)을 통해 제2 초기화 전압선(122)에 연결된다.

[0094] 커패시터(Cst)의 제1전극(Cst1)은 컨택홀(41)과 연결된 제1 연결 전극(120)에 의해 보상 박막 트랜지스터(T3)의 드레인 전극(D3), 초기화 박막 트랜지스터(T4)의 드레인 전극(D4)과 함께 연결되어 있다. 커패시터(Cst)의 제1 전극(Cst1)은 구동 박막 트랜지스터(T1)의 게이트 전극(G1)의 역할을 동시에 한다. 커패시터(Cst)의 제2전극(Cst2)은 컨택홀들(48, 49)을 통해 구동 전압선(117)과 연결되어, 구동 전압선(117)으로부터 제1 전원전압(ELVDD)을 인가받는다.

[0095] 커패시터(Cst)의 제1전극(Cst1)은 인접한 화소와 분리되어 사각 형상으로 형성되어 있으며, 제1 주사선(111a), 제2 주사선(112a), 발광 제어선(113a), 박막 트랜지스터들의 게이트 전극들(G1 내지 G7)과 동일한 물질로 동일한 층에 형성되어 있다.

[0096] 커패시터(Cst)의 제2전극(Cst2)은 제2 방향으로 인접한 화소들, 즉 동일 화소 행의 화소들의 제2전극과 연결되어 있다. 커패시터(Cst)의 제2전극(Cst2)은 제1전극(Cst1) 전체와 중첩하고, 구동 박막 트랜지스터(T1)와 수직으로 중첩하는 구조를 갖는다. 굴곡 형태를 가지는 구동 박막 트랜지스터(T1)의 활성층에 의해 줄어든 커패시터(Cst)의 영역을 확보하기 위해 구동 박막 트랜지스터(T1)의 활성층과 중첩하여 커패시터(Cst)를 형성함으로써, 고해상도에서도 커패시터의 확보가 가능하다.

[0097] 데이터선(116)은 화소의 좌측 또는 우측에 제1 방향으로 배치된다. 데이터선(116)은 컨택홀(43)을 통해 스위칭 박막 트랜지스터(T2)와 연결된다.

[0098] 구동 전압선(117)은 화소의 좌측 또는 우측에 제1 방향으로 데이터선(116)에 근접하게 배치된다. 커패시터(Cst)의 제2전극(Cst2)은 제2 방향으로 인접하는 화소들 간에 서로 연결되어 있고, 컨택홀들(48, 49)을 통해 구동 전압선(117)과 연결되어 있다. 이에 따라 구동 전압선(117)은 수직선(VL)으로 기능하고, 커패시터(Cst)의 제2전극(Cst2)은 수평선(HL)으로 기능하여, 구동 전압선(117)은 전체적으로 메쉬(mesh) 구조를 가질 수 있다. 또한 구동 전압선(117)은 컨택홀(44)을 통해 제1 발광 제어 박막 트랜지스터(T5)와 연결된다.

[0099] 제1 초기화 전압선(121)은 제2 방향으로 연장 배치되고, 제2 비아홀(VH2)을 통해 제3 연결 전극(140)과 컨택한다. 제2 초기화 전압선(122)은 제2 방향으로 연장 배치되고, 제3 비아홀(VH3)을 통해 제4 연결 전극(150)과 컨택한다. 제1 초기화 전압선(IL1) 및 제2 초기화 전압선(IL2)은 애노드 전극과 동일층에 동일 물질로 형성될 수 있다.

[0100] 제1 및 제2 화소(11, 12)와 이전 화소 행의 화소들 각각의 초기화 박막 트랜지스터(T4)의 소스 전극들(D4)은 제1 활성층 연결선(160)으로 서로 연결된다. 제1 활성층 연결선(160)은 활성층의 연장선일 수 있다. 제1 활성층 연결선(160)은 제3 연결 전극(140)과 제1 공통 컨택홀(45)을 통해 연결된다. 제3 연결 전극(140)은 제1 초기화 전압선(121)과 제2 비아홀(VH2)을 통해 연결된다.

[0101] 제1 내지 제4 화소(11, 12, 13, 14) 각각의 바이패스 박막 트랜지스터(T7)의 드레인 전극들(D7)은 제2 활성층 연결선(170)으로 서로 연결된다. 제2 활성층 연결선(170)은 활성층의 연장선일 수 있다. 제2 활성층 연결선(170)은 제4 연결 전극(150)과 제2 공통 컨택홀(47)을 통해 연결된다. 제4 연결 전극(150)은 제2 초기화 전압선(122)과 제3 비아홀(VH3)을 통해 연결된다.

[0102] 도 5는 도 4에 도시된 제3 비아홀(VH3) 영역의 단면도이다.

[0103] 제2 비아홀(VH2) 영역의 단면도는 도 5의 제3 비아홀(VH3) 영역의 단면도와 유사하며, 동일하게 적용할 수 있다.

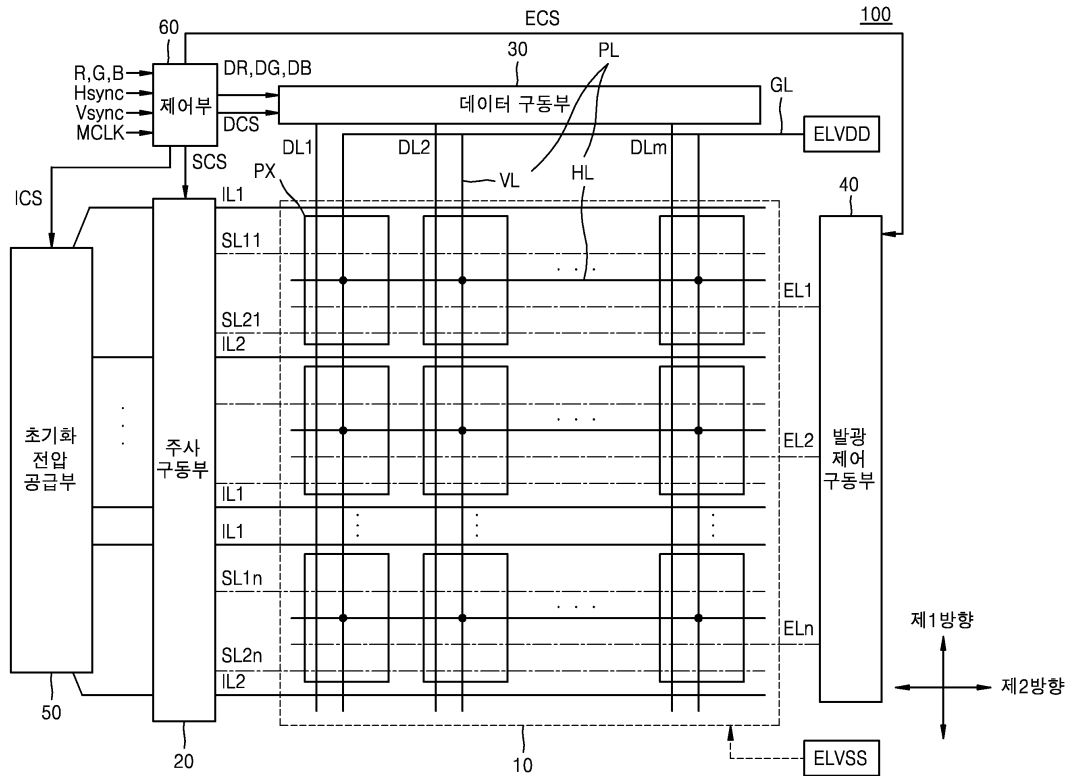
[0104] 박막 트랜지스터 기관(SUB) 상에 버퍼막(171)이 형성되고, 버퍼막(171) 상에 바이패스 박막 트랜지스터(T7)의 드레인 전극(D7)을 구성하는 활성층과 제2 활성층 연결선(170)이 형성된다. 이때 박막 트랜지스터들(T1 내지

T7)의 활성층 및 제1 활성층 연결선(160)도 형성된다.

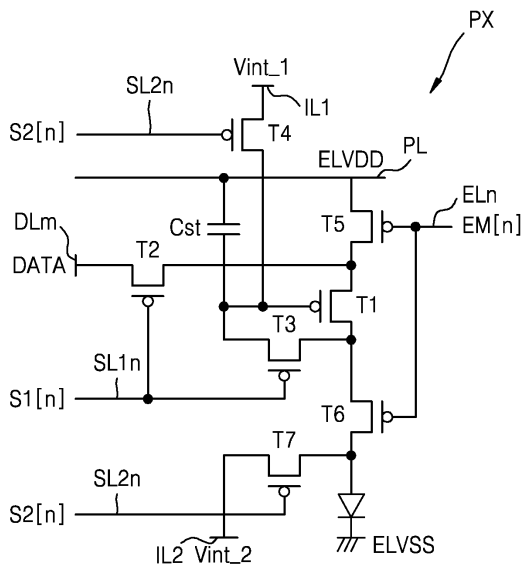
- [0105] 제2 활성층 연결선(170) 상부에는 제1 절연막(172)이 형성된다. 제1 절연막(172)은 제1 게이트 절연막으로 기능한다. 도시되지 않았으나, 제1 절연막(172) 상부에는 박막 트랜지스터들(T1 내지 T7)의 게이트 전극(G1 내지 G7), 커패시터(Cst)의 제1 전극(Cst12), 제1 주사선(111a, 111b), 제2 주사선(112a, 112b), 발광 제어선(113a, 113b)이 형성된다.
- [0106] 게이트 전극(G1 내지 G7), 커패시터(Cst)의 제1 전극(Cst12), 제1 주사선(111a, 111b), 제2 주사선(112a, 112b), 발광 제어선(113a, 113b) 상부에는 제2 절연막(173)이 형성된다. 제2 절연막(173)은 제2 게이트 절연막으로 기능한다. 도시되지 않았으나 제2 절연막(173) 상부에는 커패시터(Cst)의 제2전극(Cst2)이 형성된다.
- [0107] 커패시터(Cst)의 제2전극(Cst2) 상부에는 제3 절연막(174)이 형성된다.
- [0108] 제1 내지 제3 절연막들(172, 173, 174)에는 제2 공통 컨택홀(47)이 형성된다. 마찬가지로 도시되지 않았으나, 제1 내지 제3 절연막들(172, 173, 174)에는 제1 공통 컨택홀(45) 및 컨택홀들(41, 42, 43, 44, 46, 47, 48)도 형성된다.
- [0109] 제3 절연막(174) 상부에는 제4 연결 전극(150)이 형성되어 제2 공통 컨택홀(47)을 통해 바이패스 박막 트랜지스터(T7)의 드레인 전극(D7)과 컨택한다. 도시되지 않았으나, 제3 절연막(174) 상부에는 데이터선(116, 118), 구동전압선(117, 119), 제1 내지 제3 연결 전극(120, 130, 140)도 형성된다.
- [0110] 제4 연결 전극(150) 상부에는 제4 절연막(175)이 형성된다.
- [0111] 제4 절연막(175)에는 제3 비아홀(VH3)이 형성된다. 도시되지 않았으나, 제4 절연막(175)에는 제1 비아홀(VH1) 및 제2 비아홀(VH2)도 형성된다.
- [0112] 제4 절연막(175) 상부에 제2 초기화 전압선(122)이 형성되고, 제2 초기화 전압선(122)은 제3 비아홀(VH3)을 통해 제4 연결 전극(150)과 컨택한다. 도시되지 않았으나, 제4 절연막(175) 상부에 제1 초기화 전압선(121)도 형성되고, 제1 초기화 전압선(121)은 제2 비아홀(VH2)을 통해 제3 연결 전극(140)과 컨택한다.
- [0113] 전술한 실시예에서 초기화 박막 트랜지스터(T4)와 바이패스 박막 트랜지스터(T7)가 동일한 제2 주사선에 연결되어 동일한 타이밍에 제2 주사신호를 인가받아 동작하고 있다. 그러나, 본 발명은 이에 한정되지 않고, 제3 주사선을 추가하고, 초기화 기간에 제2 주사선에 의해 초기화 박막 트랜지스터(T4)가 동작하고, 데이터 기입 기간과 발광 기간 사이에 제3 주사선에 의해 바이패스 박막 트랜지스터(T7)가 동작하도록 할 수 있다.
- [0114] 전술된 실시예에서는 화소가 P타입 트랜지스터들로 구성된 예를 도시하였으나, 본 발명의 실시예는 이에 한정되지 않고, 화소를 N타입 트랜지스터들 또는 N타입 트랜지스터와 P타입 트랜지스터를 혼용하여 구성할 수 있음은 물론이다.
- [0115] 본 명세서에서는 본 발명을 한정된 실시예를 중심으로 설명하였으나, 본 발명의 범위 내에서 다양한 실시예가 가능하다. 또한 설명되지 않는 것은, 균등한 수단도 또한 본 발명에 그대로 결합되는 것이라 할 것이다. 따라서 본 발명의 진정한 보호범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

도면

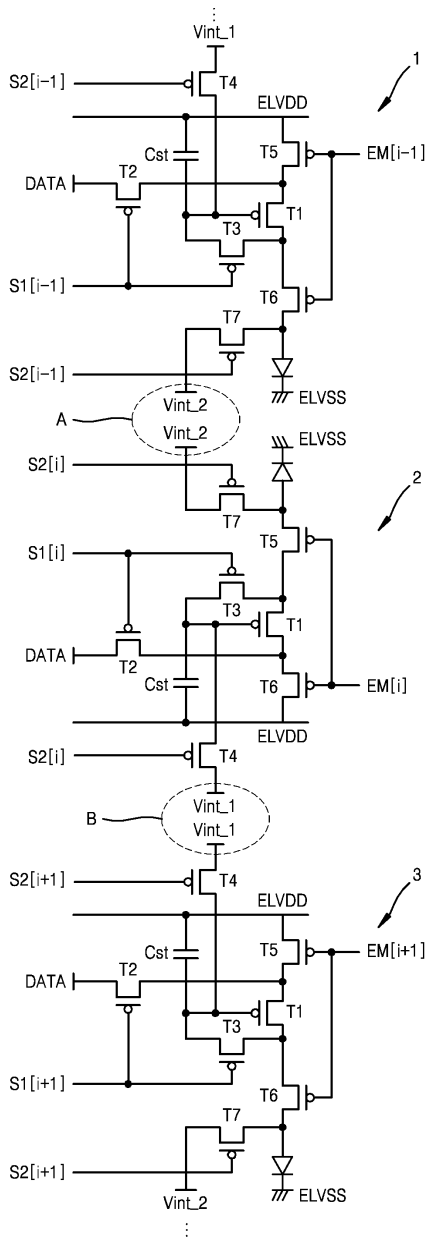
도면1



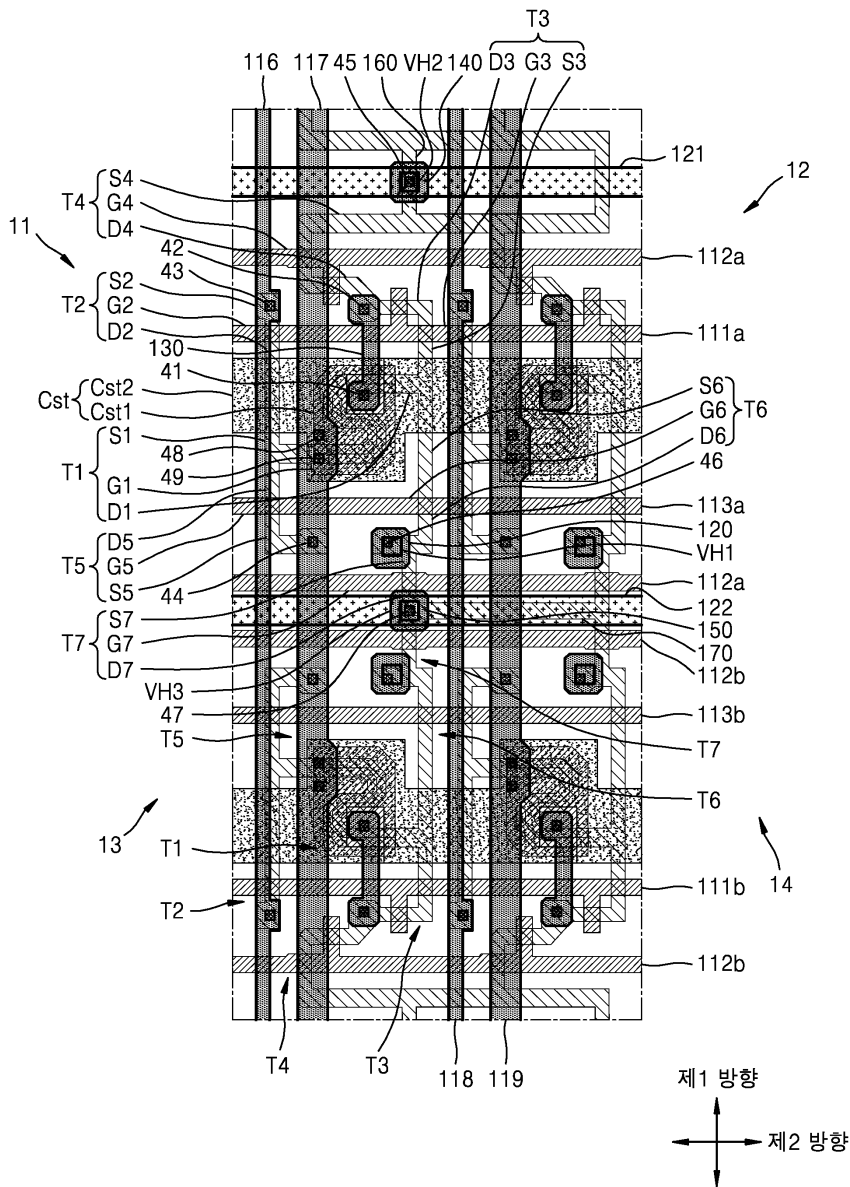
도면2



도면3



도면4



도면5

