

發明專利說明書 200308086

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※ 申請案號： 091134275 ※IPC分類： H01L29/00

※ 申請日期： 91-11-26

壹、發明名稱

(中文) 自動對準之密集雙極接面電晶體佈置及製造其之方法
(英文) SELF ALIGNED COMPACT BIPOLAR JUNCTION TRANSISTOR LAYOUT,
AND METHOD OF MAKING SAME

貳、發明人 (共 5 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 夏李雅.阿麥得

(英文) Ahmed, Shahriar

住居所地址：(中文) 美國奧勒岡州 97229 波特蘭西北溪景路 12826 號

(英文) 12826 NW Creekview Drive Portland, Oregon 97229 United States of America

國籍：(中文) 美國

(英文) USA

參、申請人 (共 1 人)

申請人 1 (如發明人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 英特爾公司

(英文) Intel Corporation

住居所或營業所地址：(中文) 美國加州 95052-8119 聖塔克拉拉 58119 郵
政信箱米生大學大道 2200 號

(英文) 2200 Mission College Boulevard, P.O. Box
58119, Santa Clara, California 95052-8119, USA

國籍：(中文) 美國

(英文) USA

代表人：(中文) 湯瑪斯 C.雷諾德

(英文) Reynolds, Thomas C.

☒ 續發明人或申請人續頁 (發明人或申請人欄位不敷使用時，請註記並使用續頁)

發明人 2

姓名：(中文) 馬克.波爾

(英文) Bohr, Mark

住居所地址：(中文) 美國奧勒岡州 97007 阿羅哈西南日脊 19475 號

(英文) 19475 SW Suncrest Alona, Oregon 97007 United States of America

國籍：(中文) 美國

(英文) USA

發明人 3

姓名：(中文) 史地芬.錢伯司

(英文) Chambers, Stephen

住居所地址：(中文) 美國奧勒岡州 97291 波特蘭西北哈特佛街 12577 號

(英文) 12577 NW Hartford Street Portland, Oregon 97291 United States of America

國籍：(中文) 美國

(英文) USA

發明人 4

姓名：(中文) 李察.葛林

(英文) Green, Richard

住居所地址：(中文) 美國奧勒岡州 97007 阿羅哈西南卡司代爾區 18485 號

(英文) 18485 SW Castel Court Aloha, Oregon 97007 United States of America

國籍：(中文) 美國

(英文) USA

發明人 5

姓名：(中文) 阿南得.莫地立

(英文) Murtiiy, Anand

住居所地址：(中文) 美國奧勒岡州 97229 波特蘭西北盧色尼區 10934 號

(英文) 10934 NW Lucerne Court Portlnd, Oregon 97229 United States of America

國籍：(中文) 美國

(英文) USA

捌、聲明事項

☐ 本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為：_____

☐ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. _____
2. _____
3. _____

☒ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. 美國；2001.12.10.；10/013,225
2. _____
3. _____
4. _____
5. _____
6. _____
7. _____
8. _____
9. _____
10. _____

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____
2. _____
3. _____

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明

【發明所屬之技術領域】

本發明一般係關於積體電路的製造，更明確地說，本發明係關於自動對準元件設計的製造及可產生密集雙極接面電晶體佈置之處理流程。

【先前技術】

磊晶雙極接面電晶體(BJT)在單晶/多晶的基極交接處都會出現缺陷。該些缺陷包括失配錯位(misfit dislocation)、堆積缺陷(stacking fault)、螺旋錯位(screw dislocation)及類似的缺陷。該些缺陷會在 BJT 中造成令人無法接受的電流洩漏。當該些缺陷非常大的時候，甚至可能會在射極與集極之間造成短路。

圖 9 所示的是現有的 BJT 10。該 BJT 10 包括一基板 12、一位於基板 12 之中的集極結構 14、一埋植層 16 以及一深溝渠隔絕區(DTI)結構 18。該 BJT 亦包括淺溝渠隔絕區(STI)結構，該結構包括一源極側淺溝渠隔絕區(源極淺溝渠隔絕區)20、一射極側淺溝渠隔絕區(射極淺溝渠隔絕區)22 以及一基極側淺溝渠隔絕區(基極淺溝渠隔絕區)24。在基板 12 之上則形成一磊晶層，其包括單晶磊晶基極 26 及多晶磊晶基極 28。在該磊晶層之上則置有一射極結構 30。因為晶格缺陷及其它原因的關係，在單晶磊晶基極 26 及多晶磊晶基極 28 的介面處則會形成漏電區 32。

其中一種降低漏電的方法是以高度絕緣的元素大量地摻雜單晶-多晶交接區，將漏電區 32 封閉起來。經過植入

及摻雜後的封閉區 34 可降低或大幅地消除 BJT 10 中的缺陷變成額外的漏電流源的可能疑慮。為讓摻雜物能夠鑿穿，在單晶基極 26 邊緣及射極結構 30 的多晶矽之間必須保持足夠的第一空間 36，其中便可發現漏電區 32。在結構 30 的多晶矽邊緣及射集截止區之間則必須有額外的空間 38，以防止高度的硼劑量從摻雜後的封閉區 34 擴散至射極/基極界面。

必須大量地摻雜空間 36 及 38 以便讓 BJT 10 具有非常大的單元佈置尺寸。大單元佈置尺寸會增加基極及集極方面的寄生電容值及電阻值。如此一來便會降低 BJT 10 的效能。圖 10 所示的係根據熟知技術所構成的 BJT 佈置 10 的投影周圍之俯視平面圖，該圖與圖 9 係相關聯的。集極周圍 40 包括 BJT 佈置 10 的整個投影周圍輪廓。在集極周圍 40 內有一基極周圍 42、射極截止區 44 或射極開口、一集極墊 46 及一基極墊 48。此外，用以填充第一空間 36 的摻雜圖樣可視為環繞射極結構 30 多晶矽的周圍。在該項熟知的技術中，基極周圍 42 實質上包圍著射極結構 30 多晶矽的周圍及基極墊 48 的投影區。

【實施方式】

本發明係關於構成具有密集佈置及可抗漏電流之雙極界面電晶體(BJT)的製程。圖 1 所示的係根據一實施例之處理流程的起點。雙極界面電晶體 110 的前驅體係從基板 112 製造而成的，其包括一深溝渠隔絕區(DTI)114、一集極側淺溝渠隔絕區(STI)116、一位於基板 112 之中的集極結構 118

以及一基極側淺溝渠隔絕區 120。基板 112 內埋植的是 n-型集極埋植層 122，於一實施例中，BJT 110 是 NPN 結構。

在基板 112 之上放置著一選擇性的氧化物前置層 124。在基板 112 之上會構成一包含第一層 126 的防蝕刻層，接著便會再形成一第二層 128。在基板 112 之上會利用由下面各種方式中所選出的處理流程形成一選擇性的氧化物前置層 124：熱成長、沉積、及原生氧化物成長。不論第一層 126 及第二層 128 是否由不同的材料(例如氧化物-氮化物)所構成，或者是否由不同類型的相同材料(例如氧化物-氧化物)所構成，第一層 126 及第二層 128 對蝕刻配方都有著不同的響應。同樣地(視情況而定)，第一層 126 及第二層 128 對氧化製程都有著不同的響應。

在其中一實施例中，第一層 126 是氧化物層。當第一層 126 是氧化物層時，其可能是熱成長的氧化物、沉積的氧化物或其組合。該氧化物可從下面各物中選擇出來：二氧化矽、二氧化鈦、氧化鈾(ceria)、氧化鈷(thoria)、氧化鋁、氧化鋯、氧化鋁(hafnia)以及類似的氧化物。在此實施例中，第二層 128 則是一氮化物層。第二層可從下面各物中選擇出來：氮化矽、氮化鈦、氮化鋁以及類似的氮化物。

根據本發明，選擇一處理流程整合，其指定第一層 126 及第二層 128 的限制成分選擇。在其中一實施例中，第一層 126 及第二層 128 的配置係分別從第一氧化物層及第二氮化物層中選出第一層及第二層。在另一實施例中，則係分別從第一氮化物層及第二氧化物層中選出第一層及第二

層。在另一實施例中，則係分別從第一氧化物層及第二氧化物層中選出第一層及第二層。在另一實施例中，則係分別從第一氮化物層及第二氮化物層中選出第一層及第二層。在另一實施例中，則係分別從第一無機物層及第二有機物層中選出第一層及第二層。在另一實施例中，則係分別從第一有機物層及第二無機物層中選出第一層及第二層。在另一實施例中，則係分別從第一有機物層及第二有機物層中選出第一層及第二層。在另一實施例中，則係分別從第一無機物層及第二無機物層中選出第一層及第二層。

基板 112 之上所形成的拓樸結構係構成第一層 126、第二層 128 及選擇性的氧化物前置層 124。可瞭解的是，其拓樸結構為垂直起伏的形狀(至少其中一層相對於該基板為起伏的)。利用光罩 130 可達到圖樣處理的目的。光罩 130 可能是本項技術中熟知的旋塗式光阻劑，亦可能是本項技術中熟悉的硬光罩。

在其中一示範實施例中，在基板 112 之上形成氧化物前置層 124 之後，便會形成以氧化物為實施例的第一層 126、以氮化物為實施例的第二層 128、光罩 130 並且對第二層 128 進行非等向性的乾式蝕刻，該項非等向性的乾式蝕刻可能是反應離子式蝕刻(RIE)，其後則可進行本項技術中熟知的濕式清潔處理。

之後，則會對第一層 126 進行非等向性的濕式蝕刻以曝露出上層表面 132 並形成該拓樸結構。選擇性地，可配合第一層 126 的蝕刻處理，對氧化物前置層 124 進行蝕刻

處理。第一層 126 及第二層 128 可從下面各物中選擇出來：氧化物、氮化物、有機物或是依照特定的整合製程使用其它的材料。舉例來說，當 BJT 10 係當作邏輯結構的一部份時，在基板其它地方製造埋植式的記憶體陣列時便可能需要使用到氮化物層及氧化物層。在此範例中，第一層 126 可能全都是相同的氮化物，而第二層 128 則可能全都是相同的氧化物，以便在 BJT 10 的處理期間覆蓋該記憶體陣列。

圖 2 所示的係根據一實施例之進一步處理結果。在該拓樸結構上會形成一摻雜層 134。視該雙極結構而定，該摻雜層 134 可能是 p 型摻雜，亦可能是 n 型摻雜。在其中一實施例中，則可能是 P++型摻雜。在其中一實施例中，則可能是 P+型摻雜。在另一實施例中，則可能是 P 型摻雜。在另一實施例中，則可能是 P 型摻雜。在其中一實施例中，摻雜層 134 則是本文所述的 p 型摻雜層。

圖 3 所示的係根據本發明一實施例之進一步處理結果。本實施例中會以間隔蝕刻的方式對摻雜層 134(圖 2)進行蝕刻，以便在該拓樸結構處形成經過摻雜的分隔區 136。經過摻雜的分隔區 136 係當作摻雜物源，以達到本發明一實施例的目的。或者，經過摻雜的分隔區 136 係充分地未摻雜，其可當作摻雜物吸收區或摻雜物滲透區，以便如本文所提出般地讓基板 112 在經過摻雜的分隔區 136 附近形成摻雜物梯度。

圖 4 所示的係根據本發明一實施例之進一步處理結果

。在基板 112 之上會形成一磊晶基極層 138，如該剖面圖所示，其最終會在圖中所示的兩個摻雜分隔區 136 之間進行圖樣處理。在該摻雜的分隔區 136 及第二層 128 之上則會形成一多晶的磊晶基極 140。同樣地，在基板 112 的單晶矽之上則會形成一單晶的磊晶基極 142。

形成磊晶基極層 138 的處理條件可依照本技術所熟知的處理流程來進行。磊晶基極層 138 可以下面本技術所熟知的各種方式所選出的化學氣相沉積(CVD)處理流程來進行：低壓化學氣相沉積(LPCVD)、反應式電漿化學氣相沉積(RCVD)、電漿增強式化學氣相沉積(PECVD)及上面各方式的組合。在其中一種非限制的範例中，進行該項 CVD 處理流程時的壓力範圍可能介於約 10^{-2} 托爾至約 2×10^{-1} 托爾之間。所提供的 CVD 氣體可能是矽烷型氣體或是經過摻雜的矽烷型氣體。

圖 5 所示的係本發明的一實施例，其中已經形成更多包含 BJT 110 的結構。圖中已經形成一射極-基極介電層 144，用以將射極結構 146 與單晶磊晶基極 142 隔離。為達此目的，必須覆蓋沉積一層間介電層，並且對其進行圖樣處理用以在單晶磊晶基極 142 及射極結構 146 的射極多晶矽 150 之間形成一射極開口 148(亦稱為射極截止區)。因此，射極開口 148 便可以下面所述的方式幫助形成本質基極。

根據本發明之擴散處理流程實施例會形成一漏電流阻隔結構。圖 6 所示的係為達此目的對其作進一步處理之後

的結果。射極結構 146 的射極多晶矽 150 可於原處進行摻雜處理，或是在形成以後再對其進行離子植入摻雜處理。形成摻雜物係爲了達到特定的應用的既定濃度。在射極結構 146 的射極多晶矽 150 及單晶磊晶基極 142 之間，會以熱處理的方式於單晶磊晶基極 142 之中形成射極/基極接面區 152。來自射極結構 146 的射極多晶矽 150 的摻雜物元素擴散會有助於形成射極/基極接面區 152。

根據本技術熟知的處理流程會作進一步的處理以形成基極墊 154 及集極墊 156。就此方面來說，可根據一實施例形成 BJT 110。BJT 110 的主要部分爲射極結構 146、射極/基極接面區 152 以及集極結構 118。

請注意，從摻雜分隔區 136 擴散出來的摻雜物會形成一漏電流阻隔結構 158，使得本發明的 BJT 110 的尺寸小於現有的 BJT。在漏電流阻隔結構 158 係基板 112 內具有摻雜物濃度梯度的區域。換言之，基板 112 係一整體性的晶體結構，其中放置著漏電流阻隔結構 158，而漏電流阻隔結構 158 中的濃度梯度係存在於摻雜分隔區的方向中。

根據本發明之實施例，執行一道處理流程以便讓從摻雜分隔區 136 擴散出來的摻雜物形成漏電流阻隔結構 158，尤其是在磊晶基極層 138 的單晶-多晶介面處。在其中一非限制的範例中，摻雜分隔區 136 係以硼進行摻雜的 p 型摻雜實施例，可在溫度範圍介於約 700°C 至約 1,200°C 之間的高溫條件下進行處理流程。在另一非限制的範例中，摻雜分隔區 136 係 p 型摻雜，可在溫度範圍介於約 800°C 至約

1,100°C 之間的高溫條件下進行處理流程。在另一非限制的範例中，摻雜分隔區 136 係 p 型摻雜，可在溫度範圍介於約 900°C 至約 1,000°C 之間的高溫條件下進行處理流程。處理的次數可隨著特定的實施例及製程整合度而改變。處理的次數可根據下面的條件進行選擇：摻雜分隔區 136 中的摻雜物濃度以及用以阻隔磊晶基極層 138 的單晶-多晶介面(介於多晶的磊晶基極 140 及單晶磊晶基極 142 之間)所需要的向外擴散的摻雜物數量。因此，便可在基板 112 中形成漏電流阻隔結構 158。該漏電流阻隔結構 158 可阻隔電流、電位或是兩者皆可阻隔。

向外擴散的摻雜物可作為漏電流阻隔結構 158，其會在整塊的單晶矽中(即基板 112 的非磊晶部分或單晶矽)形成摻雜物梯度。如圖所示，BJT 110 係形成於兩個摻雜分隔區 136 之間。

在替代的實施例中，摻雜分隔區 136 實質上並未經過摻雜，以致其作用就如同基板 112 中的摻雜物吸收區或摻雜物滲透區。因此，相對於基板 112 中的其它區域來說，漏電流阻隔結構 158 係基板 112 中耗盡摻雜物的一塊區域。就此方面來說，在經過與實質未摻雜的漏電流阻隔結構 158 相反的動作之後，便會妨礙其中的電氣活動能力。

本發明所提及的數項實施例都可使用於雙極互補型金屬氧化半導體(BiCMOS)處理流程中。舉例來說，在該拓樸結構處形成摻雜分隔區 136 期間，可利用第一層 126 及第二層 128 作為基板 112 之 CMOS 區域(圖中未顯示)之上的保

護層。接著，便可進行 CMOS 處理流程，其中至少有一部分的第一層 126 及第二層 128 已經顯露出來。

圖 7 所示的係根據本發明之雙極接面電晶體(BJT)佈置 210。BJT 佈置 210 可與本文所提及的 BJT 110 佈置相同。圖 6 所示的 BJT 110 係沿著 BJT 佈置 210 中的切線 A-A'。集極周圍 212 包括 BJT 佈置 210 的整個輪廓。在集極周圍 212 之內有磊晶基極周圍 214、集極墊 216、基極墊 218、多晶矽射極 220 以及射極/基極接面區 222(亦稱為射極截止區)。磊晶基極周圍 214 包括如圖 4 中所示的所有的磊晶基極層 138。此外，圖中可看見一由擴散的摻雜物所構成的漏電流阻隔結構 224，其包圍著射極/基極接面區 222 及基極墊 218。相較於圖 10 中所示的第一空間 36 的摻雜圖樣，從圖中可看出擴散的摻雜物的漏電流阻隔結構 224 會與構成多晶矽射極 220 的多晶矽周圍交叉。就 BJT 佈置 210 而言，其中的射極堆積周圍 226 及磊晶基極周圍 214 會共用至少其中一條邊線以及共用其它邊線的一部份，且與圖 10 中所示的現存的 BJT 佈置 10 比較起來，BJT 佈置 210 的構造會比較密集。

如圖 7 所示，BJT 佈置 210 具有一漏電流阻隔結構周圍 228，其係實質對稱於磊晶基極周圍 214，其中，射極堆積周圍 226 及漏電流阻隔結構周圍 228 會互相交叉。以「實質對稱」而言，如果磊晶基極周圍 214 呈實質矩形的話，則吾人便可瞭解其將會包含一同樣為矩形的漏電流阻隔結構 224，雖然兩者未必要以互相關聯之方式設置於中心。「

實質對稱」亦可解釋成該兩個矩形周圍具有平行的主要長邊及平行的次要長邊。舉例來說，因為磊晶基極周圍 214 及漏電流阻隔結構周圍 228 具有平行的主要長邊及平行的次要長邊，所以兩者係實質對稱，但是兩者不必以互相關聯之方式置放於中心。相反地，因為磊晶基極周圍 214 及射極堆積周圍 226 兩者之間，其中一者的主要長邊平行於另一個的次要長邊，所以兩者便非實質對稱。

漏電流阻隔結構周圍 228 與磊晶基極周圍 214 係實質對稱的。射極堆積周圍 226 及漏電流阻隔結構周圍 228 係相互交叉的。漏電流阻隔結構周圍 228 係被包圍在磊晶基極周圍 214 之中。基極墊 218 係被漏電流阻隔結構 224 包圍，相反地，從圖 10 則可看出，基極墊 44 則未被用以填充第一空間 36(圖 10)的摻雜封閉區 34(圖 9)包圍。

圖 8 所示的係本發明之一實施例的處理流程圖 300。本發明的製程係從 310 於基板上形成一拓樸結構開始。然後，於 320 便會繼續在該拓樸結構處形成分隔區(以剖面圖的方式來看)。接著，於 330 該處理流程便會在兩個分隔區之間形成一磊晶基極層。然後，於 340，利用該兩個分隔區於該基板中形成漏電流阻隔結構，以便對磊晶單晶矽及多晶矽的介面加以處理。因此，形成於該基板中的漏電流阻隔結構便會具有該些分隔區之下的摻雜物梯度。當分隔區中的摻雜物梯度高於基板中的分隔區時，摻雜物便會從該些分隔區向外擴散至該基板。當分隔區中的摻雜物梯度較低時，摻雜物便會從基板向內擴散至該些分隔區。接著，處

理流程便會在該兩個分隔區之間形成 BJT。

熟習本技術的人士將會非常地清楚，在不脫離申請專利範圍中所敘述的本發明原理及範疇下，可對前面為解釋本發明之本質而進行的說明及闡述的細節部分、專利內容、部件配置及各項方法階段進行各種其它的修改。

【圖式簡單說明】

(一) 圖式部分

圖 1 所示的係半導體結構的剖面圖，該結構可製造在根據本發明實施例之雙極接面電晶體(BJT)之中；

圖 2 所示的係圖 1 的半導體結構進一步處理之後的剖面圖；

圖 3 所示的係圖 2 的半導體結構進一步處理之後的剖面圖；

圖 4 所示的係圖 3 的半導體結構進一步處理之後的剖面圖；

圖 5 所示的係圖 4 的半導體結構進一步處理之後的剖面圖；

圖 6 所示的係圖 5 的半導體結構進一步處理之後的剖面圖；

圖 7 所示的係 BJT 佈置的一實施例的平面圖，其中顯示出各種結構的周圍；

圖 8 所示的係根據本發明之實施例的處理流程之流程圖；

圖 9 所示的係根據現有技術製造而成的半導體結構的

剖面圖；以及

圖 10 所示的係先前技術 BJT 佈置的平面圖，其中顯示出各種結構的周圍。

(二) 元件代表符號

10	雙極接面電晶體
12	基板
14	集極結構
16	埋植層
18	深溝渠隔絕區結構
20	源極淺溝渠隔絕區
22	射極淺溝渠隔絕區
24	基極淺溝渠隔絕區
26	單晶磊晶基極
28	多晶磊晶基極
30	射極結構
32	漏電區
34	摻雜後的封閉區
36	第一空間
38	額外的空間
40	集極周圍
42	基極周圍
44	射極截止區
46	集極墊
48	基極墊

110	雙極接面電晶體
112	基板
114	深溝渠隔絕區(DTI)
116	集極端淺溝渠隔絕區(集極淺溝渠隔絕區)
118	集極結構
120	基極端淺溝渠隔絕區
122	n-型集極埋植層
124	氧化物前置層
126	第一層
128	第二層
130	光罩
132	112 的上層表面
134	摻雜層
136	摻雜分隔區
138	磊晶基極層
140	多晶的磊晶基極
142	單晶的磊晶基極
144	射極-基極介電層
146	射極結構
148	射極開口
150	146 的射極多晶矽
152	射極/基極接面區
154	基極墊
156	集極墊

158	漏電流阻隔結構
210	雙極接面電晶體佈置
212	集極周圍佈置
214	磊晶基極周圍
216	集極墊
218	基極墊
220	多晶矽射極
224	漏電流阻隔結構
226	射極堆積周圍
228	漏電流阻隔結構周圍

肆、中文發明摘要

本發明係關於一種形成一雙極接面電晶體(BJT)的製程，該雙極接面電晶體包括在基板上形成一拓樸結構。接著，該製程便會在該拓樸結構處形成一分隔區。在該分隔區之上及該拓樸結構處，利用磊晶矽形成一基極層。以從該分隔區向外擴散的方式，於該基板中形成一漏電流阻隔結構。最後，該製程會以該基極層及該分隔區完成一雙極接面電晶體。

伍、英文發明摘要

The invention relates to a process of forming a bipolar junction transistor (BJT) that includes forming a topology over a substrate. Thereafter, a spacer is formed at the topology. A base layer is formed from epitaxial silicon above the spacer and at the topology. A leakage block structure is formed in the substrate by out-diffusion from the spacer. Thereafter a BJT is completed with the base layer and the spacer.

拾、申請專利範圍

1.一種製程，其包括：

於一基板上的至少一層之中形成一拓樸結構；

在該拓樸結構形成一分隔區；

在該拓樸結構及該基板之上及該分隔區上形成一磊晶基極層；

自該分隔區於該基板中形成一漏電流阻隔結構；以及

在該磊晶基極層之上形成一雙極接面電晶體(BJT)。

2.如申請專利範圍第 1 項之製程，其中，該分隔區係一經過摻雜的分隔區。

3.如申請專利範圍第 1 項之製程，其中，該分隔區係一種吸收結構。

4.如申請專利範圍第 1 項之製程，其中，該拓樸結構係從下面的結構中所選出來的：一第一層、一第一層及一第二層、以及一氧化物前置層與一第一層及一第二層中形成的垂直起伏結構。

5.如申請專利範圍第 1 項之製程，其中，一於基板上的至少一層之中形成一拓樸結構進一步包括：

自一氧化物形成一第一層。

6.如申請專利範圍第 1 項之製程，其中，於一基板上的至少一層之中形成一拓樸結構進一步包括：

形成一第一層；以及

自一氮化物形成一第二層。

7.如申請專利範圍第 1 項之製程，進一步包括：

在形成一拓樸結構之前，先在該基板之上形成一氧化物前置層，其中，形成一拓樸結構進一步包括：

利用一氧化物形成一第一層；以及

利用一氮化物形成一第二層。

8.如申請專利範圍第 1 項之製程，進一步包括：

在形成一拓樸結構之前，先利用從熱成長及原生氧化物成長所選出的一處理流程在該基板之上形成一氧化物前置層，

其中，形成一拓樸結構進一步包括：

自一氧化物形成一第一層；以及

自一氮化物形成一第二層。

9.如申請專利範圍第 1 項之製程，其中，形成該磊晶基極層包括形成一單晶矽磊晶基極及一多晶磊晶基極。

10.如申請專利範圍第 1 項之製程，其中，形成該磊晶基極層包括：

形成一單晶矽磊晶基極及一多晶磊晶基極，其中係藉由執行下面各種方式所選出的一化學氣相沉積(CVD)處理流程以形成一磊晶基極層：低壓化學氣相沉積(LPCVD)、反應式電漿化學氣相沉積(RCVD)、電漿增強式化學氣相沉積(PECVD)及上面各方式的組合。

11.如申請專利範圍第 10 項之製程，其中，進行該項 CVD 處理流程時的壓力範圍介於約 10^{-2} 托爾至約 2×10^{-1} 托爾之間。

12.如申請專利範圍第 1 項之製程，進一步包括依照蝕

刻處理流程對該第一層及該第二層進行蝕刻，其中，該第一層及該第二層對該蝕刻處理流程具有不同的響應。

13.如申請專利範圍第 1 項之製程，進一步包括依照氧化處理流程對該第一層及該第二層進行氧化，其中，該第一層及該第二層對該氧化處理流程具有不同的響應。

14.一種用以在一基板上製造一元件的製程，其包括：
在該基板中形成該元件的深溝渠隔絕區及淺溝渠隔絕區、埋植層以及集極井；

在該基板上形成一層抗蝕刻材料；

藉由於該基板的部分表面上移除該層抗蝕刻材料曝露出一主動基極區以便界定出該元件之一主動基極區；

在該基極區及該層抗蝕刻材料之上形成一摻雜硼的氧化膜；

以非等向的方式從該主動基極區及該層抗蝕刻材料中移除該摻雜硼的氧化膜，在該主動基極區周圍靠近該主動基極區的地方留下由摻雜硼的氧化膜所構成的摻雜分隔區；

在該層抗蝕刻材料之上沉積一磊晶多晶膜，並且在該主動基極區之上沉積一磊晶晶體膜，其中，該磊晶多晶膜及該磊晶晶體膜會形成晶體/多晶邊界；以及

從該摻雜分隔區中擴散摻雜物至該基板中，以將該基板與該晶體/多晶邊界隔離。

15.如申請專利範圍第 14 項之製程，進一步包括：

選擇一處理流程整合，其中，該層抗蝕刻材料包括一

第一層及一第二層；接著進行下面的製程

選擇該第一層及第二層，其中，係以下面的選擇方式選出該第一層及第二層：一第一氧化物層及一第二氮化物層、一第一氮化物層及一第二氧化物層、一第一氧化物層及一第二氧化物層、一第一氮化物層及一第二氮化物層、一第一無機物層及一第二有機物層、一第一有機物層及一第二無機物層、一第一有機物層及一第二有機物層以及一第一無機物層及一第二無機物層。

16.如申請專利範圍第 14 項之製程，進一步包括：

形成該層抗蝕刻材料，其包括在該基板上形成一氧化物前置層；自一氧化物形成一第一層；以及自一氮化物形成一第二層；

在該第二層上對光罩進行圖樣處理；

以非等向的方式對該第二層進行乾式蝕刻；以及

對該第一層進行濕式蝕刻。

17.如申請專利範圍第 16 項之製程，其中，該非等向的乾式蝕刻係反應離子式蝕刻(RIE)，其後則可進行替代的濕式清潔處理。

18.如申請專利範圍第 14 項之製程，其中，該項製程係一雙極互補型金屬氧化半導體(BiCMOS)製程，其包括：

在從該摻雜分隔區將摻雜物擴散至該基板中期間，利用該抗蝕刻材料當作該基板之 CMOS 區域上面的保護層；以及

進行 CMOS 製程。

19.一種雙極接面電晶體(BJT)，其包括：

一設置於基板上的第一層，其中，該第一層係設置於該基板中的兩個隔離結構之間；

一設置於該第一層之上的第二層；

一凹口，其穿過形成一拓樸結構的該第一層及第二層；

一延伸通過該凹口的分隔區；

一設置覆於該拓樸結構之上且設置於該分隔區上的磊晶基極層；

一設置於該基板中的漏電流阻隔結構，該漏電流阻隔結構包括一朝該分隔區延伸的濃度梯度；

一設置覆於該磊晶基極層之上的射極結構；以及

一設置於該基板與該射極結構之間之該磊晶基極層之中的射極/基極接面區。

20.如申請專利範圍第 19 項之雙極接面電晶體，其中，該分隔區係一經過摻雜的分隔區。

21.如申請專利範圍第 19 項之雙極接面電晶體，其中，該第一層係一設置於該基板之上的氧化物第一層，而該第二層係一設置於該第一層之上的氮化物第二層。

22.如申請專利範圍第 19 項之雙極接面電晶體，進一步包括：

在該基板之上設置之一氧化物前置層，其中，該第一及該第二層進一步包括：

一設置於該氧化物前置層之上的氧化物第一層；以及

一設置於該氧化物第一層之上的氮化物第二層。

23.如申請專利範圍第 19 項之雙極接面電晶體，其中，該磊晶基極層包括一單晶矽磊晶基極及一多晶矽磊晶基極。

24.如申請專利範圍第 19 項之雙極接面電晶體，其中，係以下面的方式選出該第一層及第二層：一第一氧化物層及一第二氮化物層、第一一氮化物層及一第二氧化物層、一第一氧化物層及一第二氧化物層、一第一氮化物層及一第二氮化物層、一第一無機物層及一第二有機物層、第一有機物層及第二無機物層、第一有機物層及第二有機物層以及一第一無機物層及一第二無機物層。

25.如申請專利範圍第 19 項之雙極接面電晶體，進一步包括：

一設置於該磊晶基極層之上的射極-基極介電層，以及包括一曝露出該磊晶基極層的凹口。

26.如申請專利範圍第 19 項之雙極接面電晶體，其中，該基板包括一雙極互補型金屬氧化半導體(BiCMOS)結構。

27.一種雙極接面電晶體(BJT)佈置，其包括：

一磊晶基極周圍；

一射極堆積周圍；以及

一摻雜分隔區周圍，其係實質對稱於該磊晶基極周圍，其中，該射極堆積周圍及該摻雜分隔區周圍會互相交叉。

28.如申請專利範圍第 27 項之雙極接面電晶體佈置，進

一步包括：

一集極周圍，其係實質對稱於該磊晶基極周圍；以及
其中，該摻雜分隔區周圍係被包圍在該集極周圍之中
。

29.如申請專利範圍第 27 項之雙極接面電晶體佈置，進一步包括：

一射極/基極接面周圍、一本質基極，其中，該射極/基極接面周圍係被包圍在該磊晶基極周圍之中，以及其中，該射極/基極接面周圍及該摻雜分隔區周圍係實質不對稱的
。

30.如申請專利範圍第 27 項之雙極接面電晶體佈置，進一步包括：

一集極周圍，其係實質對稱於該磊晶基極周圍，而且其中，該射極堆積周圍與該集極周圍會互相交叉；

一射極/基極接面周圍，其中，該射極/基極接面周圍係被包圍在該磊晶基極周圍之中，以及其中，該射極/基極接面周圍及該摻雜分隔區周圍係實質不對稱的；

一基極墊周圍，其中，該基極墊周圍係被包圍在該摻雜分隔區周圍之中；以及

其中，該基極墊周圍與該射極/基極接面周圍會被部分的射極堆積周圍隔離。

拾壹、圖式

如次頁

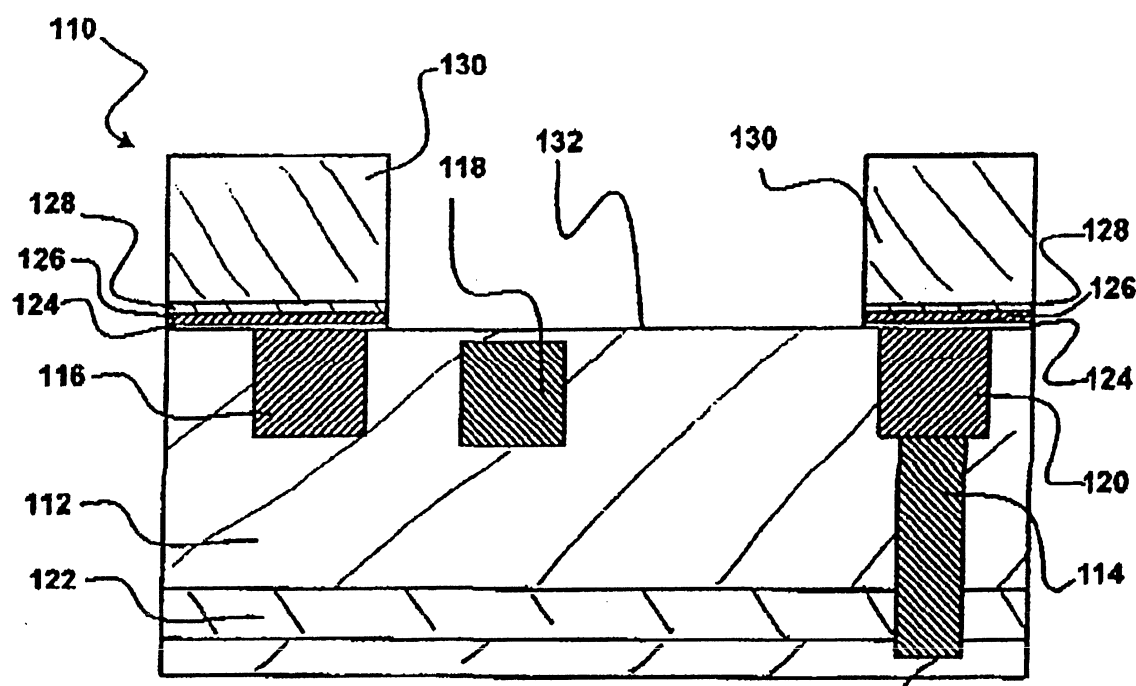


圖 1

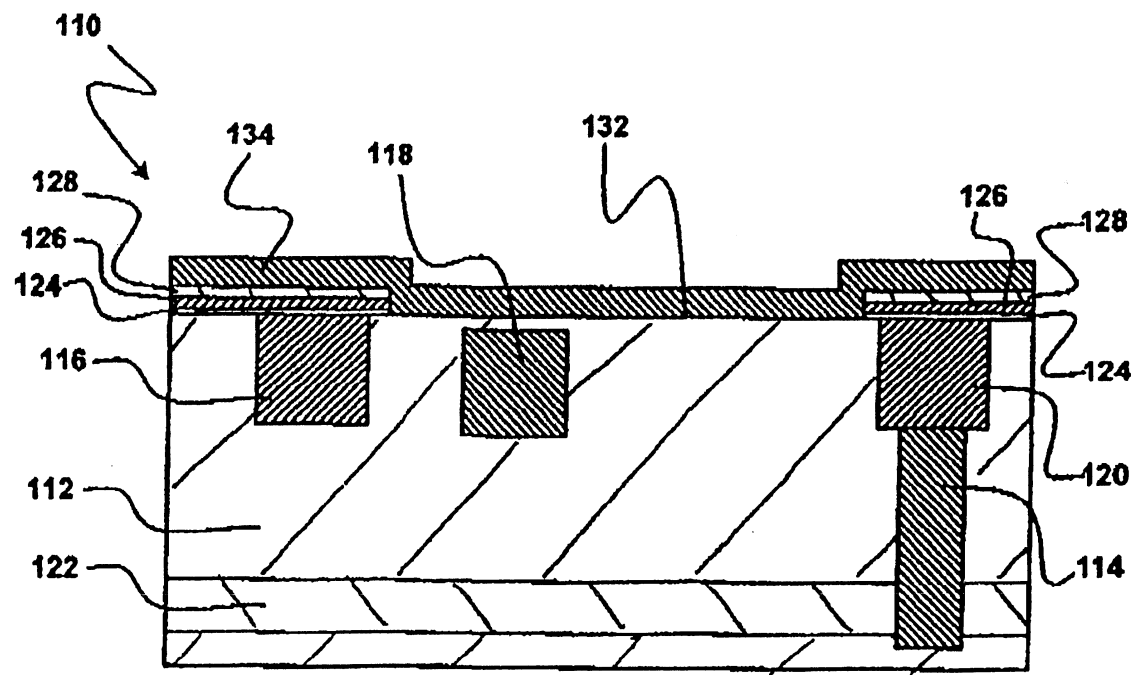


圖 2

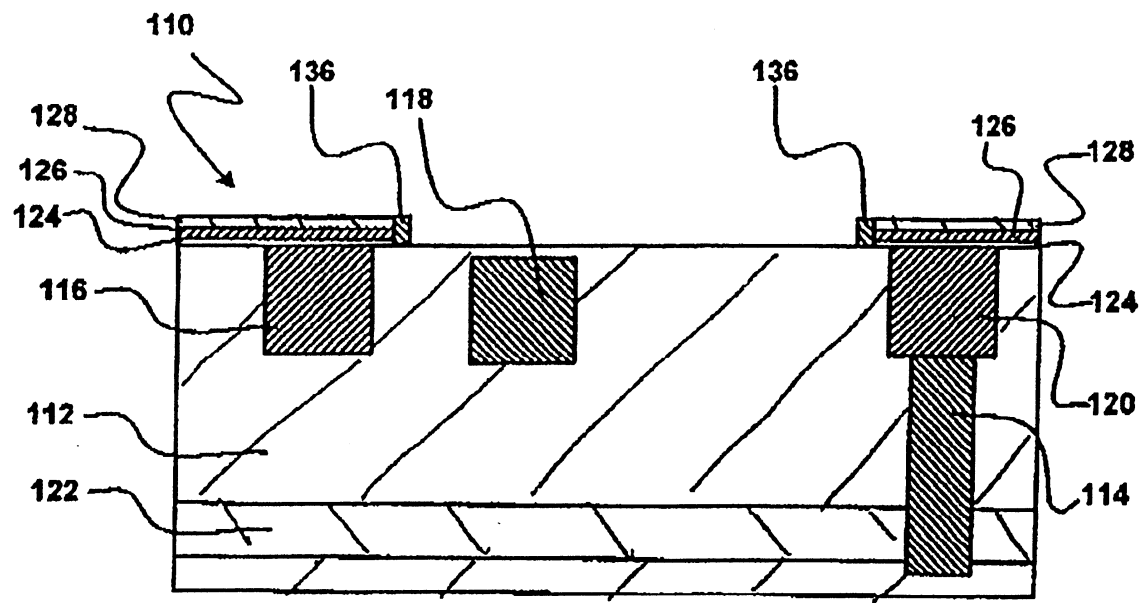


圖 3

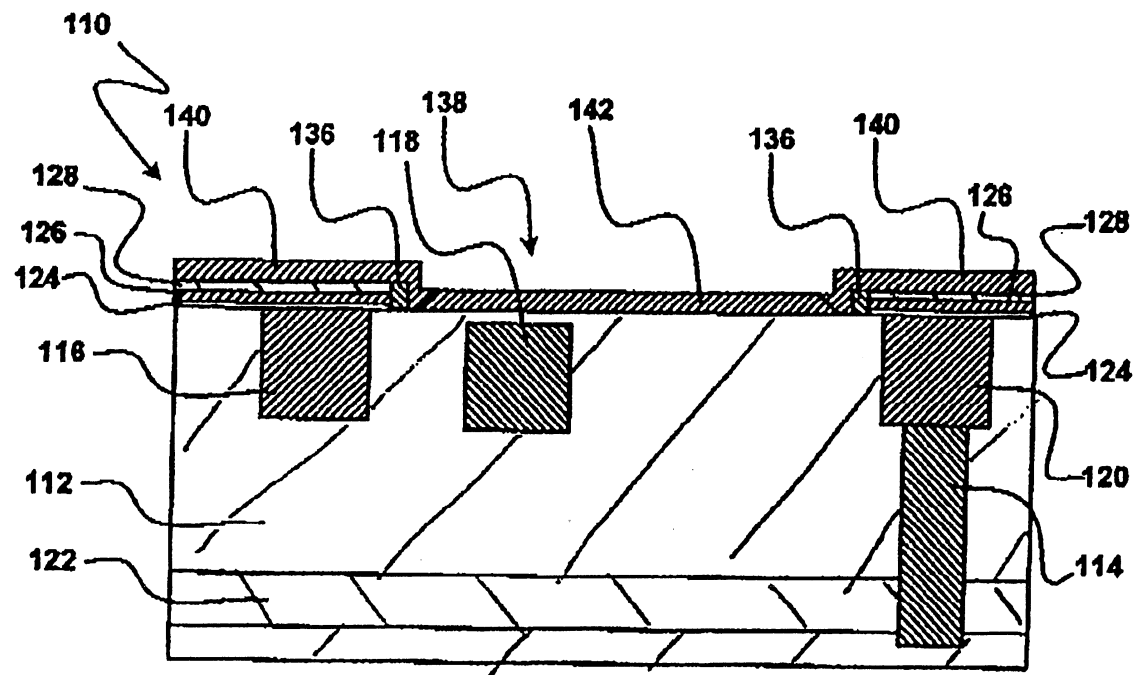


圖 4

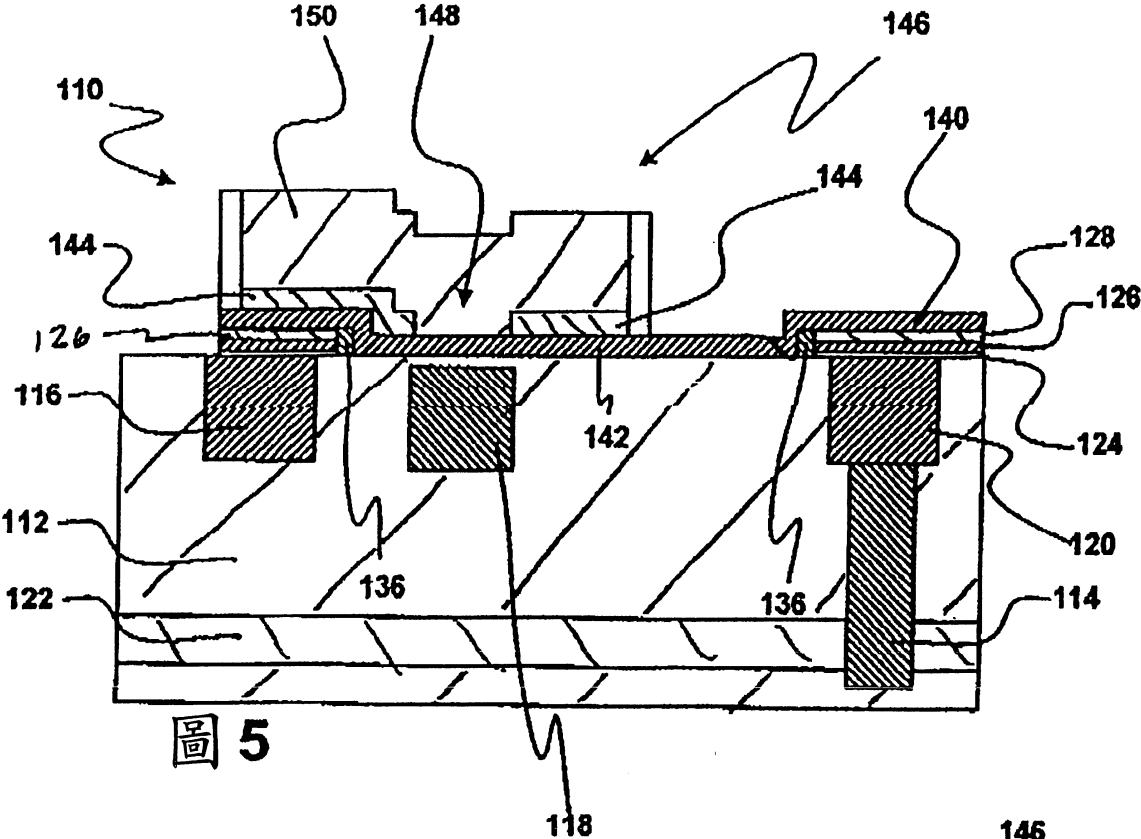


圖 5

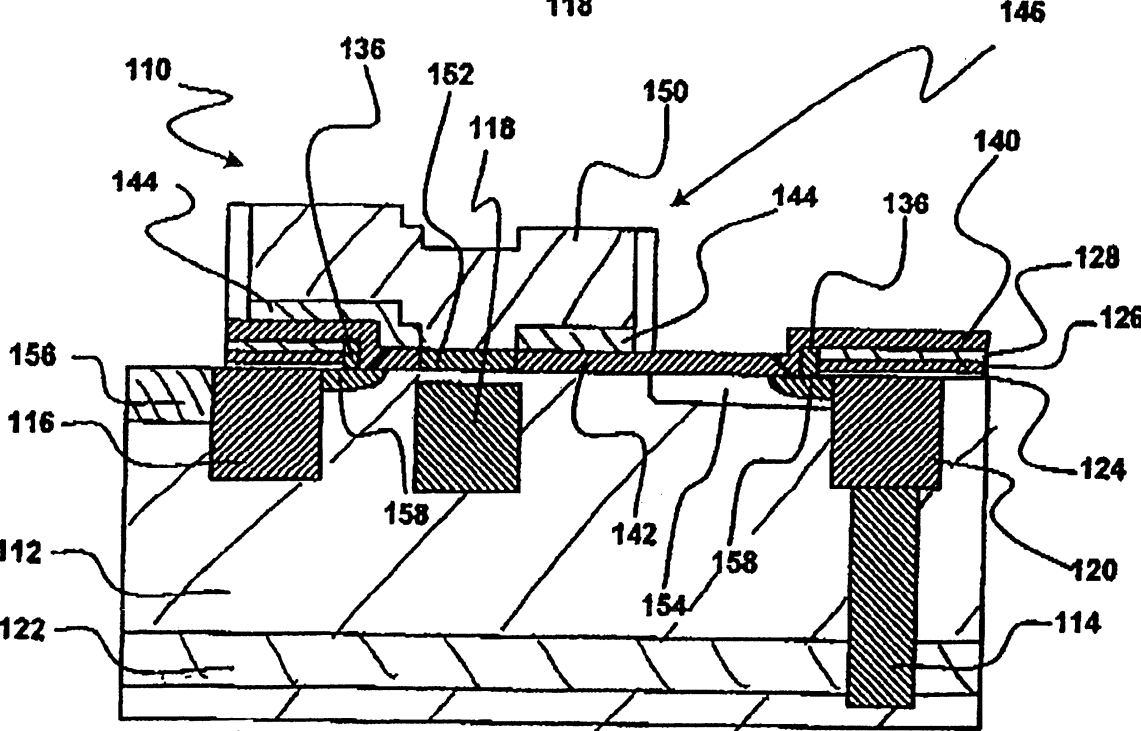


圖 6

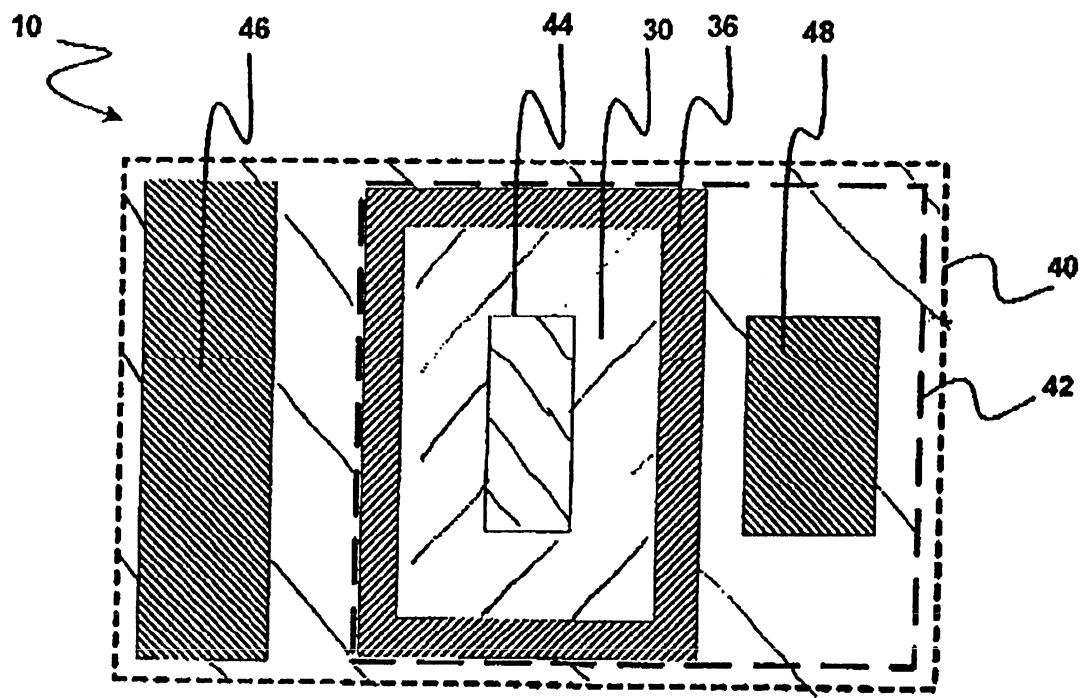


圖 10

(先前技術)

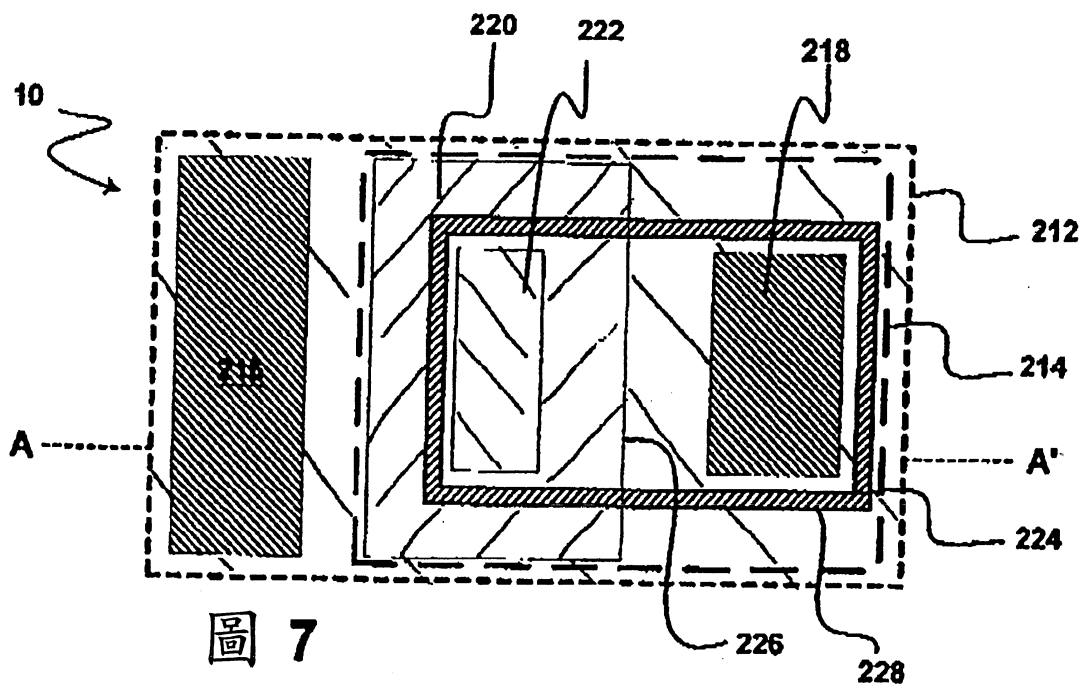


圖 7

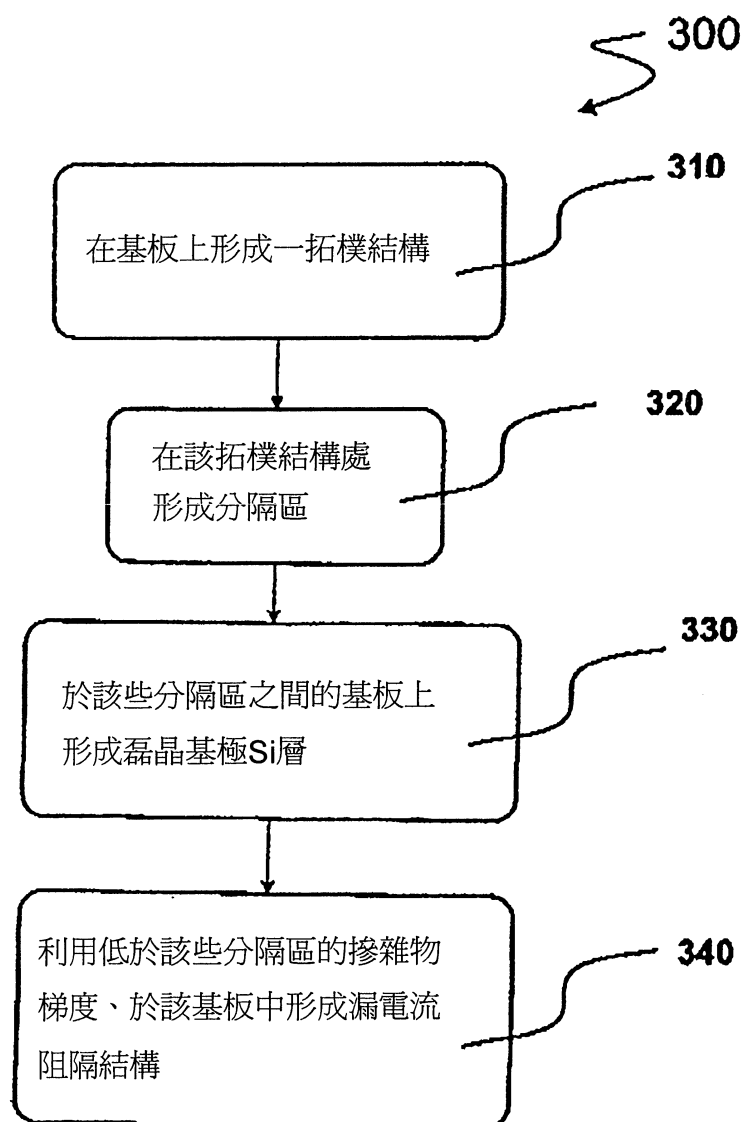
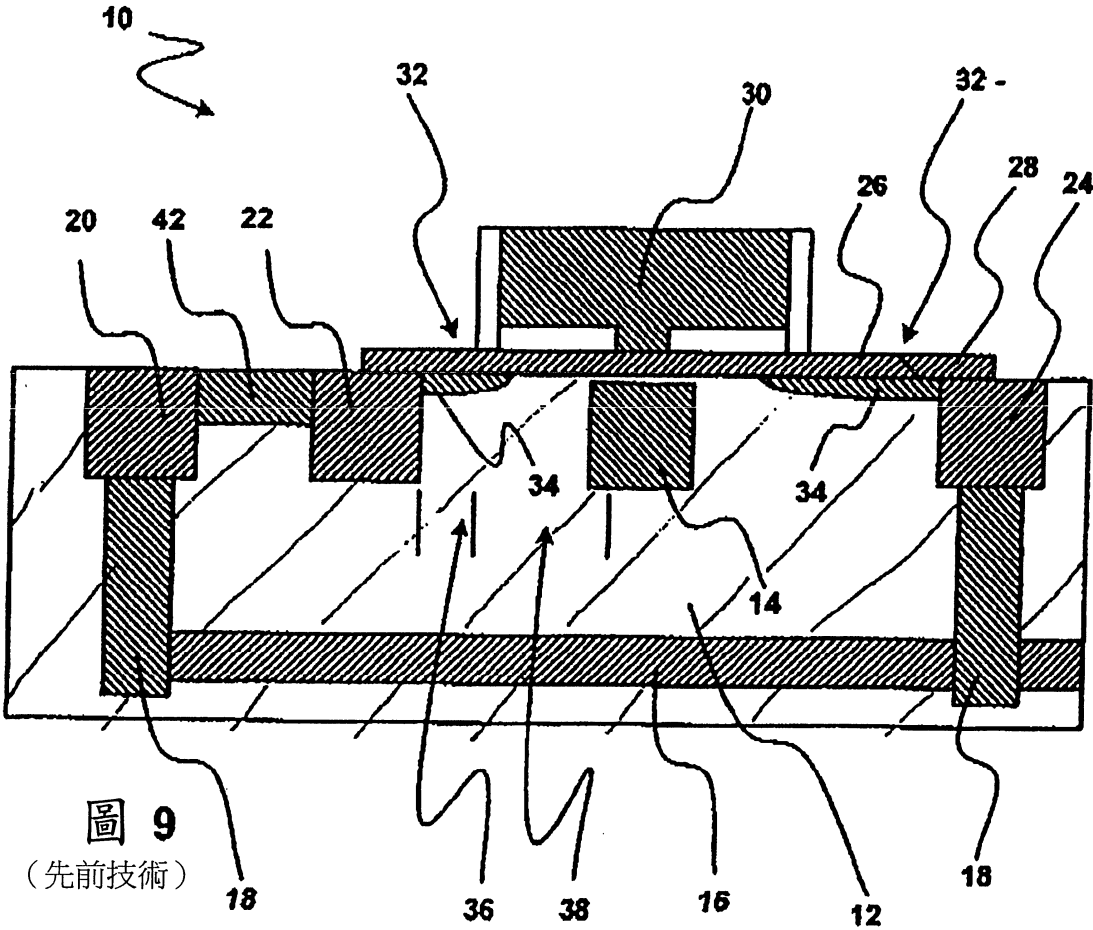


圖 8



陸、(一)、本案指定代表圖爲：第 6 圖

(二)、本代表圖之元件代表符號簡單說明：

110	雙極接面電晶體
112	基板
114	深溝渠隔絕區(DTI)
116	集極端淺溝渠隔絕區(集極淺溝渠隔絕區)
118	集極結構
120	基極端淺溝渠隔絕區
122	n 型集極埋植層
124	氧化物前置層
126	第一層
128	第二層
136	摻雜分隔區
140	多晶的磊晶基極
142	單晶的磊晶基極
144	射極-基極介電層
146	射極結構
150	146 的射極多晶矽
152	射極/基極接面區
154	基極墊
156	集極墊
158	漏電流阻隔結構

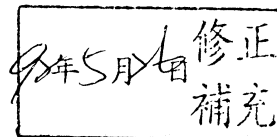
柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

發明專利說明書

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※ 申請案號：91134275 ※IPC分類：H01L29/00

※ 申請日期：91.11.26



壹、發明名稱

(中文) 自動對準之密集雙極接面電晶體佈置及製造其之方法

(英文) SELF ALIGNED COMPACT BIPOLAR JUNCTION TRANSISTOR LAYOUT,
AND METHOD OF MAKING SAME

貳、發明人 (共 5 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 夏李雅.阿麥得

(英文) Ahmed, Shahriar

住居所地址：(中文) 美國奧勒岡州 97229 波特蘭西北溪景路 12826 號

(英文) 12826 NW Creekview Drive Portland, Oregon 97229 United States of America

國籍：(中文) 美國

(英文) USA

參、申請人 (共 1 人)

申請人 1 (如發明人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 英特爾公司

(英文) Intel Corporation

住居所或營業所地址：(中文) 美國加州 95052-8119 聖塔克拉拉 58119 郵
政信箱米生大學大道 2200 號

(英文) 2200 Mission College Boulevard, P.O. Box
58119, Santa Clara, California 95052-8119, USA

國籍：(中文) 美國

(英文) USA

代表人：(中文) 大衛.賽門

(英文) Simon, David

☒ 續發明人或申請人續頁 (發明人或申請人欄位不敷使用時，請註記並使用續頁)

發明人 2

姓名：(中文) 馬克.波爾

(英文) Bohr, Mark

住居所地址：(中文) 美國奧勒岡州 97007 阿羅哈西南日脊 19475 號

(英文) 19475 SW Suncrest Alona, Opregon 97007 United States of America

國籍：(中文) 美國

(英文) USA

發明人 3

姓名：(中文) 史地芬.錢伯司

(英文) Chambers, Stephen

住居所地址：(中文) 美國奧勒岡州 97229 波特蘭西北哈特佛街 12577 號

(英文) 12577 NW Hartford Street Portland, Oregon 97229 United States of America

國籍：(中文) 美國

(英文) USA

發明人 4

姓名：(中文) 李察.葛林

(英文) Green, Richard

住居所地址：(中文) 美國奧勒岡州 97007 阿羅哈西南卡司代爾區 18485 號

(英文) 18485 SW Castel Court Aloha, Oregon 97007 United States of America

國籍：(中文) 美國

(英文) USA

發明人 5

姓名：(中文) 阿南得.莫地

(英文) Murthy, Anand

住居所地址：(中文) 美國奧勒岡州 97229 波特蘭西北盧色尼區 10934 號

(英文) 10934 NW Luceme Court Porltnd, Oregon 97229 United States of America

國籍：(中文) 美國

(英文) USA