[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
G06F 3/00

[12] 发明专利说明书

[21] ZL 专利号 96105893.5

[45] 授权公告日 2004 年 4 月 14 日

[11] 授权公告号 CN 1145871C

[22] 申请日 1996.5.14 [21] 申请号 96105893.5

[30] 优先权

[32] 1995. 5.15 [33] US [31] 440948

[71] 专利权人 摩托罗拉公司

地址 美国伊利诺斯州

[72] 发明人 尤兴良 杰夫·高金考
格伦·佐厄纳

审查员 林松岭

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所

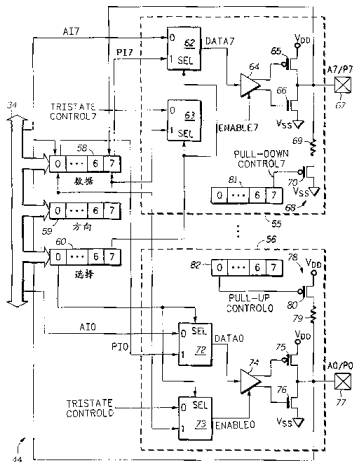
代理人 陆立英

权利要求书 3 页 说明书 14 页 附图 2 页

[54] 发明名称 具有多功能可分级并行输入/输出端口的数据处理系统

[57] 摘要

数据处理系统(20)具有多功能、可分级并行 I/O 端口(44)。 I/O 端口(44)具有多个连接到 I/O 终端(67、77)的 I/O 端口电路(55、56)，可将两种功能复接到一个终端上。 每个 I/O 端口电路含有连接在终端的电位下拉电路(68)或电位上拉电路(78)。 上拉和下拉电路可由控制寄存器(81、82)控制。 每个终端(67、77)的上拉和下拉电路可个别地选择，并可使工作在被选定或未选定的 I/O 端口(44)的情况下。



ISSN1008-4274

1. 一种数据处理系统，具有一个多功能输入/输出端口，该多功能输入/输出端口包括多个输入/输出端口电路，其特征在于，每个所述的输入/输出端口电路包括:

一个复用器，具有：一个第一输入端，用于接收第一数据信号；一个第二输入端，用于接收第二数据信号；一个控制端，用于接收选择信号；以及一个输出端；

一个缓存器电路，具有：一个输入端，耦连到所述的复用器的输出端；一个控制端，用于接收使能信号；以及一个输出端；所述的缓存器电路控制一个上拉晶体管，以增高该缓存器电路输出端上的电压；还控制一个下拉晶体管，以降低该缓存器电路的输出端上的电压；

一个输入/输出终端，耦连到所述的缓存器电路的输出端；

一个上拉电路，耦连到所述的输入/输出终端，响应上拉控制信号，增高所述的输入/输出终端上的电压；和

一个寄存器，具有一个比特字段，该比特字段含有多个可编程的比特，所述的多个可编程比特中的一个比特对应于所述的多个输入/输出电路之中的一个输入/输出端口电路，所述的多个可编程比特之中的每个可编程比特用于有选择性地将所述的上拉控制信号提供给所述的多个输入/输出端口电路之中每个输入/输出端口电路的相对应的上拉电路;

其中，应用所述的上拉电路和所述的比特字段允许所述的多个输入/输出端口电路之中每个输入/输出端口电路的输出端上的电压增高，而不应用该数据处理系统外部的负荷电阻。

2. 一种数据处理系统，具有一个多功能输入/输出端口，该多功能输入/输出端口包括多个输入/输出端口电路，其特征在于，每个所述的输入/输出端口电路包括:

一个复用器，具有：一个第一输入端，用于接收第一数据信号，一个第二输入端，用于接收第二数据信号；一个控制端，用于接收选择信号；以及一个输出端；

一个缓存器电路，具有：一个输入端，耦连到所述的复用器的输出端；一个控制端，用于接收使能信号；以及一个输出端；该缓存器电路控制一个上拉晶体管，以增高该缓存器电路的输出端上的电压，它还控制一个下拉晶体管，以降低该缓存器电路输出端上的电压；

一个输入/输出终端，耦连到所述的缓存电路的输出端；

一个下拉电路，耦连到所述的输入/输出终端，响应下拉控制信号，降低该输入/输出终端上的电压；和

一个寄存器，具有一个比特字段，该比特字段含有多个可编程的比特，所述的多个可编程比特中的一个比特对应于所述的多个输入/输出电路之中的一个输入/输出电路，所述的多个可编程比特的每个可编程比特用于有选择性地将所述的下拉控制信号提供给所述的多个输入/输出电路的每个输入/输出电路的相对应的下拉电路；

其中，应用所述的下拉电路和所述的比特字段允许所述的多个输入/输出端口电路的每个输入/输出端口电路的输出端上的电压降低，而不应用该数据处理系统外部的负荷电阻。

3. 一种数据处理系统，具有一个多功能、可分级的输入/输出端口，该多功能输入/输出端口包括多个输入/输出端口电路，其特征在于，每个输入/输出端口电路包括：

一个第一复用器，具有：一个第一输入端，用于接收第一数据信号；一个第二输入端，用于接收第二数据信号；一个控制端，用于接收选择信号；以及一个输出端；

一个第二复用器，具有：一个第一输入端，用于接收三态控制信号；一个第二输入端，耦合到一个方向寄存器比特字段；一个控制端，用于接收选择信号；以及一个输出端，用于提供使能信号；

一个缓存器电路，具有：一个输入端，耦连到所述的第一复用器的输出端；一个控制端，耦连到所述的第二复用器的输出端，用于接收所述的使能信号；以及一个输出端，该缓存器电路控制一个上拉晶体管，以增高该输出端上的电压，还控制一个下拉晶体管，以降低该输出端上的电压；

一个输入/输出终端，耦连到所述的缓存器电路的输出端；

一个复位/启动电路，耦连到所述的输入/输出终端，响应复位/启动控制信号，将所述的输入/输出终端上的电压设置于一个预定的逻辑状态；和

一个寄存器，具有比特字段，该比特字段含有多个可编程的比特，所述的多个可编程比特中的一个比特对应于所述的多个输入/输出电路之中的一个输入/输出电路，每个所述的多个可编程比特用于有选择性地将所述的上拉控制信号提供给每个所述的多个输入/输出端电路相对应的复位/启动电路；

其中，应用所述的复位/启动电路和所述的比特字段在复位或启动该数据处理系统期间，允许所述的多个输入/输出端口电路的每个输入/输出端口电路的输出端上的电压被设置到该预定的逻辑状态，而不应用该数据处理系统外部的负荷电阻。

具有多功能可分级并行输入/输出端口的数据处理系统

发明领域:

本发明涉及数据处理，具体涉及一种具有多功能可分级（scalable）并行输入/输出端口的数据处理系统。

技术背景:

一些数据处理系统是为了通用目的而设计的，并已具有广泛的应用范围。通用目的数据处理系统所需要的计算量随应用而改变。例如，如果数据处理系统具有 16 比特地址总线，则某些应用可能只需要 8 比特地址总线，而其余 8 比特未被使用。一个外负载电阻用以将地址引脚耦合到电源电压端子（如地线端子），以保证引脚不悬浮，从而加电到预定的逻辑状态。因有外负载电阻，故地址引脚不能再被使用。还因外负载电阻在数据处理系统提供了附加的负载，从而增加了功耗。

许多应用场合需要大量的输入/输出（I/O）端口引脚，用于发送和接收在数据处理系统 20 外部诸如键盘、外存储器、数字信号处理器(DSP)、调制解调器等的信号。增加封装体的 I/O 引脚数目以适应对 I/O 端口的需求，这会增加引脚总数、封装的尺寸以及通用目的数据处理系统的成本，如上所述，许多引脚无用。

发明内容:

根据本发明的一个方面，这里提供一种数据处理系统，具有一个多功能输入/输出端口，该多功能输入/输出端口包括多个输入/输出端口电路，其特征在于，每个所述的输入/输出端口电路包括：一个复用器，具有：一个第一输入端，用于接收第一数据信号；一个第二输入端，用于接收第二数据信号；一个控制端，用于接收选择信号；以及一个输出端；一个缓存器电路，具有：一个输入端，耦连到所述的复用器的输出端；一个控制端，用于接收使能信号；以及一个输出端；所述的缓存器电路控制一个上

拉晶体管，以增高该缓存器电路输出端上的电压；还控制一个下拉晶体管，以降低该缓存器电路的输出端上的电压；一个输入/输出终端，耦连到所述的缓存器电路的输出端；一个上拉电路，耦连到所述的输入/输出终端，响应上拉控制信号，增高所述的输入/输出终端上的电压；和一个寄存器，具有比特字段，该比特字段含有多个可编程的比特，所述的多个可编程比特中的一个比特对应于所述的多个输入/输出电路之中的一个输入/输出端口电路，每个所述的多个可编程比特用于有选择性地将所述的上拉控制信号提供给每个所述的输入/输出端口电路之中相对应的上拉电路；其中，应用所述的上拉电路和所述的比特字段可在不应用该数据处理系统外部的负荷电阻的情况下，允许每个所述的输入/输出端口电路的输出端上的电压增高。

根据本发明的另一方面，这里提供一种数据处理系统，具有一个多功能输入/输出端口，该多功能输入/输出端口包括多个输入/输出端口电路，其特征在于，每个所述的输入/输出端口电路包括：一个复用器，具有：一个第一输入端，用于接收第一数据信号，一个第二输入端，用于接收第二数据信号；一个控制端，用于接收选择信号；以及一个输出端；一个缓存器电路，具有：一个输入端，耦连到所述的复用器的输出端；一个控制端，用于接收使能信号；以及一个输出端；该缓存器电路控制一个上拉晶体管，以增高该缓存器电路的输出端上的电压，它还控制一个下拉晶体管，以降低该缓存器电路输出端上的电压；一个输入/输出终端，耦连到所述的缓存电路的输出端；一个下拉电路，耦连到所述的输入/输出终端，响应下拉控制信号，降低该输入/输出终端上的电压；和一个寄存器，具有比特字段，该比特字段含有多个可编程的比特，所述的多个可编程比特中的一个比特对应于所述的多个输入/输出电路之中的一个输入/输出电路，每个所述的多个可编程比特用于有选择性地将所述的下拉控制信号提供给每个所述的输入/输出电路相对应的下拉电路；其中，应用所述的下拉电路和所述的比特字段可在不应用该数据处理系统外部的负荷电阻的情况下，允许每个所述的输入/输出端口电路的输出端上的电压降低。

根据本发明的再一个方面，这里提供一种数据处理系统，具

有一个多功能、可分级的输入/输出端口，该多功能输入/输出端口包括多个输入/输出端口电路，其特征在于，每个输入/输出端口电路包括：一个第一复用器，具有：一个第一输入端，用于接收第一数据信号；一个第二输入端，用于接收第二数据信号；一个控制端，用于接收选择信号；以及一个输出端；一个第二复用器，具有：一个第一输入端，用于接收三态控制信号；一个第二输入端，耦合一个方向寄存器比特字段；一个控制端，用于接收选择信号；以及一个输出端，用于提供使能信号；一个缓存器电路，具有：一个输入端，耦连到所述的第一复用器的输出端；一个控制端，耦连到所述的第二复用器的输出端，用于接收所述的使能信号；以及一个输出端，该缓存器电路控制一个上拉晶体管，以增高该输出端上的电压，还控制一个下拉晶体管，以降低该输出端上的电压；一个输入/输出终端，耦连到所述的缓存器电路的输出端；一个复位/启动电路，耦连到所述的输入/输出终端，响应复位/启动控制信号，将所述的输入/输出终端上的电压设置于一个预定的逻辑状态；和一个寄存器，具有比特字段，该比特字段含有多个可编程的比特，所述的多个可编程比特中的一个比特对应于所述的多个输入/输出电路之中的一个输入/输出电路，每个所述的多个可编程比特用于有选择性地将所述的上拉控制信号提供给每个所述的多个输入/输出端电路相对应的复位/启动电路；其中，应用所述的复位/启动电路和所述的比特字段可在不应用该数据处理系统外部的负荷电阻的情况下，在复位或启动该数据处理系统期间，允许每个所述的多个输入/输出端口电路的输出端上的电压被设置到该预定的逻辑状态。

附图说明：

图 1 示出按照本发明的数据处理系统实施例的方框图。

图 2 示出按照本发明的图 1 数据处理系统的输入/输出端口部分的部分方框图和部分原理图。

具体实施例：

总的来说，本发明提供一种数据处理系统，它具有多功能、可

分级并行输入/输出（I/O）端口。I/O端口包括多个I/O端口电路，与I/O端子（或焊点（pad））相连接多功能I/O端口能够复接两种功能到一个焊点上，一种功能是I/O功能，另一种功能可以是与该焊点相连接的一种内部模块的功能。每个I/O端口电路具有一个复位/启动电路，后者包括有一个电位上拉电路或一个电位下拉电路，连接到该I/O焊点。电位上拉和下拉电路可以通过将预定逻辑状态的控制比特写入控制寄存器来进行控制。每个I/O焊点的上拉和下拉电路可以分别地选定，并可工作在选定的I/O端口或不选定的I/O端口情况下。

多功能、可分级的I/O端口有效地增加并行I/O端子的数目，而不增加含有数据处理系统的一次封装物上引脚的数目。多功能、可分级的I/O端口还能将先前只用于启动或复位的引脚重新用于其它功能。再则，因消除了外负载电阻，故功耗降低了。

当涉及信号、状态比特或类似装置时，分别应用术语“肯定”和“否定”表示逻辑“真”或逻辑“假”状态。如果逻辑“真”状态为数字逻辑电平“1”，则逻辑“假”状态为数字逻辑电平“0”；而若逻辑“真”状态为数字逻辑电平“0”，则逻辑“假”状态为数字逻辑电平“1”。术语“总线”用来意指多个信号，可以用它们来传送一种或多种类型的信息，诸如数据、地址、控制或状态信息。

参照图1、图2可对本发明作较全面的描述。图1示出按照本发明的数据处理系统20的方框图。数据处理系统20包含中央处理单元（CPU）22、定时器24、全能异步收发信机（UART）模块26、LCD控制模块28、串行外围接口（SPI）32、内部信息

总线电路34、系统综合模块（SIM）40、多功能I/O端口42和44、以及I/O端口46和48。

SIM40与内部总线电路34相连接，通过内部总线电路34接收并发送到数据处理系统20的信号和接收并发送到数据处理系统20外部的电路的信号。系统存储器30经由SIM40耦合到数据处理系统20。SIM40能接收和发送到与内部总线电路34连接的任何其它模块的信号。多功能端口42和44能接收和发送到数据处理系统20外部的信号，并与内部总线电路34相连接。I/O端口46和48能接收和发送到数据处理系统20外部的信号，并与内部总线电路34相连接。端口42、44和46为多功能、可分级的并行双向I/O端口，用于接收和发送到数据处理系统20外部的信号与诸如键盘、外部存储器、数字信号处理器（DSP）、调制解调器等。I/O端口44具有双向端子，连接到内部总线电路34上，用于发送或接收标有“A10－A17/P10－P17”的信号，还具有双向端子，用于发送或接收标有“A0－A7/P0－P7”的信号，这将在图2中详细示出。在图示的实施例中，信号A0－A7代表提供给外部存储器的地址信号，而P0－P7是来自数据处理系统20的模块之一的数据信号。端口48用于将显示数据传送给LCD显示器49。I/O端口42、44、46和48可以连接到集成电路的引脚、焊点（pad）或其它类型的端子，用以发送和接收在数据处理系统20外部的信号。SIM40能接收和发送到与内部总线电路34连接的任一其它模块的信号。

CPU22连接到内部总线电路34上，可接收和发送到与内部总线电路34连接的每一其它模块的信号。CPU22通过SIM40有选

择地接收和发送到数据处理系统 20 外部的信号。CPU 通常负责接收、翻译和执行软件指令，以控制数据处理系统。UART26 连接到内部总线电路 34，UART26 支持与外部装置异步串行通信，外部装置诸如调制解调器和以标准波特率工作的其它数据处理系统。

SPI32 能接收和发送到数据处理系统 20 外部的信号，并经由内部总线电路 34 与其它模块相连。SPI 是一个主/从串行外围接口，用于与诸如模/数变换器、非易失存储器装置及其它数据处理系统之类的外部装置通信。系统存储器 30 是与 SIM40 双向连接的，系统存储器 30 是一种常规的存储器单元，含有按行和列排列的一个静态随机存取存储器单元阵列。数据处理系统 20 在一个单个集成电路上实施。系统存储器 30 可处在数据处理系统 20 的外部，或是与数据处理系统 20 在同一块集成电路上。在图示的实施例中，系统存储器 30 是一个外部存储器单元。定时器 24 连接至内部总线电路 34 上，经由内部总线电路 34 与数据处理系统 20 的其它模块通信。LCD 控制模块 28 连接到内部总线电路 34 上，LCD 控制模块 28 提供控制功能，用于刷新连接到输出端口 48 上的 LCD 显示器 49 的荧屏。

图 1 所示的数据处理系统 20 的实施例示出微处理器系列中一种特定的微处理器。因同一系列中的微处理器具有许多不同的在板上的外围设备或模块，故图 1 仅示出数据处理系统 20 的一个实施例。数据处理系统 20 的另一些实施例可具有比图 1 所示实施例或多或少、或是不同的在板上的外围设备。

图 2 示出按照本发明的图 1 数据处理系统的 I/O 端口 44 的部分方框图和部分原理图。I/O 端口 44 具有多个 I/O 端口电路 55 和

56 以及寄存器具有寄存器的比特字段 58、59、60、81 和 82。I/O 端口电路 55 示出一种含有下拉电路的 I/O 端口电路，而 I/O 端口电路 56 示出一种含有上拉电路的 I/O 端口电路。I/O 端口 44 可以含有任何数目的并行 I/O 端口电路，后者根据数据处理系统的要求可具有上拉电路、下拉电路或上拉与下拉电路的任一组合。I/O 端口电路 55 含有复用器 62 和 63、缓存器电路 64、P 沟道输出晶体管 65、N 沟道输出晶体管 66 和下拉电路 68。下拉电路 68 含有电阻元件 69 和下拉 N 沟道晶体管 70。I/O 端口电路 56 含有复用器 72 和 73、缓存器电路 74、P 沟道输出晶体管 75、N 沟道输出晶体管 76 和上拉电路 78。上拉电路 78 含有 P 沟道晶体管 80 和电阻元件 79。

在 I/O 端口电路 55 中，复用器 62 具有一个第一输入端、一个第二输入端、一个控制端和一个输出端。第一输入端标有“0”，连接至内部总线电路 34，用于接收标有“A17”的信号；第二输入端标有“1”，连接到寄存器 58 的输出端，用于接收标有“P17”的信号；控制端标有“SEL”，连接到寄存器 60 的一个输出端；输出端提供一个标有“DATA7”的数据信号。复用器 63 具有一个第一输入端、一个第二输入端、一个控制端和一个输出端。第一输入端标有“0”，用于接收标有“TRISTATE CONTROL7”的三态控制信号；第二输入端标有“1”，连接至寄存器 58 的一个输入端和寄存器 59 的输出端；控制端标有“SEL”，连接到寄存器 60 的一个输出端；输出端提供一个标有“ENABLE7”的使能信号。缓存器电路 64 具有一个输入端，连接到复用器 62 输出端上，一个控制端连接至多路复用器 63 输出端上用以接收标有“ENABLE7”使能信号以及第一和第二输出端。缓存器电路 64

是一种常规的缓冲器电路。P 沟道晶体管 65 具有连接到标有“VDD”电源电压端的一个第一电流电极（源极）、连接到缓存器电路 64 第一输出端的一个控制电极（栅极）和连接到 I/O 端子 67 以提供标有“A7/P7 输出信号的一个第二电流电极(漏极)。N 沟道晶体管 66 具有连接到 I/O 端子 67 的第一电流电极（漏极）、连接到缓存器电路 64 第二输出端的控制电极（栅极）和连接到标有“VSS”第二电源电压端的第二电流电极（源极）。电阻元件 69 具有连接到 I/O 端子 67 的一个第一端子以及一个第二端子。N 沟道晶体管 70 具有连接到电阻元件 69 第二端子上的一个第一电源电极（漏极）、用以接收来自寄存器比特字段 81 中标有“PULL - DOWN CONTROL7”下拉控制信号的一个控制电极（栅极）和连接到 VSS 的一个第二电流电极（源极）。

在 I/O 端口电路 56 中，复用器 72 具有第一输入端、第二输入端、一个控制端和一个输出端。第一输入端标有“0”，连接到内部总线电路 34，用于接收标有“A10”的信号；第二输入端标有“1”，连接到寄存器 58 的一个输出端，用于接收标有“P10”的信号；控制端标有“SEL”，连接到寄存器 60 的一个输出端；输出端提供一个标有“DATA0”的数据信号。复用器 73 具有第一输入端、第二输入端、一个控制端和一个输出端。第一输入端标有“0”，用于接收标有“TRISTATE CONTROL0”的三态控制信号；第二输入端标有“1”，连接到寄存器 58 的一个输入端和寄存器 59 的一个输出端；控制端标有“SEL”，连接到寄存器 60 的一个输出端；输出端提供一个标有“ENABLE0”的使能信号。缓存器电路 74 具有一个连接到复用器 72 输出端上的输入端、

一个连接到复用器 73 输出端上用以接收标有“ENABLE0”使能信号的控制端以及第一和第二输出端。缓存器电路 74 是一种常规的缓存器电路。P 沟道晶体管 75 具有连接到 VDD 的一个第一电流电极（源极）、连接到缓冲器电路 74 第一输出端的一个控制电极（栅极）和连接到 I/O 端 77 以提供标有“A0/P0”输出信号的一个第二电流电极（漏极）。N 沟道晶体管 76 具有连接到 I/O 端 77 的第一电流电极（漏极）、连接到缓冲器电路 74 第二输出端的控制电极（栅极）和连接到 VSS 的第二电流电极（源极）。电阻元件 79 具有连接到 I/O 端 77 的一个第一端子以及一个第二端子。P 沟道晶体管 80 具有连接到电阻元件 79 第二端子上的一个第一电流电极（漏极）、用以接收标有“PULL - UP CONTROL0”上拉控制信号的一个控制电极（栅极）和连接到 VDD 的一个第二电流电极（源极）。

I/O 端子 67 和 77 可以是用于发送或接收信号的任何类型的输入/输出端子，诸如引脚、金属焊点等。复用器 62、63、72 和 73 是常规的复用器电路。三态控制信号可以由一个系统控制寄存器（未示出）或其它的控制装置提供。

多功能 I/O 端口 44 可以将两种功能复接到一个焊点或引脚上，一种功能是 I/O 功能，另一种功能可以是连接到诸如 UART26 或 SPI 32 之类引线端的内部模块功能。例如，在图示的实施例中，I/O 端口 44 可以对地址操作方式时来自内部总线 34 的地址信息和 I/O 操作方式下来自 UART 的 I/O 信息作出复接。I/O 端口 44 的每一个 I/O 端口电路可以具有各别连接到其 I/O 端子的上拉电路或下拉电路。通过将逻辑高控制比特写入上拉寄存器比特字段 82 来

启动上拉电路78；而通过将逻辑高控制比特写入下拉寄存器比特字段81来启动下拉电路81。每个焊点的上拉和下拉电路能够分别地选定，并可工作在选定的I/O端口或未选定的I/O端口情况下。

下拉电路68和上拉电路78的功能是将I/O端子67和77设置于一个预定的逻辑状态，以免当数据处理系统20启动或复位时它们的电位悬浮。这样可确保与外部装置的协调性，可保证诸如连接到I/O端口44上的存储器之类的外部装置在数据处理系统20启动时接收到一个已知逻辑状态。下拉电路68和上拉电路78消除了外部连接下拉和上拉电阻的需要，仍然容许数据处理系统20启动或复位，使所选择的焊点为预定的逻辑状态。如有必要，在复位时可以将I/O端口42和I/O端口44选择为输入端口，以防止与下拉和上拉电路竞争。在启动或复位之后，I/O端口42和44可以配置为并行输入信号或输出信号使用。

方向寄存器比特字段59包括有比特0－7。请注意，在每一寄存器比特字段中的比特数对应于I/O端口44中的并行I/O端子数目。在其它一些实施例中，I/O端子的数目可能是不同的，这对描述本发明并不重要。方向寄存器比特字段59控制输出端67和77上数据流的方向，当方向寄存器比特字段59中各比特均置位于逻辑“高”状态时，数据寄存器比特字段58来的各相应数据位提供给对应的I/O端子；当方向寄存器比特字段59中各位为逻辑“低”时，相应的I/O端子接收来自外部装置的数据。在复位时，方向寄存器比特字段59的比特0－7均为逻辑“低”。

选择寄存器比特字段60包括有比特0－7，选择寄存器比特字段60控制提供给I/O终端的源数据。当选择寄存器比特字段60

的各比特为逻辑“低”且I/O终端起输出终端作用时，信号A10－A17提供给I/O终端；当选择寄存器比特字段60的各比特为逻辑“高”且I/O终端起输出终端作用时，信号P10－P17提供给I/O终端。在复位后，选择寄存器比特字段中的比特0－7均复位为逻辑“高”。

数据寄存器比特字段58包括有比特0－7，数据寄存器比特字段58是一种常规的通用读/写寄存器，并且当方向寄存器比特字段59和选择寄存器比特字段60中相应各位均设置于逻辑“高”状态时，它存储提供给输出终端67和77的数据。当方向寄存器比特字段59中相应各位为逻辑“高”而选择寄存器比特字段60中相应各位为逻辑“低”时，数据寄存器比特字段58存储从输出终端上接收到的数据。在复位后，数据寄存器比特字段复位为逻辑“低”。

作为一个例子，在地址操作方式期间，I/O端口电路55配置为一个输出端口。方向寄存器比特字段59的比特7是“不关心”（“don't care”），选择寄存器比特字段60的比特7为逻辑“低”，数据寄存器比特字段58的逻辑状态“不关心”，地址信号A17为逻辑“高”，这时地址信号A17提供给复用器62的“0”输入端，逻辑“高”信号DATA 7提供给缓存器电路64。选择寄存器比特字段59中逻辑“低”的比特7使复用器62和63“0”输入端的逻辑分别地提供给复用器62和63输出端。TRISTATE CONTROL 7（三态控制7）为逻辑“高”时，将形成一个逻辑“高”的使能信号ENABLE 7，它启动缓存器电路64。从缓存器电路64来的一个逻辑“低”的输出信号使P沟道晶体管65导通，N使沟道晶体管66不导通，将一个逻辑“高”的输出地址信号A7驱动至

I/O 终端 67。下拉寄存器比特字段 81 的比特 7 为逻辑“低”，使 N 沟道晶体管 70 实质上不导通，使下拉电路 68 不能工作。

按照上文描述的地址操作方式，对于 I/O 端口电路 56 来说，除了由寄存器 58、59 和 60 的比特 0 而不是比特 7 控制数据流之外，其作用与 I/O 端口电路 55 相同。此外，I/O 端口电路 56 包括一个上拉电路，而不是另一实施例端口 44 中的下拉电路。典型情况是，I/O 端口或含有上拉电路，或含有下拉电路，它们与端口中的每个并行 I/O 终端相连接。

如果 I/O 端口电路 55 配置为 I/O 操作方式的输出端口，则方向寄存器比特字段 59 的比特 7 为逻辑“高”，选择寄存器比特字段的比特 7 为逻辑“高”，数据寄存器比特字段 58 中比特 7 的逻辑状态为逻辑“高”，地址信号 A17 的逻辑状态“不注意”。方向寄存器比特字段 59 中逻辑“高”的比特 7 使数据寄存器比特字段 58 处于“读”方式。假设信号 P17 为逻辑“高”，并从数据寄存器比特字段 58 读到复用器 62 的“1”输入端，则信号 DATA 7 的逻辑状态对应于信号 P17 的逻辑状态，并提供给缓存器电路 64。选择寄存器比特字段 59 中逻辑高的比特 7 使复用器 63 提供一个逻辑“高”的使能信号 ENABLE 7，启动缓存器电路 64。来自缓存器电路 64 的输出信号使 P 沟道晶体管 65 导通，使 N 沟道晶体管 66 基本上不导通，将一个逻辑“高”的输出信号驱动给 I/O 终端 67。下拉寄存器比特字段 81 的比特 7 为逻辑低，使 N 沟道场效应管 70 基本上不导通。

如果 I/O 端口电路配置为一个输入端口，则三态控制信号 TRISTATE CONTROL 7 为逻辑“低”，选择寄存器比特字段 60

的比特 7 为逻辑“低”。逻辑“低”的三态控制信号 TRISTATE CONTROL 7 使缓存器电路 64 不能工作，并使 P 沟道晶体管 65 和 N 沟道晶体管 66 基本上不导通。下拉寄存器比特字段的比特 7 为逻辑“低”，N 沟道晶体管 70 不导通。方向寄存器比特字段 59 的比特 7 为逻辑“低”，使数据寄存器比特字段 58 的比特 7 成为写入方式，将提供给 I/O 终端 67 的数据信号的逻辑状态写入数据寄存器比特字段 58 的比特 7 。

在启动时，或在复位期间，如果 I/O 端口电路 55 的 I/O 终端 67 要进入逻辑“低”，则至少在初始时选择寄存器比特字段 60 的比特 7 为逻辑“低”，而三态控制信号 TRISTATE CONTROL 7 被断定为逻辑“低”。由复用器 63 提供的使能信号 ENABLE 7 使缓存器电路 64 不能工作。P 沟道晶体管 65 和 N 沟道晶体管 66 基本上都不导通。下拉寄存器比特字段 81 的比特 7 为逻辑“高”，使 N 沟道晶体管 70 导通，流过电阻元件 69 的电流使 I/O 终端 67 上的电压降低为逻辑“低”电平。

当 I/O 终端 77 被复位为逻辑“高”时，选择寄存器比持字段 60 的比特 0 为逻辑低，三态控制信号 TRISTATE CONTROL 0 被断定为逻辑“低”。由复用器 73 提供的使能信号 ENABLE 0 使缓存器电路 74 不能工作。P 沟道晶体管 75 和 N 沟道晶体管 76 基本上都不导通。上拉寄存器比特字段 82 的比特 0 为逻辑低，使 P 沟道晶体管 80 导通，流过电阻元件 79 的电流使 I/O 终端 77 上的电压升高为逻辑“高”电平。

多功能可分级 I/O 端口有效地增加了并行 I/O 终端的数目，而不增加数据处理系统封装外壳上的引脚数目。另外，多功能可分级

的I/O端口可将先前仅用于启动或复位的引脚重新用于其它功能。此外，因为消除了外部负载电阻，所以降低了功耗。

上文以优选实施例描述了本发明，但本领域的技术人员清楚，可在很多方面修改本发明，也可以设想许多实施方案，而不限于上文具体提出并描述了的实施例。例如，I/O端口44可以配置得利用增加附加控制比特和复用器输入端来复接两个以上的功能。据此，所附权利要求书意旨覆盖落在本发明精神实质和范围内的各种修改。

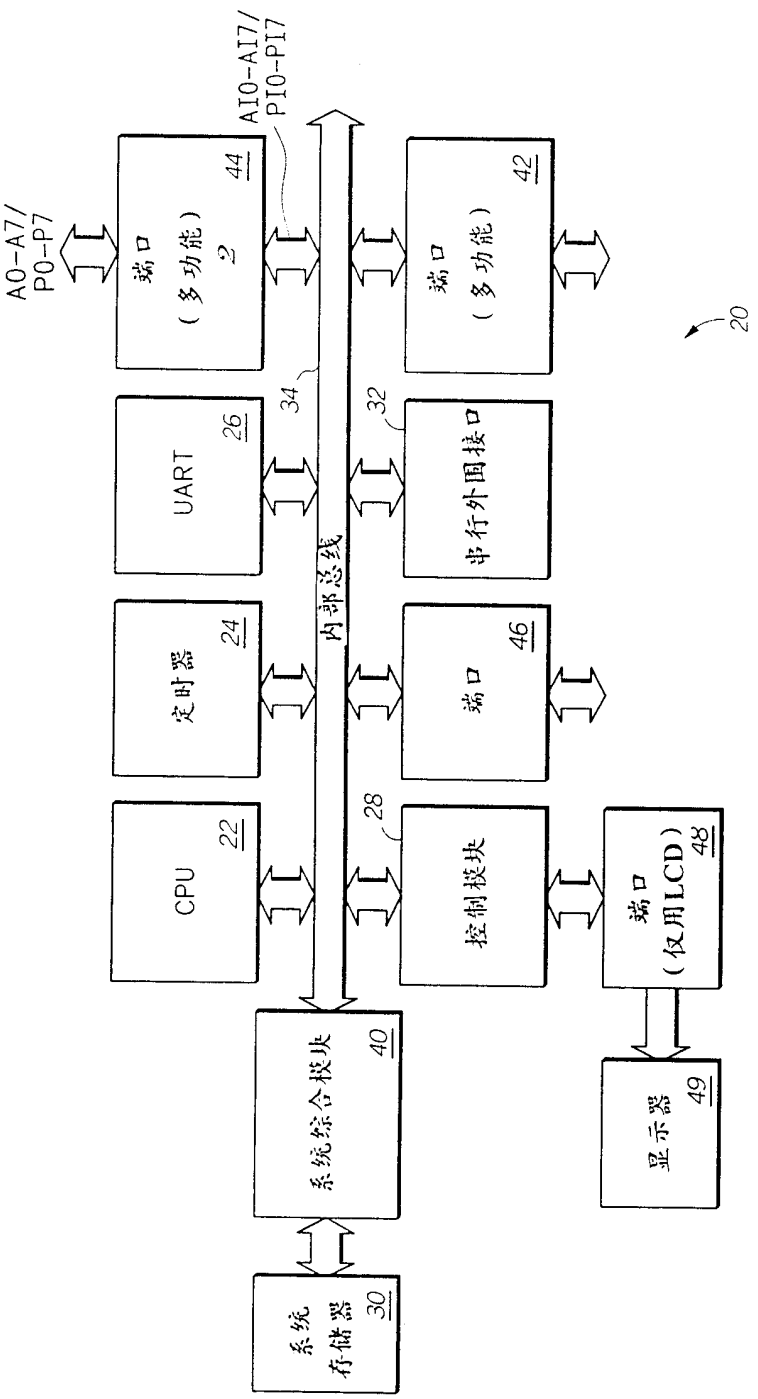

A0-A7/
P0-P7
端口
(多功能)
2
44
AI0-AI7/
PI0-PI7
端口
(多功能)
42
20
UART
26
34
32
串行外围接口
内部总线
定时器
24
端口
46
CPU
22
28
控制模块
端口
(仅用LCD)
48
系统综合模块
40
显示器
49
系统
存储器
30

图 1

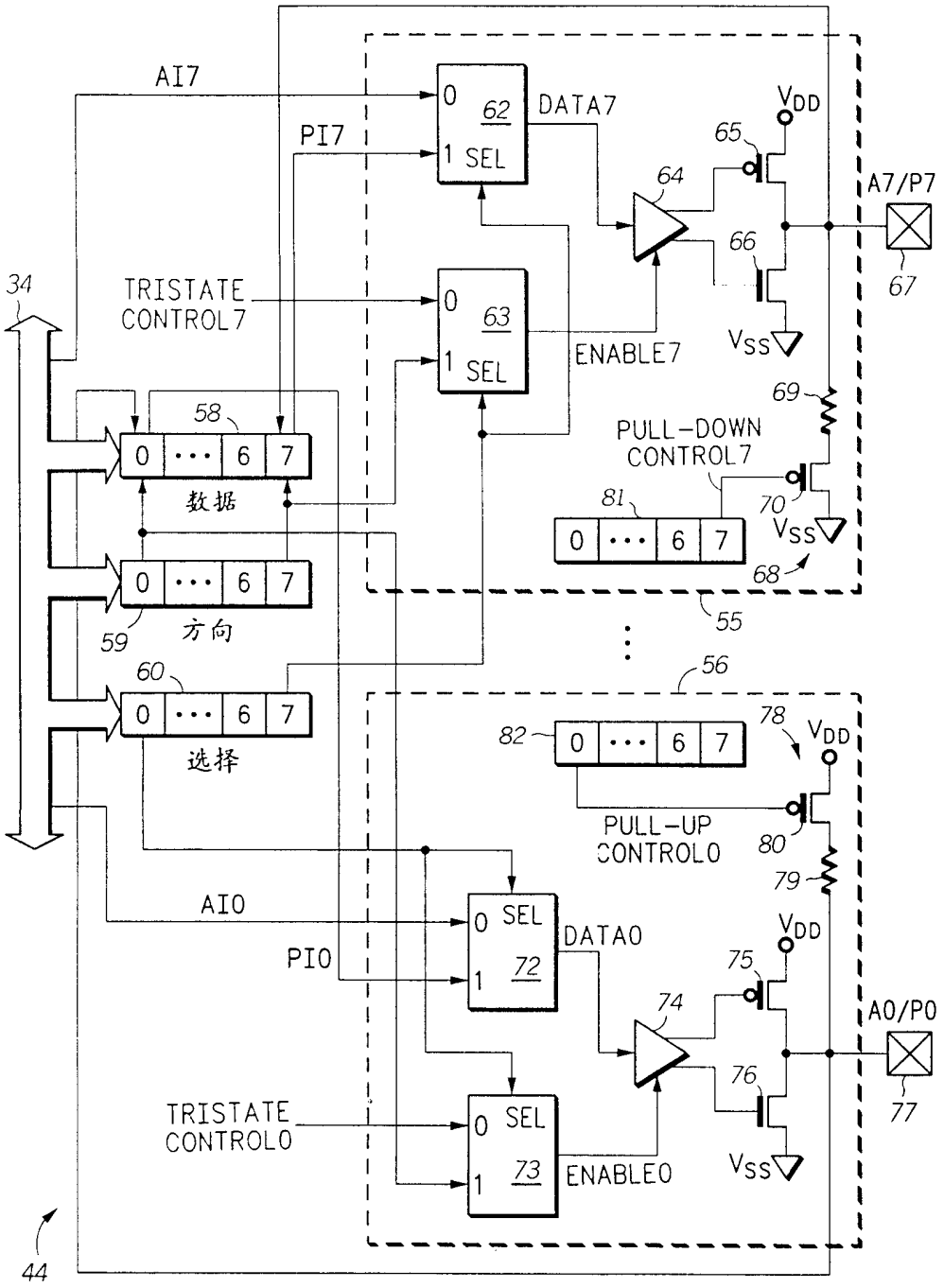

AI7
PI7
0
1 SEL
62
DATA7
VDD
65
64
A7/P7
66
67
34
TRISTATE CONTROL7
0
1 SEL
63
ENABLE7
VSS
69
58
0 ··· 6 7
数据
PULL-DOWN CONTROL7
81
70
0 ··· 6 7
VSS
68
0 ··· 6 7
方向
59
55
60
56
0 ··· 6 7
选择
82
0 ··· 6 7
78
VDD
PULL-UP CONTROL0
80
79
AI0
PI0
0 SEL
1 72
DATA0
VDD
75
74
A0/P0
76
77
TRISTATE CONTROL0
0 SEL
1 73
ENABLE0
VSS
44

图2