

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-162000  
(P2015-162000A)

(43) 公開日 平成27年9月7日(2015.9.7)

(51) Int.Cl.  
G06F 11/34 (2006.01)

F I  
G06F 11/34 P

テーマコード (参考)  
5B042

審査請求 未請求 請求項の数 8 O L (全 21 頁)

(21) 出願番号 特願2014-35549 (P2014-35549)  
(22) 出願日 平成26年2月26日 (2014.2.26)

(71) 出願人 00005223  
富士通株式会社  
神奈川県川崎市中原区上小田中4丁目1番1号  
(74) 代理人 100092978  
弁理士 真田 有  
(74) 代理人 100112678  
弁理士 山本 雅久  
(72) 発明者 桑折 友三  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内  
(72) 発明者 松田 進之介  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内  
Fターム(参考) 5B042 KK02 KK07 KK14 LA20 MA08  
MA09 MC40

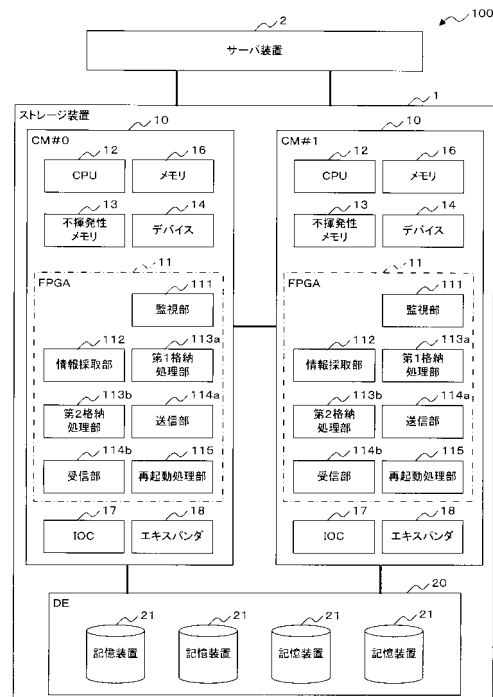
(54) 【発明の名称】 情報処理装置、制御装置及びログ情報収集方法

(57) 【要約】

【課題】 処理装置の動作不能状態においても監視対象装置のログ情報の収集を確実に行なう。

【解決手段】 制御装置 10 は、処理装置 12 における障害発生を監視する監視部 111 と、監視部 111 が障害発生を検知した場合に、監視対象装置 14 からログ情報を採取する情報採取部 112 と、情報採取部 112 が採取したログ情報を第 1 記憶装置 13 に格納する第 1 格納処理部 113 a と、を備える。

【選択図】 図 1



**【特許請求の範囲】****【請求項 1】**

監視対象装置と通信可能に接続される制御装置を有する情報処理装置であって、  
前記制御装置は、  
処理装置における障害発生を監視する監視部と、  
前記監視部が前記障害発生を検知した場合に、前記監視対象装置からログ情報を採取する情報採取部と、  
前記情報採取部が採取した前記ログ情報を第 1 記憶装置に格納する第 1 格納処理部と、  
を備えることを特徴とする、情報処理装置。

**【請求項 2】**

当該情報処理装置は、複数の制御装置を備え、  
前記制御装置は、前記情報採取部が採取した前記ログ情報を前記複数の制御装置のうち他の制御装置に送信する送信部  
を備え、  
前記他の制御装置は、前記送信部が送信した前記ログ情報を第 2 記憶装置に格納する第 2 格納処理部  
を備えることを特徴とする、請求項 1 に記載の情報処理装置。

**【請求項 3】**

前記送信部は、前記処理装置の動作不能状態が確定した後に、前記ログ情報を前記他の制御装置に送信する、  
ことを特徴とする、請求項 2 に記載の情報処理装置。

**【請求項 4】**

前記制御装置は、  
前記送信部が前記ログ情報を前記他の制御装置に送信した後に、前記処理装置及び前記監視対象装置を再起動させる再起動処理部  
を備えることを特徴とする、請求項 2 又は 3 に記載の情報処理装置。

**【請求項 5】**

前記制御装置は、  
複数のタイミングにおいて、前記情報採取部による前記ログ情報の採取と、前記第 1 格納処理部による前記ログ情報の格納とを、繰り返し行なう、  
ことを特徴とする、請求項 1 ~ 4 のいずれか 1 項に記載の情報処理装置。

**【請求項 6】**

前記制御装置は、  
処理装置強制割り込み処理とソフトウェアリセット処理とハードウェアリセット処理とを含む複数種類のリカバリ処理機能を備え、  
各リカバリ処理を行なうタイミングを前記複数のタイミングとする、  
ことを特徴とする、請求項 5 に記載の情報処理装置。

**【請求項 7】**

監視対象装置と通信可能に接続される制御装置であって、  
処理装置における障害発生を監視する監視部と、  
前記監視部が前記障害発生を検知した場合に、前記監視対象装置からログ情報を採取する情報採取部と、  
前記情報採取部が採取した前記ログ情報を第 1 記憶装置に格納する第 1 格納処理部と、  
を備えることを特徴とする、制御装置。

**【請求項 8】**

監視対象装置と通信可能に接続される制御装置を有する情報処理装置におけるログ情報収集方法であって、  
前記制御装置は、  
処理装置における障害発生を監視し、  
前記障害発生を検知した場合に、前記監視対象装置からログ情報を採取し、

10

20

30

40

50

採取した前記ログ情報を第1記憶装置に格納する、  
ことを特徴とする、ログ情報収集方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、情報処理装置、制御装置及びログ情報収集方法に関する。

【背景技術】

【0002】

ストレージ装置が備えるController Module (CM)には、CM内部のCentral Processing Unit (CPU)がCM内部のデバイスにおけるログ情報を収集するものが知られている。このようなCMにおいて、デバイスやバスに異常が発生した場合には、収集したログ情報を解析することによって被疑箇所を特定することができる。 10

図9は、従来例としてのストレージ装置が備えるCMにおけるログ情報収集処理を例示する図である。

【0003】

図9においては、ストレージ装置が備える2つのCM (CM#0, #1) 30を示している。

以下、2つのCMのうち1つを特定する必要があるときには「CM#0」又は「CM#1」と表記するが、任意のCMを指すときには「CM30」と表記する。

CM30は、Field-Programmable Gate Array (FPGA) 31, CPU 32及びNon-Volatile Random Access Memory (NVRAM; 不揮発性メモリ) 33を備える。 20

【0004】

また、CM#0は、FPGA 31, CPU 32及び不揮発性メモリ 33に加えて、3つのデバイス 34 (デバイス#0~#2)及びスイッチ (SW) 35を備える。

以下、3つのデバイスのうち1つを特定する必要があるときには「デバイス#0」, 「デバイス#1」又は「デバイス#2」と表記するが、任意のデバイスを指すときには「デバイス34」と表記する。

【0005】

CM#0のFPGA 31とCM#1のFPGA 31とは、FPGA間通信により互いに通信可能に接続される。また、各CM30において、FPGA 31とCPU 32とは例えばバス線を介して互いに通信可能に接続され、FPGA 31と不揮発性メモリ 33とも例えばバス線を介して互いに通信可能に接続される。 30

CM#0においては、CPU 32は3つの高速Interface (IF) 321及び低速IF 322を備え、各デバイス 34は高速IF 341及び低速IF 342を備える。そして、CPU 32の各高速IF 321と各デバイス 34の高速IF 341とは、データ通信用高速バスによって互いに通信可能に接続される。また、CPU 32の低速IF 322と各デバイス 34の低速IF 342とは、SW 35を介して、ログ採取用低速バスによって互いに通信可能に接続される。

【0006】

CM#0のCPU 32は、ログ情報採取処理においてマスターとなり、ログ採取用低速バスを介してスレーブとしてのデバイス 34にアクセスすることにより、デバイス 34からログ情報を採取する。そして、採取されたログ情報は、障害発生時の原因解析等に利用される。 40

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開平10-207742号公報

【特許文献2】特開平5-165657号公報

【発明の概要】

【発明が解決しようとする課題】

## 【 0 0 0 8 】

図 9 に示す例においては、C M # 0 の C P U 3 2 の高速 I F 3 2 1 とデバイス # 0 の高速 I F 3 4 1 との間のデータ通信用高速バスで障害が発生している（符号 C 1 参照）。そして、発生した障害が C P U 3 2 に伝搬し、C P U 3 2 がハングアップ状態になっている（符号 C 2 参照）。

このように、C P U 3 2 がハングアップ状態になった場合には、C P U 3 2 はログ採用低速バスを介してデバイス 3 4 からログ情報を採取できないため、被疑箇所が特定できないという課題がある。

## 【 0 0 0 9 】

1 つの側面では、本発明は、処理装置の動作不能状態においても監視対象装置のログ情報の収集を確実にこなうことを目的とする。

なお、前記目的に限らず、後述する発明を実施するための形態に示す各構成により導かれる作用効果であって、従来技術によっては得られない作用効果を奏することも本発明の他の目的の 1 つとして位置付けることができる。

## 【課題を解決するための手段】

## 【 0 0 1 0 】

このため、この情報処理装置は、監視対象装置と通信可能に接続される制御装置を有する情報処理装置であって、前記制御装置は、処理装置における障害発生を監視する監視部と、前記監視部が前記障害発生を検知した場合に、前記監視対象装置からログ情報を採取する情報採取部と、前記情報採取部が採取した前記ログ情報を第 1 記憶装置に格納する第 1 格納処理部と、を備える。

## 【発明の効果】

## 【 0 0 1 1 】

開示の情報処理装置によれば、処理装置の動作不能状態においても監視対象装置のログ情報の収集を確実にこなうことができる。

## 【図面の簡単な説明】

## 【 0 0 1 2 】

【図 1】実施形態の一例としてのストレージシステムの機能構成を模式的に示す図である。

【図 2】実施形態の一例としてのストレージ装置が備える F P G A の詳細な機能構成を模式的に示す図である。

【図 3】実施形態の一例としてのストレージ装置が備える C M におけるログ情報収集処理を例示する図である。

【図 4】実施形態の一例としてのストレージ装置におけるログ情報送受信処理を説明する図である。

【図 5】実施形態の一例としてのストレージ装置が使用するバケットを例示する図である。

【図 6】実施形態の一例としてのストレージ装置が使用するバケットを例示する図である。

【図 7】実施形態の一例としてのストレージ装置におけるログ情報収集処理を示すフローチャートである。

【図 8】実施形態の一例としてのストレージ装置におけるログ情報収集処理を例示するシーケンス図である。

【図 9】従来例としてのストレージ装置が備える C M におけるログ情報収集処理を例示する図である。

## 【発明を実施するための形態】

## 【 0 0 1 3 】

以下、図面を参照して情報処理装置、制御装置及びログ情報収集方法に係る一実施の形態を説明する。ただし、以下に示す実施形態はあくまでも例示に過ぎず、実施形態で明示しない種々の変形例や技術の適用を排除する意図はない。すなわち、本実施形態を、その

10

20

30

40

50

趣旨を逸脱しない範囲で種々変形して実施することができる。

また、各図は、図中に示す構成要素のみを備えるという趣旨ではなく、他の機能等を含むことができる。

#### 【0014】

以下、図中において、同一の各符号は同様の部分を示しているので、その説明は省略する。

〔A〕実施形態の一例

〔A-1〕システム構成

図1は、実施形態の一例としてのストレージシステムの機能構成を模式的に示す図である。

#### 【0015】

本実施形態の一例におけるストレージシステム100は、図1に示すように、ストレージ装置(情報処理装置)1及びサーバ装置2を備え、これらのストレージ装置1とサーバ装置2とは、例えばLocal Area Network(LAN)によって互いに通信可能に接続される。

サーバ装置2は、例えば、サーバ機能を備えたコンピュータである。図1に示す例においては、1つのサーバ装置2を備えているが、2つ以上のサーバ装置2を備えることとしても良い。

#### 【0016】

ストレージ装置1は、後述する複数の記憶装置21を搭載し、サーバ装置2に対して記憶領域を提供する装置であり、例えばRedundant Arrays of Inexpensive Disks(RAID)を用いて複数の記憶装置21にデータを分散し、冗長化した状態で保存する。本実施形態の一例におけるストレージ装置1は、複数(図示する例では2つ)のCM10(CM#0, CM#1;制御装置)及びDisk Enclosure(DE)20を備える。

#### 【0017】

以下、2つのCMのうち1つを特定する必要があるときには「CM#0」又は「CM#1」と表記するが、任意のCMを指すときには「CM10」と表記する。

本ストレージ装置1は、2つのCM10を備える冗長構成とすることにより、プライマリとしてのCM10(例えばCM#0)が異常状態となった場合においてもセカンダリとしてのCM10(例えばCM#1)により継続して動作することができる。

#### 【0018】

DE20は、冗長化のためにCM#0, #1のそれぞれとアクセスパスで通信可能に接続されており、複数(図示する例では4つ)の記憶装置21を備える。

記憶装置21は、データを読み書き可能に格納する既知の装置であり、例えば、Hard Disk Drive(HDD)やSolid State Drive(SSD)である。これらの記憶装置21は、互いに同様の機能構成を備える。

#### 【0019】

CM10は、種々の制御を行なう制御装置であり、サーバ装置2からのストレージアクセス要求(アクセス制御信号:以下、ホストI/Oという)に従って、各種制御を行なう。本実施形態の一例におけるCM10は、FPGA11, CPU(処理装置)12, 不揮発性メモリ(NVRAM, 第1記憶装置, 第2記憶装置)13, デバイス(監視対象装置)14, メモリ16, Input/Output Controller(I/O C)17及びエキスパンダ18を備える。

#### 【0020】

I/O C17は、CPU12とDE20との間のデータ転送を実施し、例えば、専用チップとして構成される。

エキスパンダ18は、CM10とDE20とを中継する装置であり、ホストI/Oに基づくデータ転送を行なう。すなわち、CM10は、本ストレージ装置1に備えられた各記憶装置21に対して、エキスパンダ18を介してアクセスする。

#### 【0021】

10

20

30

40

50

デバイス 14 は、CM 10 に備えられる種々の装置である。図 1 に示す例においては、簡単のため CM 10 が 1 つのデバイス 14 のみを備えているが、CM 10 は複数のデバイス 14 を備えても良い。また、デバイス 14 は CM 10 のオンボードに備えられても良いし、Peripheral Component Interconnect (PCI) カード等の種々のアドインカードをデバイス 14 とすることによって CM 10 と通信可能に接続されても良い。

#### 【0022】

不揮発性メモリ 13 は、例えば NAND フラッシュメモリや Serial Advanced Technology Attachment Solid State Drive (SATA SSD) であり、CM 10 への電力供給が停止してもデータを保持し続ける。本実施形態の一例において、不揮発性メモリ 13 は、デバイス 14 から採取したログ情報 (システム情報) を格納する。

メモリ 16 は、Read Only Memory (ROM) 及び Random Access Memory (RAM) を含む記憶装置である。メモリ 16 の ROM には、Basic Input/Output System (BIOS) 等のプログラムが書き込まれている。メモリ 16 上のソフトウェアプログラムは、CPU 12 に適宜読み込まれて実行される。また、メモリ 16 の RAM は、例えば Double-Data-Rate3 Synchronous Dynamic Random Access Memory (DDR3 SDRAM) であり、一次記録メモリあるいはワーキングメモリとして利用される。

#### 【0023】

CPU 12 は、種々の制御や演算を行なう処理装置であり、メモリ 16 に格納された Operating System (OS) やプログラムを実行することにより、種々の機能を実現する。

なお、種々の機能を実現するためのプログラムは、例えばフレキシブルディスク、CD (CD-ROM, CD-R, CD-RW 等), DVD (DVD-ROM, DVD-RAM, DVD-R, DVD+R, DVD-RW, DVD+RW, HD DVD 等), ブルーレイディスク, 磁気ディスク, 光ディスク, 光磁気ディスク等の、コンピュータ読取可能な記録媒体に記録された形態で提供される。そして、コンピュータはその記録媒体から図示しない読取装置を介してプログラムを読み取って内部記録装置または外部記録装置に転送し格納して用いる。又、そのプログラムを、例えば磁気ディスク, 光ディスク, 光磁気ディスク等の記憶装置 (記録媒体) に記録しておき、その記憶装置から通信経路を介してコンピュータに提供してもよい。

#### 【0024】

種々の機能を実現する際には、内部記憶装置 (本実施形態ではメモリ 16) に格納されたプログラムがコンピュータのマイクロプロセッサ (本実施形態では CPU 12) によって実行される。このとき、記録媒体に記録されたプログラムをコンピュータが読み取って実行してもよい。

FPGA 11 は、任意に構成を設定できる集積回路であり、図 1 に示すように、監視部 111, 情報採取部 112, 第 1 格納処理部 113a, 第 2 格納処理部 113b, 送信部 114a, 受信部 114b 及び再起動処理部 115 として機能する。本実施形態の一例において、CM # 0 の FPGA 11 と CM # 1 の FPGA 11 とは、例えば FPGA 間通信によって通信可能に接続される。

#### 【0025】

監視部 111 は、同一 CM 10 上の CPU 12 を監視し、CPU 12 において発生した障害を検知する。

情報採取部 112 は、監視部 111 が CPU 12 における障害発生を検知した場合に、デバイス 14 からログ情報を採取する。

第 1 格納処理部 113a は、情報採取部 112 が採取したログ情報を不揮発性メモリ 13 に格納する。

#### 【0026】

FPGA 11 (CM 10) は、例えば、Non-Maskable Interrupt (NMI; 処理装置強制割り込み) 処理とソフトウェアリセット (ソフトリセット) 処理とハードウェアリセット (ハードリセット) 処理とを含む図示しない複数種類のリカバリ処理機能を備える。そして、FPGA 11 (CM 10) は、例えば各リカバリ処理を行なう複数のタイミングに

10

20

30

40

50

において、情報採取部 1 1 2 によるログ情報の採取と、第 1 格納処理部 1 1 3 a によるログ情報の格納とを、繰り返し行なう。つまり、不揮発性メモリ 1 3 は、各リカバリ処理に係る複数のログ情報を格納する。

【 0 0 2 7 】

送信部 1 1 4 a は、情報採取部 1 1 2 が採取したログ情報を他の C M 1 0 に送信する。例えば、C M # 0 の送信部 1 1 4 a は、情報採取部 1 1 2 が採取したログ情報を F P G A 間通信によって C M # 1 に送信する。具体的には、送信部 1 1 4 a は、C P U 1 2 のハングアップ（動作不能状態）が確定した後に、不揮発性メモリ 1 3 に格納された複数のログ情報を送信する。なお、送信部 1 1 4 a によるログ情報送信処理の詳細については、図 4 を用いて後述する。

10

【 0 0 2 8 】

受信部 1 1 4 b は、他の C M 1 0 が送信したログ情報を受信する。例えば、C M # 1 の受信部 1 1 4 b は、F P G A 間通信によって C M # 0 が送信したログ情報を受信する。

第 2 格納処理部 1 1 3 b は、受信部 1 1 4 b が受信したログ情報を不揮発性メモリ 1 3 に格納する。

再起動処理部 1 1 5 は、送信部 1 1 4 a がログ情報を他の C M 1 0 に送信した後に、当該再起動処理部 1 1 5 が備えられた（自系の）C M 1 0 を再起動させる。なお、再起動処理部 1 1 5 は、障害が発生した箇所（被疑箇所）及び障害が伝搬した箇所である自系のデバイス 1 4 及び C P U 1 2 のみを再起動させても良い。

【 0 0 2 9 】

20

図 2 は、実施形態の一例としてのストレージ装置が備える F P G A の詳細な機能構成を模式的に示す図である。

図 2 に示す F P G A 1 1 は、Low Pin Count bus ( L P C ) 1 1 1 - 1 , Watch Dog Timeout ( W D T ) 1 1 1 - 2 , Inter-Integrated Circuit ( I 2 C ) 1 1 2 , NVRAM Interface ( N I F ) 1 1 3 , Communication ( C O M ) 1 1 4 - 1 及び Protocol Interface ( P I F ) 1 1 4 - 2 の各モジュールを備える。

【 0 0 3 0 】

L P C 1 1 1 - 1 及び W D T 1 1 1 - 2 は、図 1 に示した監視部 1 1 1 としての機能に相当する。

L P C 1 1 1 - 1 は、C P U 1 2 が F P G A 1 1 にアクセスするためのインタフェース制御を行なう。

30

W D T 1 1 1 - 2 は、Watch Dog Timeout 1 ( W D T O [ 1 ] ) 1 1 1 a , W D T O [ 2 ] 1 1 1 b , W D T O [ 3 ] 1 1 1 c 及びレジスタ 1 1 1 d の各モジュールを備える。C P U 1 2 は、L P C 1 1 1 - 1 を経由して、例えば 1 バイトのレジスタ 1 1 1 d に定期的な書き込み（ウォッチドックライト）を発行する。これにより、W D T 1 1 1 - 2 は、C P U 1 2 が正常に動作していると認識する。

【 0 0 3 1 】

W D T O [ 1 ] 1 1 1 a は、レジスタ 1 1 1 d への書き込みが所定時間ない（ウォッチドックタイム [ 1 ] が満了した）場合に、C P U 1 2 に対して N M I を発行し、I 2 C 1 1 2 に対してログ情報採取のリクエストを発行する。

40

W D T O [ 2 ] 1 1 1 b は、レジスタ 1 1 1 d への書き込みが所定時間ない（ウォッチドックタイム [ 2 ] が満了した）場合に、C P U 1 2 に対してソフトウェアリセット（ソフトリセット）の指示を発行し、I 2 C 1 1 2 に対してログ情報採取のリクエストを発行する。

【 0 0 3 2 】

W D T O [ 3 ] 1 1 1 c は、レジスタ 1 1 1 d への書き込みが所定時間ない（ウォッチドックタイム [ 3 ] が満了した）場合に、C P U 1 2 に対してハードウェアリセット（ハードリセット）の指示を発行し、I 2 C 1 1 2 に対してログ情報採取のリクエストを発行する。

以下、W D T O [ 1 ] 1 1 1 a , W D T O [ 2 ] 1 1 1 b 及び W D T O [ 3 ] 1 1 1 c

50

のリクエストによって採取されるログ情報をログ情報 [ 1 ] , ログ情報 [ 2 ] 及びログ情報 [ 3 ] とそれぞれいう。

【 0 0 3 3 】

I 2 C 1 1 2 は、図 1 に示した情報採取部 1 1 2 としての機能に相当し、Request ( R E Q ) 1 1 2 a , Finite State Machine ( F S M ) 1 1 2 b , I F 1 1 2 c 及びレジスタ 1 1 2 d の各モジュールを備える。

R E Q 1 1 2 a は、W D T O [ 1 ] 1 1 1 a , W D T O [ 2 ] 1 1 1 b 又は W D T O [ 3 ] 1 1 1 c によるログ情報採取のリクエストをトリガとして、ログ情報採取リクエスト制御を行なう。

【 0 0 3 4 】

F S M 1 1 2 b は、R E Q 1 1 2 a によるログ情報採取リクエスト制御に基づき、スイッチ 1 5 ( S W ; 図 3 を用いて後述 ) の O N / O F F の切り替えを行ない、データリードサイクルの状態管理を行なう。つまり、F S M 1 1 2 b は、スイッチ制御を行ない、F P G A 1 1 が I 2 C 制御を行なうための経路を有効にする。

I F 1 1 2 c は、I 2 C インタフェース制御を行なう。具体的には、I F 1 1 2 c は、1 つ又は複数 ( 図 3 を用いて後述する例では 3 つ ) のデバイス 1 4 から例えば 1 キロバイトのログ情報 [ 1 ] ~ [ 3 ] をそれぞれ採取する。

【 0 0 3 5 】

そして、I 2 C 1 1 2 は、I F 1 1 2 c を介して各デバイス 1 4 から採取したログ情報を例えば 32 バイトのレジスタ 1 1 2 d に順次格納し、格納したログ情報を例えば 8 バイト単位で N I F 1 1 3 に順次転送する。

N I F 1 1 3 は、図 1 に示した第 1 格納処理部 1 1 3 a 及び第 2 格納処理部 1 1 3 b としての機能に相当する。N I F 1 1 3 は、N V R A M ( 不揮発性メモリ ) 制御を行ない、R E Q 1 1 3 - 1 及び I F 1 1 3 - 2 の各モジュールを備える。

【 0 0 3 6 】

R E Q 1 1 3 - 1 は、N V R A M 1 3 に対する書き込み / 読み出しのリクエストを受け付ける。R E Q 1 1 3 - 1 が受付可能なリクエストの種類には、例えば、Write from OwnCM(I2C) , Write from OtherCM(COM) , Write to OtherCM(COM) 及び Read from CPU がある。

Write from OwnCM(I2C) は、自系の C M 1 0 において I 2 C 1 1 2 を介して各デバイス 1 4 から採取されたログ情報 [ 1 ] ~ [ 3 ] を N V R A M 1 3 に格納するリクエストである。Write from OtherCM(COM) は、他系の C M 1 0 から C O M 1 1 4 - 1 を介して受信したログ情報 [ 1 ] ~ [ 3 ] を N V R A M 1 3 に格納するリクエストである。Write to OtherCM(COM) は、自系の C M 1 0 において採取されたログ情報 [ 1 ] ~ [ 3 ] を他系の C M 1 0 に転送するリクエストである。そして、Read from CPU は、自系の C P U 1 2 から L P C 1 1 1 - 1 を介して N V R A M 1 3 が格納する種々のデータを読み出すリクエストである。

【 0 0 3 7 】

つまり、R E Q 1 1 3 - 1 が Write from OwnCM(I2C) を受け付ける場合には、N I F 1 1 3 は、図 1 に示した第 1 格納処理部 1 1 3 a として機能する。そして、N I F 1 1 3 は、I 2 C 1 1 2 からログ情報 [ 1 ] ~ [ 3 ] を受信すると、N V R A M 1 3 に対する書き込みを開始する。一方、R E Q 1 1 3 - 1 が Write from OtherCM(COM) を受け付ける場合には、N I F 1 1 3 は、図 1 に示した第 2 格納処理部 1 1 3 b として機能する。そして、N I F 1 1 3 は、C O M 1 1 4 - 1 からログ情報 [ 1 ] ~ [ 3 ] を受信すると、N V R A M 1 3 に対する書き込みを開始する。また、全てのログ情報 [ 1 ] ~ [ 3 ] についての採取及び N V R A M 1 3 に対する書き込みが完了すると、N I F 1 1 3 は Write to OtherCM(COM) を受け付ける。そして、N I F 1 1 3 は、N V R A M 1 3 からログ情報 [ 1 ] ~ [ 3 ] を読み出し、他系 ( 正常系 ) への送信を開始する。

【 0 0 3 8 】

I F 1 1 3 - 2 は、N V R A M インタフェース制御を行なう。N I F 1 1 3 は、I F 1 1 3 - 2 を介してログ情報 [ 1 ] ~ [ 3 ] の読み書きを N V R A M 1 3 に対して行なう。

10

20

30

40

50

COM 114 - 1 は、他系コミュニケーション制御を行ない、Transmission Controller ( T C T L ) 114 a 及びReceive Controller ( R C T L ) 114 b の各モジュールを備える。

【 0039 】

T C T L 114 a は、図 1 に示した送信部 114 a としての機能に相当し、トランスファ制御を行なう。具体的には、T C T L 114 a は、N I F 113 から受信したログ情報 [ 1 ] ~ [ 3 ] を P I F 114 - 2 を介して他系の C M 10 に転送する。図 2 に示す例において、T C T L 114 a は、ログ情報 [ 1 ] ~ [ 3 ] を送信データ ( T X D A T A ) 信号とし、クロック ( C L K ) 信号とともに送信する。

【 0040 】

R C T L 114 b は、図 1 に示した受信部 114 b としての機能に相当し、レシーバ制御を行なう。具体的には、R C T L 114 b は、他系の C M 10 から P I F 114 - 2 を介して受信したログ情報 [ 1 ] ~ [ 3 ] を N I F 113 に転送する。図 2 に示す例において、R C T L 114 b は、ログ情報 [ 1 ] ~ [ 3 ] を含む受信データ ( R X D A T A ) 信号をクロック ( C L K ) 信号とともに受信する。

【 0041 】

P I F 114 - 2 は、他系通信プロトコルインタフェース制御を行なう。他系通信プロトコルインタフェース制御で用いられるパケットについては、図 5 及び図 6 を用いて後述する。

そして、F P G A 11 は、図 1 に示した再起動処理部 115 としての機能に相当するモジュール ( 不図示 ) を備える。当該モジュールは、他系 ( 正常系 ) へのログ情報 [ 1 ] ~ [ 3 ] の送信が完了すると、自系の C M 10 を再起動させる。

【 0042 】

図 3 は、実施形態の一例としてのストレージ装置が備える C M におけるログ情報収集処理を例示する図である。

図 3 においては、本実施形態の一例としてのストレージ装置 1 が備える C M # 0 及び C M # 1 を例示している。また、図 3 に示す例においては、C M # 0 を異常系とし、C M # 1 を正常系とする。

【 0043 】

図 3 においては、簡単のため、C M # 1 が備えるデバイス 14 , メモリ 16 , I O C 17 及びエキスパンダ 18 の図示を省略している。また、C M # 1 が備えるメモリ 16 , I O C 17 及びエキスパンダ 18 の図示も省略し、C M # 1 は 3 つのデバイス ( デバイス # 0 ~ # 2 , 監視対象装置 ) 14 及びスイッチ ( S W ) 15 を備えることとしている。

以下、3 つのデバイスのうち 1 つを特定する必要があるときには「デバイス # 0 」, 「デバイス # 1 」又は「デバイス # 2 」と表記するが、任意のデバイスを指すときには「デバイス 14 」と表記する。

【 0044 】

C M # 0 の F P G A 11 と C M # 1 の F P G A 11 とは、F P G A 間通信により互いに通信可能に接続される。また、各 C M 10 において、F P G A 11 と C P U 12 とは例えばバス線を介して互いに通信可能に接続され、F P G A 11 と不揮発性メモリ 13 とも例えばバス線を介して互いに通信可能に接続される。

C M # 0 においては、C P U 12 は、Peripheral Component Interconnect Express ( P C I e ) や Serial Attached Small computer system interface ( S A S ) 等の 3 つの高速 I F 121 及び低速 I F 122 を備える。また、各デバイス 14 は、高速 I F 141 及び低速 I F 142 を備える。そして、C P U 12 の各高速 I F 121 と各デバイス 14 の高速 I F 141 とは、データ通信用高速バスによって互いに通信可能に接続される。また、C P U 12 の低速 I F 122 と各デバイス 14 の低速 I F 142 とは、S W 15 を介して、ログ採取用低速バスによって互いに通信可能に接続される。更に、F P G A 11 と各デバイス 14 の低速 I F 142 とも、S W 15 を介して、ログ採取用低速バスによって互いに通信可能に接続される。

10

20

30

40

50

## 【 0 0 4 5 】

図 3 に示す例においては、C M # 0 の C P U 1 2 の高速 I F 1 2 1 とデバイス # 0 の高速 I F 1 4 1 との間のデータ通信用高速バスで障害が発生している（符号 A 1 参照）。そして、発生した障害が C P U 1 2 に伝搬し、C P U 1 2 がハングアップ状態になっている（符号 A 2 参照）。このように、C P U 1 2 がハングアップ状態になった場合には、C P U 1 2 によるログ採取用低速バスを用いたログ情報収集処理が実行できなくなり、デバイス 1 4 からログ情報を採取できない。

## 【 0 0 4 6 】

そこで、本実施形態の一例においては、C P U 1 2 におけるハングアップが発生した場合に、ハードウェアである F P G A 1 1 がログ情報の採取を自動実行し、採取したログ情報を正常系の C M # 1 に送信する。

具体的には、F P G A 1 1 は、C P U 1 2 における異常発生を検知し、C P U 1 2 と各デバイス 1 4 とをログ採取用低速バスで接続している S W 1 5 の経路を F P G A 1 1 と各デバイス 1 4 とが接続されるように切り替える（符号 A 3 参照）。言い換えれば、F P G A 1 1 は、図 2 を用いて説明したウォッチドックタイム [ 1 ] ~ [ 3 ] のいずれかが満了した場合に、S W 1 5 を操作して C P U 1 2 をログ採取用低速バスから切断する。

## 【 0 0 4 7 】

F P G A 1 1 は、各デバイス 1 4 からログ情報を採取し（符号 A 4 参照）、採取したログ情報を不揮発性メモリ 1 3 に格納する（符号 A 5 参照）。言い換えれば、F P G A 1 1 は、ログ情報採取処理においてマスターとなり、ログ採取用低速バスを介してスレーブとしてのデバイス 1 4 にアクセスすることにより、デバイス 1 4 からログ情報を採取する。

ここで、C M # 0 の C P U 1 2 においては異常が発生しているため、F P G A 1 1 によって採取されたログ情報を異常系の C M # 0 で直ちに解析することはできない。そこで、F P G A 1 1 は、ウォッチドックタイムアウトから復帰した（C P U 1 2 の正常作動を認識した）場合や、C P U 1 2 のハングアップが確定した場合に、採取したログ情報を不揮発性メモリ 1 3 から読み出す。そして、F P G A 1 1 は、不揮発性メモリ 1 3 から読み出したログ情報を正常起動している他系の C M # 1 に F P G A 間通信を用いて送信する（符号 A 6 参照）。

## 【 0 0 4 8 】

正常系の C M # 1 の F P G A 1 1 は、異常系の C M # 0 から送信されたログ情報を受信し、不揮発性メモリ 1 3 に格納し（符号 A 7 参照）、ログ情報の受信完了を自系の C P U 1 2 に通知する。

C M # 1 の C P U 1 2 は、F P G A 1 1 を介して自系の不揮発性メモリ 1 3 からログ情報を読み出し（符号 A 8 参照）、読み出したログ情報を装置ログとして例えばメモリ 1 6（図 3 には不図示）に格納する。

## 【 0 0 4 9 】

図 4 は、実施形態の一例としてのストレージ装置におけるログ情報送受信処理を説明する図である。

図 4 においては、本実施形態の一例としてのストレージ装置 1 が備える C M # 0 及び C M # 1 の機能構成のうち一部を例示している。具体的には、図 1 に示した各 C M 1 0 が備える機能構成のうち、F P G A 1 1 及び不揮発性メモリ（N V R A M）1 3 のみを示している。また、各 C M 1 0 の F P G A 1 1 においては、図 2 に示した F P G A 1 1 が備える機能構成のうち、N I F 1 1 3 及び C O M 1 1 4 - 1 のみを示している。

## 【 0 0 5 0 】

図 4 に示す例においては、C O M 1 1 4 - 1 は、図 2 に示した T C T L 1 1 4 a 及び R C T L 1 1 4 b に加えて、バッファ（B U F）[ 0 ] 1 1 4 c 及び B U F [ 1 ] 1 1 4 d を備える。言い換えれば、C O M 1 1 4 - 1 の一部は、図 4 に示すように、Block Buffer（B B U F）として機能する。

異常系の F P G A 1 1 の N I F 1 1 3 は、Write to OtherCM(COM)を受け付けると、N V R A M 1 3 からログ情報を読み出し、C O M 1 1 4 - 1 の B U F [ 0 ] 1 1 4 c に格納

10

20

30

40

50

する（符号 B 1 参照）。N V R A M 1 3 から読み出されるログ情報は、例えば、データ（D T）が8ビット（1バイト）であり、アドレス（A D）が24ビット（3バイト）である。

【 0 0 5 1 】

B U F [ 0 ] 1 1 4 c は、格納したログ情報を T C T L 1 1 4 a に転送する（符号 B 2 参照）。

T C T L 1 1 4 a は、ログ情報を図 5 及び図 6 を用いて後述するパケットとして正常系の F P G A 1 1 宛てに送信する（符号 B 3）。T C T L 1 1 4 a は、T X \_ D A T A としてパケットを送信し、T X \_ C L K としてクロック信号を送信する。

【 0 0 5 2 】

正常系の F P G A 1 1 の R C T L 1 1 4 b は、異常系の F P G A 1 1 が送信したパケットを受信し、ログ情報として B U F [ 1 ] 1 1 4 d に格納する（符号 B 4 参照）。R C T L 1 1 4 b は、R X \_ D A T A としてパケットを受信し、R X \_ C L K としてクロック信号を受信する。

B U F [ 1 ] 1 1 4 d は格納したログ情報を N I F 1 1 3 に転送し、N I F 1 1 3 は Write from OtherCM(COM)を受け付けることによってログ情報を N V R A M 1 3 に格納する（符号 B 5 参照）。N V R A M 1 3 に書き込まれるログ情報は、例えば、データ（D T）が8ビット（1バイト）であり、アドレス（A D）が24ビット（3バイト）である。

【 0 0 5 3 】

図 5 及び図 6 は、実施形態の一例としてのストレージ装置が使用するパケットを例示する図である。

本実施形態の一例におけるログ情報送受信処理に用いるパケットは、図 5 に示すように、64ビット（8バイト）で定義される。具体的には、63~60ビットが Start Of Frame（S O F）であり、59~52ビットが Packet ID（P I D）であり、51~44ビットが Serial ID（S I D）であり、43~12ビットが Payload（送信データ）であり、11~4ビットが Cyclic Redundancy Check（C R C；保護コード）であり、3~0ビットが End Of Frame（E O F）である。

【 0 0 5 4 】

図 5 に示すように、S O F には“1111”が設定される。また、図 5 に示すように P I D の59~56ビットにはそれぞれ“0”が設定され、図 6 に示すように P I D の55~52ビットには“00”~“0c”が設定される。更に、図 6 に示すように、S I D には“0x00”~“0x0FF”が設定される。

図 5 に示すように、Payloadは領域（4）~（1）に分割され、領域（4）~（1）は Payloadにおける31~24, 23~16, 15~8及び7~0ビットにそれぞれ対応する。そして、図 6 に示すように、P I D が“00”~“03”の場合には、Payloadの領域（4）にログ情報 [ 1 ] に関する1キロバイトのデータが格納される。また、P I D が“04”~“07”の場合にはPayloadの領域（4）にログ情報 [ 2 ] に関する1キロバイトのデータが格納され、P I D が“08”~“0C”の場合にはPayloadの領域（4）にログ情報 [ 3 ] に関する1キロバイトのデータが格納される。更に、Payloadの領域（3）は拡張（Reserve）領域であり、Payloadの領域（2）及び（1）には N V R A M 1 3 におけるアドレスが設定される。

【 0 0 5 5 】

図 5 に示す6つの両矢印は C R C 演算単位であり、各 C R C 演算単位における C R C 演算結果が C R C に設定される。そして、図 5 に示すように、E O F には“0000”が設定される。

なお、本実施形態の一例におけるログ情報送受信処理に用いるパケットの転送性能は、図 6 に示すように、1.0msである。

【 0 0 5 6 】

〔 A - 2 〕 動作

上述の如く構成された実施形態の一例としてのストレージ装置におけるログ情報収集処理を図 7 に示すフローチャート（ステップ S 1 ~ S 1 6）に従って説明する。

10

20

30

40

50

WDT111-2は、CPU12からレジスタ111dに対する定期的な書き込みを検知できないことにより、CPU12における障害発生を検知する(ステップS1)。

【0057】

WDTO[1]111aは、ウォッチドックタイム[1]をカウントする(ステップS2)。

CPU12からレジスタ111dに対する書き込みが所定時間(例えば5秒)以内であった場合には(ステップS2の“カウントクリア”ルート参照)、ウォッチドックタイム[1]のカウントをクリアしてステップS2に戻る。つまり、ウォッチドックタイム[1]のカウントを繰り返し行なう。

【0058】

一方、CPU12からレジスタ111dに対する書き込みがない状態で所定時間(例えば5秒)経過した場合には(ステップS2の“5秒”ルート参照)、WDTO[1]111aは、CPU12に対してNMIを発行する(ステップS3)。

I2C112は、各デバイス14(例えば図3に示したデバイス#0~#2)からのログ情報[1]の採取(ダンプ[1])を開始する(ステップS4)。

【0059】

CPU12は、リカバリを実行する(ステップS5)。

リカバリによってCPU12が復帰した場合には(ステップS5の“復帰”ルート参照)、TCTL114aはFPGA間通信によって採取したログ情報[1]を他系のFPGA11に送信するとともに(ステップS15)、ステップS1に戻り待機する。

一方、リカバリに失敗した場合には(ステップS5の“リカバリ失敗”ルート参照)、WDTO[2]111bは、ウォッチドックタイム[2]をカウントする(ステップS6)。

【0060】

CPU12からレジスタ111dに対する書き込みが所定時間(例えば5秒)以内であった場合には(ステップS6の“カウントクリア”ルート参照)、ウォッチドックタイム[2]のカウントをクリアしてステップS6に戻る。つまり、ウォッチドックタイム[2]のカウントを再開する。

一方、CPU12からレジスタ111dに対する書き込みがない状態で所定時間(例えば5秒)経過した場合には(ステップS6の“5秒”ルート参照)、WDTO[2]111bは、CPU12に対してソフトウェアリセットの指示を発行する(ステップS7)。

【0061】

I2C112は、各デバイス14(例えば図3に示したデバイス#0~#2)からのログ情報[2]の採取(ダンプ[2])を開始する(ステップS8)。

CPU12は、リカバリを実行する(ステップS9)。

リカバリによってCPU12が復帰した場合には(ステップS9の“復帰”ルート参照)、TCTL114aはFPGA間通信によって採取したログ情報[1]及び[2]を他系のFPGA11に送信するとともに(ステップS15)、ステップS1に戻り待機する。

【0062】

一方、リカバリに失敗した場合には(ステップS9の“リカバリ失敗”ルート参照)、WDTO[3]111cは、ウォッチドックタイム[3]をカウントする(ステップS10)。

CPU12からレジスタ111dに対する書き込みが所定時間(例えば10秒)以内であった場合には(ステップS10の“カウントクリア”ルート参照)、ウォッチドックタイム[3]のカウントをクリアしてステップS10に戻る。つまり、ウォッチドックタイム[3]のカウントを再開する。

【0063】

一方、CPU12からレジスタ111dに対する書き込みがない状態で所定時間(例えば10秒)経過した場合には(ステップS10の“10秒”ルート参照)、WDTO[3]

10

20

30

40

50

] 1 1 1 c は、C P U 1 2 に対してハードウェアリセットの指示を発行する（ステップ S 1 1）。

I 2 C 1 1 2 は、各デバイス 1 4（例えば図 3 に示したデバイス # 0 ~ # 2）からのログ情報 [ 3 ] の採取（ダンプ [ 3 ]）を開始する（ステップ S 1 2）。

【 0 0 6 4 】

C P U 1 2 は、リカバリを実行する（ステップ S 1 3）。

リカバリによって C P U 1 2 が復帰した場合には（ステップ S 1 3 の“復帰”ルート参照）、T C T L 1 1 4 a は F P G A 間通信によって採取したログ情報 [ 1 ]、[ 2 ] 及び [ 3 ] を他系の F P G A 1 1 に送信するとともに（ステップ S 1 5）、ステップ S 1 に戻り待機する。

【 0 0 6 5 】

一方、リカバリに失敗した場合には（ステップ S 1 3 の“リカバリ失敗”ルート参照）、F P G A 1 1 は、C P U 1 2 のハングアップが確定したと判断する（ステップ S 1 4）。

そして、T C T L 1 1 4 a は採取したログ情報 [ 1 ]、[ 2 ] 及び [ 3 ] を F P G A 間通信によって他系の F P G A 1 1 に送信するとともに（ステップ S 1 5）、F P G A 1 1 はファームウェア処理によって自系の C M 1 0 を D C - O F F 状態にする（ステップ S 1 6）。つまり、F P G A 1 1 は、自系の C M 1 0 を再起動する。なお、F P G A 1 1 は、障害が発生した箇所（被疑箇所）及び障害が伝搬した箇所である自系のデバイス 1 4 及び C P U 1 2 のみを再起動させても良い。

【 0 0 6 6 】

次に、上述の如く構成された実施形態の一例としてのストレージ装置におけるログ情報収集処理を図 8 に例示するシーケンス図（ステップ S 2 1 ~ S 5 1）に従って説明する。

図 8 に示す C M # 0 及び C M # 1 は図 3 に示した C M # 0 及び C M # 1 とそれぞれ同様の機能構成を備え、C M # 0 が異常系であり、C M # 1 が正常系である。

C M # 0 の C P U 1 2 は、F P G A 1 1 に対して定期的にウォッチドックライトを行なう。F P G A 1 1 の W D T O [ 1 ] 1 1 1 a、W D T O [ 2 ] 1 1 1 b 及び W D T O [ 3 ] 1 1 1 c は、C P U 1 2 からのウォッチドックライトにより C P U 1 2 が正常に作動しているとそれぞれ認識する（ステップ S 2 1 ~ S 2 3）。

【 0 0 6 7 】

ここで、デバイス # 1 において異常が発生し（ステップ S 2 4）、発生した異常が C P U 1 2 に伝搬する（ステップ S 2 5）。

F P G A 1 1 の W D T O [ 1 ] 1 1 1 a は、ウォッチドックタイム [ 1 ] の満了により、C P U 1 2 に対して N M I を発行する（ステップ S 2 6）。

F P G A 1 1 の I 2 C 1 1 2 は、S W 1 5 を切り替えることにより、F P G A 1 1 と各デバイス 1 4 との経路を O N にする（ステップ S 2 7）。

【 0 0 6 8 】

F P G A 1 1 の I 2 C 1 1 2 は、デバイス # 0 ~ # 2 からログ情報 [ 1 ] を採取する（ステップ S 2 8 ~ S 3 0）。

F P G A 1 1 の N I F 1 1 3 は、採取したログ情報 [ 1 ] を N V R A M 1 3 に格納する（ステップ S 3 1）。

F P G A 1 1 の I 2 C 1 1 2 は、S W 1 5 を切り替えることにより、F P G A 1 1 と各デバイス 1 4 との経路を O F F にする（ステップ S 3 2）。

【 0 0 6 9 】

F P G A 1 1 の W D T O [ 2 ] 1 1 1 b は、ウォッチドックタイム [ 2 ] の満了により、C P U 1 2 に対してソフトウェアリセットを指示する（ステップ S 3 3）。

F P G A 1 1 の I 2 C 1 1 2 は、S W 1 5 を切り替えることにより、F P G A 1 1 と各デバイス 1 4 との経路を O N にする（ステップ S 3 4）。

F P G A 1 1 の I 2 C 1 1 2 は、デバイス # 0 ~ # 2 からログ情報 [ 2 ] を採取する（ステップ S 3 5 ~ S 3 7）。

10

20

30

40

50

## 【 0 0 7 0 】

F P G A 1 1 の N I F 1 1 3 は、採取したログ情報 [ 2 ] を N V R A M 1 3 に格納する (ステップ S 3 8 )。

F P G A 1 1 の I 2 C 1 1 2 は、S W 1 5 を切り替えることにより、F P G A 1 1 と各デバイス 1 4 との経路を O F F にする (ステップ S 3 9 )。

F P G A 1 1 の W D T O [ 3 ] 1 1 1 b は、ウォッチドックタイム [ 3 ] の満了により、C P U 1 2 に対してハードウェアリセットを指示する (ステップ S 4 0 )。

## 【 0 0 7 1 】

F P G A 1 1 の I 2 C 1 1 2 は、S W 1 5 を切り替えることにより、F P G A 1 1 と各デバイス 1 4 との経路を O N にする (ステップ S 4 1 )。

F P G A 1 1 の I 2 C 1 1 2 は、デバイス # 0 ~ # 2 からログ情報 [ 3 ] を採取する (ステップ S 4 2 ~ S 4 4 )。

F P G A 1 1 の N I F 1 1 3 は、採取したログ情報 [ 3 ] を N V R A M 1 3 に格納する (ステップ S 4 5 )。

## 【 0 0 7 2 】

F P G A 1 1 の I 2 C 1 1 2 は、S W 1 5 を切り替えることにより、F P G A 1 1 と各デバイス 1 4 との経路を O F F にする (ステップ S 4 6 )。

F P G A 1 1 は、C P U 1 2 のハングアップが確定したと判断する (ステップ S 4 7 )

F P G A 1 1 の T C T L 1 1 4 a は、採取したログ情報 [ 1 ] , [ 2 ] 及び [ 3 ] を N V R A M 1 3 から読み出し、正常系である C M # 1 の F P G A 1 1 に送信する (ステップ S 4 8 )。

## 【 0 0 7 3 】

C M # 1 の F P G A 1 1 は、受信したログ情報 [ 1 ] , [ 2 ] 及び [ 3 ] を N V R A M 1 3 に格納する (ステップ S 4 9 )。

C M # 0 の F P G A 1 1 は、自系の C M # 0 を再起動する (ステップ S 5 0 )。なお、F P G A 1 1 は、障害が発生した箇所 (被疑箇所) 及び障害が伝搬した箇所である自系のデバイス 1 4 及び C P U 1 2 のみを再起動させても良い。

## 【 0 0 7 4 】

C M # 1 の C P U 1 2 は、N V R A M 1 3 からエラーログを採取する (ステップ S 5 1 )。

## 〔 A - 3 〕 効果

このように、本実施形態の一例におけるストレージ装置 (情報処理装置) 1 によれば、以下の効果を奏することができる。

## 【 0 0 7 5 】

情報採取部 1 1 2 は、監視部 1 1 1 が処理装置 1 2 における障害発生を検知した場合に、監視対象装置 1 4 からログ情報を採取する。そして、第 1 格納処理部 1 1 3 a は、情報採取部 1 1 2 が採取したログ情報を記憶装置 1 3 に格納する。これにより、処理装置 1 2 の動作不能状態においても監視対象装置 1 4 のログ情報の収集を確実にこなうことができる。また、制御装置 1 0 における障害復旧後や記憶装置 1 3 の取り外し後に、記憶装置 1 3 に格納されたログ情報が解析することができる。

## 【 0 0 7 6 】

送信部 1 1 4 a は、情報採取部 1 1 2 が採取したログ情報を他の制御装置 1 0 に送信する。そして、他の制御装置 1 0 の第 2 格納処理部 1 1 3 b は、送信部 1 1 4 a が送信したログ情報を記憶装置 1 3 に格納する。これにより、正常系の制御装置 1 0 においてログ情報の解析を直ちに開始することができる。また、異常系の制御装置 1 0 について、障害発生時の被疑箇所を特定するために、異常系の制御装置 1 0 を回収し、測定機器に取り付け、処理装置 1 2 の動作不能状態を再現させ、手動でログ情報を採取する必要がない。つまり、被疑箇所の特定に要する工数や時間、コストを削減することができ、被疑箇所の特定が容易になる。更に、異常系及び正常系の制御装置 1 0 の記憶装置 1 3 にログ情報が二重化

10

20

30

40

50

されて格納されるため、ログ情報収集処理における信頼性を向上することができる。

【 0 0 7 7 】

再起動処理部 1 1 5 は、送信部 1 1 4 a がログ情報を他の制御装置 1 0 に送信した後に、処理装置 1 2 及び監視対象装置 1 4 を再起動させる。これにより、異常系の制御装置 1 0 における再起動によって記憶装置 1 3 に格納したログ情報が消失した場合においても、正常系の制御装置 1 0 においてログ情報を解析することができる。

処理装置強制割り込み処理とソフトウェアリセット処理とハードウェアリセット処理とを実行する複数のタイミングにおいて、情報採取部 1 1 2 によるログ情報の採取と、第 1 格納処理部 1 1 3 a によるログ情報の格納とを、繰り返し行なう。これにより、各リカバリ処理後における監視対象装置 1 4 の状態を示すログ情報 [ 1 ] ~ [ 3 ] を採取することができ、被疑箇所の特特定が容易になる。

10

【 0 0 7 8 】

〔 B 〕変形例

開示の技術は上述した実施形態に限定されるものではなく、本実施形態の趣旨を逸脱しない範囲で種々変形して実施することができる。本実施形態の各構成及び各処理は、必要に応じて取捨選択することができ、あるいは適宜組み合わせてもよい。

上述した実施形態の一例においては、異常系の F P G A 1 1 は、全てのログ情報 [ 1 ] ~ [ 3 ] を N V R A M 1 3 に格納した後に、ログ情報 [ 1 ] ~ [ 3 ] を正常系の F P G A 1 1 に転送することとしたが（例えば図 8 のステップ S 4 8 参照）、これに限定されるものではない。

20

【 0 0 7 9 】

本実施形態の変形例においては、異常系の F P G A 1 1 は、各ログ情報 [ 1 ] ~ [ 3 ] を N V R A M 1 3 に格納した直後（例えば、図 8 のステップ S 3 1 , S 3 8 及び S 4 5 の直後）に、各ログ情報 [ 1 ] ~ [ 3 ] を正常系の F P G A 1 1 に逐次転送する。

そして、異常系の F P G A 1 1 は、 C P U 1 2 のハングアップが確定した後（例えば図 8 のステップ S 4 7 の後）に、全てのログ情報 [ 1 ] ~ [ 3 ] の転送が完了したことを示す完了通知を正常系の F P G A 1 1 に送信する。

【 0 0 8 0 】

このように、本実施形態の変形例におけるストレージ装置（情報処理装置） 1 によっても、上述した実施形態の一例と同様の効果を奏することができる他、以下の効果を奏することができる。

30

各ログ情報 [ 1 ] ~ [ 3 ] を上述した実施形態の一例における場合よりも早く正常系の C M 1 0 に送信することができ、正常系の C M 1 0 は、ログ情報の解析を早期に開始することができ、他系の C M 1 0 で異常が発生したことを示すアラート等を迅速に発行することができる。

【 0 0 8 1 】

〔 C 〕付記

（付記 1）

監視対象装置と通信可能に接続される制御装置を有する情報処理装置であって、

前記制御装置は、

40

処理装置における障害発生を監視する監視部と、

前記監視部が前記障害発生を検知した場合に、前記監視対象装置からログ情報を採取する情報採取部と、

前記情報採取部が採取した前記ログ情報を第 1 記憶装置に格納する第 1 格納処理部と、を備えることを特徴とする、情報処理装置。

【 0 0 8 2 】

（付記 2）

当該情報処理装置は、複数の制御装置を備え、

前記制御装置は、前記情報採取部が採取した前記ログ情報を前記複数の制御装置のうち他の制御装置に送信する送信部

50

を備え、

前記他の制御装置は、前記送信部が送信した前記ログ情報を第2記憶装置に格納する第2格納処理部

を備えることを特徴とする、付記1に記載の情報処理装置。

【0083】

(付記3)

前記送信部は、前記処理装置の動作不能状態が確定した後に、前記ログ情報を前記他の制御装置に送信する、

ことを特徴とする、付記2に記載の情報処理装置。

(付記4)

前記制御装置は、

前記送信部が前記ログ情報を前記他の制御装置に送信した後に、前記処理装置及び前記監視対象装置を再起動させる再起動処理部

を備えることを特徴とする、付記2又は3に記載の情報処理装置。

【0084】

(付記5)

前記制御装置は、

複数のタイミングにおいて、前記情報採取部による前記ログ情報の採取と、前記第1格納処理部による前記ログ情報の格納とを、繰り返し行なう、

ことを特徴とする、付記1～4のいずれか1項に記載の情報処理装置。

【0085】

(付記6)

前記制御装置は、

処理装置強制割り込み処理とソフトウェアリセット処理とハードウェアリセット処理とを含む複数種類のリカバリ処理機能を備え、

各リカバリ処理を行なうタイミングを前記複数のタイミングとする、ことを特徴とする、付記5に記載の情報処理装置。

【0086】

(付記7)

監視対象装置と通信可能に接続される制御装置であって、

処理装置における障害発生を監視する監視部と、

前記監視部が前記障害発生を検知した場合に、前記監視対象装置からログ情報を採取する情報採取部と、

前記情報採取部が採取した前記ログ情報を第1記憶装置に格納する第1格納処理部と、を備えることを特徴とする、制御装置。

【0087】

(付記8)

前記情報採取部が採取した前記ログ情報を当該制御装置と通信可能に接続される他の制御装置に送信する送信部

を備えることを特徴とする、付記7に記載の制御装置。

(付記9)

前記送信部は、前記処理装置の動作不能状態が確定した後に、前記ログ情報を前記他の制御装置に送信する、

ことを特徴とする、付記8に記載の制御装置。

【0088】

(付記10)

前記送信部が前記ログ情報を前記他の制御装置に送信した後に、前記処理装置及び前記監視対象装置を再起動させる再起動処理部

を備えることを特徴とする、付記8又は9に記載の制御装置。

(付記11)

10

20

30

40

50

複数のタイミングにおいて、前記情報採取部による前記ログ情報の採取と、前記第 1 格納処理部による前記ログ情報の格納とを、繰り返し行なう、  
ことを特徴とする、付記 7 ~ 10 のいずれか 1 項に記載の制御装置。

【0089】

(付記 12)

処理装置強制割り込み処理とソフトウェアリセット処理とハードウェアリセット処理とを含む複数種類のリカバリ処理機能を備え、

各リカバリ処理を行なうタイミングを前記複数のタイミングとする、  
ことを特徴とする、付記 11 に記載の制御装置。

【0090】

(付記 13)

監視対象装置と通信可能に接続される制御装置を有する情報処理装置におけるログ情報収集方法であって、

前記制御装置は、

処理装置における障害発生を監視し、

前記障害発生を検知した場合に、前記監視対象装置からログ情報を採取し、

採取した前記ログ情報を第 1 記憶装置に格納する、

ことを特徴とする、ログ情報収集方法。

【0091】

(付記 14)

当該情報処理装置は、複数の制御装置を備え、

前記制御装置は、採取した前記ログ情報を前記複数の制御装置のうち他の制御装置に送信し、

前記他の制御装置は、前記制御装置から送信された前記ログ情報を第 2 記憶装置に格納する、

ことを特徴とする、付記 13 に記載のログ情報収集方法。

【0092】

(付記 15)

前記制御装置は、

前記処理装置の動作不能状態が確定した後に、前記ログ情報を前記他の制御装置に送信する、

ことを特徴とする、付記 14 に記載のログ情報収集方法。

【0093】

(付記 16)

前記制御装置は、

前記ログ情報を前記他の制御装置に送信した後に、前記処理装置及び前記監視対象装置を再起動させる、

ことを特徴とする、付記 14 又は 15 に記載のログ情報収集方法。

【0094】

(付記 17)

前記制御装置は、

複数のタイミングにおいて、前記ログ情報の採取と、前記ログ情報の格納とを、繰り返し行なう、

ことを特徴とする、付記 13 ~ 16 のいずれか 1 項に記載のログ情報収集方法。

【0095】

(付記 18)

前記制御装置は、

処理装置強制割り込み処理とソフトウェアリセット処理とハードウェアリセット処理とを含む複数種類のリカバリ処理機能を備え、

各リカバリ処理を行なうタイミングを前記複数のタイミングとする、

10

20

30

40

50

ことを特徴とする、付記 17 に記載のログ情報収集方法。

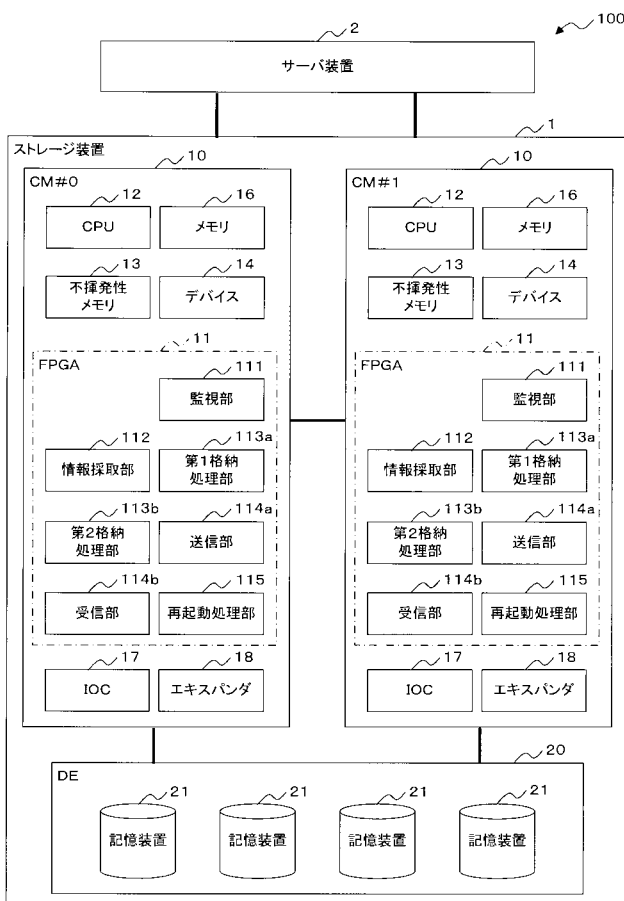
【符号の説明】

【0096】

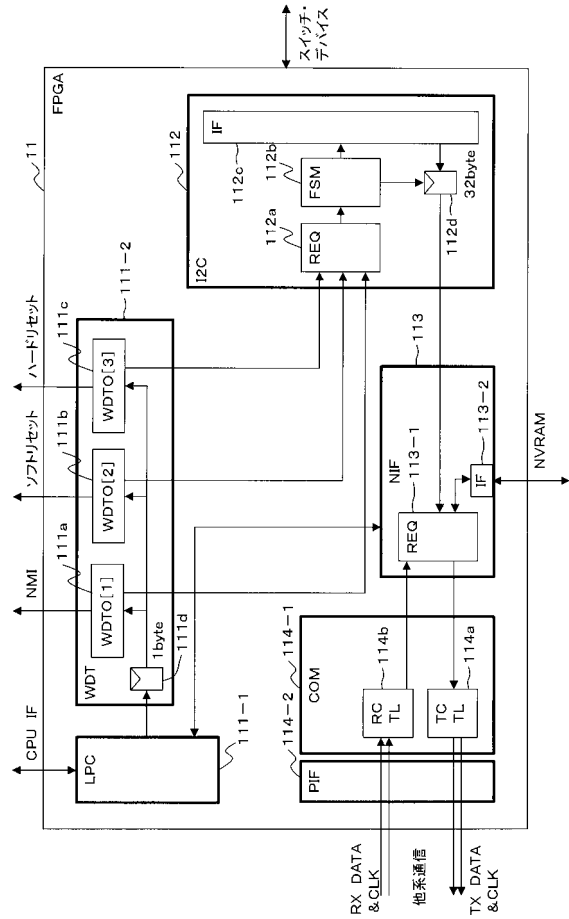
|       |                              |    |
|-------|------------------------------|----|
| 100   | ストレージシステム                    |    |
| 1     | ストレージ装置（情報処理装置）              |    |
| 10    | CM（制御装置）                     |    |
| 11    | FPGA                         |    |
| 111   | 監視部                          |    |
| 111-1 | LPC                          |    |
| 111-2 | WDT                          | 10 |
| 111a  | WDT0[1]                      |    |
| 111b  | WDT0[2]                      |    |
| 111c  | WDT0[3]                      |    |
| 111d  | レジスタ                         |    |
| 112   | 情報採取部（I2C）                   |    |
| 112a  | REQ                          |    |
| 112b  | FSM                          |    |
| 112c  | IF                           |    |
| 112d  | レジスタ                         |    |
| 113   | NIF                          | 20 |
| 113a  | 第1格納処理部                      |    |
| 113b  | 第2格納処理部                      |    |
| 113-1 | REQ                          |    |
| 113-2 | IF                           |    |
| 114-1 | COM                          |    |
| 114a  | 送信部（TCTL）                    |    |
| 114b  | 受信部（RCTL）                    |    |
| 114c  | BUF[0]                       |    |
| 114d  | BUF[1]                       |    |
| 114-2 | PIF                          | 30 |
| 12    | CPU（処理装置）                    |    |
| 121   | 高速IF                         |    |
| 122   | 低速IF                         |    |
| 13    | 不揮発性メモリ（NVRAM；第1記憶装置，第2記憶装置） |    |
| 14    | デバイス（監視対象装置）                 |    |
| 141   | 高速IF                         |    |
| 142   | 低速IF                         |    |
| 15    | SW                           |    |
| 16    | メモリ                          |    |
| 17    | IOC                          | 40 |
| 18    | エキスパンダ                       |    |
| 20    | DE                           |    |
| 21    | 記憶装置                         |    |
| 2     | サーバ装置                        |    |
| 30    | CM                           |    |
| 31    | FPGA                         |    |
| 32    | CPU                          |    |
| 321   | 高速IF                         |    |
| 322   | 低速IF                         |    |
| 33    | 不揮発性メモリ                      | 50 |

- 3 4            デバイス
- 3 4 1        高速 I F
- 3 4 2        低速 I F
- 3 5            S W

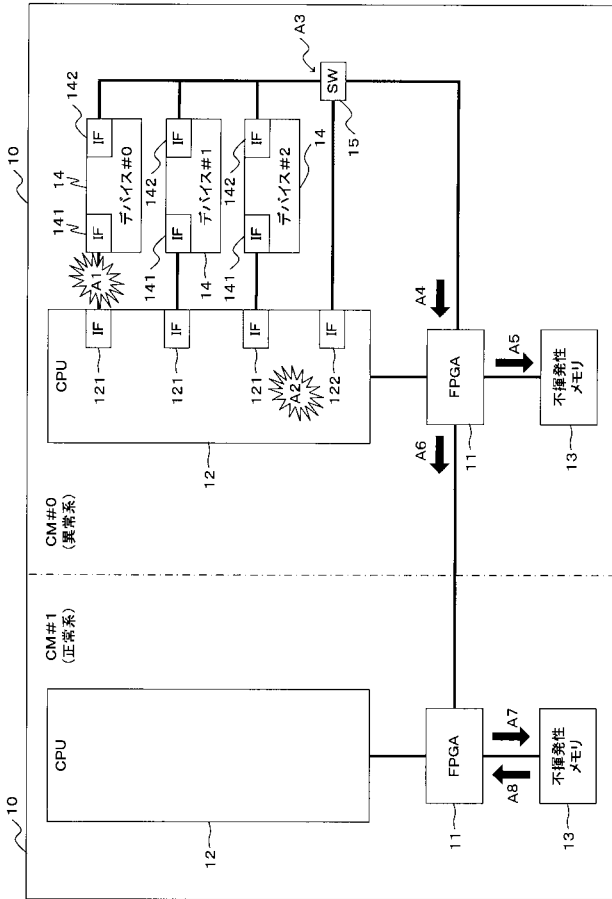
【 図 1 】



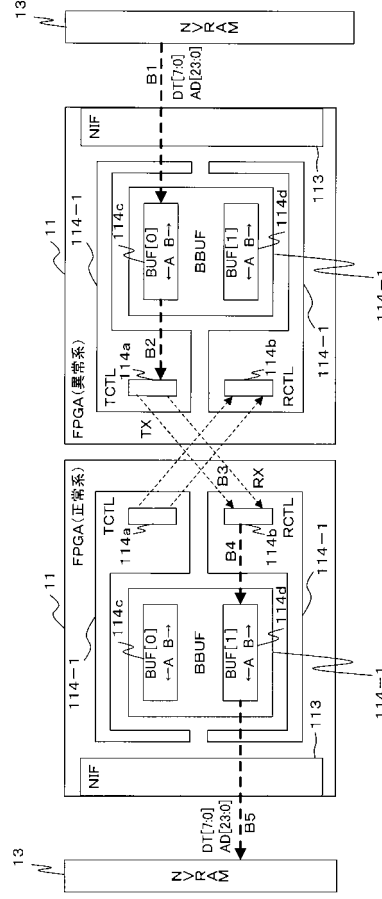
【 図 2 】



【図3】



【図4】



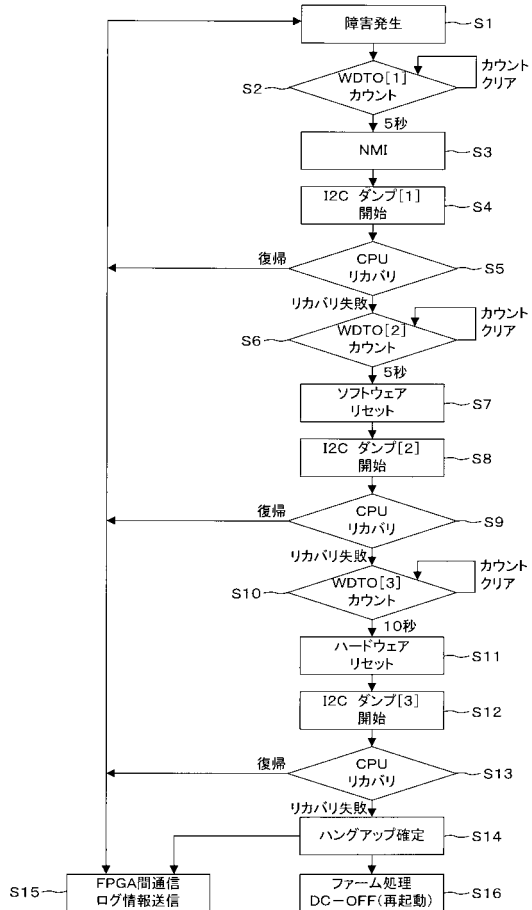
【図5】

| SOF<br>1111 | PID<br>(1 byte)    | SID<br>(1 byte) | Payload (4Byte)                      | CRC<br>(1 byte) | EOF<br>0000 |
|-------------|--------------------|-----------------|--------------------------------------|-----------------|-------------|
|             | CRC<br>演算単位        |                 | (4) 31:24 (3) 23:16 (2) 15:8 (1) 7:0 |                 |             |
| 63:80       | 59:52              | 51:44           | 43:12                                | 11:4            | 3:0         |
|             | 59:56~0<br>(55:52) |                 |                                      |                 |             |

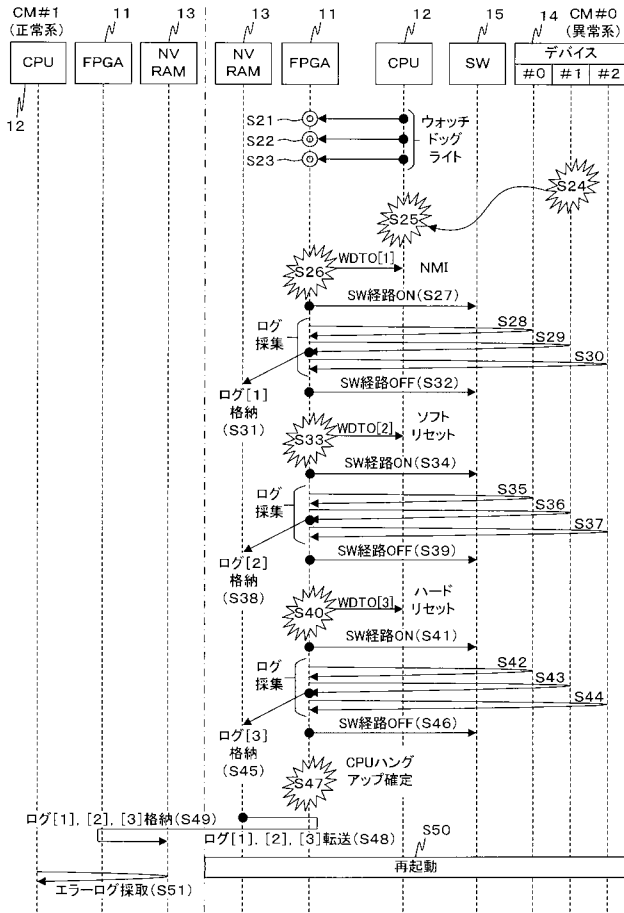
【図6】

| PID           | SID       | Payload   | 転送性能                                  |
|---------------|-----------|---|---------------------------------------|
| 00<br>~<br>03 | 0x00~0xFF | ログ情報 [1]<br>(4) Data (1Kbyte=4x256byte)<br>(3) Reserve<br>(2)-(1) NVRAM Address | 2.5 μs × 256<br>=512 μs × 4<br>=1.0ms |
| 04<br>~<br>07 | 0x00~0xFF | ログ情報 [2]<br>(4) Data (1Kbyte=4x256byte)<br>(3) Reserve<br>(2)-(1) NVRAM Address | 2.5 μs × 256<br>=512 μs × 4<br>=1.0ms |
| 08<br>~<br>0C | 0x00~0xFF | ログ情報 [3]<br>(4) Data (1Kbyte=4x256byte)<br>(3) Reserve<br>(2)-(1) NVRAM Address | 2.5 μs × 256<br>=512 μs × 4<br>=1.0ms |

【図7】



【図8】



【図9】

