

公告本

278220

278220

申請日期	83 年 8 月 24 日
案 號	83107782
類 別	H01L21/331

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體裝置之製造方法
	英 文	Method for manufacturing semiconductor device
二、發明人 創作	姓 名	(1) 竹村保彦
	國 籍	(1) 日本
	住、居所	(1) 日本國神奈川県厚木市長谷九三一の一 フラット厚木二〇八號
三、申請人	姓 名 (名稱)	(1) 半導體能源研究所股份有限公司 株式会社半導体エネルギー研究所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國神奈川県厚木市長谷三九八
	代 表 人 姓 名	(1) 山崎舜平

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本 1993 年 8 月 27 日 5-235461

☒無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

1 . 發明領域：

本發明係關於一種使用薄膜電晶體 (Thin Film Transistor ; 簡稱 T F T) 的半導體裝置，且此 T F T 係安裝在諸如玻璃板等絕緣基底 (substrate) 上；本發明尤係一種可用於主動矩陣式液晶顯示單元或類似矩陣電路的半導體裝置。

2 . 相關技術說明：

使用 T F T 以驅動像素 (pixel) 、影像感測器、三維積體電路、或類似元件之主動矩陣式液晶顯示單元，即為所熟知的設有在玻璃板等絕緣基底上的 T F T 之半導體裝置。

通常將薄膜矽電晶體用來作為安裝在此種裝置上的 T F T 。尤其對高速作業而言，亟須建立一種包含結晶矽半導體的 T F T 之製造方法。藉由形成非結晶半導體薄膜，並在此薄膜上施加熱能 (即退火 (annealing)) ，而產生結晶之方法，即為一般所熟知的得到此種結晶薄膜矽半導體之方法。

利用上述方式所形成的結晶矽薄膜以製造半導體電路時，尚有一些問題存在。例如，對於一以 T F T 所構成且同時為矩陣電路及驅動此矩陣電路的周邊電路之電路而言 (亦即單晶主動矩陣電路) ，已考慮將此種電路用於液晶顯示單元之主動矩陣式電路 (亦即將控制電晶體配置在每一像素的電路) 。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

在此種複雜的電路中，所需的 T F T 特性係視電路所在的位置而有所不同。例如，對於用來控制主動矩陣電路的像素之 T F T 而言，其漏電流必須相當小，以便保有由像素電極及對向電極所構成電容中儲存之電荷。然而，其電流驅動能力可能不高。

另一方面，對於用在驅動電路中以輸入信號到矩陣電路的 T F T 而言，必須在短時間做大電流的切換，因而此 T F T 必須有較高的電流驅動能力。然而，其漏電流可能不低。

最好的 T F T 是同時具有高電流驅動能力及低漏電流。然而，目前所製造的 T F T 距離此種理想的 T F T 尚遠。如果電流驅動能力較高時，則其漏電流亦較大；而漏電流較小時，則其電流驅動能力亦較低。

因此，利用傳統 T F T 所構成的單晶主動矩陣電路嘗試改變 T F T 的通道長度或通道寬度，而增強電流驅動能力並減少漏電流。然而，當電路變得更精密時，傳統所採用改變尺寸之方式即受到了限制。

例如，爲了得到較高的電流驅動動力，必須增加通道寬度。單晶電路使用通道寬度爲 5 0 0 到 1 , 0 0 0 微米的 T F T。然而，如果因增加像素數目及濃淡程度而必須有較高的電流驅動能力時，此時因周邊電路形成區域所受到的限制，很難將通道寬度加入到 5 毫米、1 0 毫米、或類似的尺寸。

另一方面，對於用來控制像素的 T F T 而言，必須增

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

加電荷保有能力而得到清晰的影像品質。然而，若考慮到像素區域的大小只有幾百平方微米時，則爲了減小漏電流，而無法將通道長度增加到50微米、100微米、或類似的尺寸。因而，既然在傳統的TFT單晶主動矩陣電路中，矩陣的尺寸、以及像素的間距與數目皆受到很大的限制，所以無法製造出具有精緻螢幕可得到品質影像的顯示單元。

上述各項問題不只出現在單晶主動矩陣電路，而且也出現在其他的半導體電路。

發明概述：

本發明的一個目的即是在克服這些問題，並對電路的各項特性做整體性的提升。

本案發明人已確定：某些金屬元素對於增進非結晶矽薄膜的結晶極爲有效。可增進結晶的元素包括：第V I I I族元素，例如鐵、鈷、鎳、鈮、銻、鉍、銨、及鉑；3d元素，例如鈦、鈦、鈦、鉻、錳、銅、及鋅；貴金屬，例如金及銀；以及其他類似元素。在上述的元素中，鎳、銅、鉍及鉑具有較高的結晶增進效果。將這些金屬元素加入非結晶矽薄膜時，可降低結晶溫度，並可縮短結晶所需之時間。

加入這些金屬元素的方法包括：在與非結晶矽薄膜上方及下方接觸處形成上述金屬元素的薄膜、或內含此種金屬元素的薄膜。此外，亦已確定：如果係以離子植入之方

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

式加入金屬元素，則亦可得到大致相同的效果。例如，現已確定：於加入鎳的數量為 1×10^{15} 原子／立方厘米以上時，即可降低結晶溫度。

所加入金屬元素的數量係視金屬元素的種類而有所不同。如果使用鎳時，所需鎳之含量為自 1×10^{17} 到 1×10^{20} 原子／立方厘米之濃度範圍。如果鎳的濃度大於 5×10^{20} 時，將在局部形成矽化鎳，而導致半導體特性的劣化。此外，如果鎳的濃度小於 1×10^{17} 原子／立方厘米時，則將降低鎳作為催化劑的效果。鎳的濃度降低時，半導體的可靠性將提高。

因此，顯然可因將特定的金屬元素加入矽薄膜而增進結晶。此外，現已確定：若選擇性地將些金屬元素加入矽薄膜時，即自金屬元素所加入的區域選擇性地產生晶體生長，且此晶體生長區域將擴展到其周圍。此外，根據更多詳細的觀察，針狀晶體係在這些金屬元素所加入的矽薄膜中，沿著基底表面的方向生長，而非沿著基底厚度的方向生長。

晶體係在這些金屬元素所加入的矽薄膜中以針狀形式生長。晶體的寬度（長度）約為矽薄膜厚度的 0.5 到 3 倍，且橫向（即晶體的側部方向）中之生長很小。因此，在平行於晶體生長的方向形成了粒面邊界（grain boundary）。於使用鎳作為金屬元素時，晶體係沿著（111）的方向生長。此種晶體生長的一實例示於圖 1 A 到 1 C。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (5)

圖 1 A 是一俯視圖，圖中示出自選擇性加入金屬元素的區域產生晶體生長的狀態。區域 (2) 是加入金屬元素的矽薄膜區域，且晶體生長係自區域 (2) 擴展到周圍。橢圓區域 (3) 是晶體以橫向生長的區域。各箭頭示出晶體生長的方向。區域 (2) 之外的外部區域 (1) 是並未產生結晶的區域。

圖 1 B 是區域 (3) 一部分 (例如方形區域 (4)) 的放大圖示。如圖 1 B 所示，在矽薄膜 (5) 中，係以平行於晶體生長的方向 (即自 B 到 C) 產生粒面邊界 (6) 及 (7)。因此，在平行於晶體生長方向的橫斷面 (即 B C 面) 上，粒面邊界較少，但是在垂直於晶體生長方向的橫斷面 (即 B A 面) 上，可觀察到許多粒面邊界。

在以熱氧化法氧化出此種薄膜的情形中，可採用的熱氧化法包括一氧化氣體 (即氧、臭氧、氧化氮、或其他類似氣體) 中執行一般退火之方法，並包括在一氧化氣體中在短時間且在高溫下處理矽薄膜表面之方法，此種方法可以快速退火 (Rapid Thermal Anneal; 簡稱 R T A)。

熱氧化係沿著富於非結晶矽成分的粒面邊界上進行。因此，如圖 1 C 所示，在垂直於晶體生長方向的 B A 面上，在二氧化矽層 (8) 與矽薄膜間之界面 (9) 中產生了極顯著的波紋 (不平坦)。然而，在平行於晶體生長方向的 B C 面上，界面 (9) 是相當平滑的。

上述差異性對矽薄膜表面上所流過的電流有很大的影響。亦即是，在 B A 方向上界面 (9) 的不平坦阻止了電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

流。另一方面，在 B C 方向上的電流卻是相當平順。因此，假設流入絕緣閘極式場效電晶體的源極／吸極電流之方向為 B A 方向，且此場效電晶體係控制流過一表面之電流，則於通道長度大幅增加時，線 (1 1) 所示之電流及漏電流將減小。另一方面，假設源極／吸極電流之方向為 B C 方向時，因為並沒有明顯的障壁（亦即粒面邊界或類似效應），所以線 (1 0) 所示之電流以及此電晶體之載子移動率 (mobility) 將增大。尤其若與 B C 方向上的漏電流比較時，為了有效減小 B A 方向上的漏電流，熱氧化物薄膜的厚度最好是 5 0 埃以上。

尤其於結晶矽薄膜中存在非結晶成分時，因為非結晶成分中之氧化率較大，所以非結晶成分存在部分所形成的氧化物薄膜（主要在粒面邊界的附近）之厚度大於其他的部分。因此，於二氧化矽薄膜的不平坦度遠大於閘極絕緣薄膜的厚度時（通常不平坦度係為閘極絕緣薄膜厚度的 1 0 % 或更多），電流流動容易度的各向異性 (anisotropy) 將變得相當顯著。

若使具有上述各向異性的結晶矽薄膜表面氧化，並適當控制此矽薄膜源極／吸極電流之方向時，則可在同一基底上形成若干特性顯著不同的電晶體，而且可在相鄰的位置形成這些電晶體。在實際的電晶體中，只有熱氧化物薄膜有時不足以作為閘極絕緣薄膜。在此種情形中，可利用傳統的物理汽相沈積 (Physical Vapor Deposition ; 簡稱 P V D) 法、或化學汽相沈積 (Chemical Vapor

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

Deposition: 簡稱 C V D) 法, 在熱氧化物薄膜之上另外形成一層絕緣薄膜。

如上文所述, 本發明之特徵在於: (1) 將一可增進非結晶矽的晶體生長之金屬元素選擇性地加入一非結晶矽薄膜; (2) 執行一有方向性的晶體生長; (3) 以加熱方式使結晶後的矽薄膜氧化; 以及 (4) 配置一 T F T 主動層, 使源極/吸極電流方向與結晶方向之間所形成的角度為一預定角度 α 。此外, 係在同一基底上製造複數個 T F T, 且每一 T F T 之角度 α 者不相同。通常利用兩種情形下的 T F T 即可構成各種不同的電路, 這兩種情形為 α 大約等於 0 (亦即晶體生長向大致與源極/吸極電流方向 (即載子移動方向) 重合, 或晶體生長方向大致與源極/吸極電流方向平行)、以及 α 大約等於 90 度角 (亦即晶體生長方向大致垂直於源極/吸極電流方向)。

例如, 在主動矩陣式液晶顯示器中, 周邊電路的 T F T 與像素部分的 T F T 所需之特性便有所不同。亦即是, 形成周邊電路驅動器的 T F T 必須有較高的載子移動率, 且必須流過較大的導通電流。另一方面, 對於像素部分所設有的 T F T, 其載子移動率不必太高, 以便增加電荷保有能力, 但是漏電流 (即斷路電流) 必須要夠小。

本發明採用沿著與基底平行方向生長晶體的結晶矽薄膜。在周邊電路所使用的 T F T 中, 沿著與晶體生長方向平行的方向構成源極/吸極區域。在像素所使用的 T F T 中, 沿著與晶體生長方向垂直的方向構成源極/吸極區域

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

。亦即是，於構成周邊電路所用的 T F T 時，係使載子移動時，儘量不受矽薄膜／二氧化矽薄膜界面中粒面邊界及不平坦的影響。此外，於構成像素所用的 T F T 時，係使載子移動時將橫越粒面邊界，在此種構造下，源極與吸極間之電阻較高，因而將減小漏電流（即斷路電流）。

進行熱氧化，以便將非結晶部分改變成二氧化矽，然後利用緩衝氫氟酸或類似之化學劑蝕刻二氧化矽。此種方式可去除二氧化矽，而增加矽表面上的不平坦程度。其後若再度進行熱氧化，即可更為增加矽薄膜／二氧化矽薄膜界面中之不平坦度。因為非結晶矽的氧化速度約為結晶矽的 2 到 3 倍，所以又增加了不平坦的程度。因而晶體生長方向之角度更增加了電流流動容易度上的差異。

本發明利用源極與吸極間之載子流動，並使源極／吸極方向（即連接源極及吸極的直線方向）平行於或垂直於晶體生長方向，而可得到所需特性的 T F T。此即是，對於以針狀形式或柱狀形式生長的晶體，藉由沿著與該晶體粒面邊界平行的方向（即與晶體生長方向平行的方向）移動載子，或是沿著與該晶體粒面邊界垂直的方向（即與晶體生長方向垂直的方向）移動載子，即可得到載子移動率較高的 T F T、或斷路電流較小的 T F T。

若於構成 T F T 時，使用沿著與基底表面平行的方向生長晶體的結晶矽薄膜，則可沿著晶體生長方向形成源極／吸極區域，而得到載子移動率較高並且不太受矽薄膜／二氧化矽薄膜界面中不平坦所影響的 T F T。此外，若沿

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(9)

著與晶體生長方向垂直的方向形成源極／吸極區域時，則可形成的 T F T 之特性為：將受到矽薄膜／二氧化矽薄膜界面中粒面邊界即不平坦的影響，因此其斷路電流較小。若相對於晶體生長的方向，而選擇性地決定載子在源極與吸極之移動方向，即可製造上述的 T F T。

圖 2 示出在一結晶矽區域 (1 4) 上製造兩類 T F T 之實施例。區域 (1 4) 是橢圓形結晶矽區域 (1 3) 的一部份，而結晶矽區域 (1 3) 係放大自周圍的長方形區域 (1 2)。箭頭 (1 4 a) 指示晶體生長的方向。在區域 (1 4) 上所形成的 T F T 包括：T F T 1 (源極／吸極區域為 1 a 及 1 c，通道形成區域為 1 b)，其中源極／吸極方向係垂直於晶體生長方向；以及 T F T 2 (源極／吸極區域為 2 a 及 2 c，通道形成區域為 2 b)，其中源極／吸極方向係平行於晶體生長方向。T F T 1 及 T F T 2 的典型特性示於圖 3。T F T 1 的導通電流及斷路電流小於 T F T 2。例如，T F T 1 的斷路電流通常比 T F T 2 小 0.5 至 2 階次。此外，T F T 2 的導通電流及載子移動率通常比 T F T 1 大 10 到 30 %。

因此，如果將 T F T 1 用於單晶主動矩陣電路的像素電晶體，且將 T F T 2 用於周邊電路的驅動器電晶體時，即可增進主動矩陣電路整體的特性。

附圖簡述：

圖 1 A 到 1 C 是晶體生長選擇性地自金屬元素所加入

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

區域產生的狀態之俯視圖；

圖 2 是在結晶矽區域上製造兩類 T F T 的實施例之示意圖；

圖 3 是圖 2 所示 T F T 之典型特性圖；

圖 4 A 到 4 F 及圖 5 A 及 5 C 示出根據本發明的一周邊電路之製造步驟，此周邊電路設有以互補形式構成的 N T F T 及 P T F T，這些圖亦示出一設有 N T F T 且係用於像素電晶體的電路；

圖 6 A 到 6 F 示出根據本發明的其他製造步驟；以及

圖 7 A 到 7 F 示出根據本發明的其他替代製造步驟。

較佳實施例之詳細說明：

第 1 實施例：

圖 4 A 到 4 F 及圖 5 A 到 5 C 示出根據本發明的一周邊電路之製造步驟，此周邊電路設有以互補形式構成的 N T F T 及 P T F T，這些圖亦示出一設有 N T F T 且係用於像素電晶體的電路。

利用濺鍍法，在一基底（材質為 Corning 7059）（1 0 1 0）上形成厚度為 2, 0 0 0 埃的二氧化矽基層薄膜（1 0 2）。在形成基層薄膜（1 0 2）之前或之後，以高於基底（1 0 1）應變溫度的溫度下使此基底（1 0 1）退火，然後以每分鐘 0. 1 到 1. 0 °C 的速率緩緩將此基底（1 0 1）冷卻到應變溫度。因而，在涉及溫度上升的後續步驟（包括以紅外線照射的氧化步驟，及退

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (11)

火) 中，基底的收縮將變得很小，因而容易施行尺寸的對準。基底 (1 0 1) 係在 6 2 0 到 6 6 0 °C 中退火 1 到 4 個小時，然後以每分鐘 0 . 1 到 1 . 0 °C 的速率 (最好是每分鐘 0 . 1 到 0 . 3 °C 的速率)，將基底 (1 0 1) 緩緩冷卻。當溫度到達 4 5 0 到 5 9 0 °C 時，即將基底 (1 0 1) 取出退火箱。

利用電漿 C V D 法形成厚度為 3 0 0 到 8 0 0 埃的非結晶矽薄膜 (1 0 3)。然後利用厚度為 1 , 0 0 0 到 3 , 0 0 0 埃 (例如 2 , 0 0 0 埃) 的二氧化矽遮蔽層 (1 0 4)，以濺鍍法形成厚度為 2 0 到 5 0 埃的鎳薄膜 (1 0 5)。鎳薄膜 (1 0 5) 可能不是連續性薄膜。

然後在 5 0 0 到 6 2 0 °C 下，例如於 5 5 0 °C 下，於氮氣體中進行熱退火 8 個小時，或是於 6 0 0 °C 下進行熱退火 4 個小時，以便使矽薄膜 (1 0 3) 結晶。晶體生長係自鎳薄膜 (1 0 5) 接觸矽薄膜 (1 0 3) 的區域作為開始位置，而沿著平行於基底的方向進行此晶體生長。在圖 4 B 中，區域 (1 0 6) 及 (1 0 7) 皆為結晶區域，而區域 (1 0 8) 及 (1 0 9) 皆為非結晶區域 (亦即非結晶矽區域)。圖 5 A 是係自上方觀察時之上述狀態圖示。

對矽薄膜 (1 0 3) 進行圖樣產生步驟，以便形成如圖 4 c 所示的島狀主動層區域 (1 1 0) (即互補型電路區域) 及 (1 1 1) (即像素電晶體區域)。在圖 5 A 中，位置在橢圓形中心的長方形區域是直接將鎳導入 (加入

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(12)

) 的區域，高濃度鎳出現的區域。高濃度鎳亦出現在區域(1 0 6) 及(1 0 7) 的晶體生長尖端(末端) 部分。這些區域的鎳濃度大約比結晶區域的鎳濃度高出一個階次。

因此，必須將主動層區域(1 1 0) 及(1 1 1) (尤其是通道形成區域) 配置成與高鎳濃度區域不同的區域。利用在垂直方向上具有各向異性的活性離子蝕刻 (Reactive Ion Etching; 簡稱 R I E) 法，進行對主動層區域之蝕刻。主動層區域中之鎳濃度約為 10^{17} 到 10^{20} 原子 / 立方厘米。

利用快速退火法進行對主動層區域的氧化。在本實施例，尤其係以峰值為 0 . 6 到 4 微米或 0 . 8 到 1 . 4 微米的紅外線對氧化氣體照射 3 0 到 1 8 0 秒，以便在主動層區域(1 1 0) 及(1 1 1) 的表面上形成一層二氧化矽薄膜(1 1 2) 。此外，可將 0 . 1 到 1 0 % 的鹽酸加到氣體中。

將鹵素燈用來作為紅外線之光源。調整此紅外線之強度，使用於監視的單晶矽晶圓之溫度為 9 0 0 到 1 , 2 0 0 °C 。尤其監視一嵌入矽晶圓的熱電偶之溫度，並將所監視到的溫度回饋到一紅外線光源的控制單元。在本實施例中，溫度係以每秒 5 0 到 2 0 0 °C 的恆定速率上升，且溫度係以每秒 2 0 到 1 0 0 °C 的自然冷卻速率下降。可自基底保持在室溫的狀態中進行紅外線照射。為了使效果更為增強，最好預先將基底加熱到 2 0 0 到 4 5 0 °C

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

(例如 4 0 0 °C) 。

因爲係以紅外線照射選擇性地對矽薄膜加熱，所以可儘量減小對玻璃基底的加熱。此種方式對於減少矽薄膜中之缺陷或懸垂將接合，也是相當有效。利用此種紅外線照射所形成的二氧化矽 (1 1 2) 之厚度爲 5 0 到 1 5 0 埃。

利用濺鍍法形成厚度爲 1 , 0 0 0 埃的二氧化矽薄膜 (1 1 3) ，作爲閘極絕緣薄膜 (圖 4 D) 。二氧化矽係用來作爲濺鍍之目標。濺鍍時之基底溫度爲 2 0 0 到 4 0 0 °C (例如 3 5 0 °C) 。濺鍍氣體中包含氧及氬，且氬與氧的比率爲 0 到 0 . 5 (例如少於 0 . 1) 。

利用低壓 C V D 法形成厚度爲 3 , 0 0 0 到 8 , 0 0 0 埃 (例如 6 , 0 0 0 埃) 的矽薄膜 (內含 0 . 1 到 2 % 的磷) 。最好連續進行矽薄膜的形成步驟及二氧化矽薄膜 (1 1 3) 的形成步驟。利用對矽薄膜產生圖樣而形成閘電極 (1 1 4 - 1 1 6) (圖 4 E) 。圖 5 B 是上述狀態的俯視圖。以虛線示出的橢圓對應於圖 5 A 中之區域 (1 0 6) 及 (1 0 7) 。

利用閘電極 (1 1 4 - 1 1 6) 作爲遮蔽層，以離子摻雜法將雜質 (磷及硼) 摻雜 (植入) 到主動層。使用磷 (P H 3) 及乙硼烷 (B 2 H 6) 作爲摻雜氣體。於使用磷時，加速電壓爲 6 0 到 9 0 千伏 (例如 8 0 千伏) ；於使用乙硼烷時，加速電壓爲 4 0 到 8 0 千伏 (例如 6 5 千伏) 。在使用磷的情形中，劑量爲 1×10^{15} 到 $8 \times$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

10^{15} 厘米⁻² (例如劑量為 2×10^{15} 厘米⁻²) ; 在使用硼的情形中, 劑量為 5×10^{15} 厘米⁻²。在摻雜中, 利用光阻覆蓋不需要摻雜的區域, 並將各別元素選擇性地摻雜到所需的區域。因而形成了 N 型雜質區域 (1 1 8) 及 (1 1 9), 以及 P 型雜質區域。

利用雷射光照射而進行退火, 且使雜質活化。氟化氬準分子雷射 (波長 2 4 8 毫微米、脈波寬度 2 0 毫微秒) 係用來作為雷射光, 但是亦可使用其他的雷射光。照射條件為使能量密度為 2 0 0 到 4 0 0 毫焦耳 / 平方厘米 (例 2 5 0 毫焦耳 / 平方厘米), 且每一部分的投射數為 2 到 1 0 次投射。最好在雷射光的照射下, 將基底加熱到 2 0 0 到 4 5 0 °C。在雷射退火步驟中, 因為鎳係分散在預先結晶的區域中, 所以易於以雷射光照射進行再結晶。因此, 易於活化摻雜了提供 P 傳導式雜質的雜質區域 (1 1 7), 以及摻雜了提供 N 傳導式雜質的雜質區域 (1 1 8) 及 (1 1 9)。

如圖 4 F 所示, 利用電漿 C V D 法形成厚度為 6 , 0 0 0 埃的二氧化矽薄膜 (1 2 0), 作為層間絕緣材料。又利用濺鍍法形成厚度為 5 0 0 埃的氧化銦錫 (Indium Tin Oxide; 簡稱 I T O) 薄膜, 並在 I T O 薄膜上產生圖樣, 而形成像素電極 (1 2 1)。在層間絕緣材料 (1 2 0) 中形成接觸孔 (開口位置示於圖 5 C), 並利用氮化鈦及鋁之多層薄膜等金屬材料形成各 T F T 的接線 / 電極 (1 2 2) 到 (1 2 6)。最後, 在 1 大氣壓力

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

的氫氣體中，在 3 5 0 °C 下進行退火 3 0 分鐘，因而完成了 T F T 電路。

如圖 5 B 所示，主動層 (1 1 0) 中之源極 / 吸極方向係平行於結晶方向，且主動層 (1 1 1) 中之源極 / 吸極方向係垂直於結晶方向。因而，主動層 (1 1 0) 中所形成的 T F T 之導通電流較大。另一方面，主動層 (1 1 1) 中所形成的 T F T 之斷路電流較小。在本實施例中，雖然特性不同的兩類 T F T 係形成在較鄰近的位置，但是在主動矩陣電路中，亦可將這些 T F T 形成於彼此距離極遠的位置。

第 2 實施例：

圖 6 A 到 6 F 示出根據本發明的其他製造步驟 (剖視圖)。利用四乙氧矽烷 (T E O S) 及氧作為原材料，以電漿 C V D 法在一基底 (材質為 Corning 7059) (2 0 1) 上形成厚度為 2 , 0 0 0 埃的二氧化矽基層薄膜 (2 0 2)。在形成基層薄膜 (2 0 2) 之後，在 6 2 0 到 6 6 0 °C 的溫度下使此基底 (2 0 1) 退火 1 到 4 個小時。然後以每分鐘 0 . 1 到 1 . 0 °C 的速率 (最好是每分鐘 0 . 1 到 0 . 3 °C) 緩緩將此基底 (2 0 1) 冷卻，且當溫度到達 4 5 0 到 5 9 0 °C 時，即將此基底取出退火箱。

利用電漿 C V D 法形成厚度為 3 0 0 到 8 0 0 埃的非結晶矽薄膜 (2 0 3)。然後利用厚度為 1 , 0 0 0 到 3 , 0 0 0 埃 (例如 2 , 0 0 0 埃) 的二氧化矽遮蔽層 (

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

1 0 4) , 以濺鍍法形成厚度為 2 0 到 5 0 埃的鎳薄膜 (2 0 5) 。此鎳薄膜可能不是連續性薄膜 (圖 6 A) 。

然後在 5 0 0 到 6 2 0 °C 下, 例如於 6 0 0 °C 下, 於氮氣體中進行熱退火 4 個小時, 以使使矽薄膜 (2 0 3) 結晶。晶體生長係自鎳薄膜接觸矽薄膜的區域作為開始位置, 而沿著平行於基底的方向進行此晶體生長。在圖 6 B 中, 區域 (2 0 6) 及 (2 0 7) 皆為此一步驟的結晶區域, 而區域 (2 0 8) 及 (2 0 9) 皆為非結晶區域。

然後對矽薄膜 (2 0 3) 進行圖樣產生步驟, 以便形成島狀主動層區域 (2 1 0) (即互補型電路區域) 及 (2 0 1) (即像素電晶體區域) 。利用在垂直方向上具有各向異性的 R I E 法, 進行對主動層區域之蝕刻。

然後進行快速退火 (R T A) 處理, 以便更加强主動層的結晶。在本實施例, 尤其係以峰值為 0 . 6 到 4 微米或 0 . 8 到 1 4 微米的紅外線對氧化氣體照射 3 0 到 1 8 0 秒。此外, 可將 0 . 1 到 1 0 % 的鹽酸加到氣體中。

將鹵素燈用來作為紅外線之光源。調整此紅外線之強度, 使用於監視的單晶矽晶圓之溫度為 9 0 0 到 1 , 2 0 0 °C 。尤其監視一嵌入矽晶圓的熱電偶之溫度, 並將所監視到的溫度回饋到一紅外線光源的控制單元。在本實施例中, 溫度係以每秒 5 0 到 2 0 0 °C 的恆定速率上升, 且溫度係以每秒 2 0 到 1 0 0 °C 的自然冷卻速率下降。可自基底保持在室溫的狀態中進行紅外線照射。為了使

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

效果更為增強，最好預先將基底加熱到 2 0 0 到 4 5 0 °C (例如 4 0 0 °C) 。

因為係以紅外線照射選擇性地對矽薄膜加熱，所以可儘量減小對玻璃基底的加熱。此外，此種方式對於減少矽薄膜的非結晶區域中之缺陷或懸垂狀接合，也是相當有效。

在乾燥氧氣中，於 5 5 0 到 6 5 0 °C (通常為 6 0 0 °C) 的溫度下對基底退火 1 個小時。所選擇的退火溫度必須不會影響到基底。因而，在主動層的表面上形成厚度為 2 0 到 2 0 0 埃 (通常為 4 0 到 1 0 0 埃) 的熱氧化物薄膜 (2 1 2) 。如果在本步驟中，係在 5 5 0 到 6 5 0 °C 的溫度下，於氧氣中含有水分的狀態中以高溫氧化法或類似方法進行氧化時，則可得到厚度為 5 0 0 到 8 0 0 埃的二氧化矽薄膜 (圖 6 c) 。

利用 T E O S 及氧氣以電漿 C V D 法形成厚度為 1 , 0 0 0 埃的二氧化矽薄膜 (2 1 3) ，作為閘極絕緣薄膜。薄膜形成時的基底溫度為 2 0 0 到 4 0 0 °C (例如 3 5 0 °C) 。將三氯乙烯 (T C E) 加入 T E O S 中，所加入的分量為每一 T E O S 加入 1 到 5 0 % 的 T C E (通常為 2 0 %) 。以 T C E 將氯導入閘極絕緣薄膜中，並將主動層中所含的移動離子 (例如鈉離子) 去除，因而使特性更為強化。在此一步驟之後，於氧化氮中在 5 5 0 到 6 5 0 °C 的溫度下進行熱退火 (圖 6 D) 。

利用濺鍍法形成厚度為 3 , 0 0 0 到 8 , 0 0 0 埃 (

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

例如 6, 0 0 0 埃) 的鋁薄膜 (內含 0. 1 到 2 % 的鈦) 。對此鋁薄膜進行圖樣產生步驟，以便形成閘電極 (2 1 4 - 2 1 6) 。使電流通過浸在電解液中之閘電極而進行陽極處理，且在閘電極的上面及側面上形成厚度為 1, 0 0 0 到 3, 0 0 0 埃 (在本實施例中為 2, 0 0 0 埃) 的氧化鋁薄膜。此陽極處理係在有含有 1 到 5 % 酒石酸的乙二醇溶液中進行。因為此氧化鋁薄係用來作為後續離子摻雜步驟的補償閘極區域，所以可利用陽極處理步驟決定此補償閘極區域的長度。

利用閘電極部分 (亦即閘電極及周圍的氧化物層) 作為遮蔽層，以離子摻雜法 (即電漿摻雜法) 將提供 P 或 N 傳導型的雜質以自動對準之方式加入主動層區域 (亦即源極 / 吸極及通道區域) 。使用磷 (P H 3) 及乙硼烷 (B 2 H 6) 作為摻雜氣體。於使用磷時，加速電壓為 6 0 到 9 0 千伏 (例如 8 0 千伏) ；於使用乙硼烷時，加速電壓 4 0 到 8 0 千伏 (例如 6 5 千伏) 。劑量為 1×10^{15} 到 8×10^{15} 厘米⁻²，例如磷的劑量為 5×10^{15} 厘米⁻²，乙硼烷的劑量為 2×10^{15} 厘米⁻²。在摻雜中，利用光阻覆蓋某一區域，並將各別元素選擇地摻雜到其他的區域。因而形成了 N 型雜質區域 (2 1 8) 及 (2 1 9) ，以及 P 型雜質區域 (2 1 7) ，亦可形成 P 通道型 T F T (P T F T) 之區域，及 N 通道型 T F T (N T F T) 之區域。

利用雷射光照射而進行退火，以便活化所植入的雜質

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

離子。氟化氬準分子雷射 (波長 2 4 8 毫微米、脈波寬度 2 0 毫微秒) 係用來作為雷射光，但是亦可使用其他的雷射光。照射條件為使能量密度為 2 0 0 到 4 0 0 毫焦耳 / 平方厘米 (例如 2 5 0 毫焦耳 / 平方厘米)，且每一部分的投射數為 2 到 1 0 次投射 (例如 2 次投射)。最好在雷射光的照射下，將基底加熱到 2 0 0 到 4 5 0 °C 的溫度。在雷射退火步驟中，因為鎳係分散在預先結晶的區域中，所以易於以雷射光照射進行再結晶。因此，易於活化雜質區域 (2 1 7 - 2 1 9)。可利用 R T A 法代替雷射退火步驟進行雜質的活化 (圖 6 E)。

利用電漿 C V D 法形成厚度為 6, 0 0 0 埃的二氧化矽薄膜 (2 2 0)，作為層間絕緣材料。又利用濺鍍法形成厚度為 5 0 0 埃的 I T O 薄膜，並在 I T O 薄膜上產生圖樣，而形成像素電極 (2 2 6)。又在層間絕緣材料 (2 2 0) 中形成接觸孔 (開口位置示於圖 5 C)，並利用氮化鈦及鋁之多層薄膜等金屬材料形成各 T F T 的接線 / 電極 (2 2 1) 到 (2 2 5)。最後，在 1 大氣壓力的氬氣體中，在 3 5 0 °C 下進行退火 3 0 分鐘，因而完成了 T F T 電路 (圖 6 F)。

第 3 實施例：

圖 7 A 到 7 F 示出根據本發明的其他替代製造步驟 (剖視圖)。如圖 7 A 所示，利用四乙氧矽烷 (T E O S) 及氧作為原材料，以電漿 C V D 法在一基底 (材質為

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (20)

Corning 7 0 5 9) (3 0 1) 上形成厚度為

2 , 0 0 0 埃的二氧化矽基層薄膜 (3 0 2) 。在形成基層薄膜 (3 0 2) 之後，在 6 2 0 到 6 6 0 °C 的溫度下使此基底 (3 0 1) 退火 1 到 4 個小時。然後以每分鐘 0 . 1 到 1 . 0 °C 的速率 (最好是每分鐘 0 . 1 到 0 . 3 °C) 緩緩將此基底 (3 0 1) 冷卻，且當溫度到達 4 5 0 到 5 0 0 °C 時，即將此基底取出退火箱。

利用電漿 C V D 法形成厚度為 3 0 0 到 1 , 2 0 0 埃 (例如 1 , 0 0 0 埃) 的非結晶矽薄膜 (3 0 3) 。然後利用厚度為 1 , 0 0 0 到 3 , 0 0 0 埃 (例如 2 , 0 0 0 埃) 的二氧化矽遮蔽層 (3 0 4) ，以濺鍍法形成厚度為 2 0 到 5 0 埃的鎳薄膜 (3 0 5) 。此鎳薄膜可能不是連續性薄膜。

然後在 5 0 0 到 6 2 0 °C 下，例如於 6 0 0 °C 下，於氮氣體中進行熱退火 4 個小時，以便使矽薄膜 (3 0 3) 結晶。晶體生長係自鎳薄膜接觸矽薄膜的區域作為開始位置，而沿著平行於基底的方向進行此晶體生長。在圖 7 B 中，區域 (3 0 6) 及 (3 0 7) 皆為此一步驟的結晶區域，而區域 (3 0 8) 及 (3 0 9) 皆為非結晶區域。

然後對矽薄膜 (3 0 3) 進行圖樣產生步驟，以便形成島狀主動層區域 (3 1 0) (即互補型電路區域) 及 (3 1 1) (即像素電晶體區域) (圖 7 C) 。利用在垂直方向上具有各向異性的 R I E 法，進行對主動層區域之蝕刻。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (21)

在 1 個大氣壓力下，將此基底置於溫度為 5 5 0 到 6 5 0 °C (通常為 6 0 0 °C) 且內含 1 0 % 水蒸氣的氧氣中，因而將主動層的表面氧化成厚度為 2 0 0 到 8 0 0 埃 (通常為 5 0 0 埃) 的薄膜，因此形成了二氧化矽層 (3 1 2) 及 (3 1 3) 。對於形成此種二氧化矽層，高溫氧化法 (氫與氧的容積比率為 1 . 8 到 1 . 0 比 1) 是相當有效的。所形成的二氧化矽層 (3 1 2) 及 (3 1 3) 之厚度為 4 0 0 到 1 , 6 0 0 埃 (在本實施例中為 1 , 0 0 0 埃) 。在形成二氧化矽層之後，在 1 個大氣壓力之下，於 6 0 0 °C 的氧化二氮氣體中進行 1 小時的退火，因而除去二氧化矽層中之氫。

利用濺鍍法形成厚度為 3 , 0 0 0 到 8 , 0 0 0 埃 (例如 6 , 0 0 0 埃) 的鋁薄膜 (內含 0 1 . 1 到 2 % 的鈦) 。對此鋁薄膜進行圖樣產生步驟，以便形成閘電極 (3 1 4 - 3 1 6) (圖 7 D) 。以第 2 實施例之相同方式使電流通過浸在電解液中之閘電極而進行陽極處理，以便在閘電極的上面及側面上形成厚度為 1 , 0 0 0 到 3 , 0 0 0 埃 (在本實施例中為 2 , 0 0 0 埃) 的氧化鋁薄膜。

利用閘電極部分 (亦即閘電極及周圍的氧化物層) 作為遮蔽層，以離子摻雜法 (即電漿摻雜法) 將提供 P 或 N 傳導型的雜質以自動對準之方式加入主動層區域 (亦即源極 / 吸極及通道區域) 。使用磷 (P H 3) 及乙硼烷 (B 2 H 6) 作為摻雜氣體。於使用磷時，加速電壓為 6 0

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (22)

到 9 0 千伏 (例如 8 0 千伏) ; 於使用乙硼烷時, 加速電壓 4 0 到 8 0 千伏 (例如 6 5 千伏) 。劑量為 1×10^{15} 到 8×10^{15} 厘米⁻², 例如磷的劑量為 5×10^{15} 厘米⁻², 硼的劑量為 2×10^{15} 厘米⁻²。在摻雜中, 利用光阻覆蓋某一區域, 並將各別元素選擇地摻雜到其他的區域。因而形成了 N 型雜質區域 (3 1 8) 及 (3 1 9), 以及 P 型雜質區域 (3 1 7), 亦可形成 P 通道型 T F T (P T F T) 之區域, 及 N 通道型 T F T (N T F T) 之區域。

利用雷射光照射而進行退火, 以便活化所植入的雜質離子。氟化氬準分子雷射 (波長 2 4 8 毫微米、脈波寬度 2 0 毫微米) 係用來作為雷射光, 但是亦可使用其他的雷射光。照射條件為使能量密度為 2 0 0 到 4 0 0 毫焦耳 / 平方厘米 (例如 2 5 0 毫焦耳 / 平方厘米), 且每一部分的投射數為 2 到 1 0 次投射 (例如 2 次投射) 。最好在雷射光的照射下, 將基底加熱到 2 0 0 到 4 5 0 °C 的溫度。在雷射退火步驟中, 因為鎳係擴散在預先結晶的區域中, 所以易於以雷射照射進行再結晶。因此, 易於活化雜質區域 (2 1 7 - 2 1 9) 。

利用電漿 C V D 法形成二氧化矽塗佈薄膜 (3 2 0) 。薄膜 (3 2 0) 須有對閘電極側面的優異覆蓋特性, 這是很重要的。薄膜 (3 2 0) 之厚度為 0 . 5 到 1 微米 (例如 0 . 7 微米) 。

利用乾式蝕刻法, 對絕緣塗佈薄膜 (3 2 0) 進行各

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (23)

向異性蝕刻 (只對垂直方向做選擇性的蝕刻) 。因而，露出了源極／吸極區域的表面，且近似三角形的緣緣材料 (3 2 1) 、 (3 2 2) 及 (3 2 3) 留在各別閘電極 (包括周邊陽極處理層) 的側面上 (圖 7 E) 。先前形成的二氧化矽塗佈薄膜 (3 2 0) 之厚度、蝕刻條件、及閘電極 (包括周邊陽極處理層) 的高度共同決定了絕緣材料 (3 2 1 - 3 2 3) 的尺寸 (尤其是寬度) 。所得到絕緣材料的形狀並不限於三角形，其形狀將依此步驟所涉及的範圍或二氧化矽薄膜 (3 2 0) 的厚度而有所不同。於薄膜 (3 2 0) 的厚度較小時，此絕緣材料的形狀為方形。

利用濺鍍法形成厚度為 5 到 5 0 毫微米的鈦薄膜 (3 2 4) 。但是亦可使用鋁、鎢、鉑、鈮、或其他類似金屬元素。

在形成鈦薄膜 (3 2 4) 之後，即在 2 0 0 到 6 5 0 °C (最好是 4 0 0 到 5 0 0 °C) 的溫度下進行退火，以便使鈦薄膜及矽在源極／吸極區域中起反應，因而在源極／吸極區域中形成矽化物層 (3 2 5) 、 (3 2 6) 及 (3 2 7) 。

將未起反應的鈦薄膜 (主要是沈積在陽極處理層上的二氧化矽或薄膜) 蝕刻掉。然後利用電漿 C V D 法形成厚度為 6 , 0 0 0 埃的二氧化矽層，作為層間絕緣材料 (3 2 8) 。又利用濺鍍法形成厚度為 5 0 0 到 1 , 0 0 0 埃的 I T O 薄膜，並在 I T O 薄膜上產生圖樣，而形成像素電極 (3 2 9) 。如圖 7 F 所示，在 T F T 的源極／吸

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(24)

極區域中形成接觸孔，並沈積氮化鈦及鋁的多層薄膜。然後進行圖樣產生，以便形成接線／電極(330)到(324)。氮化鈦及鋁的厚度分別為800埃與5,000埃。最後，在1大氣壓力的氫氣體中，在350℃下進行退火30分鐘，因而完成了TFTE電路。

如果將上述各實施例所述之方法用於製造諸如主動矩陣式液晶顯示單元時，則係以結晶矽薄膜構成周邊電路部分的TFTE，其中晶體生長的方向係平行於載子流動的方向(即載子移動方向)，且於構成像素部分的TFTE時，係利用構成之方向係垂直於載子流動方向(即載子移動方向)的結晶矽薄膜。因而，周邊電路部分的TFTE可進行高速的動作，而像素部分的TFTE則具有保持電荷所需之低斷路電流值。因此，在必須形成具有不同特性的TFTE之半導體電路中，只要改變TFTE的配置方向或施行類似的步驟，即可同時形成特性可符合各別需求的若干TFTE。因此，可對電路的特性做整體性的增進。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱:

半導體裝置之製造方法

藉由選擇性地加入一具有催化作用的金屬元素，以便使一非結晶矽結晶，並進行退火步驟，而沿著一預定方向使一矽薄膜結晶。於製造一使用此種結晶後的矽薄膜之薄膜電晶體(TFT)時，可同時製造出結晶方向大致平行於源極與吸極間電流流動方向之TFT、以及結晶方向大致垂直於源極與吸極間電流流動方向之TFT。因此，可在同一基底上形成可進行高速動作的TFT、以及低漏電流的TFT。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

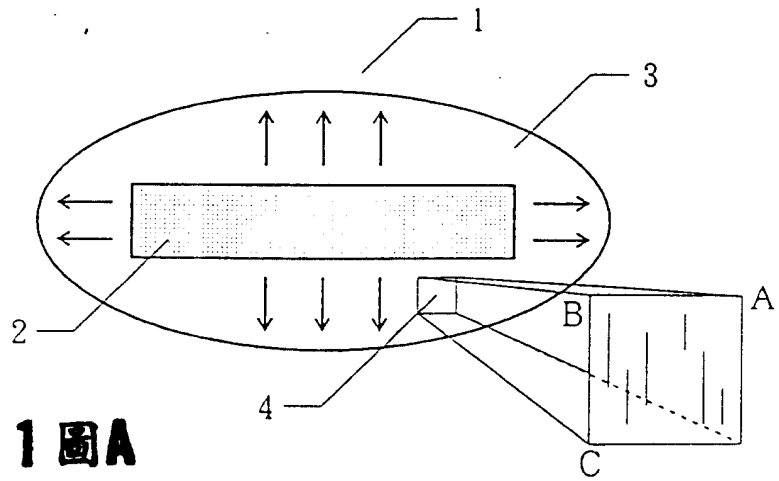
訂

線

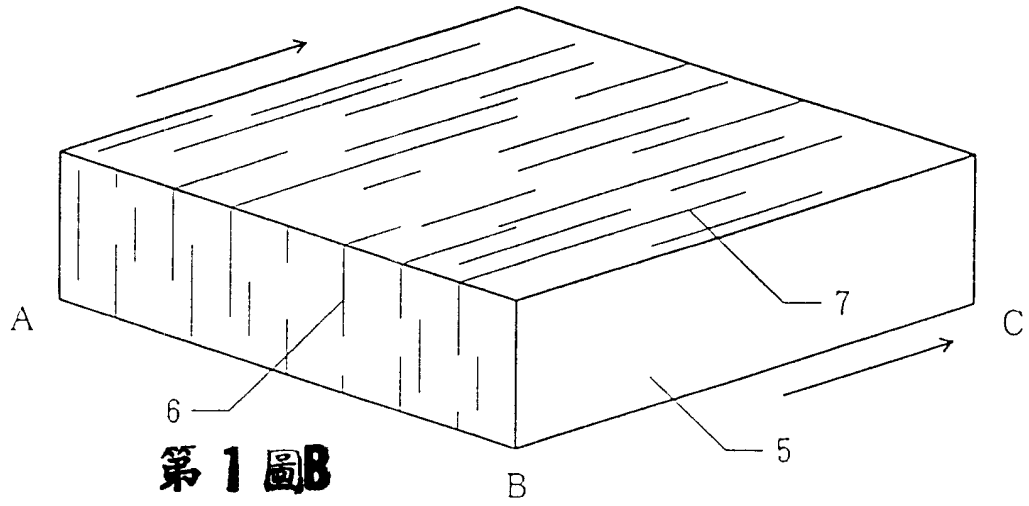
英文發明摘要(發明之名稱: Semiconductor device and method for manufacturing the same)

ABSTRACT OF THE DISCLOSURE

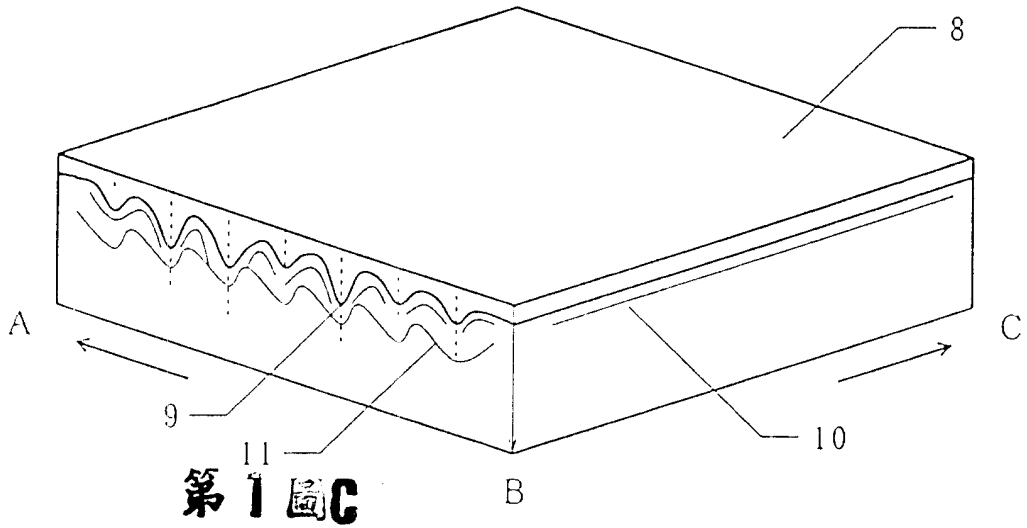
A silicon film is crystallized in a predetermined direction by selectively adding a metal element having a catalytic action for crystallizing an amorphous silicon and annealing. In manufacturing TFT using the crystallized silicon film, TFT provided such that the crystallization direction is roughly parallel to a current-flow between a source and a drain, and TFT provided such that the crystallization direction is roughly vertical to a current-flow between a source and a drain are manufactured. Therefore, TFT capable of conducting a high speed operation and TFT having a low leak current are formed on the same substrate.



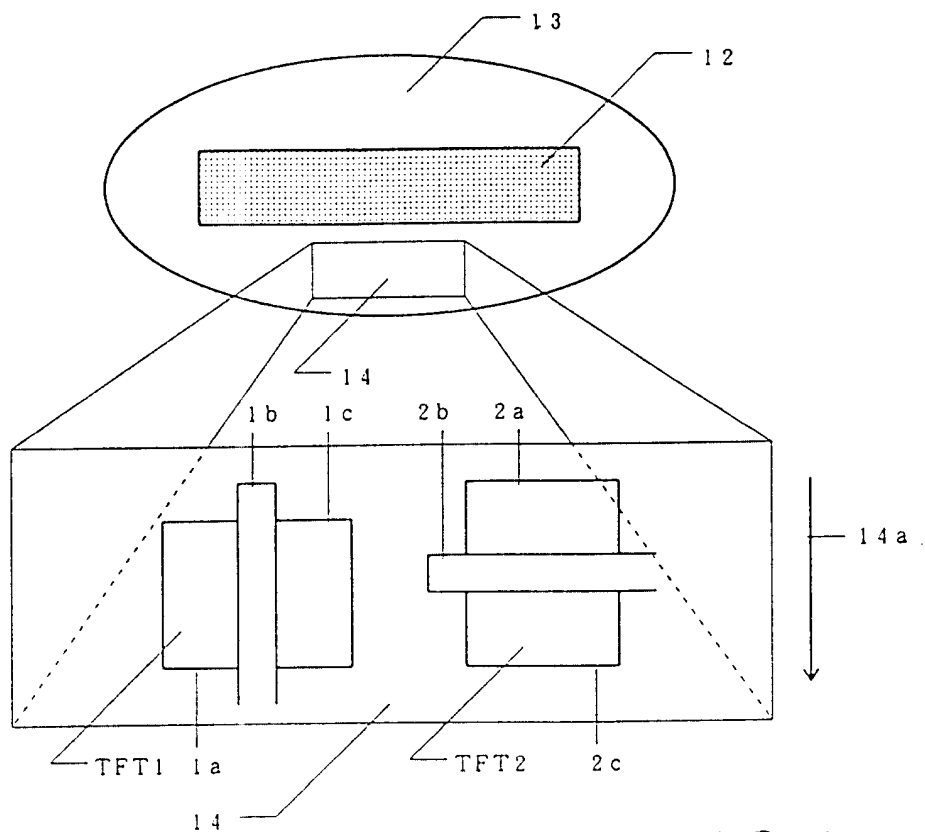
第 1 圖A



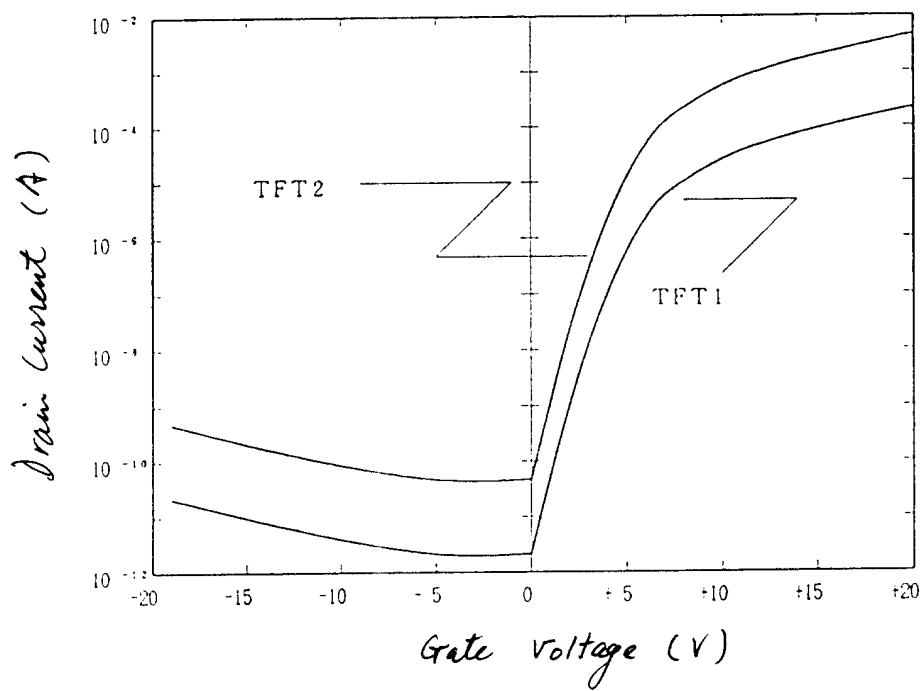
第 1 圖B



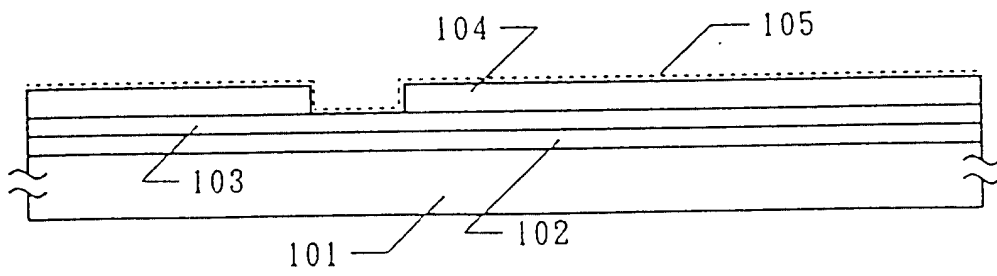
第 1 圖C



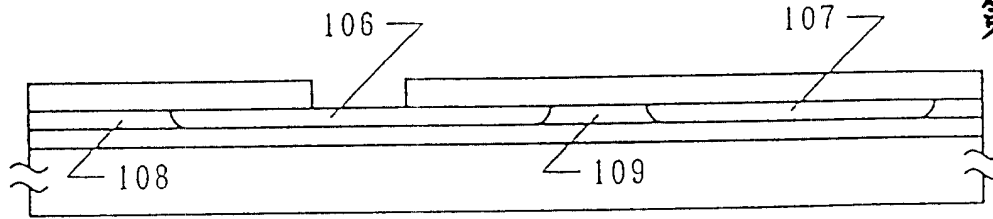
第2圖



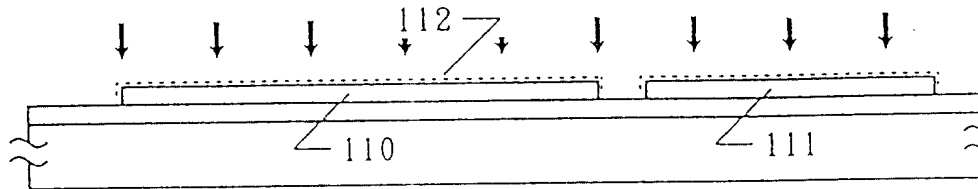
第3圖



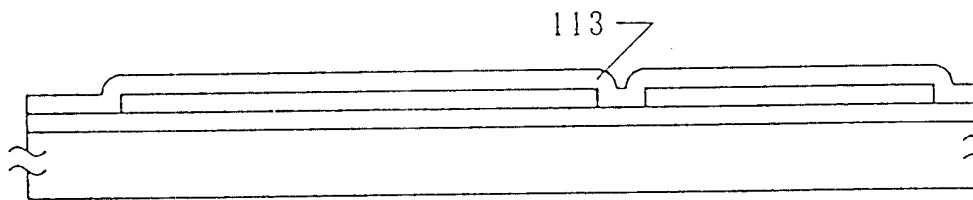
第4圖A



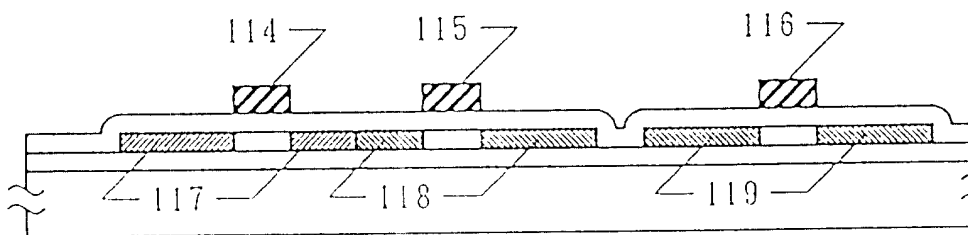
第4圖B



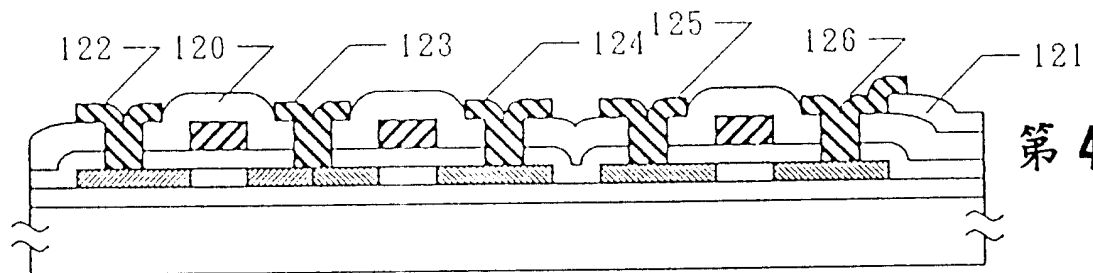
第4圖C



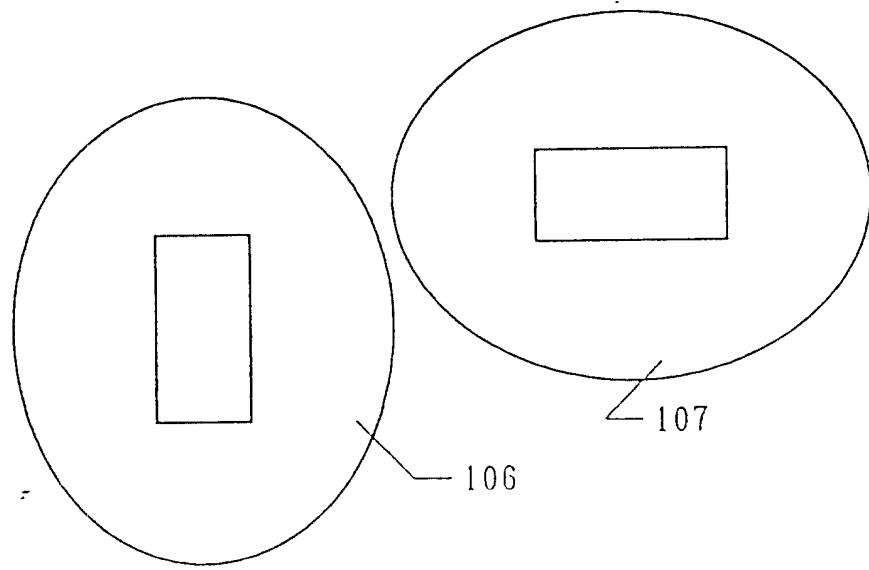
第4圖D



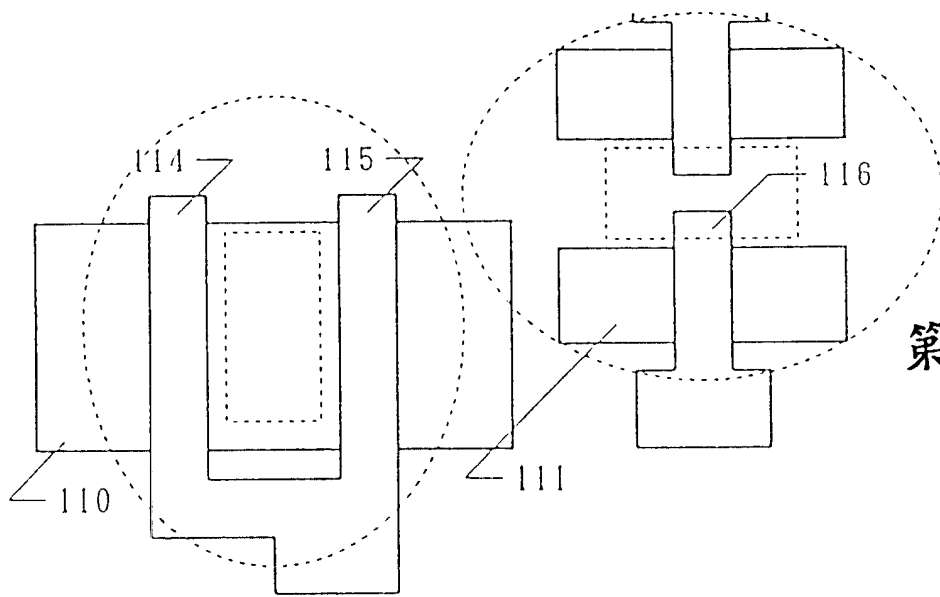
第4圖E



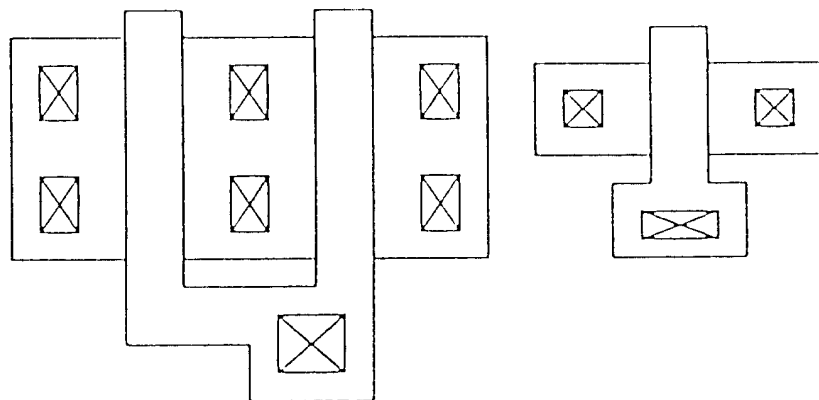
第4圖F



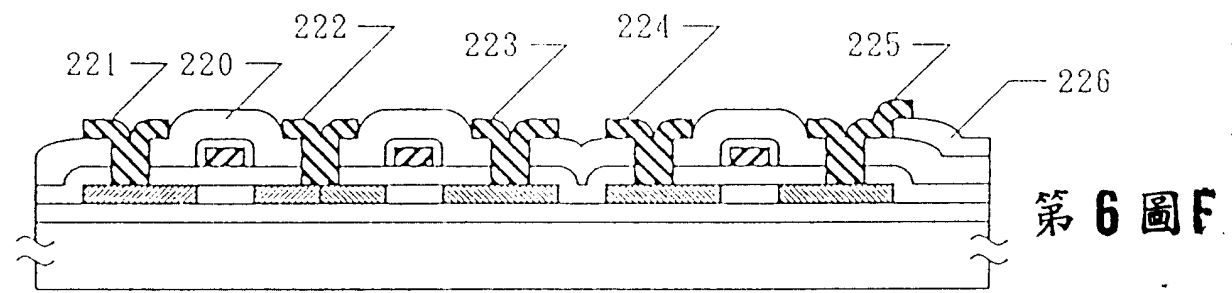
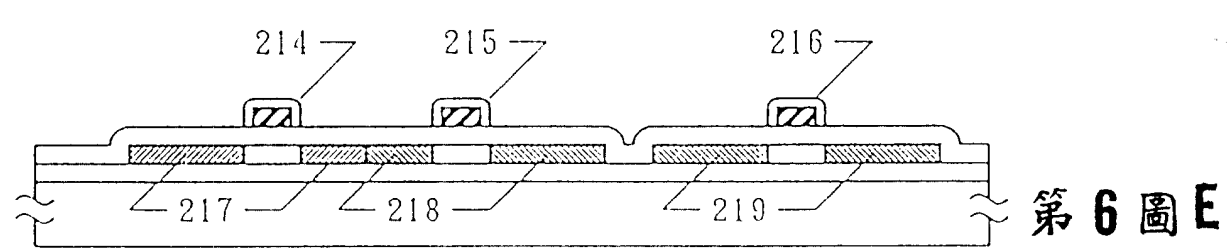
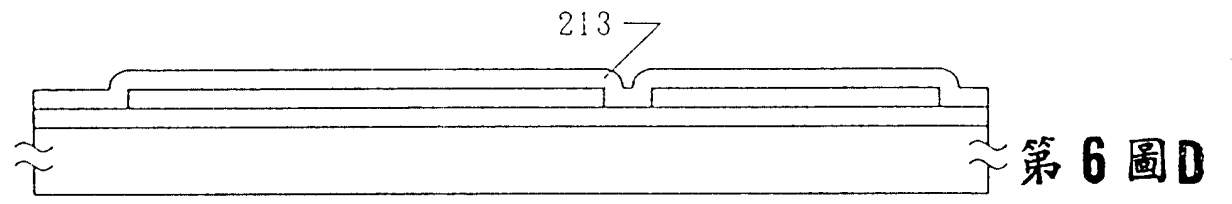
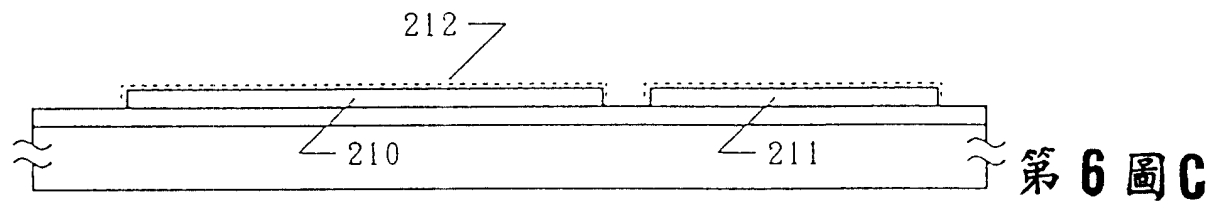
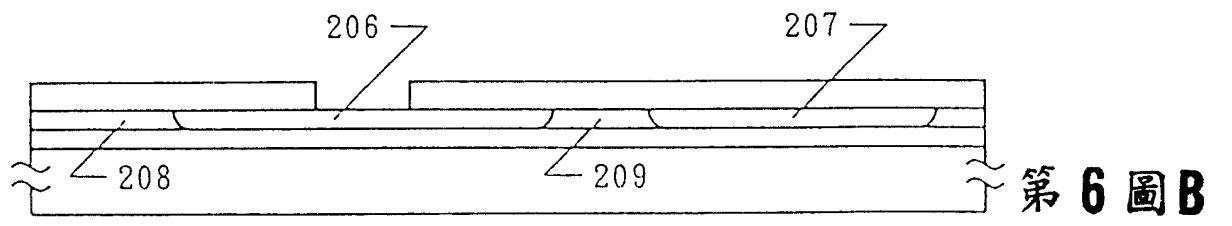
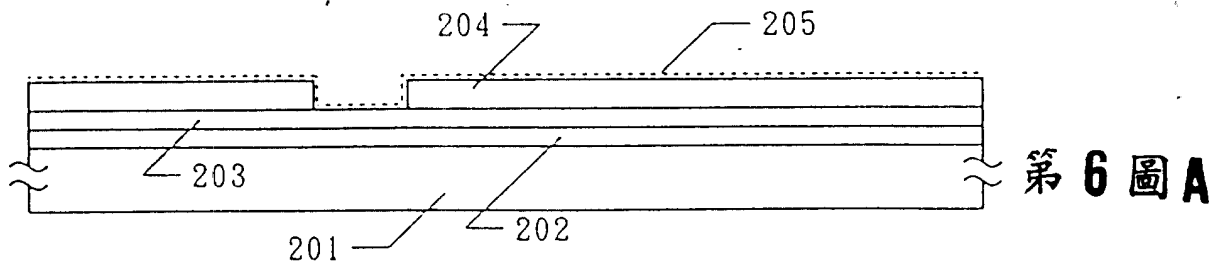
第 5 圖 A

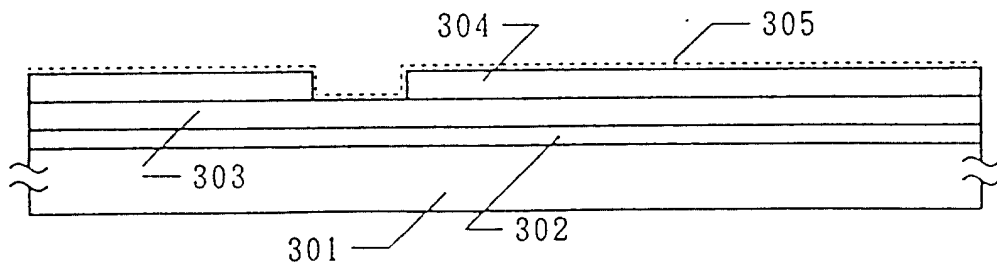


第 5 圖 B

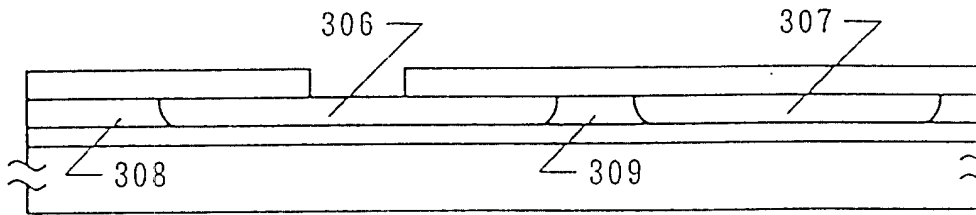


第 5 圖 C

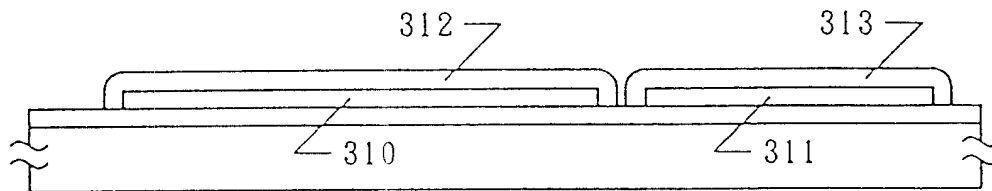




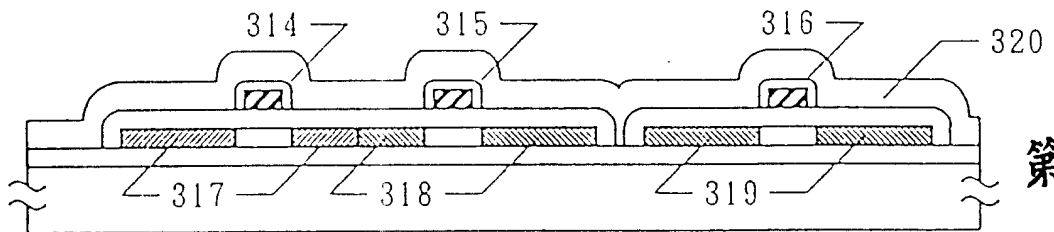
第 7 圖 A



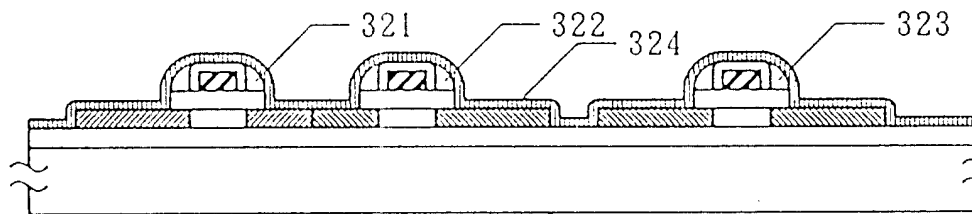
第 7 圖 B



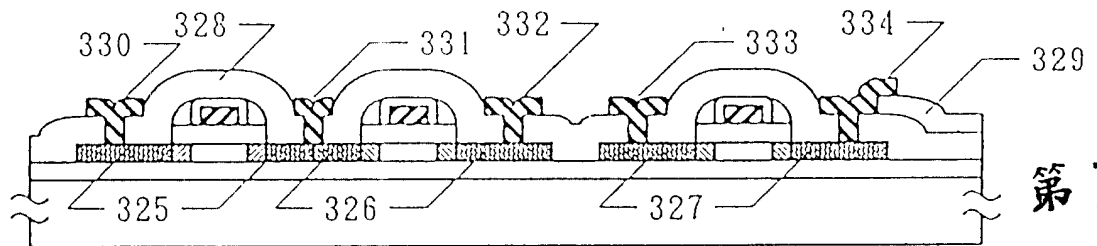
第 7 圖 C



第 7 圖 D



第 7 圖 E



第 7 圖 F

六、申請專利範圍

第 83107782 號 專 利 申 請 案

中 文 申 請 專 利 範 圍 修 正 本

民 國 84 年 10 月 修 正

1. 一種半導體裝置之製造方法，包含下列各步驟

在一基底上形成一具有非結晶矽之矽薄膜；

在形成該矽薄膜之前或之後，準備一可增進結晶之元素，以便將該元素導入該矽薄膜的一個區域；

使該矽薄膜結晶，其中該矽薄膜係自晶體生長方向平行於該基底的區域生長晶體；

使該矽薄膜氧化，以便在該矽薄膜上形成一二氧化矽層；以及

利用該矽薄膜形成複數個薄膜電晶體，

其中至少一個薄膜電晶體具有一第一角度，該第一角度係形成於一載子移動方向與該晶體生長方向之間，而且至少另一個薄膜電晶體具有一與該第一角度不同的第二角度，該第二角度係形成於該載子移動方向與該晶體生長方向之間。

2. 一種用於主動矩陣式液晶顯示器的半導體裝置之製造方法，該半導體裝置設有一周邊電路部分及一像素部分及，該方法包含下列各步驟：

在一基底上形成一具有非結晶矽之矽薄膜；

在形成該矽薄膜之前或之後，準備一可增進結晶之元素，以便將該元素導入該矽薄膜的一個區域；

使該矽薄膜結晶，其中該矽薄膜係自晶體生長方向平

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

外

六、申請專利範圍

行於該基底的區域生長晶體；

使該矽薄膜氧化，以便在該矽薄膜上形成一二氧化矽薄膜；以及

利用氧化後的該矽薄膜形成複數個薄膜電晶體，

其中至少一個薄膜電晶體係設來作為周邊電路部分，且設於該周邊電路部分的該薄膜電晶體具有一第一角度，該第一角度係形成於一載子移動方向與該晶體生長方向之間，而且至少另一個薄膜電晶體係設來作為像素部分，且設於該像素部分的該薄膜電晶體具有一與該第一角度不同的第二角度，該第二角度係形成於該載子移動方向與該晶體生長方向之間。

3. 如申請專利範圍第1項之方法，其中該第一角度大約為 0° ，該第二角度大約為 90° 。

4. 如申請專利範圍第2項之方法，其中該第一角度大約為 0° ，該第二角度大約為 90° 。

5. 如申請專利範圍第1項之方法，其中該元素包括鎳、銅、鈮、鉑其中之一。

6. 如申請專利範圍第2項之方法，其中該元素包括鎳、銅、鈮、鉑其中之一。

7. 如申請專利範圍第1項之方法，又包含下列步驟：

於一所需之期間中對結晶後的該矽薄膜加熱。

8. 如申請專利範圍第2項之方法，又包含下列步驟：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

於一所需之期間中對結晶後的該矽薄膜加熱。

9. 如申請專利範圍第7項之方法，其中係利用快速退火法執行該加熱步驟。

10. 如申請專利範圍第8項之方法，其中係利用快速退火法執行該加熱步驟。

11. 如申請專利範圍第9項之方法，其中用於該快速退火法的光源包括波長為0.6到4微米的紅外線。

12. 如申請專利範圍第10項之方法，其中用於該快速退火法的光源包括波長為0.6到4微米的紅外線。

13. 一種半導體裝置之製造方法，包含下列各步驟
在一基底上形成一具有非結晶矽之矽薄膜；

在形成該矽薄膜之前或之後，準備一可增進結晶之元素，以便將該元素導入該矽薄膜的一個區域；

使該矽薄膜結晶，其中該矽薄膜係自沿著晶體生長方向的區域生長晶體；

使該矽薄膜氧化，以便在該矽薄膜上形成一二氧化矽層；以及

利用該矽薄膜形成複數個薄膜電晶體，

其中至少一個薄膜電晶體設有一生長晶體之矽薄膜，且該矽薄膜之晶體生長方向與一載子移動方向重合，而且至少另一個薄膜電晶體設有一晶體生長方向與載子移動方向不同的生長晶體之矽薄膜。

14. 一種半導體裝置之製造方法，包含下列各步驟

:

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

水

六、申請專利範圍

在一基底上形成一具有非結晶矽之矽薄膜；

在形成該矽薄膜之前或之後，準備一可增進結晶之元素，以便將該元素導入該矽薄膜的一個區域；

使該矽薄膜結晶，其中該矽薄膜係自沿著晶體生長方向的區域生長晶體，以便得到一晶體生長區域；

使該矽薄膜氧化，以便在該矽薄膜上形成一二氧化矽層；以及

利用該矽薄膜形成複數個薄膜電晶體，

其中至少一個薄膜電晶體具有一第一角度，該第一角度係形成於一載子移動方向與該晶體生長方向之間，而且至少另一個薄膜電晶體具有一與該第一角度不同的第二角度，該第二角度係形成於該載子移動方向與該晶體生長方向之間，以及

其中該晶體生長區域包含該元素，且包含在該晶體生長區域的該元素濃度為 1×10^{17} 到 1×10^{20} 原子／立方厘米。

15. 如申請專利範圍第14項之裝置，其中該第一角度大約為 0° ，該第二角度大約為 90° 。

16. 一種用於主動矩陣式液晶顯示器的半導體裝置之製造方法，該半導體裝置設有一周邊電路部分及一像素部分，該方法包含下列各步驟：

在一基底上形成一具有非結晶矽之矽薄膜；

在形成該矽薄膜之前或之後，準備一可增進結晶之元素，以便將該元素導入該矽薄膜的一個區域；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

使該矽薄膜結晶，其中該矽薄膜係自沿著晶體生長方向的區域生長晶體；

使該矽薄膜氧化，以使在該矽薄膜上形成一二氧化矽薄膜；以及

利用該矽薄膜形成複數個薄膜電晶體，

其中至少一個薄膜電晶體設有一生長晶體之矽薄膜，且該矽薄膜之晶體生長方向與一載子移動方向重合，而且至少另一個薄膜電晶體設有一晶體生長方向與載子移動方向不同的生長晶體之矽薄膜。

17. 一種半導體裝置之製造方法，包含下列各步驟：

在一基底上形成一具有非結晶矽之矽薄膜；

在形成該矽薄膜之前或之後，準備鎳，以便將該鎳導入該矽薄膜的一個區域；

使該矽薄膜結晶，其中該矽薄膜係自晶體生長方向平行於該基底的區域生長晶體，以便得到一晶體生長區域；

使該矽薄膜氧化，以使在該矽薄膜上形成一二氧化矽層；以及

利用該矽薄膜形成複數個薄膜電晶體，

其中至少一個薄膜電晶體具有一第一角度，該第一角度係形成於一載子移動方向與該晶體生長方向之間，而且至少另一個薄膜電晶體具有一與該第一角度不同的第二角度，該第二角度係形成於該載子移動方向與該晶體生長方向之間。

六、申請專利範圍

18. 如申請專利範圍第17項之方法，其中該晶體生長區域包含鎳，且包含在該晶體生長區域的該鎳之濃度為 1×10^{17} 到 1×10^{20} 原子／立方厘米。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

編