

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 9 月 28 日 (28.09.2023)



(10) 国际公布号
WO 2023/178773 A1

(51) 国际专利分类号:
G09G 3/20 (2006.01)

(21) 国际申请号: PCT/CN2022/087343

(22) 国际申请日: 2022 年 4 月 18 日 (18.04.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202210298373.6 2022 年 3 月 24 日 (24.03.2022) CN

(71) 申请人: 惠州华星光电显示有限公司(HUIZHOU CHINA STAR OPTOELECTRONICS DISPLAY CO., LTD.) [CN/CN]; 中国广东省惠州市仲恺高新区陈江街道华星大道 6 号模组厂房 A 一楼, Guangdong 516000 (CN)。TCL 华星光电技术有限公司(TCL CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 李佳龙 (LI, Jialong); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳紫藤知识产权代理有限公司 (PURPLEVINE INTELLECTUAL PROPERTY (SHENZHEN) CO., LTD.); 中国广东省深圳市南山区粤海街道大冲社区华润置地大厦 C 座 2901, Guangdong 518052 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG,

(54) Title: DRIVING CIRCUIT AND DISPLAY DEVICE

(54) 发明名称: 驱动电路及显示装置

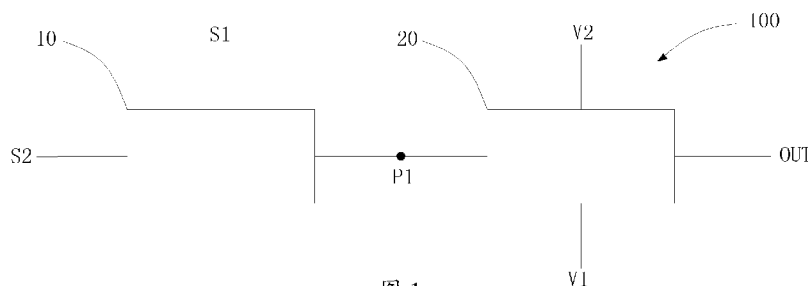


图 1

(57) Abstract: A driving circuit (100) and a display device (1000). The driving circuit (100) provides a level signal to a first node (P1) under the control of a first signal control end (S1) and a second signal control end (S2), and then provides a signal of a first power supply end (V1) or a second power supply end (V2) for an output end (OUT) under the control of the level signal of the first node (P1), so as to output different level signals under the control of two control signals, for solving the problem that a timing controller (200) cannot be directly used with different gate drive chips (300).

(57) 摘要: 一种驱动电路 (100) 及显示装置 (1000), 该驱动电路 (100) 在第一信号控制端 (S1) 和第二信号控制端 (S2) 的控制下向第一节点 (P1) 提供电平信号, 再在第一节点 (P1) 的电平信号控制下向输出端 (OUT) 提供第一电源端 (V1) 或第二电源端 (V2) 的信号, 从而实现在两个控制信号控制下输出不同的电平信号, 以解决时序控制器 (200) 不能与不同的栅极驱动芯片 (300) 直接匹配使用的问题。

CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD,
TG)。

本国际公布：

- 包括国际检索报告(条约第21条(3))。

驱动电路及显示装置

技术领域

[0001] 本申请涉及显示技术领域，具体涉及一种驱动电路及显示装置。

背景技术

[0002] 显示装置作为电子设备的显示部件已经广泛的应用于各种电子产品中，其中，栅极驱动芯片为显示装置的一个重要组成部分。栅极驱动芯片也可以称为GOA (Gate Driver On Array, 阵列基板行驱动) 芯片，其利用薄膜晶体管显示装置的阵列制程将栅极行扫描驱动信号电路制作在阵列基板上，实现对栅极逐行扫描的驱动方式的一项技术。

[0003] 薄膜晶体管显示装置主要驱动原理是，系统主板将R/G/B压缩信号、控制信号及动力通过线材与电路板上的连接器连接，数据经过电路板上的时序控制器处理后，通过源极驱动芯片和栅极驱动芯片分别与显示像素连接，从而使得显示装置获得所需的电源和信号。时序控制器控制栅极驱动芯片需要多个控制信号，但是不同制造产商的栅极驱动芯片对于控制信号的高低电平的使用方式各不相同，这使得时序控制器不能直接与不同类型的栅极驱动芯片进行匹配使用。因此不同类型的栅极驱动芯片需要与相对应的时序控制器进行匹配，从而需要设计不同版本的电路板，导致物料生产成本的增加。

发明概述

技术问题

[0004] 本申请提供一种驱动电路及显示装置，以解决时序控制器不能与不同的栅极驱动芯片直接匹配使用的问题。

问题的解决方案

技术解决方案

[0005] 本申请提供一种驱动电路，其包括：

[0006] 输入模块，所述输入模块分别与第一信号控制端、第二信号控制端和第一节点连接，所述输入模块用于在所述第一信号控制端和所述第二信号控制端的控制

下向所述第一节点提供电平信号；

[0007] 输出模块，所述输出模块分别与第一电源端、第二电源端、所述第一节点以及输出端连接，所述输出模块用于在所述第一节点的电平信号控制下向所述输出端提供所述第一电源端或所述第二电源端的信号。

[0008] 可选的，在本申请一些实施例中，所述输入模块包括：

[0009] 第一晶体管，所述第一晶体管的栅极与所述第一信号控制端连接，所述第一晶体管的源极和漏极中的一者与所述第二信号控制端连接，所述第一晶体管的源极和漏极中的另一者与所述第一节点连接；

[0010] 第二晶体管，所述第二晶体管的栅极与所述第一信号控制端连接，所述第二晶体管的源极和漏极中的一者与所述第二信号控制端连接，所述第二晶体管的源极和漏极中的另一者与所述第一节点连接；

[0011] 所述第一晶体管为P型晶体管和N型晶体管中的一者，所述第二晶体管为P型晶体管和N型晶体管中的另一者。

[0012] 可选的，在本申请一些实施例中，所述输出模块包括：

[0013] 第三晶体管，所述第三晶体管的栅极与所述第一节点连接，所述第三晶体管的源极和漏极中的一者与所述第一电源端连接，所述第三晶体管的源极和漏极中的另一者与所述输出端连接；

[0014] 第四晶体管，所述第四晶体管的栅极与所述第一节点连接，所述第四晶体管的源极和漏极中的一者与所述第二电源端连接，所述第四晶体管的源极和漏极中的另一者与所述输出端连接；

[0015] 所述第三晶体管为P型晶体管和N型晶体管中的一者，所述第四晶体管为P型晶体管和N型晶体管中的另一者。

[0016] 可选的，在本申请一些实施例中，所述输入模块还包括：

[0017] 第五晶体管，所述第五晶体管的栅极与第二节点连接，所述第五晶体管的源极和漏极中的一者与第三电源端连接，所述第一晶体管的源极和漏极中的另一者与所述第一节点连接；

[0018] 第六晶体管，所述第六晶体管的栅极与所述第二节点连接，所述第六晶体管的源极和漏极中的一者与第四电源端连接，所述第二晶体管的源极和漏极中的另

一者与所述第一节点连接；

[0019] 所述第一晶体管的源极和漏极中的另一者与所述第二节点连接，所述第五晶体管为P型晶体管和N型晶体管中的一者，所述第六晶体管为P型晶体管和N型晶体管中的另一者。

[0020] 可选的，在本申请一些实施例中，所述输出模块还包括：

[0021] 第七晶体管，所述第七晶体管的栅极与第三节点连接，所述第七晶体管的源极和漏极中的一者与第四节点连接，所述第一晶体管的源极和漏极中的另一者与所述输出端连接；

[0022] 第八晶体管，所述第八晶体管的栅极与所述第三节点连接，所述第六晶体管的源极和漏极中的一者与所述第四节点连接，所述第二晶体管的源极和漏极中的另一者与所述输出端连接；

[0023] 所述第三晶体管的源极和漏极中的另一者与所述第四节点连接，所述第四晶体管的源极和漏极中的另一者与所述第四节点连接；

[0024] 所述第一信号控制端与所述第三节点连接，所述第七晶体管为P型晶体管和N型晶体管中的一者，所述第八晶体管为P型晶体管和N型晶体管中的另一者。

[0025] 可选的，在本申请一些实施例中，所述输出模块还包括：

[0026] 第七晶体管，所述第七晶体管的栅极与第三节点连接，所述第七晶体管的源极和漏极中的一者与第四节点连接，所述第一晶体管的源极和漏极中的另一者与所述输出端连接；

[0027] 第八晶体管，所述第八晶体管的栅极与所述第三节点连接，所述第六晶体管的源极和漏极中的一者与所述第四节点连接，所述第二晶体管的源极和漏极中的另一者与所述输出端连接；

[0028] 所述第三晶体管的源极和漏极中的另一者与所述第四节点连接，所述第四晶体管的源极和漏极中的另一者与所述第四节点连接；

[0029] 所述第二信号控制端与所述第三节点连接，所述第七晶体管为P型晶体管和N型晶体管中的一者，所述第八晶体管为P型晶体管和N型晶体管中的另一者。

[0030] 可选的，在本申请一些实施例中，所述第一电源端和所述第三电源端为同一电源端；所述第二电源端和所述第四电源端为同一电源端。

- [0031] 可选的，在本申请一些实施例中，所述第一电源端和所述第四电源端为同一电源端；所述第二电源端和所述第三电源端为同一电源端。
- [0032] 可选的，在本申请一些实施例中，所述第一电源端和所述第三电源端的信号为高电平信号或低电平信号，所述第二电源端和所述第四电源端的信号为低电平信号或高电平信号。
- [0033] 可选的，在本申请一些实施例中，所述第一电源端和所述第四电源端的信号为高电平信号或低电平信号，所述第二电源端和所述第三电源端的信号为低电平信号或高电平信号。
- [0034] 相对应地，本申请还提供一种显示装置，其包括驱动电路；所述驱动电路包括：
- [0035] 输入模块，所述输入模块分别与第一信号控制端、第二信号控制端和第一节点连接，所述输入模块用于在所述第一信号控制端和所述第二信号控制端的控制下向所述第一节点提供电平信号；
- [0036] 输出模块，所述输出模块分别与第一电源端、第二电源端、所述第一节点以及输出端连接，所述输出模块用于在所述第一节点的电平信号控制下向所述输出端提供所述第一电源端或所述第二电源端的信号。
- [0037] 可选的，在本申请一些实施例中，所述显示装置还包括：
- [0038] 时序控制器，所述时序控制器与所述驱动电路的第一信号控制端和第二信号控制端连接，
- [0039] 栅极驱动芯片，所述栅极驱动芯片与所述驱动电路的输出端连接。
- [0040] 可选的，在本申请一些实施例中，所述输入模块包括：
- [0041] 第一晶体管，所述第一晶体管的栅极与所述第一信号控制端连接，所述第一晶体管的源极和漏极中的一者与所述第二信号控制端连接，所述第一晶体管的源极和漏极中的另一者与所述第一节点连接；
- [0042] 第二晶体管，所述第二晶体管的栅极与所述第一信号控制端连接，所述第二晶体管的源极和漏极中的一者与所述第二信号控制端连接，所述第二晶体管的源极和漏极中的另一者与所述第一节点连接；
- [0043] 所述第一晶体管为P型晶体管和N型晶体管中的一者，所述第二晶体管为P型晶

体管和N型晶体管中的另一者。

[0044] 可选的，在本申请一些实施例中，所述输出模块包括：

[0045] 第三晶体管，所述第三晶体管的栅极与所述第一节点连接，所述第三晶体管的源极和漏极中的一者与所述第一电源端连接，所述第三晶体管的源极和漏极中的另一者与所述输出端连接；

[0046] 第四晶体管，所述第四晶体管的栅极与所述第一节点连接，所述第四晶体管的源极和漏极中的一者与所述第二电源端连接，所述第四晶体管的源极和漏极中的另一者与所述输出端连接；

[0047] 所述第三晶体管为P型晶体管和N型晶体管中的一者，所述第四晶体管为P型晶体管和N型晶体管中的另一者。

[0048] 可选的，在本申请一些实施例中，所述输入模块还包括：

[0049] 第五晶体管，所述第五晶体管的栅极与第二节点连接，所述第五晶体管的源极和漏极中的一者与第三电源端连接，所述第一晶体管的源极和漏极中的另一者与所述第一节点连接；

[0050] 第六晶体管，所述第六晶体管的栅极与所述第二节点连接，所述第六晶体管的源极和漏极中的一者与第四电源端连接，所述第二晶体管的源极和漏极中的另一者与所述第一节点连接；

[0051] 所述第一晶体管的源极和漏极中的另一者与所述第二节点连接，所述第五晶体管为P型晶体管和N型晶体管中的一者，所述第六晶体管为P型晶体管和N型晶体管中的另一者。

[0052] 可选的，在本申请一些实施例中，所述输出模块还包括：

[0053] 第七晶体管，所述第七晶体管的栅极与第三节点连接，所述第七晶体管的源极和漏极中的一者与第四节点连接，所述第一晶体管的源极和漏极中的另一者与所述输出端连接；

[0054] 第八晶体管，所述第八晶体管的栅极与所述第三节点连接，所述第六晶体管的源极和漏极中的一者与所述第四节点连接，所述第二晶体管的源极和漏极中的另一者与所述输出端连接；

[0055] 所述第三晶体管的源极和漏极中的另一者与所述第四节点连接，所述第四晶体

管的源极和漏极中的另一者与所述第四节点连接；

[0056] 所述第一信号控制端与所述第三节点连接，所述第七晶体管为P型晶体管和N型晶体管中的一者，所述第八晶体管为P型晶体管和N型晶体管中的另一者。

[0057] 可选的，在本申请一些实施例中，所述输出模块还包括：

[0058] 第七晶体管，所述第七晶体管的栅极与第三节点连接，所述第七晶体管的源极和漏极中的一者与第四节点连接，所述第一晶体管的源极和漏极中的另一者与所述输出端连接；

[0059] 第八晶体管，所述第八晶体管的栅极与所述第三节点连接，所述第六晶体管的源极和漏极中的一者与所述第四节点连接，所述第二晶体管的源极和漏极中的另一者与所述输出端连接；

[0060] 所述第三晶体管的源极和漏极中的另一者与所述第四节点连接，所述第四晶体管的源极和漏极中的另一者与所述第四节点连接；

[0061] 所述第二信号控制端与所述第三节点连接，所述第七晶体管为P型晶体管和N型晶体管中的一者，所述第八晶体管为P型晶体管和N型晶体管中的另一者。

[0062] 可选的，在本申请一些实施例中，所述第一电源端和所述第三电源端为同一电源端；所述第二电源端和所述第四电源端为同一电源端。

[0063] 可选的，在本申请一些实施例中，所述第一电源端和所述第四电源端为同一电源端；所述第二电源端和所述第三电源端为同一电源端。

[0064] 可选的，在本申请一些实施例中，所述第一电源端和所述第三电源端的信号为高电平信号或低电平信号，所述第二电源端和所述第四电源端的信号为低电平信号或高电平信号。

发明的有益效果

有益效果

[0065] 本申请提供一种驱动电路及显示装置，其中驱动电路包括：输入模块，所述输入模块分别与第一信号控制端、第二信号控制端和第一节点连接，所述输入模块用于在所述第一信号控制端和所述第二信号控制端的控制下向所述第一节点提供电平信号；输出模块，所述输出模块分别与第一电源端、第二电源端、所述第一节点以及输出端连接，所述输出模块用于在所述第一节点的电平信号控

制下向所述输出端提供所述第一电源端或所述第二电源端的信号。本申请在所述第一信号控制端和所述第二信号控制端的控制下向所述第一节点提供电平信号，再在所述第一节点的电平信号控制下向所述输出端提供所述第一电源端或所述第二电源端的信号，从而实现在两个控制信号控制下输出不同的电平信号，以解决时序控制器不能与不同的栅极驱动芯片直接匹配使用的问题。

对附图的简要说明

附图说明

[0066] 为了更清楚地说明本申请实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图得到其他的附图。

[0067] 图1为本申请提供的驱动电路的第一结构示意图；

[0068] 图2为本申请提供的驱动电路的第二结构示意图；

[0069] 图3为本申请提供的显示装置的示意图；

[0070] 图4为本申请提供的驱动电路的第三结构示意图；

[0071] 图5为本申请提供的驱动电路的第四结构示意图；

[0072] 图6为本申请提供的驱动电路的第五结构示意图；

[0073] 图7为本申请提供的驱动电路的第六结构示意图；

[0074] 图8为本申请提供的驱动电路的第七结构示意图；

[0075] 图9为本申请提供的驱动电路的第八结构示意图；

[0076] 图10为本申请提供的驱动电路的第九结构示意图；

[0077] 图11为本申请提供的驱动电路的第十结构示意图；

[0078] 图12为本申请提供的驱动电路的第十一结构示意图；

[0079] 图13为本申请提供的驱动电路的第十二结构示意图；

[0080] 图14为本申请提供的驱动电路的第十三结构示意图。

发明实施例

本发明的实施方式

[0081] 下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、

完整地描述，显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域技术人员在没有作出创造性劳动前提下所得到的所有其他实施例，都属于本申请保护的范围。

[0082] 在本申请的描述中，需要理解的是，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个所述特征。在本申请的描述中，“多个”的含义是两个或两个以上，除非另有明确具体的限定。

[0083] 本申请所有实施例中采用的晶体管可以为薄膜晶体管或场效应管或其他特性相同的器件，由于这里采用的晶体管的源极、漏极是对称的，所以其源极、漏极是可以互换的。在本申请实施例中，为区分晶体管除栅极之外的两极，将其中一极称为源极，另一极称为漏极。按附图中的形态规定控制模块的中间端为栅极、信号输入端为源极、输出端为漏极。此外本申请实施例所采用的晶体管可以包括 P 型晶体管和/或 N 型晶体管两种，其中，P 型晶体管在栅极为低电平时导通，在栅极为高电平时截止，N 型晶体管为在栅极为高电平时导通，在栅极为低电平时截止。

[0084] 本申请提供一种驱动电路及显示装置，以下进行详细说明。需要说明的是，以下实施例的描述顺序不作为对本申请实施例优选顺序的限定。

[0085] 请参阅图1，图1为本申请提供的驱动电路100的第一结构示意图。本申请提供一种驱动电路100，其包括输入模块10和输出模块20。

[0086] 其中，所述输入模块10分别与第一信号控制端S1、第二信号控制端S2和第一节点P1连接，所述输入模块10用于在所述第一信号控制端S1和所述第二信号控制端S2的控制下向所述第一节点P1提供电平信号；

[0087] 所述输出模块20分别与第一电源端V1、第二电源端V2、所述第一节点P1以及输出端OUT连接，所述输出模块20用于在所述第一节点P1的电平信号控制下向所述输出端OUT提供所述第一电源端V1或所述第二电源端V2的信号。

[0088] 具体地，在工作过程中，输入模块10用于在所述第一信号控制端S1和所述第二信号控制端S2的控制下向所述第一节点P1提供电平信号，第一节点P1的电平信

号可以为高电平或低电平，接着输出模块20在所述第一节点P1的电平信号控制下向所述输出端OUT提供所述第一电源端V1或所述第二电源端V2的信号，其中所述第一电源端V1的信号为高电平和低电平中的一者，所述第二电源端V2的信号为高电平和低电平中的另一者。在实际使用时，时序控制器与第一信号控制端S1以及第二信号控制端S2连接，而栅极驱动芯片与输出端OUT连接，再设置第一电源端V1和第二电源端V2的电平大小，则时序控制器通过输出端OUT向栅极驱动芯片输入准确的控制信号，从而解决时序控制器不能与不同的栅极驱动芯片直接匹配使用的问题。

[0089] 请参阅图2，图2为本申请提供的驱动电路100的第二结构示意图。所述输入模块10包括第一晶体管T1和第二晶体管T2，其中，所述第一晶体管T1的栅极与所述第一信号控制端S1连接，所述第一晶体管T1的源极和漏极中的一者与所述第二信号控制端S2连接，所述第一晶体管T1的源极和漏极中的另一者与所述第一节点P1连接；所述第二晶体管T2的栅极与所述第一信号控制端S1连接，所述第二晶体管T2的源极和漏极中的一者与所述第二信号控制端S2连接，所述第二晶体管T2的源极和漏极中的另一者与所述第一节点P1连接；所述第一晶体管T1为P型晶体管和N型晶体管中的一者，所述第二晶体管T2为P型晶体管和N型晶体管中的另一者。

[0090] 也即是，所述第一晶体管T1为P型晶体管和N型晶体管中的一者，所述第二晶体管T2为P型晶体管和N型晶体管中的另一者，所述第一晶体管T1和所述第二晶体管T2采用不同类型的晶体管，在所述第一信号控制端S1和所述第二信号控制端S2的控制下能交替地向所述第一节点P1输出不同电平的信号。同时所述第一晶体管T1和所述第二晶体管T2交替导通而不是持续工作，可以提高晶体管的寿命。

[0091] 在一些实施例中，所述输出模块20包括第三晶体管T3和第四晶体管T4，所述第三晶体管T3的栅极与所述第一节点P1连接，所述第三晶体管T3的源极和漏极中的一者与所述第一电源端V1连接，所述第三晶体管T3的源极和漏极中的另一者与所述输出端OUT连接；所述第四晶体管T4的栅极与所述第一节点P1连接，所述第四晶体管T4的源极和漏极中的一者与所述第二电源端V2连接，所述第四晶体管T4的源极和漏极中的另一者与所述输出端OUT连接；所述第三晶体管T3为P型

晶体管和N型晶体管中的一者，所述第四晶体管T4为P型晶体管和N型晶体管中的另一者。

[0092] 也即是，所述第三晶体管T3为P型晶体管和N型晶体管中的一者，所述第四晶体管T4为P型晶体管和N型晶体管中的另一者，所述第三晶体管T3和所述第四晶体管T4采用不同类型的晶体管，根据所述第一节点P1的电平信号的高低而导通所述第三晶体管T3或所述第四晶体管T4，从而向所述输出端OUT提供所述第一电源端V1或所述第二电源端V2的信号。同时所述第三晶体管T3和所述第四晶体管T4交替导通而不是持续工作，可以提高晶体管的寿命。

[0093] 具体地，在本实施例中，所述第一晶体管T1为N型晶体管，所述第二晶体管T2为P型晶体管，所述第三晶体管T3为P型晶体管，所述第四晶体管T4为N型晶体管。其中所述第一电源端V1接入高电平信号，所述第二电源端V2接入低电平信号。

[0094] 在本实施例中，具体的工作过程如下：当所述第一信号控制端S1和所述第二信号控制端S2的信号均为高电平信号时，则第一晶体管T1导通，第二晶体管T2关闭，第一晶体管T1将所述第二信号控制端S2的高电平信号输送至第一节点P1，第一节点P1使得第四晶体管T4导通，第四晶体管T4将第二电源端V2的低电平信号输送至输出端OUT；当所述第一信号控制端S1和所述第二信号控制端S2的信号均为低电平信号时，则第一晶体管T1关闭，第二晶体管T2导通，第二晶体管T2将所述第二信号控制端S2的低电平信号输送至第一节点P1，第一节点P1使得第三晶体管T3导通，第三晶体管T3将第一电源端V1的高电平信号输送至输出端OUT；当所述第一信号控制端S1的信号为高电平信号，所述第二信号控制端S2的信号为低电平信号时，则第一晶体管T1导通，第二晶体管T2关闭，第一晶体管T1将所述第二信号控制端S2的低电平信号输送至第一节点P1，第一节点P1使得第三晶体管T3导通，第三晶体管T3将第一电源端V1的高电平信号输送至输出端OUT；当所述第一信号控制端S1的信号为低电平信号，所述第二信号控制端S2的信号为高电平信号时，则第一晶体管T1关闭，第二晶体管T2导通，第二晶体管T2将所述第二信号控制端S2的高电平信号输送至第一节点P1，

第一节点P1使得第四晶体管T4导通，第四晶体管T4将第二电源端V2的低电平信号输送至输出端OUT。

[0095] 请参阅图3，图3为本申请提供的显示装置的示意图。本申请实施例还提供一种显示装置1000，其包括如上述所述的驱动电路100。

[0096] 所述显示装置1000还包括时序控制器200和栅极驱动芯片300，所述时序控制器200与所述驱动电路100的第一信号控制端S1和第二信号控制端S2连接，所述栅极驱动芯片300与所述驱动电路100的所述输出端OUT连接。

[0097] 本申请的时序控制器200通过输出端OUT向栅极驱动芯片300输入准确的控制信号，从而解决时序控制器不能与不同的栅极驱动芯片直接匹配使用的问题。

[0098] 该显示装置解决问题的原理与前述驱动电路100相似，因此该显示装置的实施和有益效果可以参见前述驱动电路100的描述，重复之处在此不再赘述。

[0099] 请参阅图4，图4为本申请提供的驱动电路100的第三结构示意图。在本申请的其他实施例中，所述第一晶体管T1为P型晶体管，所述第二晶体管T2为N型晶体管，所述第三晶体管T3为P型晶体管，所述第四晶体管T4为N型晶体管。

[0100] 请参阅图5，图5为本申请提供的驱动电路100的第四结构示意图。在本申请的其他实施例中，所述第一晶体管T1为P型晶体管，所述第二晶体管T2为N型晶体管，所述第三晶体管T3为N型晶体管，所述第四晶体管T4为P型晶体管。

[0101] 请参阅图6，图6为本申请提供的驱动电路100的第五结构示意图。在本申请的其他实施例中，所述第一晶体管T1为N型晶体管，所述第二晶体管T2为P型晶体管，所述第三晶体管T3为N型晶体管，所述第四晶体管T4为P型晶体管。

[0102] 请参阅图7，图7为本申请提供的驱动电路100的第六结构示意图。本实施例与图1所提供的驱动电路100不同的是：在本申请一些实施例中，所述输入模块10还包括：第五晶体管T5和第六晶体管T6，所述第五晶体管T5的栅极与第二节点P2连接，所述第五晶体管T5的源极和漏极中的一者与第三电源端V3连接，所述第一晶体管T1的源极和漏极中的另一者与所述第一节点P1连接；所述第六晶体管T6的栅极与所述第二节点P2连接，所述第六晶体管T6的源极和漏极中的一者与第四电源端V4连接，所述第二晶体管T2的源极和漏极中的另一者与所述第一节点P1连接；所述第一晶体管T1的源极和漏极中的另一者与所述第二节点P2连接，所

述第五晶体管T5为P型晶体管和N型晶体管中的一者，所述第六晶体管T6为P型晶体管和N型晶体管中的另一者。

[0103] 也即是，所述第五晶体管T5为P型晶体管和N型晶体管中的一者，所述第六晶体管T6为P型晶体管和N型晶体管中的另一者，所述第五晶体管T5和所述第六晶体管T6采用不同类型的晶体管，根据所述第二节点P2的电平信号的高低而导通所述第五晶体管T5或所述第六晶体管T6，从而可以向第一节点P1交替输出不同的电平信号。同时所述第五晶体管T5和所述第六晶体管T6交替导通而不是持续工作，可以提高晶体管的寿命。

[0104] 具体地，在本实施例中，所述第五晶体管T5为N型晶体管，所述第六晶体管T6为P型晶体管。所述第一电源端V1和所述第三电源端V3的信号为高电平信号，所述第二电源端V2和所述第四电源端V4的信号为低电平信号。

[0105] 在本实施例中，具体的工作过程如下：当所述第一信号控制端S1和所述第二信号控制端S2的信号均为高电平信号时，则第一晶体管T1导通，第二晶体管T2关闭，第一晶体管T1将所述第二信号控制端S2的高电平信号输送至第二节点P2，第二节点P2使得第六晶体管T6导通，第六晶体管T6将所述第四电源端V4的低电平信号输送至第一节点P1，第一节点P1使得第三晶体管T3导通，第三晶体管T3将第一电源端V1的高电平信号输送至输出端OUT；当所述第一信号控制端S1和所述第二信号控制端S2的信号均为低电平信号时，则第一晶体管T1关闭，第二晶体管T2导通，第二晶体管T2将所述第二信号控制端S2的低电平信号输送至第一节点P1，第一节点P1使得第三晶体管T3导通，第三晶体管T3将第一电源端V1的高电平信号输送至输出端OUT；当所述第一信号控制端S1的信号为高电平信号，所述第二信号控制端S2的信号为低电平信号时，则第一晶体管T1导通，第二晶体管T2关闭，第一晶体管T1将所述第二信号控制端S2的低电平信号输送至第二节点P2，第二节点P2使得第五晶体管T5导通，第五晶体管T5将所述第三电源端V3的高电平信号输送至第一节点P1，第一节点P1使得第四晶体管T4导通，第四晶体管T4将第二电源端V2的低电平信号输送至输出端OUT；当所述第一信号控制端S1的信号为低电平信号，所述第二信号控制端S2的信号为高电平信号时，则第一晶体管T1关闭，第二晶体管T2导通，第二晶体管T2将所述第二信号控制端S2

的高电平信号输送至第一节点P1，第一节点P1使得第四晶体管T4导通，第四晶体管T4将第二电源端V2的低电平信号输送至输出端OUT。

[0106] 请参阅图8，图8为本申请提供的驱动电路100的第七结构示意图。在一些实施例中，所述第一电源端V1和所述第三电源端V3为同一电源端；所述第二电源端V2和所述第四电源端V4为同一电源端。

[0107] 请参阅图9，图9为本申请提供的驱动电路100的第八结构示意图。在本申请的其他实施例中，所述第五晶体管T5为P型晶体管，所述第六晶体管T6为N型晶体管。

[0108] 在本申请的其他实施例中，所述第一电源端V1和所述第三电源端V3的信号为低电平信号，所述第二电源端V2和所述第四电源端V4的信号为高电平信号。所述第一电源端V1和所述第三电源端V3为同一电源端；所述第二电源端V2和所述第四电源端V4为同一电源端。

[0109] 请参阅图10，图10为本申请提供的驱动电路100的第九结构示意图。在本申请的其他实施例中，所述第一电源端V1和所述第四电源端V4的信号为低电平信号，所述第二电源端V2和所述第三电源端V3的信号为高电平信号。所述第一电源端V1和所述第四电源端V4为同一电源端；所述第二电源端V2和所述第三电源端V3为同一电源端。

[0110] 在本申请的其他实施例中，所述第一电源端V1和所述第四电源端V4的信号为高电平信号，所述第二电源端V2和所述第三电源端V3的信号为低电平信号。在本申请一些实施例中，所述第一电源端V1和所述第四电源端V4为同一电源端；所述第二电源端V2和所述第三电源端V3为同一电源端。

[0111] 请参阅图11，图11为本申请提供的驱动电路100的第十结构示意图。本实施例与图7所提供的驱动电路100不同的是：所述输出模块20还包括：第七晶体管T7和第八晶体管T8，所述第七晶体管T7的栅极与第三节点P3连接，所述第七晶体管T7的源极和漏极中的一者与第四节点P4连接，所述第一晶体管T1的源极和漏极中的另一者与所述输出端OUT连接；所述第八晶体管T8的栅极与所述第三节点P3连接，所述第六晶体管T6的源极和漏极中的一者与所述第四节点P4连接，所述第二晶体管T2的源极和漏极中的另一者与所述输出端OUT连接；所述第三晶体

管T3的源极和漏极中的另一者与所述第四节点P4连接，所述第四晶体管T4的源极和漏极中的另一者与所述第四节点P4连接；所述第一信号控制端S1与所述第三节点P3连接，所述第七晶体管T7为P型晶体管和N型晶体管中的一者，所述第八晶体管T8为P型晶体管和N型晶体管中的另一者。

[0112] 也即是，在本实施例中，所述第七晶体管T7和所述第八晶体管T8连接在所述第四节点P4与所述输出端OUT之间，所述第七晶体管T7为P型晶体管和N型晶体管中的一者，所述第八晶体管T8为P型晶体管和N型晶体管中的另一者，利用所述第一信号控制端S1通过所述第一信号控制端S1控制所述第七晶体管T7和所述第八晶体管T8中的一个导通，从而向输出端OUT提供所述第一电源端V1或所述第二电源端V2的信号。

[0113] 具体地，所述第七晶体管T7为P型晶体管，所述第八晶体管T8为N型晶体管。所述第一电源端V1和所述第三电源端V3的信号为高电平信号，所述第二电源端V2和所述第四电源端V4的信号为低电平信号。

[0114] 在本实施例中，具体的工作过程如下：当所述第一信号控制端S1和所述第二信号控制端S2的信号均为高电平信号时，则第一晶体管T1导通，第二晶体管T2关闭，第七晶体管T7关闭，第八晶体管T8导通，第一晶体管T1将所述第二信号控制端S2的高电平信号输送至第二节点P2，第二节点P2使得第六晶体管T6导通，第六晶体管T6将所述第四电源端V4的低电平信号输送至第一节点P1，第一节点P1使得第三晶体管T3导通，第三晶体管T3将第一电源端V1的高电平信号输送至第四节点P4，第八晶体管T8将第一电源端V1的高电平信号输送至输出端OUT；

[0115] 当所述第一信号控制端S1和所述第二信号控制端S2的信号均为低电平信号时，则第一晶体管T1关闭，第二晶体管T2导通，第七晶体管T7导通，第八晶体管T8关闭，第二晶体管T2将所述第二信号控制端S2的低电平信号输送至第一节点P1，第一节点P1使得第三晶体管T3导通，第三晶体管T3将第一电源端V1的高电平信号输送至第四节点P4，第七晶体管T7将第一电源端V1的高电平信号输送至输出端OUT；

[0116] 当所述第一信号控制端S1的信号为高电平信号，所述第二信号控制端S2的信号为低电平信号时，则第一晶体管T1导通，第二晶体管T2关闭，第七晶体管T7关

闭，第八晶体管T8导通，第一晶体管T1将所述第二信号控制端S2的低电平信号输送至第二节点P2，第二节点P2使得第五晶体管T5导通，第五晶体管T5将所述第三电源端V3的高电平信号输送至第一节点P1，第一节点P1使得第四晶体管T4导通，第四晶体管T4将第二电源端V2的低电平信号输送至第四节点P4，第八晶体管T8将第二电源端V2的低电平信号输送至输出端OUT；

[0117] 当所述第一信号控制端S1的信号为低电平信号，所述第二信号控制端S2的信号为高电平信号时，则第一晶体管T1关闭，第二晶体管T2导通，第七晶体管T7导通，第八晶体管T8关闭，第二晶体管T2将所述第二信号控制端S2的高电平信号输送至第一节点P1，第一节点P1使得第四晶体管T4导通，第四晶体管T4将第二电源端V2的低电平信号输送至第四节点P4，第七晶体管T7将第二电源端V2的低电平信号输送至输出端OUT。

[0118] 请参阅图12，图12为本申请提供的驱动电路100的第十一结构示意图。在本申请的其他实施例中，所述第七晶体管T7为N型晶体管，所述第八晶体管T8为P型晶体管。

[0119] 请参阅图13，图13为本申请提供的驱动电路100的第十二结构示意图。本实施例与图7所提供的驱动电路100不同的是：所述输出模块20还包括：第七晶体管T7和第八晶体管T8，所述第七晶体管T7的栅极与第三节点P3连接，所述第七晶体管T7的源极和漏极中的一者与第四节点P4连接，所述第一晶体管T1的源极和漏极中的另一者与所述输出端OUT连接；所述第八晶体管T8的栅极与所述第三节点P3连接，所述第六晶体管T6的源极和漏极中的一者与所述第四节点P4连接，所述第二晶体管T2的源极和漏极中的另一者与所述输出端OUT连接；所述第三晶体管T3的源极和漏极中的另一者与所述第四节点P4连接，所述第四晶体管T4的源极和漏极中的另一者与所述第四节点P4连接；所述第二信号控制端S2与所述第三节点P3连接，所述第七晶体管T7为P型晶体管和N型晶体管中的一者，所述第八晶体管T8为P型晶体管和N型晶体管中的另一者。

[0120] 也即是，在本实施例中，所述第七晶体管T7和所述第八晶体管T8连接在所述第四节点P4与所述输出端OUT之间，所述第七晶体管T7为P型晶体管和N型晶体管中的一者，所述第八晶体管T8为P型晶体管和N型晶体管中的另一者，利用所述第

二信号控制端S2通过所述第一信号控制端S1控制所述第七晶体管T7和所述第八晶体管T8中的一个导通，从而向输出端OUT提供所述第一电源端V1或所述第二电源端V2的信号。

[0121] 具体地，所述第七晶体管T7为P型晶体管，所述第八晶体管T8为N型晶体管。所述第一电源端V1和所述第三电源端V3的信号为高电平信号，所述第二电源端V2和所述第四电源端V4的信号为低电平信号。

[0122] 在本实施例中，具体的工作过程如下：当所述第一信号控制端S1和所述第二信号控制端S2的信号均为高电平信号时，则第一晶体管T1导通，第二晶体管T2关闭，第七晶体管T7关闭，第八晶体管T8导通，第一晶体管T1将所述第二信号控制端S2的高电平信号输送至第二节点P2，第二节点P2使得第六晶体管T6导通，第六晶体管T6将所述第四电源端V4的低电平信号输送至第一节点P1，第一节点P1使得第三晶体管T3导通，第三晶体管T3将第一电源端V1的高电平信号输送至第四节点P4，第八晶体管T8将第一电源端V1的高电平信号输送至输出端OUT；

[0123] 当所述第一信号控制端S1和所述第二信号控制端S2的信号均为低电平信号时，则第一晶体管T1关闭，第二晶体管T2导通，第七晶体管T7导通，第八晶体管T8关闭，第二晶体管T2将所述第二信号控制端S2的低电平信号输送至第一节点P1，第一节点P1使得第三晶体管T3导通，第三晶体管T3将第一电源端V1的高电平信号输送至第四节点P4，第七晶体管T7将第一电源端V1的高电平信号输送至输出端OUT；

[0124] 当所述第一信号控制端S1的信号为高电平信号，所述第二信号控制端S2的信号为低电平信号时，则第一晶体管T1导通，第二晶体管T2关闭，第七晶体管T7导通，第八晶体管T8关闭，第一晶体管T1将所述第二信号控制端S2的低电平信号输送至第二节点P2，第二节点P2使得第五晶体管T5导通，第五晶体管T5将所述第三电源端V3的高电平信号输送至第一节点P1，第一节点P1使得第四晶体管T4导通，第四晶体管T4将第二电源端V2的低电平信号输送至第四节点P4，第七晶体管T7将第二电源端V2的低电平信号输送至输出端OUT；

[0125] 当所述第一信号控制端S1的信号为低电平信号，所述第二信号控制端S2的信号为高电平信号时，则第一晶体管T1关闭，第二晶体管T2导通，第七晶体管T7关

闭，第八晶体管T8导通，第二晶体管T2将所述第二信号控制端S2的高电平信号输送至第一节点P1，第一节点P1使得第四晶体管T4导通，第四晶体管T4将第二电源端V2的低电平信号输送至第四节点P4，第八晶体管T8将第二电源端V2的低电平信号输送至输出端OUT。

[0126] 请参阅图14，图14为本申请提供的驱动电路100的第十三结构示意图。在本申请的其他实施例中，所述第七晶体管T7为N型晶体管，所述第八晶体管T8为P型晶体管。

[0127] 以上对本申请实施例所提供的一种驱动电路及显示装置进行了详细介绍，本文中应用了具体个例对本申请的原理及实施方式进行了阐述，以上实施例的说明只是用于帮助理解本申请的方法及其核心思想；同时，对于本领域的技术人员，依据本申请的思想，在具体实施方式及应用范围上均会有改变之处，综上，本说明书内容不应理解为对本申请的限制。

权利要求书

- [权利要求 1] 一种驱动电路，其中，包括：
- 输入模块，所述输入模块分别与第一信号控制端、第二信号控制端和第一节点连接，所述输入模块用于在所述第一信号控制端和所述第二信号控制端的控制下向所述第一节点提供电平信号；
- 输出模块，所述输出模块分别与第一电源端、第二电源端、所述第一节点以及输出端连接，所述输出模块用于在所述第一节点的电平信号控制下向所述输出端提供所述第一电源端或所述第二电源端的信号。
- [权利要求 2] 根据权利要求1所述的驱动电路，其中，所述输入模块包括：
- 第一晶体管，所述第一晶体管的栅极与所述第一信号控制端连接，所述第一晶体管的源极和漏极中的一者与所述第二信号控制端连接，所述第一晶体管的源极和漏极中的另一者与所述第一节点连接；
- 第二晶体管，所述第二晶体管的栅极与所述第一信号控制端连接，所述第二晶体管的源极和漏极中的一者与所述第二信号控制端连接，所述第二晶体管的源极和漏极中的另一者与所述第一节点连接；
- 所述第一晶体管为P型晶体管和N型晶体管中的一者，所述第二晶体管为P型晶体管和N型晶体管中的另一者。
- [权利要求 3] 根据权利要求1所述的驱动电路，其中，所述输出模块包括：
- 第三晶体管，所述第三晶体管的栅极与所述第一节点连接，所述第三晶体管的源极和漏极中的一者与所述第一电源端连接，所述第三晶体管的源极和漏极中的另一者与所述输出端连接；
- 第四晶体管，所述第四晶体管的栅极与所述第一节点连接，所述第四晶体管的源极和漏极中的一者与所述第二电源端连接，所述第四晶体管的源极和漏极中的另一者与所述输出端连接；
- 所述第三晶体管为P型晶体管和N型晶体管中的一者，所述第四晶体管为P型晶体管和N型晶体管中的另一者。
- [权利要求 4] 根据权利要求2所述的驱动电路，其中，所述输入模块还包括：
- 第五晶体管，所述第五晶体管的栅极与第二节点连接，所述第五晶体

管的源极和漏极中的一者与第三电源端连接，所述第一晶体管的源极和漏极中的另一者与所述第一节点连接；

第六晶体管，所述第六晶体管的栅极与所述第二节点连接，所述第六晶体管的源极和漏极中的一者与第四电源端连接，所述第二晶体管的源极和漏极中的另一者与所述第一节点连接；

所述第一晶体管的源极和漏极中的另一者与所述第二节点连接，所述第五晶体管为P型晶体管和N型晶体管中的一者，所述第六晶体管为P型晶体管和N型晶体管中的另一者。

[权利要求 5] 根据权利要求3所述的驱动电路，其中，所述输出模块还包括：

第七晶体管，所述第七晶体管的栅极与第三节点连接，所述第七晶体管的源极和漏极中的一者与第四节点连接，所述第一晶体管的源极和漏极中的另一者与所述输出端连接；

第八晶体管，所述第八晶体管的栅极与所述第三节点连接，所述第六晶体管的源极和漏极中的一者与所述第四节点连接，所述第二晶体管的源极和漏极中的另一者与所述输出端连接；

所述第三晶体管的源极和漏极中的另一者与所述第四节点连接，所述第四晶体管的源极和漏极中的另一者与所述第四节点连接；

所述第一信号控制端与所述第三节点连接，所述第七晶体管为P型晶体管和N型晶体管中的一者，所述第八晶体管为P型晶体管和N型晶体管中的另一者。

[权利要求 6] 根据权利要求3所述的驱动电路，其中，所述输出模块还包括：

第七晶体管，所述第七晶体管的栅极与第三节点连接，所述第七晶体管的源极和漏极中的一者与第四节点连接，所述第一晶体管的源极和漏极中的另一者与所述输出端连接；

第八晶体管，所述第八晶体管的栅极与所述第三节点连接，所述第六晶体管的源极和漏极中的一者与所述第四节点连接，所述第二晶体管的源极和漏极中的另一者与所述输出端连接；

所述第三晶体管的源极和漏极中的另一者与所述第四节点连接，所述

第四晶体管的源极和漏极中的另一者与所述第四节点连接；

所述第二信号控制端与所述第三节点连接，所述第七晶体管为P型晶体管和N型晶体管中的一者，所述第八晶体管为P型晶体管和N型晶体管中的另一者。

[权利要求 7] 根据权利要求4所述的驱动电路，其中，所述第一电源端和所述第三电源端为同一电源端；所述第二电源端和所述第四电源端为同一电源端。

[权利要求 8] 根据权利要求4所述的驱动电路，其中，所述第一电源端和所述第四电源端为同一电源端；所述第二电源端和所述第三电源端为同一电源端。

[权利要求 9] 根据权利要求7所述的驱动电路，其中，所述第一电源端和所述第三电源端的信号为高电平信号或低电平信号，所述第二电源端和所述第四电源端的信号为低电平信号或高电平信号。

[权利要求 10] 根据权利要求8所述的驱动电路，其中，所述第一电源端和所述第四电源端的信号为高电平信号或低电平信号，所述第二电源端和所述第三电源端的信号为低电平信号或高电平信号。

[权利要求 11] 一种显示装置，其中，包括驱动电路；所述驱动电路包括：
输入模块，所述输入模块分别与第一信号控制端、第二信号控制端和第一节点连接，所述输入模块用于在所述第一信号控制端和所述第二信号控制端的控制下向所述第一节点提供电平信号；
输出模块，所述输出模块分别与第一电源端、第二电源端、所述第一节点以及输出端连接，所述输出模块用于在所述第一节点的电平信号控制下向所述输出端提供所述第一电源端或所述第二电源端的信号。

[权利要求 12] 根据权利要求11所述的显示装置，其中，所述显示装置还包括：
时序控制器，所述时序控制器与所述驱动电路的第一信号控制端和第二信号控制端连接，
栅极驱动芯片，所述栅极驱动芯片与所述驱动电路的输出端连接。

[权利要求 13] 根据权利要求11所述的显示装置，其中，所述输入模块包括：

第一晶体管，所述第一晶体管的栅极与所述第一信号控制端连接，所述第一晶体管的源极和漏极中的一者与所述第二信号控制端连接，所述第一晶体管的源极和漏极中的另一者与所述第一节点连接；

第二晶体管，所述第二晶体管的栅极与所述第一信号控制端连接，所述第二晶体管的源极和漏极中的一者与所述第二信号控制端连接，所述第二晶体管的源极和漏极中的另一者与所述第一节点连接；

所述第一晶体管为P型晶体管和N型晶体管中的一者，所述第二晶体管为P型晶体管和N型晶体管中的另一者。

[权利要求 14] 根据权利要求11所述的显示装置，其中，所述输出模块包括：

第三晶体管，所述第三晶体管的栅极与所述第一节点连接，所述第三晶体管的源极和漏极中的一者与所述第一电源端连接，所述第三晶体管的源极和漏极中的另一者与所述输出端连接；

第四晶体管，所述第四晶体管的栅极与所述第一节点连接，所述第四晶体管的源极和漏极中的一者与所述第二电源端连接，所述第四晶体管的源极和漏极中的另一者与所述输出端连接；

所述第三晶体管为P型晶体管和N型晶体管中的一者，所述第四晶体管为P型晶体管和N型晶体管中的另一者。

[权利要求 15] 根据权利要求13所述的显示装置，其中，所述输入模块还包括：

第五晶体管，所述第五晶体管的栅极与第二节点连接，所述第五晶体管的源极和漏极中的一者与第三电源端连接，所述第一晶体管的源极和漏极中的另一者与所述第一节点连接；

第六晶体管，所述第六晶体管的栅极与所述第二节点连接，所述第六晶体管的源极和漏极中的一者与第四电源端连接，所述第二晶体管的源极和漏极中的另一者与所述第一节点连接；

所述第一晶体管的源极和漏极中的另一者与所述第二节点连接，所述第五晶体管为P型晶体管和N型晶体管中的一者，所述第六晶体管为P型晶体管和N型晶体管中的另一者。

[权利要求 16] 根据权利要求14所述的显示装置，其中，所述输出模块还包括：

第七晶体管，所述第七晶体管的栅极与第三节点连接，所述第七晶体管的源极和漏极中的一者与第四节点连接，所述第一晶体管的源极和漏极中的另一者与所述输出端连接；

第八晶体管，所述第八晶体管的栅极与所述第三节点连接，所述第六晶体管的源极和漏极中的一者与所述第四节点连接，所述第二晶体管的源极和漏极中的另一者与所述输出端连接；

所述第三晶体管的源极和漏极中的另一者与所述第四节点连接，所述第四晶体管的源极和漏极中的另一者与所述第四节点连接；

所述第一信号控制端与所述第三节点连接，所述第七晶体管为P型晶体管和N型晶体管中的一者，所述第八晶体管为P型晶体管和N型晶体管中的另一者。

[权利要求 17] 根据权利要求14所述的显示装置，其中，所述输出模块还包括：

第七晶体管，所述第七晶体管的栅极与第三节点连接，所述第七晶体管的源极和漏极中的一者与第四节点连接，所述第一晶体管的源极和漏极中的另一者与所述输出端连接；

第八晶体管，所述第八晶体管的栅极与所述第三节点连接，所述第六晶体管的源极和漏极中的一者与所述第四节点连接，所述第二晶体管的源极和漏极中的另一者与所述输出端连接；

所述第三晶体管的源极和漏极中的另一者与所述第四节点连接，所述第四晶体管的源极和漏极中的另一者与所述第四节点连接；

所述第二信号控制端与所述第三节点连接，所述第七晶体管为P型晶体管和N型晶体管中的一者，所述第八晶体管为P型晶体管和N型晶体管中的另一者。

[权利要求 18] 根据权利要求15所述的显示装置，其中，所述第一电源端和所述第三电源端为同一电源端；所述第二电源端和所述第四电源端为同一电源端。

[权利要求 19] 根据权利要求15所述的显示装置，其中，所述第一电源端和所述第四电源端为同一电源端；所述第二电源端和所述第三电源端为同一电源

端。

[权利要求 20] 根据权利要求18所述的显示装置，其中，所述第一电源端和所述第三电源端的信号为高电平信号或低电平信号，所述第二电源端和所述第四电源端的信号为低电平信号或高电平信号。

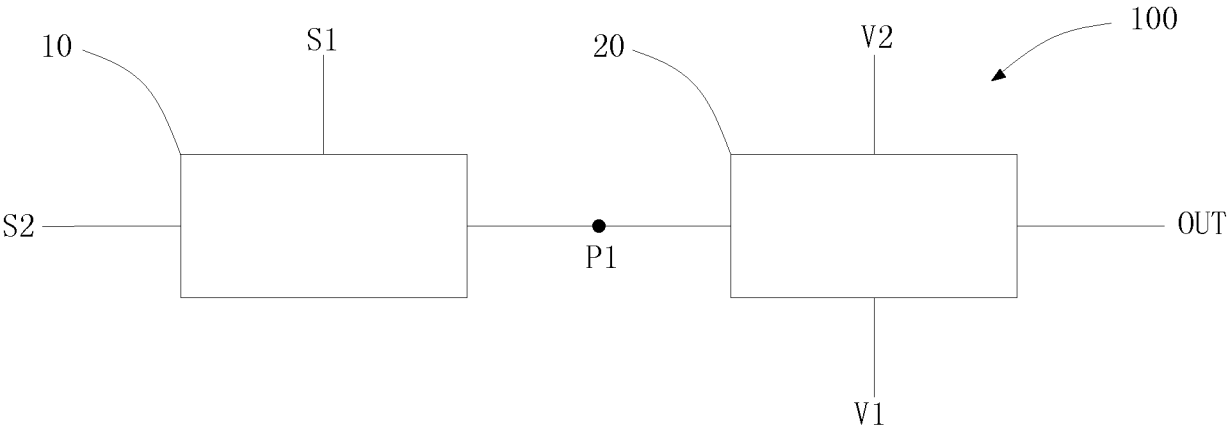


图 1

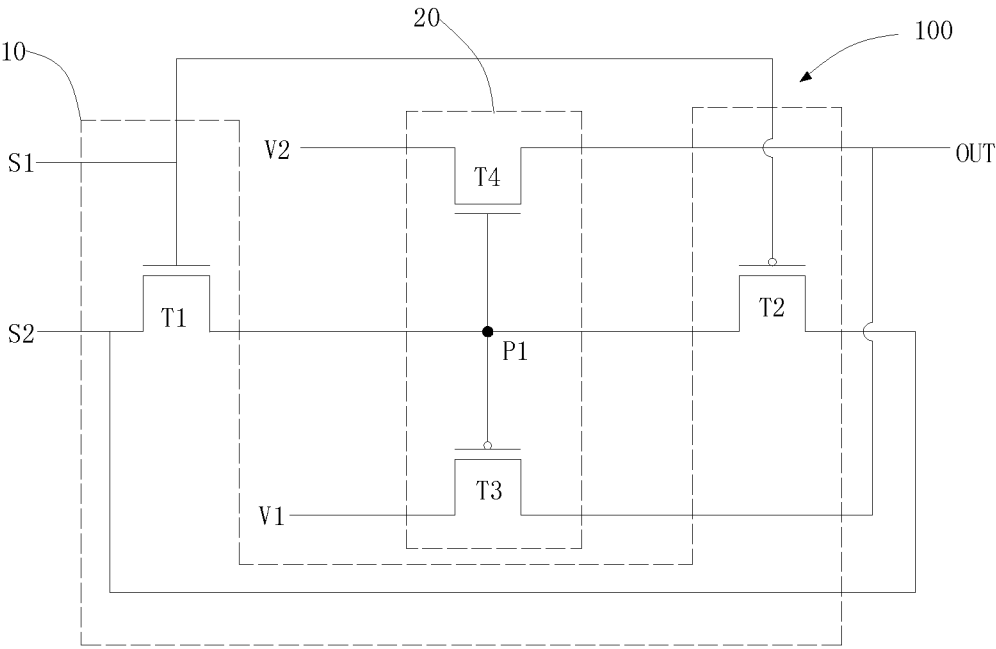


图 2

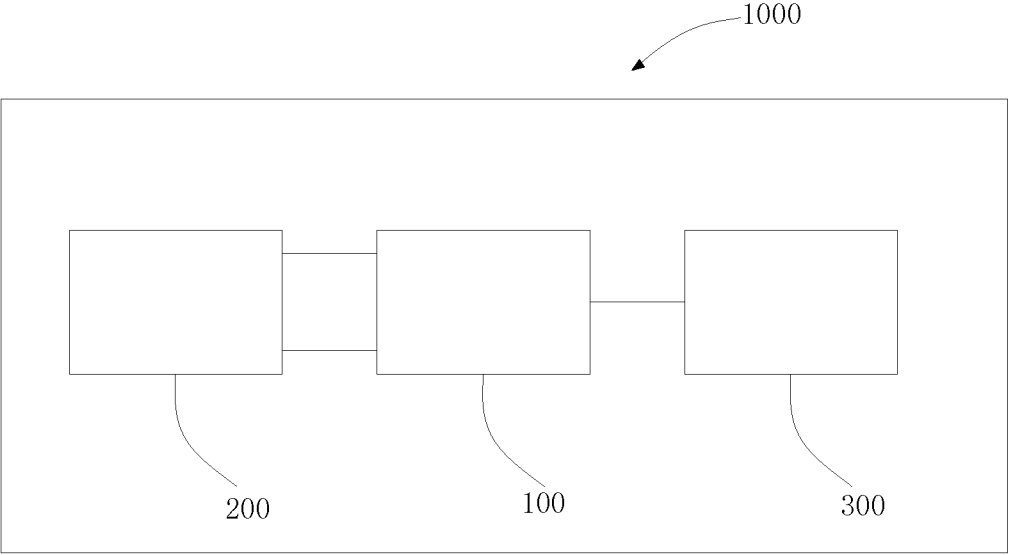


图 3

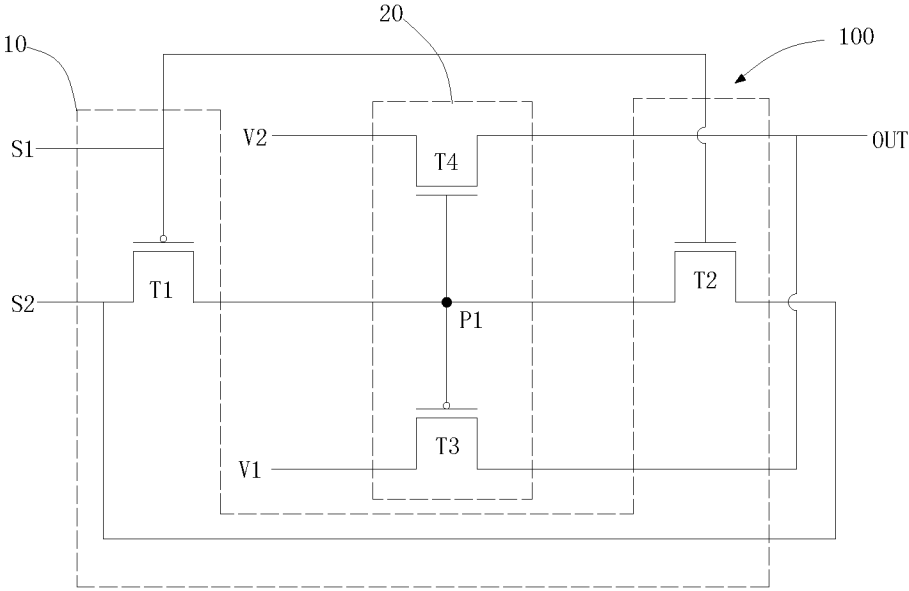


图 4

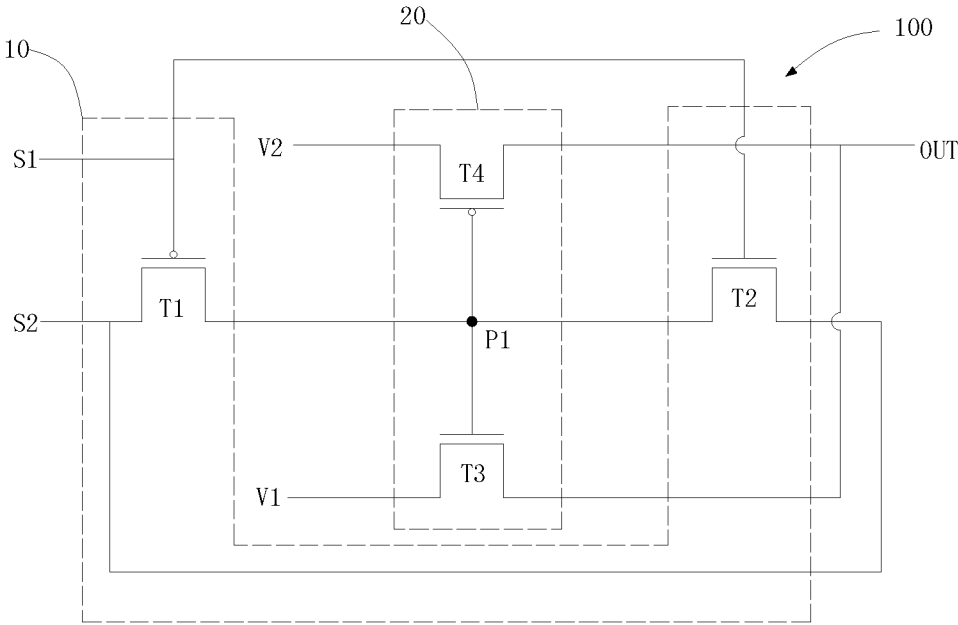


图 5

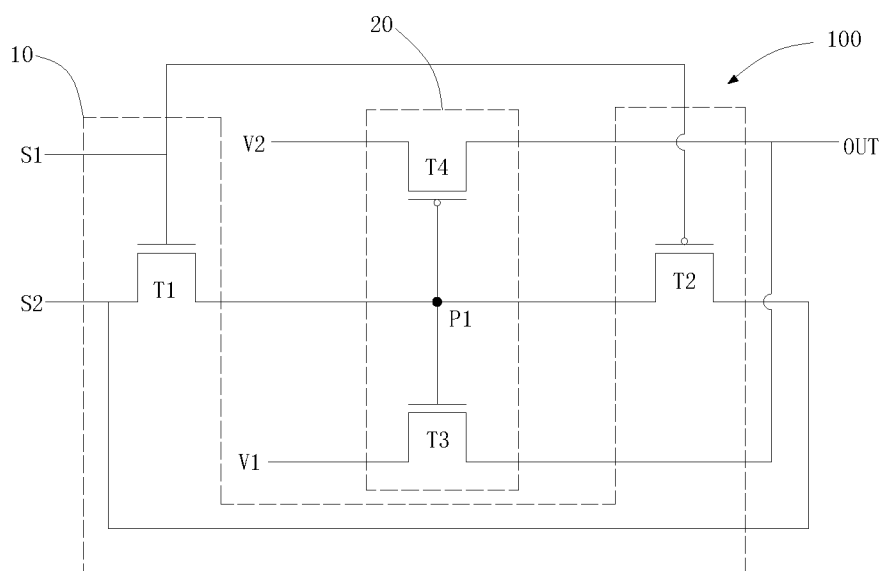


图 6

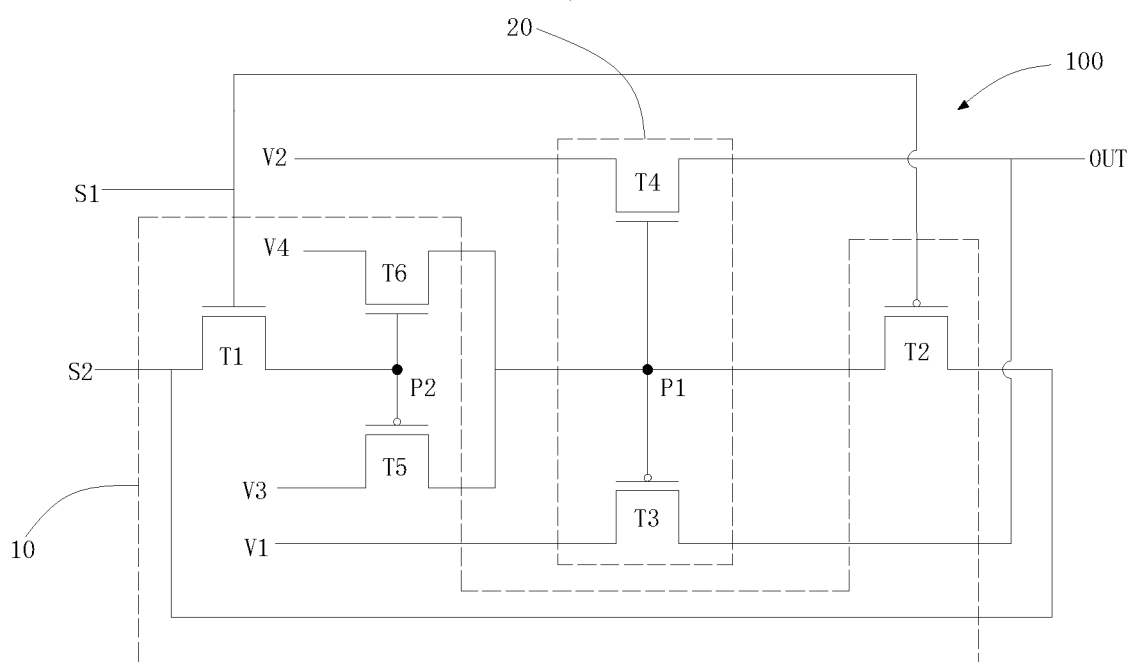


图 7

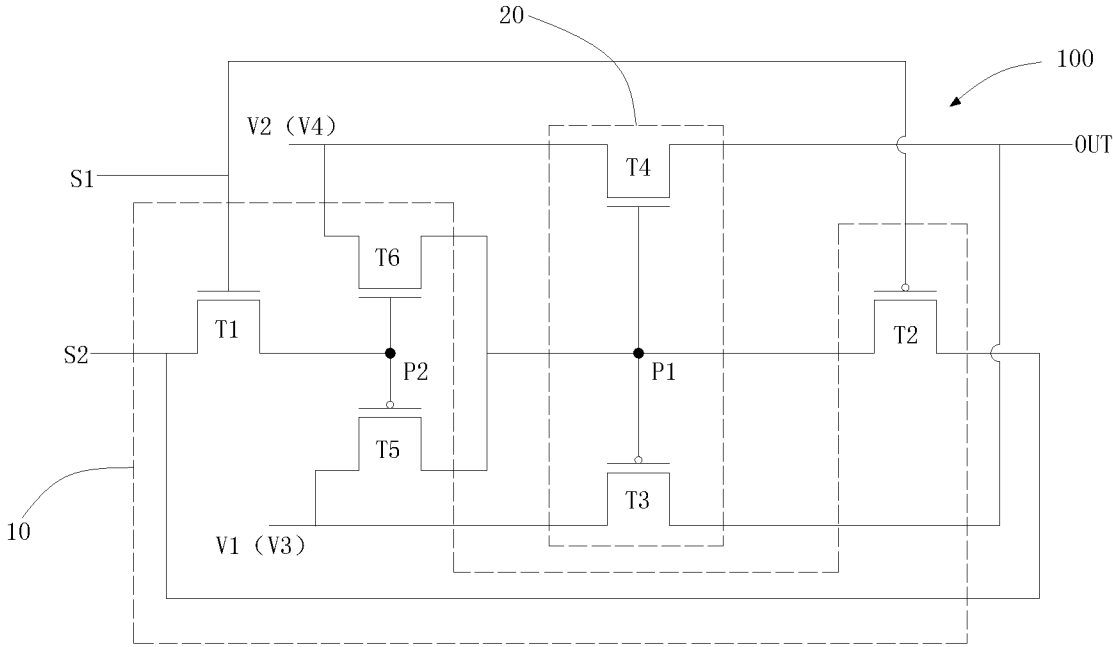


图 8

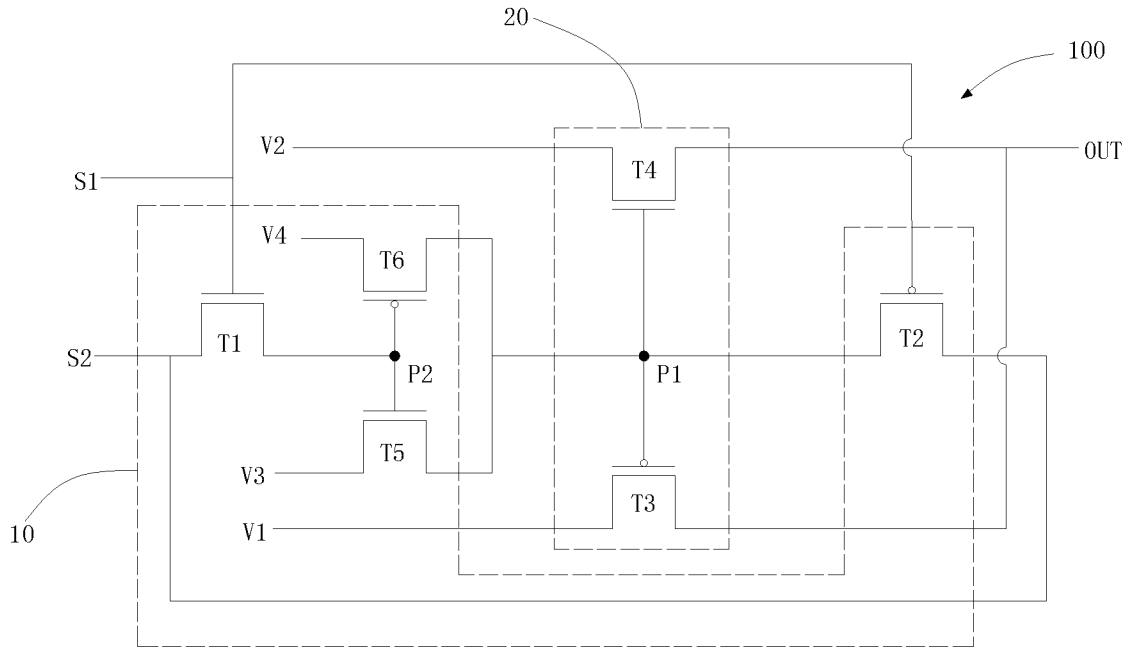


图 9

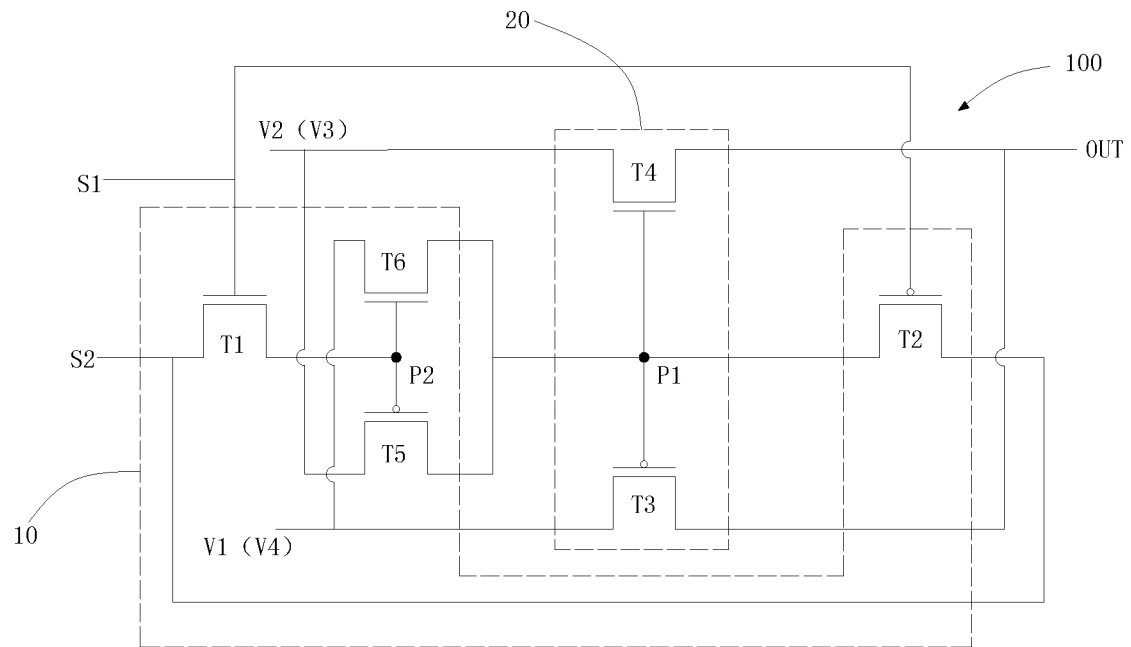


图 10

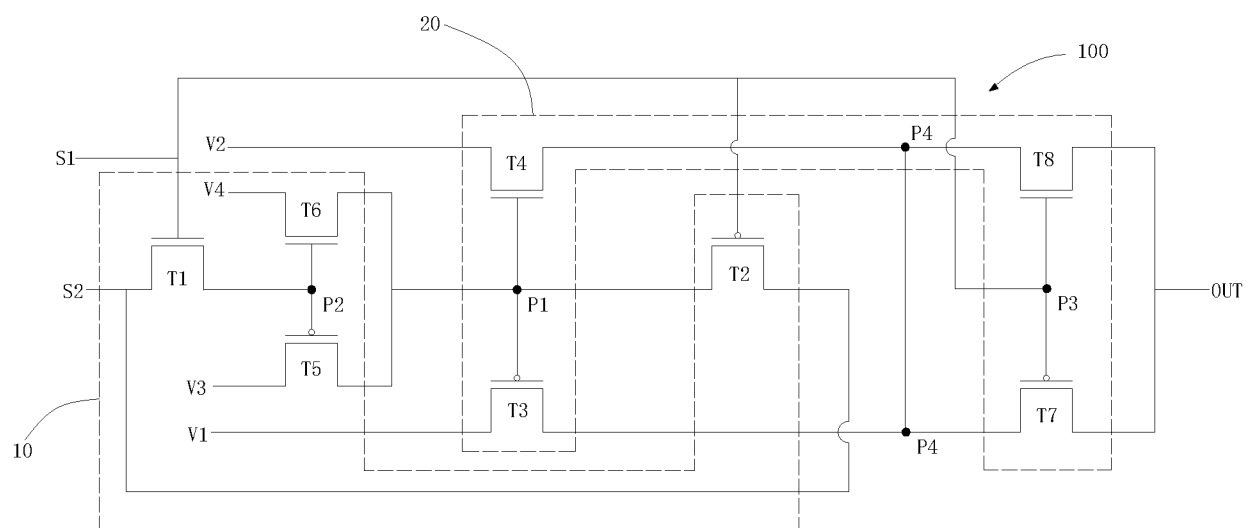


图 11

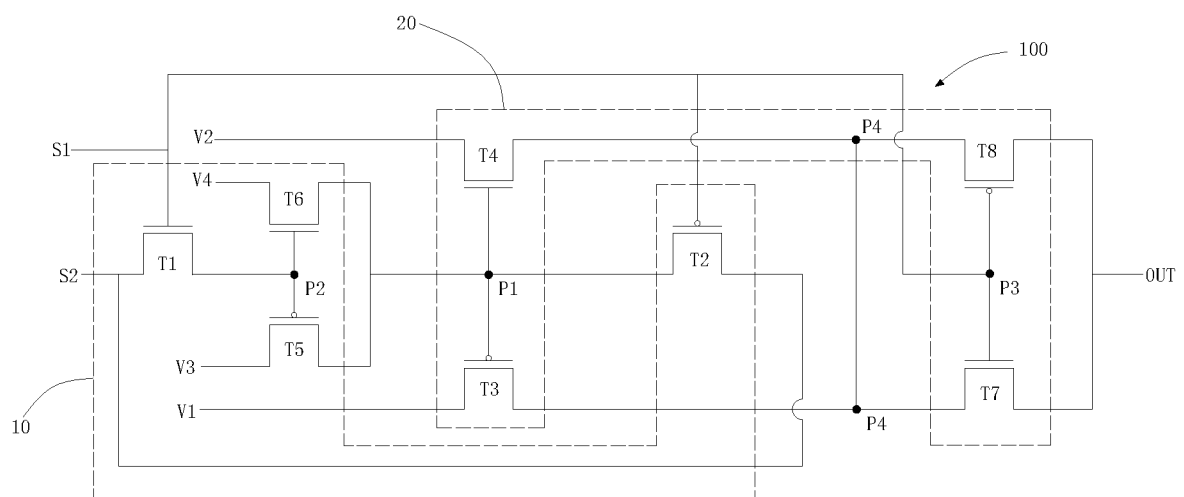


图 12

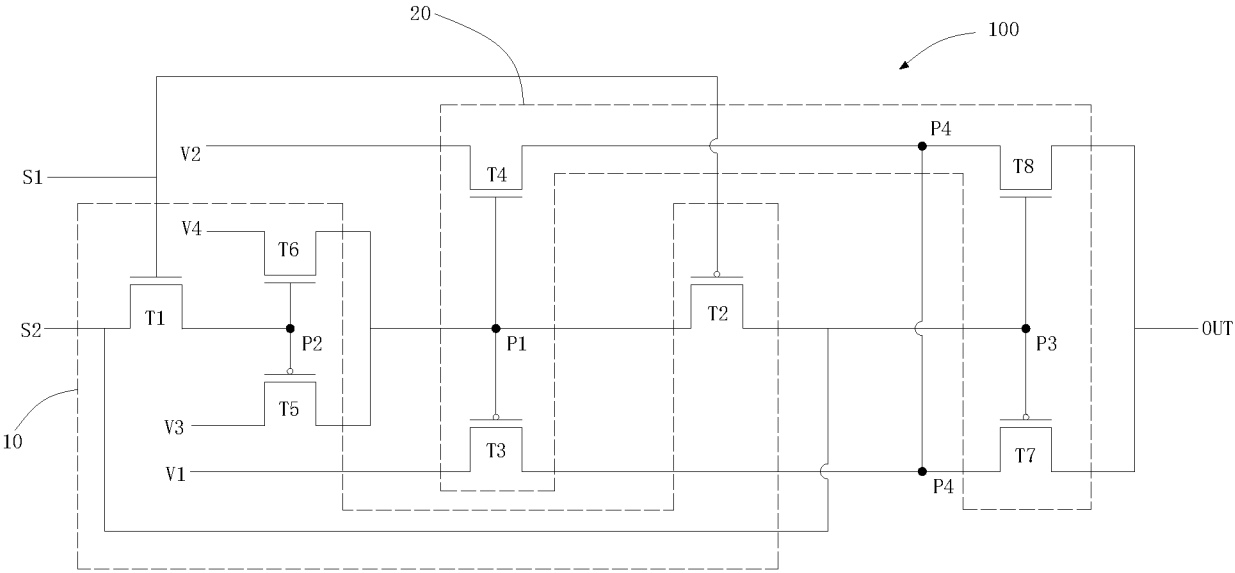


图 13

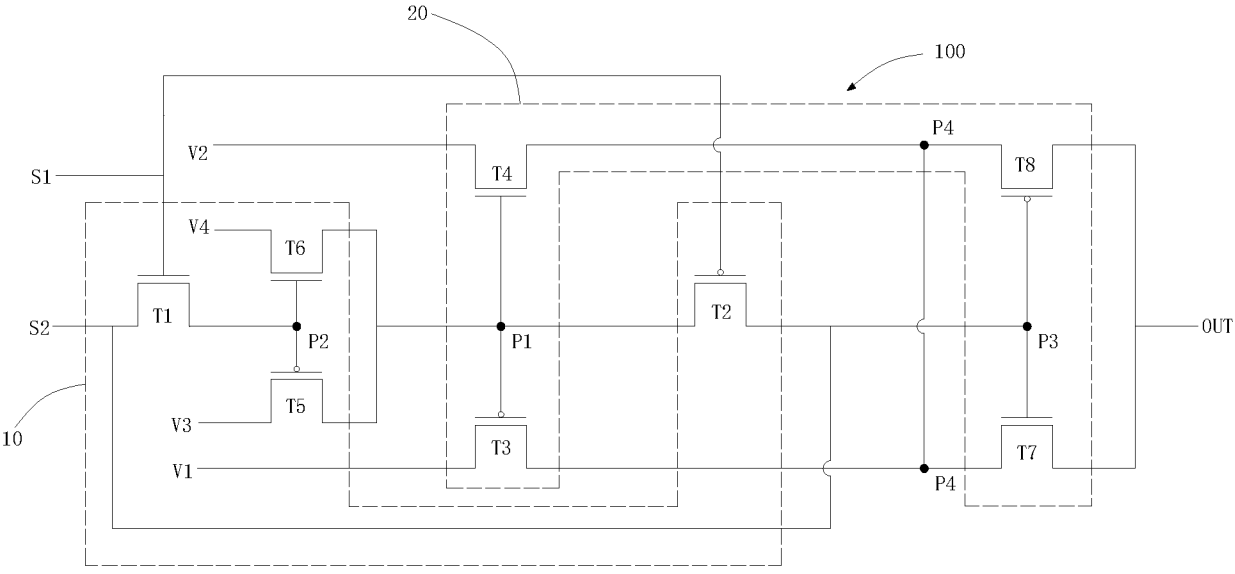


图 14

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/087343

A. CLASSIFICATION OF SUBJECT MATTER G09G 3/20(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC																				
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09G Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) WPI, EPODOC, CNPAT, CNKI: TCL华星光电技术有限公司, 李佳龙, 显示, 驱动, 控制端, 电平, 转换, 不同, 时序, 控制器, 栅极, 驱动芯片, 匹配, display, driving circuit, driv+, level, control, power, supply, output, different, time, schedule, match, gate, chip, GOA, Gate Driver On Array																				
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 110767175 A (WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 07 February 2020 (2020-02-07) description, paragraphs [0038]-[0057], and figures 1-14</td> <td>1-20</td> </tr> <tr> <td>X</td> <td>CN 110767176 A (WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 07 February 2020 (2020-02-07) description, paragraphs [0040]-[0059], and figures 1-14</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 108766335 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 06 November 2018 (2018-11-06) entire document</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 105632438 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 01 June 2016 (2016-06-01) entire document</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 106896957 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 27 June 2017 (2017-06-27) entire document</td> <td>1-20</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	CN 110767175 A (WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 07 February 2020 (2020-02-07) description, paragraphs [0038]-[0057], and figures 1-14	1-20	X	CN 110767176 A (WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 07 February 2020 (2020-02-07) description, paragraphs [0040]-[0059], and figures 1-14	1-20	A	CN 108766335 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 06 November 2018 (2018-11-06) entire document	1-20	A	CN 105632438 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 01 June 2016 (2016-06-01) entire document	1-20	A	CN 106896957 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 27 June 2017 (2017-06-27) entire document	1-20
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.																		
X	CN 110767175 A (WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 07 February 2020 (2020-02-07) description, paragraphs [0038]-[0057], and figures 1-14	1-20																		
X	CN 110767176 A (WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 07 February 2020 (2020-02-07) description, paragraphs [0040]-[0059], and figures 1-14	1-20																		
A	CN 108766335 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 06 November 2018 (2018-11-06) entire document	1-20																		
A	CN 105632438 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 01 June 2016 (2016-06-01) entire document	1-20																		
A	CN 106896957 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 27 June 2017 (2017-06-27) entire document	1-20																		
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.																				
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family																				
Date of the actual completion of the international search 30 November 2022		Date of mailing of the international search report 15 December 2022																		
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China Facsimile No. (86-10)62019451		Authorized officer Telephone No.																		

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/087343

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001326570 A (TOSHIBA K.K. et al.) 22 November 2001 (2001-11-22) entire document	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/087343

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	110767175	A	07 February 2020	None			
CN	110767176	A	07 February 2020	None			
CN	108766335	A	06 November 2018	US	2021082329	A1	18 March 2021
				WO	2019223686	A1	28 November 2019
				CN	108766335	B	16 June 2020
				US	11081033	B2	03 August 2021
CN	105632438	A	01 June 2016	US	2018301082	A1	18 October 2018
				WO	2017118034	A1	13 July 2017
				CN	105632438	B	08 December 2017
				US	10229634	B2	12 March 2019
CN	106896957	A	27 June 2017	US	2020051654	A1	13 February 2020
				WO	2018141158	A1	09 August 2018
				CN	106896957	B	02 August 2019
				US	10923206	B2	16 February 2021
JP	2001326570	A	22 November 2001	None			

国际检索报告

国际申请号

PCT/CN2022/087343

A. 主题的分类 G09G 3/20 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																							
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G09G 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) WPI, EPDOC, CNPAT, CNKI: TCL华星光电技术有限公司, 李佳龙, 显示, 驱动, 控制端, 电平, 转换, 不同, 时序, 控制器, 栅极, 驱动芯片, 匹配, display, driving circuit, driv+, level, control, power, supply, output, different, time, schedule, match, gate, chip, GOA, Gate Driver On Array																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 110767175 A (武汉华星光电半导体显示技术有限公司) 2020年2月7日 (2020 - 02 - 07) 说明书第[0038]-[0057]段, 附图1-14</td> <td>1-20</td> </tr> <tr> <td>X</td> <td>CN 110767176 A (武汉华星光电半导体显示技术有限公司) 2020年2月7日 (2020 - 02 - 07) 说明书第[0040]-[0059]段, 附图1-14</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 108766335 A (京东方科技集团股份有限公司 等) 2018年11月6日 (2018 - 11 - 06) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 105632438 A (京东方科技集团股份有限公司 等) 2016年6月1日 (2016 - 06 - 01) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 106896957 A (京东方科技集团股份有限公司 等) 2017年6月27日 (2017 - 06 - 27) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>JP 2001326570 A (TOSHIBA K.K. 等) 2001年11月22日 (2001 - 11 - 22) 全文</td> <td>1-20</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 110767175 A (武汉华星光电半导体显示技术有限公司) 2020年2月7日 (2020 - 02 - 07) 说明书第[0038]-[0057]段, 附图1-14	1-20	X	CN 110767176 A (武汉华星光电半导体显示技术有限公司) 2020年2月7日 (2020 - 02 - 07) 说明书第[0040]-[0059]段, 附图1-14	1-20	A	CN 108766335 A (京东方科技集团股份有限公司 等) 2018年11月6日 (2018 - 11 - 06) 全文	1-20	A	CN 105632438 A (京东方科技集团股份有限公司 等) 2016年6月1日 (2016 - 06 - 01) 全文	1-20	A	CN 106896957 A (京东方科技集团股份有限公司 等) 2017年6月27日 (2017 - 06 - 27) 全文	1-20	A	JP 2001326570 A (TOSHIBA K.K. 等) 2001年11月22日 (2001 - 11 - 22) 全文	1-20
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
X	CN 110767175 A (武汉华星光电半导体显示技术有限公司) 2020年2月7日 (2020 - 02 - 07) 说明书第[0038]-[0057]段, 附图1-14	1-20																					
X	CN 110767176 A (武汉华星光电半导体显示技术有限公司) 2020年2月7日 (2020 - 02 - 07) 说明书第[0040]-[0059]段, 附图1-14	1-20																					
A	CN 108766335 A (京东方科技集团股份有限公司 等) 2018年11月6日 (2018 - 11 - 06) 全文	1-20																					
A	CN 105632438 A (京东方科技集团股份有限公司 等) 2016年6月1日 (2016 - 06 - 01) 全文	1-20																					
A	CN 106896957 A (京东方科技集团股份有限公司 等) 2017年6月27日 (2017 - 06 - 27) 全文	1-20																					
A	JP 2001326570 A (TOSHIBA K.K. 等) 2001年11月22日 (2001 - 11 - 22) 全文	1-20																					
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																			
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																						
国际检索实际完成的日期 2022年11月30日		国际检索报告邮寄日期 2022年12月15日																					
ISA/CN的名称和邮寄地址 中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 贾晶晶 电话号码 86-(10)-53962442																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/087343

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	110767175	A	2020年2月7日	无			
CN	110767176	A	2020年2月7日	无			
CN	108766335	A	2018年11月6日	US	2021082329	A1	2021年3月18日
				WO	2019223686	A1	2019年11月28日
				CN	108766335	B	2020年6月16日
				US	11081033	B2	2021年8月3日
CN	105632438	A	2016年6月1日	US	2018301082	A1	2018年10月18日
				WO	2017118034	A1	2017年7月13日
				CN	105632438	B	2017年12月8日
				US	10229634	B2	2019年3月12日
CN	106896957	A	2017年6月27日	US	2020051654	A1	2020年2月13日
				WO	2018141158	A1	2018年8月9日
				CN	106896957	B	2019年8月2日
				US	10923206	B2	2021年2月16日
JP	2001326570	A	2001年11月22日	无			