I555030

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I555030 B**

(45)公告日： 中華民國 105 (2016) 年 10 月 21 日

(21)申請案號：101115826 (22)申請日： 中華民國 101 (2012) 年 05 月 03 日

(51)Int. Cl.： *G11C8/08 (2006.01)* *G11C8/10 (2006.01)*
G11C8/14 (2006.01) *G11C11/401 (2006.01)*

(30)優先權：2011/05/06 日本 2011-103713

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)
日本

(72)發明人：戶松浩之 TOMATSU, HIROYUKI (JP) ；小林英智 KOBAYASHI, HIDETOMO (JP) ；鹽野入豐 SHIONOIRI, YUTAKA (JP)

(74)代理人：林志剛

(56)參考文獻：

TW	411622	US	6044012
US	7674650B2	US	7732819B2
US	7910490B2	US	7932521B2

審查人員：謝紀明

申請專利範圍項數：30 項 圖式數：15 共 76 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

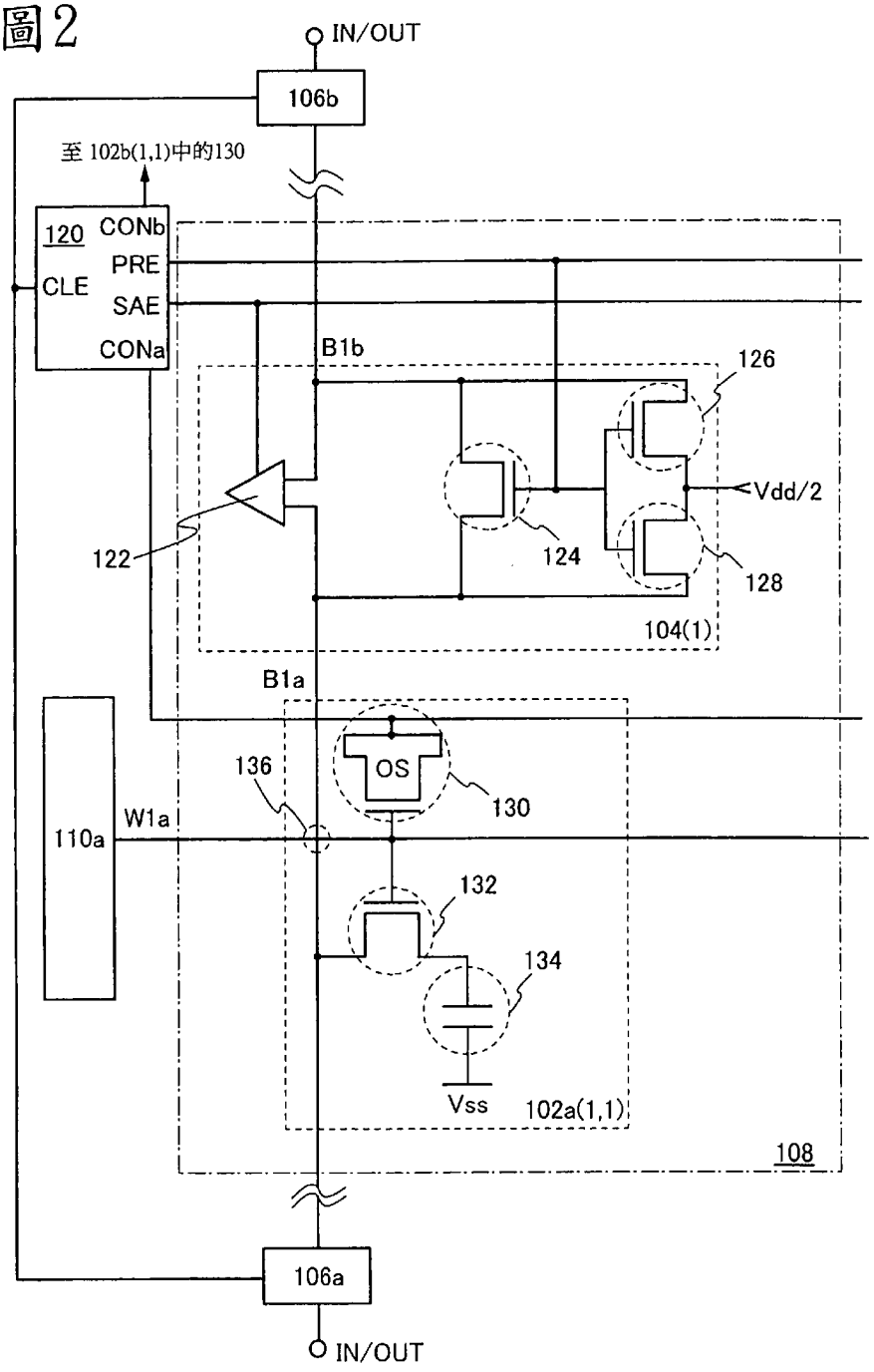
(57)摘要

本發明的課題是不增大字線的負載而降低產生在字線的雜波。本發明是一種半導體裝置，其中，至少包括一個切換元件的多個記憶元件配置為矩陣狀，所述記憶元件的每一個與字線和位元線分別電連接，所述字線與少數載子實際上不存在的電晶體的閘極(或者源極及汲極)連接，並且，藉由控制所述少數載子實際上不存在的電晶體的源極及汲極(或閘極)的電位而進行所述少數載子實際上不存在的電晶體的電容值的控制。所述少數載子實際上不存在的電晶體使用寬能隙半導體設置即可。

Noise generated on a word line is reduced without increasing a load on the word line. A semiconductor device is provided in which a plurality of storage elements each including at least one switching element are provided in matrix; each of the plurality of storage elements is electrically connected to a word line and a bit line; the word line is connected to a gate (or a source and a drain) of a transistor in which minority carriers do not exist substantially; and capacitance of the transistor in which minority carriers do not exist substantially can be controlled by controlling a potential of a source and a drain (or a gate) the transistor in which minority carriers do not exist substantially. The transistor in which minority carriers do not exist substantially may include a wide band gap semiconductor.

指定代表圖：

圖2



符號簡單說明：

102a・・・記憶元件

102b・・・記憶元件

104・・・預充電及放大電路

106a・・・第一列解碼器

106b・・・第二列解碼器

108・・・區域

110a・・・第一行解碼器

120・・・信號生成電路

122・・・放大器

124・・・電晶體

126・・・電晶體

128・・・電晶體

130・・・寬能隙半導體電晶體

132・・・電晶體

134・・・電容元件

136・・・寄生電容區

B1a、B1b・・・字線

Vss・・・低電位

W1a・・・字線

公告本

發明專利說明書

（本申請書格式、順序，請勿任意更動，※記號部分請勿填寫）

※申請案號：101115826

※申請日：101 年 05 月 03 日　　※IPC 分類：G11C 8/08 (2006.01)
G11C 8/10 (2006.01)
G11C 8/14 (2006.01)
G11C 11/401 (2006.01)

一、發明名稱：（中文／英文）

半導體裝置

Semiconductor device

二、中文發明摘要：

本發明的課題是不增大字線的負載而降低產生在字線的雜波。本發明是一種半導體裝置，其中，至少包括一個切換元件的多個記憶元件配置爲矩陣狀，所述記憶元件的每一個與字線和位元線分別電連接，所述字線與少數載子實際上不存在的電晶體的閘極（或者源極及汲極）連接，並且，藉由控制所述少數載子實際上不存在的電晶體的源極及汲極（或閘極）的電位而進行所述少數載子實際上不存在的電晶體的電容值的控制。所述少數載子實際上不存在的電晶體使用寬能隙半導體設置即可。

三、英文發明摘要：

Noise generated on a word line is reduced without increasing a load on the word line. A semiconductor device is provided in which a plurality of storage elements each including at least one switching element are provided in matrix; each of the plurality of storage elements is electrically connected to a word line and a bit line; the word line is connected to a gate (or a source and a drain) of a transistor in which minority carriers do not exist substantially; and capacitance of the transistor in which minority carriers do not exist substantially can be controlled by controlling a potential of a source and a drain (or a gate) the transistor in which minority carriers do not exist substantially. The transistor in which minority carriers do not exist substantially may include a wide band gap semiconductor.

四、指定代表圖：

（一）本案指定代表圖為：第（2）圖。

（二）本代表圖之元件符號簡單說明：

102a：記憶元件

102b：記憶元件

104：預充電及放大電路

106a：第一列解碼器

106b：第二列解碼器

108：區域

110a：第一行解碼器

120：信號生成電路

122：放大器

124：電晶體

126：電晶體

128：電晶體

130：寬能隙半導體電晶體

132：電晶體

134：電容元件

136：寄生電容區

B1a、B1b：字線

Vss：低電位

W1a：字線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係關於半導體裝置。在本說明書中，半導體裝置是指半導體元件本身或者包括半導體元件的裝置，並且，作爲這種半導體元件，例如可以舉出薄膜電晶體。因此，液晶顯示裝置及記憶體裝置等也包括在半導體裝置中。

【先前技術】

作爲揮發性記憶體，DRAM（Dynamic Random Access Memory：動態隨機存取記憶體）被廣泛地周知。

另一方面，近年來，示出半導體特性的金屬氧化物（以下，稱爲氧化物半導體）受到注目。將氧化物半導體可以應用於電晶體（專利文獻1及專利文獻2）。

[專利文獻 1]日本專利申請公開第 2007-123861 號公報

[專利文獻 2]日本專利申請公開第 2007-096055 號公報

在以 DRAM 爲代表的記憶體裝置中，多個元件配置爲矩陣狀，該多個元件與位元線和字線電連接。因爲位元線和字線分別配置爲縱橫，所以它們交叉。當位元線和字線交叉時，在它們交叉的部分產生寄生電容，該寄生電容成爲在字線產生雜波的原因。

爲了抑制這樣的雜波的生成，可以考慮將電容器電連接到字線的手段。但是，當將電容器電連接到字線時，會

使字線的負載增大，而成爲信號延遲的原因。

【發明內容】

本發明的一個方式的目的是不增大字線的負載，而降低產生在字線的雜波。

本發明的一個方式是一種半導體裝置，其中，至少包括一個切換元件的多個記憶元件配置爲矩陣狀，所述記憶元件的每一個與字線和位元線電連接，所述字線與少數載子實際上不存在的電晶體的閘極電連接，並且，藉由控制所述少數載子實際上不存在的電晶體的源極及汲極的電位而可以控制所述少數載子實際上不存在的電晶體的電容值。

本發明的一個方式是一種半導體裝置，其中，至少包括一個切換元件的多個記憶元件配置爲矩陣狀，所述記憶元件的每一個與字線和位元線分別電連接，所述字線與少數載子實際上不存在的電晶體的源極及汲極電連接，並且，藉由控制所述少數載子實際上不存在的電晶體的閘極的電位而可以控制所述少數載子實際上不存在的電晶體的電容值。

本發明的一個方式是一種半導體裝置，其中，至少包括一個切換元件的多個記憶元件配置爲矩陣狀，所述記憶元件的每一個與字線和位元線分別電連接，所述字線與寬能隙半導體電晶體的閘極電連接，並且，藉由控制所述寬能隙半導體電晶體的源極及汲極的電位而可以控制所述寬

能隙半導體電晶體的電容值。

本發明的一個方式是一種半導體裝置，其中，至少包括一個切換元件的多個記憶元件配置爲矩陣狀，所述記憶元件的每一個與字線和位元線分別電連接，所述字線與寬能隙半導體電晶體的源極及汲極電連接，並且，藉由控制所述寬能隙半導體電晶體的閘極的電位而可以控制所述寬能隙半導體電晶體的電容值。

在所述結構的半導體裝置中，較佳所述寬能隙半導體電晶體的通道形成區由其能隙爲 2.0eV 以上且 3.5eV 以下的半導體材料設置。

在所述結構的半導體裝置中，所述少數載子實際上不存在的電晶體或所述寬能隙半導體電晶體的通道形成區由氧化物半導體設置。

在所述結構的半導體裝置中，較佳所述位元線與包括放大器的預充電及放大電路電連接，較佳將所述多個記憶元件以所述放大器爲中心沿著所述位元線以相同數目配置。這是因爲當從所述多個記憶元件讀出資料時，可以以獲得以所述放大器爲中心且以相同數目配置的多個記憶元件的差異的方式進行工作的緣故。

在所述結構的半導體裝置中，較佳所述少數載子實際上不存在的電晶體或所述寬能隙半導體電晶體的源極及汲極不但由於佈線層彼此連接，而且與相鄰的寬能隙半導體電晶體的源極及汲極連接，並沿著所述字線以連成一排的方式設置。這是因爲如下緣故：當製造所述少數載子實際

上不存在的電晶體或所述寬能隙半導體電晶體時，即使在電晶體特性產生偏差的情況下，也至少在沿著字線的方向上可以防止記憶元件的工作受到該電晶體的電晶體特性的偏差的影響。

此外，在本說明書中，“寬能隙半導體電晶體”是指使用能隙寬的半導體材料（2.0eV 至 3.5eV）設置通道形成區的電晶體，是可以認爲少數載子實際上不存在的電晶體（少數載子實際上不存在的電晶體）。作爲用於這樣的“寬能隙半導體電晶體”的半導體材料，可以舉出其本質載子密度低於矽的碳化矽或氮化鎵等化合物半導體或氧化鋅等氧化物半導體等。例如，在其通道形成區包括氧化物半導體的電晶體（也稱爲 OS 電晶體）中，因少數載子的密度低而少數載子不容易被感應。因此，在 OS 電晶體中，穿隧電流不容易產生且截止電流低。

注意，在圖式中，“寬能隙半導體電晶體”爲了體現出截止電流極低，其一部分由虛線表示。

另外，在本說明書中，“原子”或“分子”可以被離子化。

根據本發明的一個方式，可以不增大字線的負載而降低在字線中產生的雜波。

【實施方式】

下面，參照圖式對本發明的實施方式進行詳細說明。但是，本發明不侷限於以下說明，而所屬技術領域的普通

技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的宗旨及其範圍的情況下可以被變換爲各種各樣的形式。因此，本發明不應該被解釋爲僅侷限在以下所示的實施方式所記載的內容中。

首先，說明本發明的一個方式的記憶體裝置的一個結構例子。

圖 1 所示的記憶體裝置 100 包括：第一列解碼器 106a（Column Decoder）、第二列解碼器 106b、第一行解碼器 110a（Row Decoder）、第二行解碼器 110b、信號生成電路 120、第一區域 112a 以及第二區域 112b。

第一列解碼器 106a 及第二列解碼器 106b 是控制輸入到位元線的信號的解碼器電路。第一列解碼器 106a 及第二列解碼器 106b 電連接到外部輸入輸出端子（在圖式中由 IN/OUT 表示的端子）。

此外，第一列解碼器 106a 及第二列解碼器 106b 具有進行資料的輸入輸出及位元線的選擇的開關。

第一行解碼器 110a 及第二行解碼器 110b 是控制輸入到字線的信號的解碼器電路。第一行解碼器 110a 及第二行解碼器 110b 電連接到外部輸入輸出端子（在圖式中由 IN/OUT 表示的端子）。

信號生成電路 120 是至少生成輸入到預充電及放大電路 104（1）至（m）、第一列解碼器 106a 以及第二列解碼器 106b 的信號的電路。將在此所生成的信號稱爲 CLE（Column Line Enable：列線能）信號、SAE（Sense

Amplifier Enable：放大器能）信號、PRE（PRecharge Enable：預充電能）信號、CON（CONtrol：控制）信號等。此外，將輸入到第一區域 112a 一側的 CON 信號稱爲 CONa 信號，將輸入到第二區域 112b 一側的 CON 信號稱爲 CONb。此外，m 是 1 以上的自然數。

第一區域 112a 及第二區域 112b 是分別設置有矩陣狀的 n×m 個記憶元件的區域。因此可以說，在記憶體裝置 100 中 2n×m 個記憶元件被設置爲矩陣狀。另外，n 是 1 以上的自然數。

記憶元件 102a（x，y）及記憶元件 102b（x，y）具有儲存資料的功能以及工作所需要的電路。此外，記憶元件 102a（x，y）及記憶元件 102b（x，y）也可以由多個元件構成。另外，x 是 n 以下的自然數，y 是 m 以下的自然數。

當表示爲如上所述時，n×m 個記憶元件 102a 設置在區域 112a，n×m 個記憶元件 102b 也設置在區域 112b。像這樣，較佳以相同數目將記憶元件 102a 及記憶元件 102b 以包括放大器 122 的預充電及放大電路 104（1）至（m）爲中心，沿著位元線配置。這是因爲當從記憶元件 102a 及記憶元件 102b 讀出資料時，可以以獲得以放大器 122 爲中心配置的相同數目的記憶元件 102a 及記憶元件 102b 的差異的方式進行工作的緣故。

記憶元件 102a（x，y）藉由位元線電連接到第一列解碼器 106a，且藉由字線電連接到第一行解碼器 110a。作

爲一個例子，記憶元件 102a（k，l）藉由位元線 Bla 電連接到第一列解碼器 106a，且藉由字線 Wka 電連接到第一行解碼器 110a。此外，k 是 1 以上的自然數，並 l 是 1 以上的自然數。

記憶元件 102b（x，y）藉由位元線電連接到第二列解碼器 106b，且藉由字線電連接到第二行解碼器 110b。作爲一個例子，記憶元件 102b（k，l）藉由位元線 Blb 電連接到第二列解碼器 106b，且藉由字線 Wkb 電連接到第二行解碼器 110b。

接著，著眼於圖 1 的一部分，參照圖 2 詳細說明記憶元件 102a（1，1）以及預充電及放大電路 104（1）。注意，圖 2 所示的例子只是一個例子而已，也可以使用其他方式的記憶元件。

圖 2 是示出圖 1 中的區域 108 的詳細的圖。

區域 108 包括記憶元件 102a（1，1）以及預充電及放大電路 104（1）。

記憶元件 102a（1，1）包括寬能隙半導體電晶體 130、電晶體 132 以及電容元件 134。此外，記憶元件 102a（1，1）與位元線 Bla 和字線 Wla 分別電連接。

在記憶元件 102a（1，1）中，字線 Wla 電連接到寬能隙半導體電晶體 130 的閘極和電晶體 132 的閘極，位元線 Bla 電連接到電晶體 132 的源極和汲極中的一方，電晶體 132 的源極和汲極中的另一方藉由電容元件 134 電連接到低電位（Vss）一側電源電位線，寬能隙半導體電晶體

130 的源極及汲極電連接到信號生成電路 120。此外，在電晶體 132 和電容元件 134 之間保持電荷。在此，從信號生成電路 120 輸入控制信號的 CONa 信號。

作爲寬能隙半導體電晶體 130，可以舉出其通道形成區包括氧化物半導體的電晶體(OS 電晶體)。

此外，寬能隙半導體電晶體 130 的閘極電也可以連接到信號生成電路 120，且寬能隙半導體電晶體 130 的源極及汲極也可以電連接到電晶體 132 的閘極。但是，如後面所述，當藉由同一製程製造寬能隙半導體電晶體 130 和電晶體 132 時，與上述結構相比，較佳爲採用寬能隙半導體電晶體 130 的源極及汲極電連接到信號生成電路 120，而寬能隙半導體電晶體 130 的閘極電連接到電晶體 132 的閘極的結構。這是因爲不需要用來使寬能隙半導體電晶體 130 的源極及汲極與電晶體 132 的閘極電連接的加工（例如，形成用來使它們物理性地連接的接觸孔）等。

電晶體 132 可以是 n 通道型電晶體，但是較佳是截止電流低的電晶體。這是因爲在電晶體 132 和電容元件 134 之間長期保持電荷的緣故。作爲截止電流低的電晶體，可以舉出 OS 電晶體。

電容元件 134 可以採用由兩個導電層夾著絕緣層的結構。例如，當電晶體 132 爲薄膜電晶體時，可以採用由成爲電晶體 132 的源極及汲極的電極和成爲閘極的電極夾著閘極絕緣膜的結構。

此外，記憶元件 102a（1，1）的結構除寬能隙半導體

電晶體 130 以外，與一般的 DRAM 的結構相同。此外，電晶體 132 也可以是寬能隙半導體電晶體。

預充電及放大電路 104（1）包括放大器 122、電晶體 124、電晶體 126 以及電晶體 128。

在預充電及放大電路 104（1）中，放大器 122 與信號生成電路 120、字線 B1a 及字線 B1b 電連接，位元線 B1a 與電晶體 124 的源極和汲極中的一方以及電晶體 128 的源極和汲極中的一方電連接，位元線 B1b 與電晶體 124 的源極和汲極中的另一方以及電晶體 126 的源極和汲極中的一方電連接，電晶體 126 的源極和汲極中的另一方以及電晶體 128 的源極和汲極中的另一方與 Vdd/2 的電位的佈線電連接，電晶體 124、電晶體 126 及電晶體 128 的閘極與信號生成電路 120 電連接。在此，從信號生成電路 120 將 SAE 信號輸入到放大器 122，從信號生成電路 120 將 PRE 信號輸入到電晶體 124、電晶體 126 及電晶體 128 的閘極。

此外，作爲 PRE 信號及 SAE 信號，同一信號輸入到所有多個預充電及放大電路 104（1）至（m）。

放大器 122 是放大來自記憶元件 102a 的電壓的電路。放大器 122 可以使用差分型和鎖存型中的任一個，但是在此例示出輸入和輸出設置於相同端子的鎖存型。

電晶體 124、電晶體 126 及電晶體 128 可以是 n 通道型電晶體。電晶體 124、電晶體 126 及電晶體 128 較佳爲截止電流低的電晶體。這是爲了當不輸入 PRE 信號時使位

元線 B1a 及位元線 B1b 完全處於浮動狀態。作爲截止電流低的電晶體，可以舉出 OS 電晶體。

此外，信號生成電路 120 與第一列解碼器 106a 及第二列解碼器 106b 電連接，而從信號生成電路 120 將 CLE 信號輸入到第一列解碼器 106a 及第二列解碼器 106b。

另外，信號生成電路 120 可以如圖 1 所示那樣電連接到第一行解碼器 110a 及第二行解碼器 110b。但是，爲了簡化說明，在圖 2 中省略該部分。

此外，外部輸入輸出端子（在圖式中由 IN/OUT 表示的端子）也可以如圖 1 所示那樣電連接到第一行解碼器 110a 及第二行解碼器 110b。但是，爲了簡化說明，在圖 2 中省略該部分。

在此，著眼於位元線和字線交叉的寄生電容區 136。由於位元線和字線交叉，在字線中產生雜波。當在字線中產生雜波時，由於該雜波的存在，非選擇的記憶元件 102a 被選擇，而產生讀出的錯誤。或者，由於雜波的高電壓，儲存在記憶元件中的資料被破壞。

爲了抑制這樣的雜波的傳播可以考慮將電容元件電連接到字線的手段。但是當字線與電容元件（例如，電容元件 134）電連接時，會增大信號傳達時的字線的負載，而成爲信號延遲的原因。

在此，使用如下可變的電容元件：當傳播雜波時，電連接到字線的該電容元件起電容的作用，當傳達信號時，電連接到字線的該電容元件不起電容的作用。此外，電容

元件的結構不侷限於此。

由此，在本發明的一個方式中，寬能隙半導體電晶體130的閘極電連接到字線。在寬能隙半導體電晶體130中，閘極電連接到字線，源極及汲極電連接到信號生成電路120。信號生成電路120將控制信號（CONa）輸入到寬能隙半導體電晶體130的源極及汲極。

作爲這樣的結構，藉由當在字線產生雜波時不輸入控制信號（CONa）（或者輸入L位準的信號），可以使寬能隙半導體電晶體130作爲電容元件工作，且藉由當字線傳達信號時輸入控制信號（CONa）（或者輸入H位準信號）可以不使寬能隙半導體電晶體130作爲電容元件工作。

這樣的結構因作爲具有電容的功能的電晶體使用寬能隙半導體電晶體而可以實現。在此，例如當使用其通道形成區包括矽的電晶體（Si電晶體）來代替寬能隙半導體電晶體時，在不輸入控制信號（CONa）（或者輸入L位準的信號）時，會在通道形成區積蓄少數載子，而不能充分使代替寬能隙半導體電晶體130而設置的Si電晶體作爲電容元件工作。從而，當傳達信號時不能阻止電連接到字線的該電晶體作爲電容而工作，這樣就增大了傳達信號時的字線的負載，而成爲信號延遲的原因。

作爲寬能隙半導體電晶體130，例如可以舉出OS電晶體。

注意，如上述說明那樣，電晶體132較佳爲截止電流

低的電晶體。並且，作爲截止電流低的電晶體，可以舉出OS電晶體。從而，較佳寬能隙半導體電晶體130和電晶體132都是OS電晶體。這是因爲可以在同一記憶元件內藉由同一製程製造寬能隙半導體電晶體130和電晶體132的緣故。

此外，位元線B1a及位元線B1b與分別具有放大器122的預充電及放大電路104（1）至（m）電連接，但是較佳從放大器122沿著位元線B1a設置的記憶元件102a的數目和沿著位元線B1b設置的記憶元件102b的數目相同。這是因爲當從記憶元件102a及102b讀出資料時，可以藉由獲得以所述放大器122爲中心配置的設置在位元線B1a一側的記憶元件的資料和設置在位元線B1b一側的記憶元件的資料的差異而進行讀出工作的緣故。

此外，相鄰的寬能隙半導體電晶體130的源極及汲極較佳不但由於佈線層216彼此連接，而且與相鄰的寬能隙半導體電晶體的源極及汲極連接，並沿著字線W1a以連成一排的方式設置。這是因爲當製造寬能隙半導體電晶體130時，即使電晶體特性產生偏差，也至少在沿著字線W1a的方向上可以防止記憶元件102a的工作受到寬能隙半導體電晶體130的電晶體特性的偏差的影響。寬能隙半導體電晶體130不一定需要設置在所有的記憶元件102a及102b中。

圖3是說明圖2的工作的圖。對當在電晶體132和電容元件134之間保持有電荷時的工作進行說明。

首先，輸入 H 位準的 CONa 信號和 H 位準的 PRE 信號（期間 t1）。藉由輸入 H 位準的 CONa 信號，寬能隙半導體電晶體 130 不起電容元件的作用。當輸入 H 位準的 PRE 信號時，位元線 B1a 的電位成爲 Vdd/2。

接著，停止 H 位準的 PRE 信號的輸入而使 PRE 信號處於 L 位準（期間 t2）。藉由使 PRE 信號處於 L 位準，位元線 B1a 處於浮動狀態。在此，位元線 B1a 的電位維持爲 Vdd/2。

接著，將 H 位準的信號輸入到字線 W1a（期間 t3）。藉由將 H 位準的信號輸入到字線 W1a，電晶體 132 處於導通。在此，因爲寬能隙半導體電晶體 130 不起電容元件的作用，所以不產生起因於寬能隙半導體電晶體 130 的字線 W1a 的信號傳達延遲。根據電晶體 132 和電容元件 134 之間的電荷，位元線 B1a 逐漸成爲高電位或低電位。

接著，停止 H 位準的 CONa 信號的輸入而使 CONa 信號處於 L 位準（期間 t4）。這是爲了將寬能隙半導體電晶體 130 用作電容元件。

接著，輸入 H 位準的 SAE 信號（期間 t5）。藉由輸入 H 位準的 SAE 信號，放大器 122 驅動，位元線 B1a 的電位成爲固定的電位（高電位或低電位）。此時，由於位元線 B1a 和字線 W1a 之間的電容耦合會產生雜波（以虛線表示），但是因爲將寬能隙半導體電晶體 130 用作電容元件（字線 W1a 的電位和控制信號 CONa 的電位之間有差異），所以雜波的傳播被抑制到最小程度。

然後，輸入 H 位準的 CLE 信號（期間 t6）。藉由輸入 H 位準的 CLE 信號，從外部輸入輸出端子（IN/OUT）將寫入資料輸入到位元線 B1a，於是，位元線 B1a 成爲寫入資料的電平。由此，在電晶體 132 和電容元件 134 之間積蓄相應於寫入資料的電位的電荷。在此，當期間 t5 的固定電位和寫入資料的電位不同時，由於位元線 B1a 和字線 W1a 之間的電容耦合會產生雜波（以虛線表示），但是因爲將寬能隙半導體電晶體 130 用作電容元件，所以雜波的傳播被抑制到最小程度。

然後，停止 H 位準的 CLE 信號的輸入而使 CLE 信號處於 L 位準（期間 t7）。藉由使 CLE 信號處於 L 位準，位元線 B1a 處於浮動狀態。

輸入 H 位準的 CONa 信號（期間 t8）。寬能隙半導體電晶體 130 停止起電容元件的作用。

然後，停止將 H 位準的信號輸入到字線 W1a，而使輸入到字線 W1a 的信號處於 L 位準（期間 t9）。當使輸入到字線 W1a 的信號處於 L 位準時，電晶體 132 處於截止。在此，因爲寬能隙半導體電晶體 130 不起電容元件的作用，所以不產生起因於寬能隙半導體電晶體 130 的字線 W1a 的信號傳達延遲。

然後，停止 H 位準的 SAE 信號的輸入而使 SAE 信號處於 L 位準（期間 t10）。藉由使 SAE 信號處於 L 位準，放大器 122 的工作停止。

接著，輸入 H 位準的 PRE 信號（期間 t11）。當輸入

H 位準的 PRE 信號時，位元線 B1a 的電位成爲 Vdd/2。

在此，參照圖 4 說明寬能隙半導體電晶體 130 起電容的作用的情況和不起電容的作用的情況。

圖 4 是示出寬能隙半導體電晶體 130 的閘極電壓 V_{gs} 和寬能隙半導體電晶體 130 用作電容元件時的電容值 C 之間的關係的圖。根據寬能隙半導體電晶體 130 的閘極電壓 V_{gs} 的變化，電容值 C 如曲線 140 所示那樣變化。注意，閘極電壓 V_{gs} 是指以源極的電位爲基準的與閘極的電位的電位差。

首先，說明 CONa 信號爲 H 位準的情況。

當 CONa 信號爲 H 位準時，如果字線 W1a 的電位爲 L 位準，則在寬能隙半導體電晶體 130 中 $V_{gs}<0$。從而，在地點 142 的曲線 140 的值成爲寬能隙半導體電晶體 130 用作電容元件時的電容值。在此情況下，在寬能隙半導體電晶體 130 中電容值 C 實際上成爲 0。

當 CONa 信號爲 H 位準時，如果字線 W1a 爲 H 位準，則在寬能隙半導體電晶體 130 中 $V_{gs}=0$。從而，在地點 144 的曲線 140 的值成爲寬能隙半導體電晶體 130 用作電容元件時的電容值。在此情況下，在寬能隙半導體電晶體 130 中電容值 C 實際上成爲 0。

接著，說明 CONa 信號爲 L 位準的情況。

當 CONa 信號爲 L 位準時，如果字線 W1a 的電位爲 L 位準，則在寬能隙半導體電晶體 130 中 $V_{gs}=0$。從而，曲線 140 的地點 144 的值成爲寬能隙半導體電晶體 130 用作

電容元件時的電容值。在此情況下，在寬能隙半導體電晶體 130 中電容值 C 實際上成爲 0。

當 CONa 信號爲 L 位準時，如果字線 W1a 的電位爲 H 位準，則在寬能隙半導體電晶體 130 中 $V_{gs}>0$。從而，曲線 140 的地點 146 的值成爲寬能隙半導體電晶體 130 用作電容元件時的電容值。在此情況下，在寬能隙半導體電晶體 130 中電容值 C 實際上成爲 C1。

從而，只在 CONa 信號爲 L 位準且字線 W1a 的電位爲 H 位準的情況下，寬能隙半導體電晶體 130 的電容值存在。就是說，寬能隙半導體電晶體 130 起電容的作用。從而，在圖 3 中的期間 t3 至期間 t7 寬能隙半導體電晶體 130 起電容的作用。

另外，在本發明中，電晶體不侷限於具有特定結構的電晶體，也可以使用具有各種結構的電晶體。從而，電晶體既可以使用由多晶矽構成的電晶體，又可以使用設置在 SOI（Silicon On Insulator：絕緣體上矽）基板上的電晶體。

另外，在上述說明中使用 n 通道型電晶體，但是不侷限於此，也可以適當地使用 p 通道型電晶體。

接著，對可用於本發明的電晶體進行說明。作爲寬能隙半導體電晶體可以舉出其通道形成區包括呈現半導體特性的金屬氧化物的電晶體。作爲寬能隙半導體電晶體之外的電晶體，可以舉出設置在半導體基板上的電晶體。

圖 5 示出可用於本發明的電晶體的剖面結構的概略的

一例。在圖 5 中，在設置在半導體基板上的電晶體上形成有寬能隙半導體電晶體。設置在半導體基板上的電晶體既可以包含 p 通道型電晶體及 n 通道型電晶體的兩者，又可以只設置有其中一個。

設置在半導體基板上的 p 通道型電晶體及 n 通道型電晶體可以藉由一般的方法形成。在形成設置在半導體基板上的 p 通道型電晶體及設置在半導體基板上的 n 通道型電晶體之後，在其上形成寬能隙半導體電晶體。換言之，將形成有 p 通道型電晶體及 n 通道型電晶體的半導體基板 200 作爲被形成基板在該基板上形成寬能隙半導體電晶體。作爲寬能隙半導體電晶體，可以舉出 OS 電晶體。

另外，設置有 p 通道型電晶體及 n 通道型電晶體的半導體基板 200 具有用作源極區及汲極區的高濃度雜質區 201、低濃度雜質區 202、閘極絕緣膜 203、閘極電極 204 以及層間絕緣膜 205（圖 5）。

OS 電晶體 210 具有：設置在設置有 p 通道型電晶體及 n 通道型電晶體的半導體基板 200 上的氧化物半導體層 211；以接觸於氧化物半導體層 211 且彼此相隔的方式設置的源極電極 212a 及汲極電極 212b；設置在氧化物半導體層 211 的至少通道形成區上的閘極絕緣膜 213；以及以重疊於氧化物半導體層 211 的方式設置在閘極絕緣膜 213 上的閘極電極 214b（圖 6D）。另外，雖然未圖示，但是電極 214a 與閘極電極 214b 電連接，並且閘極電極 204 與電極 214a 電連接。

層間絕緣膜 205 還用作氧化物半導體層 211 的基底絕緣膜。

層間絕緣膜 205 可以利用至少其表面包含氧，並藉由加熱處理氧的一部分脫離的絕緣氧化物形成。作爲藉由加熱處理氧的一部分脫離的絕緣氧化物，較佳爲使用包含多於化學計量比的氧的絕緣氧化物。這是因爲可以藉由該加熱處理將氧供應到接觸於層間絕緣膜 205 的氧化物半導體膜的緣故。

作爲包含多於化學計量比的氧的絕緣氧化物，例如可以舉出在 SiO_x 中 $x>2$ 的氧化矽。但是，不限於此，層間絕緣膜 205 可以使用氧化矽、氧氮化矽、氮氧化矽、氧氮化鋁、氧化鎵、氧化鉿或氧化釔等形成。

此外，層間絕緣膜 205 可以是疊層膜。層間絕緣膜 205 例如可以採用在氮化矽膜上設置有氧化矽的疊層結構。

另外，在包含多於化學計量比的氧的絕緣氧化物中，氧的一部分由於加熱處理而容易脫離。氧的一部分因加熱處理容易脫離時的根據 TDS 分析的氧的脫離量(換算爲氧原子的值)較佳爲 $1.0\times10^{18}atoms/cm^3$ 以上，更佳爲 $1.0\times10^{20}atoms/cm^3$ 以上，進一步佳爲 $3.0\times10^{20}atoms/cm^3$ 以上。

在此，說明 TDS 分析的方法。TDS 分析中的氣體的脫離量與離子強度的時間積分值成正比。因此，從氧化物中的離子強度的時間積分值和標準樣品的基準值可以計算出

氣體的脫離量。標準樣品的基準值是指在含有所定的原子的樣品（標準樣品）中的在光譜的積分值中原子密度所占的比例。

例如，從包含所定密度的氫的矽晶片（標準樣品）的離子強度的時間積分值和氧化物的離子強度的時間積分值，使用 $N_{O2}=N_{H2}/S_{H2}\times S_{O2}\times\alpha$ 可以算出氧化物中的氧分子（O_2）的脫離量（N_{O2}）。

N_{H2} 是從標準樣品脫離的氫分子（H_2）的換算爲密度的值。S_{H2} 是標準樣品的氫分子（H_2）的離子強度的時間積分值。就是說，將 N_{H2}/S_{H2} 設定爲標準樣品的基準值。S_{O2} 是絕緣氧化物的氧分子（O_2）的離子強度的時間積分值。α是影響離子強度的係數。關於所述算式的詳細情況，可以參照日本專利申請公開 06-275697 號公報。

另外，根據 TDS 分析的氧的脫離量（換算爲氧原子的值）示出當使用電子科學株式會社製造的熱脫附裝置 EMD-WA1000S/W 以包含 $1\times10^{16}atoms/cm^3$ 的氫原子的矽晶片爲標準樣品進行測量時的值。

此外，在 TDS 分析中，氧的一部作爲氧原子而被檢出。氧分子和氧原子的比率可以從氧分子的離子化比率算出。另外，因爲所述係數α包括氧分子的離子化比率，所以藉由評估氧分子的釋放量，可以算出氧原子的釋放量。

注意，N_{O2} 是氧分子（O_2）的脫離量。因此，用氧原子換算的氧脫離量是氧分子（O_2）的脫離量的 2 倍。

層間絕緣膜 205 可以利用濺射法或 CVD 法等形成，

但是較佳爲利用濺射法形成。當作爲層間絕緣膜 205 形成氧化矽膜時，可以使用石英（較佳爲合金石英）靶材作爲靶材，並使用氬氣作爲濺射氣體。或者，也可以使用矽靶材作爲靶材，並使用包含氧的氣體作爲濺射氣體。另外，作爲包含氧的氣體，既可以是氬氣和氧氣的混合氣體，又可以只是氧氣。

在形成層間絕緣膜 205 之後且在形成成爲氧化物半導體層 211 的氧化物半導體膜之前進行第一加熱處理。第一加熱處理是用來去除包含在層間絕緣膜 205 中的水及氫的製程。將第一加熱處理的溫度設定爲包含在層間絕緣膜 205 中的水及氫脫離的溫度（具有脫離量的峰值的溫度）以上且低於設置有 p 通道型電晶體及 n 通道型電晶體的半導體基板 200 變質或變形的溫度，較佳爲 400℃ 以上且 750℃ 以下，而低於後面進行的第二加熱處理的溫度。

然後，在形成氧化物半導體膜之後，進行第二加熱處理。第二加熱處理是將層間絕緣膜 205 用作氧的供應源來將氧供應到氧化物半導體膜的製程。但是，進行第二加熱處理的時序不限於此，也可以在藉由加工氧化物半導體膜來形成氧化物半導體層 211 之後進行。

另外，第二加熱處理在氮氣或者氦、氖、氬等稀有氣體氛圍中進行，該氛圍較佳爲不包含氫、水、羥基或氫化物等。或者，較佳將引入到加熱處理裝置中的氮氣或者氦、氖、氬等稀有氣體的純度設定爲 6N（99.9999%）以上，更佳爲 7N（99.99999%）以上（即，雜質濃度爲 1ppm

以下，較佳爲 0.1ppm 以下）。

另外，根據第二加熱處理的條件、氧化物半導體膜或氧化物半導體層 211 的材料，有時氧化物半導體膜或氧化物半導體層 211 產生晶化而成微晶層或多晶層。例如，有時成爲晶化率爲 90%以上或 80%以上的微晶層。另外，根據第二加熱處理的條件、氧化物半導體膜或氧化物半導體層 211 的材料，有時成爲不包含結晶成分的非晶體。另外，有時在非晶層中混有微晶（晶粒直徑爲 1nm 以上且 20nm 以下）。

另外，當進行第二加熱處理時，層間絕緣膜 205 用作氧的供應源。

另外，氧化物半導體膜的被形成面的層間絕緣膜 205 的平均面粗糙度（Ra）較佳爲 0.1nm 以上且低於 0.5nm。這是因爲當氧化物半導體膜具有結晶性時可以使其結晶定向一致的緣故。

注意，在此平均面粗糙度（Ra）是指爲了可以應用於測量表面而將在 JIS B0601：2001（ISO4287：1997）中定義的中心線平均粗糙度（Ra）擴大爲三維來得到的值。平均粗糙度（Ra）可以用將從基準面到指定面的偏差的絕對值平均而得到的值表示。

在此，作爲中心線平均粗糙度（Ra），當從粗糙度曲線在其中心線方向上截取測量長度 L 的部分，並以該所截取的部分的中心線的方向爲 X 軸，以縱向放大率的方向（垂直於 X 軸的方向）爲 Y 軸，用 Y=F（X）表示粗糙度曲

線時，可以由以下算式（1）得到。

[算式1]

$$R_a = \frac{1}{L}\int_0^L |F(X)|dX \qquad (1)$$

並且，作爲平均面粗糙度（Ra），當由Z=F（X，Y）表示測量資料所示的面即測量表面時，可以用將從基準面到指定面的偏差的絕對值平均而得到的值表示。即可以由以下算式（2）得到。

[算式2]

$$R_a = \frac{1}{S_0}\int_{Y_1}^{Y_2}\int_{X_1}^{X_2} |F(X,Y) - Z_0|dXdY \qquad (2)$$

在此，指定面是指粗糙度測量的目標的表面，且是由座標（X_1，Y_1）、（X_1，Y_2）、（X_2，Y_1）、（X_2，Y_2）表示的四個點圍繞的矩形區域。當假設指定面具有理想的平坦面時，由S_0表示指定面的面積。

另外，基準面是指指定面的平均高度中的平行於XY平面的面。也就是說，當指定面的高度的平均值是Z_0時，基準面的高度也可以由Z_0表示。

如此，爲了將層間絕緣膜205的平均面粗糙度設定爲0.1nm以上且低於0.5nm，可以進行化學機械拋光（Chemical Mechanical Polishing：CMP）處理。CMP處理可以在形成氧化物半導體膜之前進行，但是較佳在進行第

一加熱處理之前進行。

在此，可以進行一次以上的 CMP 處理。當分多次進行 CMP 處理時，較佳在進行高拋光率的初期拋光之後，進行低拋光率的精拋光。

另外，爲了使層間絕緣膜 205 平坦化，也可以進行乾蝕刻等，以代替 CMP 處理。在此，作爲蝕刻氣體，可以使用氯類氣體如氯、氯化硼、氯化矽、四氯化碳等；氟類氣體如四氟化碳、氟化硫、氟化氮等。

另外，爲了使層間絕緣膜 205 平坦化，也可以進行電漿處理等，以代替 CMP 處理。在此，當進行電漿處理時可以使用稀有氣體。藉由該電漿處理，對被處理面照射惰性氣體的離子，利用濺射效果使被處理面的微細的凹凸平坦化。這種電漿處理被稱爲反濺射。

另外，爲了使層間絕緣膜 205 平坦化，可以採用上述處理中的任何一種。例如，可以只進行反濺射，也可以在進行 CMP 處理之後進行乾蝕刻。注意，爲了防止水等混入到氧化物半導體膜的被形成面的層間絕緣膜 205，較佳爲利用乾蝕刻或者反濺射。尤其是，當在進行第一加熱處理之後進行平坦化處理時，較佳爲利用乾蝕刻或者反濺射。

作爲氧化物半導體層 211，例如可以形成氧化物半導體膜，並在該氧化物半導體膜上形成蝕刻掩模，藉由進行蝕刻來選擇性地形成。此外，也可以利用噴墨法。

氧化物半導體膜較佳至少包含銦（In）或鋅（Zn）。

尤其是，較佳爲包含 In 和 Zn 的兩者。並且較佳爲包含鎵（Ga）。如果包含鎵（Ga），則可以降低電晶體特性的偏差。將這樣可以降低電晶體特性的偏差的元素稱爲穩定劑（stabilizer）。作爲穩定劑，可以舉出錫（Sn）、鉿（Hf）或鋁（Al）。

另外，作爲其他的穩定劑，可以舉出作爲鑭系元素的鑭（La）、鈰（Ce）、鐠（Pr）、釹（Nd）、釤（Sm）、銪（Eu）、釓（Gd）、鋱（Tb）、鏑（Dy）、鈥（Ho）、鉺（Er）、銩（Tm）、鐿（Yb）、鎦（Lu）。也可以具有它們的一種或多種。

例如，作爲氧化物半導體，可以例示：氧化銦、氧化錫、氧化鋅；二元金屬氧化物的 In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物；三元金屬氧化物的 Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Ga-Zn 類氧化物（也稱爲 IGZO）、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；四元金屬氧化物的 In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn

類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。

這裏，例如 In-Ga-Zn 類氧化物是指作爲主要成分具有 In、Ga 和 Zn 的氧化物，對 In、Ga、Zn 的比率沒有限制。另外，也可以包含 In、Ga、Zn 以外的金屬元素。

例如，可以使用其原子數比爲 In:Ga:Zn=1:1:1（=1/3:1/3:1/3）或 In:Ga:Zn=2:2:1（=2/5:2/5:1/5）的 In-Ga-Zn 類氧化物或具有與其類似的組成的氧化物。或者，也可以使用其原子數比爲 In:Sn:Zn=1:1:1（=1/3:1/3:1/3）、In:Sn:Zn=2:1:3（=1/3:1/6:1/2）或 In:Sn:Zn=2:1:5（=1/4:1/8:5/8）的 In-Sn-Zn 類氧化物或具有與其類似的組成的氧化物。

但是，可以在本發明的一個方式中使用的氧化物半導體膜不侷限於上述材料，根據所需要的半導體特性（遷移率、閾值、偏差等）可以使用適當的組成的材料。另外，根據所需要的電晶體特性（半導體特性），可以適當地調整載子濃度、雜質濃度、缺陷密度、金屬元素與氧的原子數比、原子間接合距離及密度等的條件。

例如，使用 In-Sn-Zn 類氧化物可以獲得較高的遷移率。但是，當使用 In-Ga-Zn 類氧化物時也可以藉由減小塊內缺陷密度來提高遷移率。

氧化物半導體既可以爲單晶又可以爲非單晶。在氧化物半導體爲非單晶的情況下，可以爲非晶或多晶。此外，也可以採用在非晶體中含有具有結晶性的部分的結構。或

者，也可以爲非非晶。

此外，在所述金屬氧化物中，較佳相對於這些化學計量比，包含過剩的氧。藉由包含過剩的氧，可以抑制由形成的氧化物半導體膜的氧缺損導致的載子的產生。

此外，作爲一個例子，當使用 In-Zn 類金屬氧化物形成氧化物半導體膜時，將靶材的組成設定爲原子數比爲 In/Zn=1 至 100，較佳爲 In/Zn=1 至 20，更佳爲 In/Zn=1 至 10。藉由將 Zn 的原子數比設定爲較佳的所述範圍內，可以提高場效應遷移率。在此，爲了包含過剩的氧，較佳將金屬氧化物的原子數比 In:Zn:O=X:Y:Z 設定爲 $Z>1.5X+Y$。

另外，在此，靶材的填充率爲 90%以上且 100%以下，較佳爲 95%以上且 99.9%以下。藉由提高靶材的填充率，可以使所形成的氧化物半導體膜成爲緻密的膜。

另外，可以應用於氧化物半導體膜的金屬氧化物的能隙較佳爲 2eV 以上，更佳爲 2.5eV 以上，進一步佳爲 3eV 以上。像這樣，藉由使用能隙寬的金屬氧化物，可以降低電晶體的截止電流。

此外，氧化物半導體膜包含氫。氫除了作爲氫原子以外，有時作爲氫分子、水、羥基或其他氫化物被包含。包含在氧化物半導體膜中的氫較佳爲盡可能地少。

另外，較佳爲降低氧化物半導體膜中的鹼金屬及鹼土金屬，將它們的濃度較佳爲設定爲 $1\times10^{18}atoms/cm^3$ 以下，更佳爲 $2\times10^{16}atoms/cm^3$。這是因爲有時鹼金屬及鹼土

金屬與氧化物半導體接合而產生載子，而導致電晶體的截止電流增大的緣故。

此外，對氧化物半導體膜的形成方法及厚度沒有特別的限制，可以根據製造的電晶體的大小決定。作爲氧化物半導體膜的形成方法，例如可以舉出濺射法、分子束外延法、塗敷法、印刷法、脈衝雷射蒸鍍法等。可以將氧化物半導體膜的厚度設定爲 3nm 以上且 50nm 以下。這是因爲如果將厚度設定爲 50nm 以上，則有電晶體成爲常導通狀態的擔憂。此外，當將電晶體的通道長度爲 30μm 時，如果將氧化物半導體膜的厚度設定爲 5nm 以下，則可以抑制短通道效應。

在此，作爲較佳的一個例子，藉由利用 In-Ga-Zn 類金屬氧化物靶材的濺射法，形成氧化物半導體膜。在此，作爲濺射氣體，可以使用稀有氣體（例如，氬氣）、氧氣或稀有氣體與氧氣的混合氣體。

另外，作爲形成氧化物半導體膜時使用的濺射氣體，較佳爲使用氫、水、羥基或氫化物等被去除的高純度氣體。爲了使濺射氣體成爲高純度氣體，去除附著在處理室的內壁等的氣體，並在形成氧化物半導體膜之前對設置有 p 通道型電晶體及 n 通道型電晶體的半導體基板 200 進行加熱處理，即可。此外，也可以使引入到處理室的濺射氣體爲高純度氣體，在此情況下，作爲氬氣，使純度爲 9N（99.9999999%）以上，露點爲 -121℃ 以下，水爲 0.1ppb 以下，氫爲 0.5ppb 以下，即可。作爲氧氣，使純度爲 8N（

99.999999%）以上，露點爲-112℃以下，水爲 1ppb 以下，氫爲 1ppb 以下，即可。此外，如果對設置有 p 通道型電晶體及 n 通道型電晶體的半導體基板 200 進行加熱以在保持高溫的狀態下形成氧化物半導體膜，則可以降低包含在氧化物半導體膜中的水等雜質的濃度。並且，可以減少由於應用濺射法而混入到氧化物半導體膜的損傷。在此，將設置有 p 通道型電晶體及 n 通道型電晶體的半導體基板 200 的溫度設定爲 100℃以上且 600℃以下，較佳爲 200℃以上且 400℃以下。

此外，爲了使氧化物半導體膜包含過剩的氧，可以由離子植入供應氧。

此外，氧化物半導體膜既可以具有非晶結構，又可以具有結晶結構。作爲具有結晶結構時的較佳的一個方式，可以舉出向 c 軸方向配向的結晶性的(C Axis Aligned Crystalline：CAAC)氧化物半導體膜。藉由採用 CAAC 氧化物半導體膜作爲氧化物半導體膜，可以提高電晶體的可靠性。

CAAC 氧化物半導體膜是指如下一種氧化物半導體膜，其中結晶進行 c 軸配向，且從 ab 面、表面或介面的方向來看時具有三角形或六角形的原子排列，在 c 軸上金屬原子排列爲層狀或者金屬原子和氧原子排列爲層狀，在 ab 面（或者表面或介面）上包括 a 軸或 b 軸的方向不同（以 c 軸爲中心旋轉）的結晶。

此外，從更廣義來理解，CAAC 氧化物半導體膜是指

非單晶的包括如下相的氧化物半導體膜，在該相中在從垂直於 ab 面的方向看時具有三角形、六角形、正三角形或正六角形的原子排列，並且從垂直於 c 軸的方向看時金屬原子排列爲層狀或者金屬原子和氧原子排列爲層狀。

另外，雖然 CAAC 氧化物半導體膜不是單晶，但是也不是只由非晶形成。另外，雖然 CAAC 氧化物半導體膜包括晶化部分（結晶部分），但是也可以不能明確辨別一個結晶部分與其他結晶部分的邊界。

此外，可以用氮取代構成 CAAC 氧化物半導體膜的氧的一部分。另外，構成 CAAC 氧化物半導體膜的各結晶部分的 c 軸也可以在固定的方向上（例如，垂直於支撐 CAAC 氧化物半導體膜的基板面或者 CAAC 氧化物半導體膜的表面及介面等的方向）一致。或者，構成 CAAC 氧化物半導體膜的各結晶部分的 ab 面的法線也可以朝向固定的方向（例如，垂直於基板面、表面或介面等的方向）。

此外，CAAC 氧化物半導體膜根據其組成等可以是導體，也可以是半導體，還可以是絕緣體。另外，CAAC 氧化物半導體膜根據其組成等既可以對可見光具有透明性又可以對可見光不具有透明性。

作爲上述 CAAC 氧化物半導體膜的例子，也可以舉出如下一種材料，其中該材料被形成爲膜狀，並且在從垂直於膜表面、基板面或介面的方向觀察時確認到三角形或六角形的原子排列，並且在其膜的剖面中確認到金屬原子或金屬原子和氧原子（或氮原子）的層狀排列等。

以下，參照圖 7A 至圖 9C 詳細說明這樣的 CAAC 氧化物半導體膜。注意，原則上在圖 7A 至圖 9C 中，以垂直方向爲 c 軸方向，並以垂直於 c 軸方向的面爲 ab 面。另外，在簡單地稱爲“上一半”或“下一半”時，以 ab 面爲邊界。在圖 7A 至 7E 中，使用圓圈圈上的 O 示出四配位 O，而使用雙重圓圈圈上的 O 示出三配位 O。

圖 7A 示出具有一個六配位銦（以下，In）以及靠近 In 的六個四配位氧（以下稱爲四配位 O）的結構。這裏，將對於一個 In 只示出靠近其的氧的結構稱爲子單元。雖然圖 7A 所示的結構採用八面體結構，但是爲了容易理解示出平面結構。另外，在圖 7A 的上一半及下一半中分別具有三個四配位 O。圖 7A 所示的子單元的電荷爲 0。

圖 7B 示出具有一個五配位鎵（以下，Ga）、靠近 Ga 的三個三配位氧（以下稱爲三配位 O）以及靠近的兩個四配位 O 的結構。三配位 O 都存在於 ab 面上。在圖 7B 的上一半及下一半分別具有一個四配位 O。另外，因爲 In 也採用五配位，所以也有可能採用圖 7B 所示的結構。圖 7B 所示的子單元的電荷爲 0。

圖 7C 示出具有一個四配位鋅（以下，Zn）以及靠近 Zn 的四個四配位 O 的結構。在圖 7C 的上一半具有一個四配位 O，並且在下一半具有三個四配位 O。圖 7C 所示的子單元的電荷爲 0。

圖 7D 示出具有一個六配位錫（以下，Sn）以及靠近 Sn 的六個四配位 O 的結構。在圖 7D 的上一半具有三個四

配位 O，並且在下一半具有三個四配位 O。圖 7D 所示的子單元的電荷爲+1。

圖 7E 示出包括兩個 Zn 的子單元。在圖 7E 的上一半具有一個四配位 O，並且在下一半具有一個四配位 O。圖 7E 所示的子單元的電荷爲-1。

在此，將幾個子單元的集合體稱爲一個組，而將由多個組構成的一個週期稱爲一個單元。

這裏，說明這些子單元彼此接合的規則。In 的上一半的三個 O 在下方向上具有三個靠近的 In，而 In 的下一半的三個 O 在上方向上具有三個靠近的 In。Ga 的上一半的一個 O 在下方向上具有一個靠近的 Ga，而 Ga 的下一半的一個 O 在上方向上具有一個靠近的 Ga。Zn 的上一半的一個 O 在下方向上具有一個靠近的 Zn，而 Zn 的下一半的三個 O 在上方向上具有三個靠近的 Zn。像這樣，金屬原子的上方向上的四配位 O 的個數與位於該 O 的下方向上的靠近的金屬原子的個數相等。與此同樣，金屬原子的下方向的四配位 O 的個數與位於該 O 的上方向上的靠近的金屬原子的個數相等。因爲 O 爲四配位，所以位於下方向上的靠近的金屬原子的個數和位於上方向上的靠近的金屬原子的個數的總和成爲 4。因此，在位於一金屬原子的上方向上的四配位 O 的個數和位於另一金屬原子的下方向上的四配位 O 的個數的總和爲 4 時，具有金屬原子的兩種子單元可以彼此接合。以下示出其理由。例如，在六配位金屬原子（In 或 Sn）藉由上一半的四配位 O 接合時，因爲四

配位 O 的個數爲 3，所以其與五配位金屬原子（Ga 或 In）的上一半的四配位 O、五配位的金屬原子（Ga 或 In）的下一半的四配位 O、四配位金屬原子（Zn）的上一半的四配位 O 中的任何一個接合。

具有這些配位數的金屬原子在 c 軸方向上藉由四配位 O 接合。另外，除此以外，以使層結構的總和電荷成爲 0 的方式子單元彼此接合而構成一個組。

圖 8A 示出構成 In-Sn-Zn 類層結構的一個組的模型圖。圖 8B 示出由三個組構成的單元。另外，圖 8C 示出從 c 軸方向上觀察圖 8B 的層結構時的排列。

在圖 8A 中，爲了容易理解，省略三配位 O，關於四配位 O 只示出其個數，例如，以③表示 Sn 的上一半及下一半分別具有三個四配位 O。與此同樣，在圖 8A 中，以①表示 In 的上一半及下一半分別具有一個四配位 O。與此同樣，在圖 8A 中示出：下一半具有一個四配位 O 而上一半具有三個四配位 O 的 Zn；以及上一半具有一個四配位 O 而下一半具有三個四配位 O 的 Zn。

在圖 8A 中，構成 In-Sn-Zn 類層結構的組具有如下結構：在從上按順序說明時，上一半及下一半分別具有三個四配位 O 的 Sn 與上一半及下一半分別具有一個四配位 O 的 In 接合；該 In 與上一半具有三個四配位 O 的 Zn 接合；該 Zn 藉由該 Zn 的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 In 接合；該 In 與上一半具有一個四配位 O 的由兩個 Zn 構成的子單元接合；該子

單元藉由該子單元的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 Sn 接合。多個上述組彼此接合而構成一個週期的單元。

這裏，三配位 O 及四配位 O 的一個接合的電荷分別可以被認爲是-0.667 及-0.5。例如，In（六配位或五配位）、Zn（四配位）以及 Sn（五配位或六配位）的電荷分別爲+3、+2 以及+4。因此，包含 Sn 的子單元的電荷爲+1。因此，爲了形成包含 Sn 的層結構，需要用於消除電荷+1 的電荷-1。作爲具有電荷-1 的結構，可以舉出圖 7E 所示的包含兩個 Zn 的子單元。例如，因爲如果對於一個包含 Sn 的子單元有一個包含兩個 Zn 的子單元則電荷被消除，所以可以使層結構的總電荷爲 0。

此外，In 可以具有五配位或六配位。明確而言，藉由採用圖 8B 所示的單元來可以得到 In-Sn-Zn 類結晶（$In_2SnZn_3O_8$）。注意，可以得到的 In-Sn-Zn 類的結晶的層結構可以由組成式 $In_2SnZn_2O_7(ZnO)_m$（m 是 0 或自然數）表示。注意，在 In-Sn-Zn 類的結晶中，較佳 m 爲大。因爲 m 越大越可以提高結晶性。

此外，使用其他金屬氧化物時也與上述相同。例如，圖 9A 示出構成 In-Ga-Zn 類的結晶的層結構的一個組的模型圖。

在圖 9A 中，構成 In-Ga-Zn 類層結構的組具有如下結構：在從上按順序說明時，上一半和下一半分別有三個四配位 O 的 In 與 Zn 的上一半所具有的一個四配位的 O 接合

；該 Zn 藉由該 Zn 的下一半的三個四配位 O 與上一半及下一半分別具有一個四配位 O 的 Ga 接合；該 Ga 藉由該 Ga 的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 In 接合。多個上述組彼此接合而構成一個週期的單元。

圖 9B 示出由三個組構成的單元。另外，圖 9C 示出從 c 軸方向上觀察圖 9B 的層結構時的排列。

在此，因爲 In（六配位或五配位）、Zn（四配位）、Ga（五配位）的電荷分別是+3、+2、+3，所以包含 In、Zn 及 Ga 中的任一個的子單元的電荷爲 0。因此，組合這些子單元而成的組的總電荷一直爲 0。

此外，構成 In-Ga-Zn 類的結晶的層結構的組不侷限於圖 9A 所示的組。

在此，說明 CAAC 氧化物半導體膜的形成方法。

首先，藉由濺射法等形成氧化物半導體膜。另外，藉由在使設置有 p 通道型電晶體及 n 通道型電晶體的半導體基板 200 保持爲高溫度的情況下形成氧化物半導體膜，可以使結晶部分的比例高於非晶部分的比例。此時，例如，將設置有 p 通道型電晶體及 n 通道型電晶體的半導體基板 200 的溫度設定爲 150℃以上且 450℃以下即可，較佳爲設定爲 200℃以上且 350℃以下。

在此，也可以對形成的氧化物半導體膜進行加熱處理。由該加熱處理，使結晶部分所占的比例大於非晶部分所占的比例。將該加熱處理時的設置有 p 通道型電晶體及 n

通道型電晶體的半導體基板 200 的溫度例如設定爲 200℃以上且低於設置有 p 通道型電晶體及 n 通道型電晶體的半導體基板 200 本身不變質或變形的程度的溫度，較佳爲 250℃以上且 450℃以下。可以將該加熱處理的時間設定爲 3 分以上，但較佳爲 24 小時以下。這是因爲如果延長該加熱處理的時間雖然可以使結晶部分所占的比例大於非晶部分所占的比例，但是會使生產性降低的緣故。此外，可以在氧化氛圍下或惰性氛圍下進行該加熱處理，但是不限於此。此外，也可以在減壓下進行該加熱處理。

氧化氛圍是包含氧化氣體的氛圍。作爲氧化氣體，例如可以例示出氧、臭氧、一氧化二氮等。較佳從氧化氛圍中儘量去除不希望包含在氧化物半導體膜中的成分（例如，水及氫）。例如，可以將氧、臭氧、一氧化二氮的純度設定爲 8N（99.999999%）以上，較佳爲設定爲 9N（99.9999999%）以上。

此外，在氧化氛圍中可以包含有稀有氣體等惰性氣體。但是，需要在氧化氣體中包含有 10ppm 以上的氧化氣體。作爲惰性氛圍，包含惰性氣體（氮氣或稀有氣體等），且包含小於 10ppm 的氧化氣體等反應氣體。

另外，所有加熱處理可以使用 RTA（Rapid Thermal Anneal：快速熱退火）裝置。藉由利用 RTA 裝置，如果在短時間內，則也可以在較高的溫度下進行加熱處理。因此，可以形成結晶部分所占的比例比非晶部分所占的比例大的氧化物半導體膜，並可以抑制生產性的降低。

但是用於所有加熱處理的裝置不限於 RTA 裝置，例如可以使用具備有利用電阻發熱體等所產生的熱傳導或熱輻射對被處理物進行加熱的機構的裝置。作爲用於所有加熱處理的加熱處理裝置，例如可以舉出電爐、GRTA（Gas Rapid Thermal Anneal：氣體快速熱退火）裝置、LRTA（Lamp Rapid Thermal Anneal：燈快速熱退火）裝置等的 RTA（Rapid Thermal Anneal：快速熱退火）裝置等。LRTA 裝置是藉由從鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈或高壓汞燈等的燈發射的光（電磁波）輻射來加熱被處理物的裝置。此外，GRTA 裝置是將高溫氣體用作熱媒體來加熱被處理物的裝置。在此，高溫氣體的溫度較佳高於被處理物的加熱溫度。

此外，當使用氮濃度爲 1×10^{17}atoms/cm^3 以上且 5×10^{19}atoms/cm^3 以下的 In-Ga-Zn 類金屬氧化物時，形成包括 c 軸配向的六方晶的結晶結構的金屬氧化物膜，包含一個或多個 Ga 及 Zn 的層配置在兩層的 In-O 結晶面（包含銦和氧的結晶面）之間。

此外，當形成 In-Sn-Zn 類金屬氧化物時，可以使用 In:Sn:Zn 的原子數比爲 1:2:2、2:1:3、1:1:1 或 20:45:35 的靶材。

如上所說明那樣，可以形成 CAAC 氧化物半導體膜。

CAAC 氧化物半導體膜與非晶結構的氧化物半導體膜相比，金屬和氧的接合的秩序性高。就是說，當氧化物半導體膜爲非晶結構時，根據相鄰的金屬配位在金屬原子的

氧原子的個數不同，但是在 CAAC 氧化物半導體膜中配位在金屬原子的氧原子的配位數大致恆定。因此，在微觀水準上也幾乎觀察不到氧缺損，而可以抑制由氫原子（包括氫離子）及鹼金屬原子等導致的電荷的遷移及導電性的不穩定。

從而，當將 CAAC 氧化物半導體膜用於通道形成區製造電晶體時，可以抑制在對電晶體進行光照射或偏壓-熱壓力試驗（BT）的附加之後產生的電晶體的臨界電壓的變化，而可以製造具有穩定的電特性的電晶體。

接著，藉由在氧化物半導體膜上形成蝕刻掩模來進行蝕刻，來形成氧化物半導體層 211（圖 6A）。

然後，形成接觸於氧化物半導體層 211 且彼此分開而設置的源極電極 212a 及汲極電極 212b（圖 6B）。

作爲源極電極 212a 及汲極電極 212b，例如利用濺射法形成導電膜（例如金屬膜或添加有一導電型的雜質元素的矽膜等），然後在該導電膜上形成蝕刻掩模，藉由進行蝕刻來選擇性地形成，即可。或者，可以使用噴墨法等。此外，成爲源極電極 212a 及汲極電極 212b 的導電膜既可以以單層形成，有可以層疊多個層而形成。例如，可以採用由 Ti 層夾著 Al 層的三層的疊層結構。注意，成爲源極電極 212a 及汲極電極 212b 的層也起信號線的作用。

接著，在氧化物半導體層 211 的至少通道形成區上形成閘極絕緣膜 213，並在形成閘極絕緣膜 213 之後形成開口部（圖 6C）。該開口部形成在重疊於閘極電極 204 的

部分。

作爲閘極絕緣膜 213，例如可以藉由濺射法利用絕緣材料（例如，氮化矽、氮氧化矽、氧氮化矽或氧化矽等）形成。此外，閘極絕緣膜 213 既可以以單層形成，又可以層疊多個層而形成。在此，例如採用在氮化矽層上層疊有氧氮化矽層的兩層的疊層結構。另外，當藉由濺射法形成閘極絕緣膜 213 時，可以防止氫及水分混入到氧化物半導體層 211。此外，當閘極絕緣膜 213 使用絕緣氧化物膜時，可以供應氧以彌補氧缺損，所以是較佳的。

注意，“氮氧化矽”是指在其組成中氮含量多於氧含量。注意，“氧氮化矽”是指在其組成中氧含量多於氮含量。

在此，可以使用乾蝕刻對氧化物半導體膜進行加工。作爲用於乾蝕刻的蝕刻氣體，例如可以使用氯氣體、或三氯化硼氣體和氯氣體的混合氣體。但是，不限於此，既可以使用濕蝕刻，又可以使用能夠加工氧化物半導體膜的其他方法[0]。

閘極絕緣膜 213 較佳爲使用至少在接觸於氧化物半導體層 211 的部分中包含氧且藉由加熱氧的一部分脫離的絕緣氧化物形成。就是說，作爲層間絕緣膜 205 的材料較佳爲使用所例示且列舉的材料。藉由使用氧化矽形成閘極絕緣膜 213 中的接觸於氧化物半導體層 211 的部分，可以將氧擴散到氧化物半導體層 211 中，來可以防止電晶體的低電阻化。

此外，藉由作爲閘極絕緣膜 213 使用矽酸鉿（$HfSiO_x$）、添加了氮的矽酸鉿（$HfSi_xO_yN_z$）、添加了氮的鋁酸鉿（$HfAl_xO_yN_z$）、氧化鉿、氧化釔或氧化鑭等 high-k 材料，可以降低閘極洩漏電流。在此，閘極洩漏電流是指流過在閘極電極與源極電極或汲極電極之間的洩漏電流。並且，可以是利用所述 high-k 材料形成的層與利用氧化矽、氧氮化矽、氮化矽、氮氧化矽、氧化鋁、氧氮化鋁及氧化鎵形成的層的疊層。但是，即使作爲閘極絕緣膜 213 採用疊層結構，接觸於氧化物半導體層 211 的部分也較佳爲絕緣氧化物。

閘極絕緣膜 213 可以利用濺射法形成。此外，將閘極絕緣膜 213 的厚度可以設定爲 1nm 以上且 300nm 以下，較佳爲設定爲 5nm 以上且 50nm 以下。當將閘極絕緣膜 213 的厚度設定爲 5nm 以上，可以尤其使閘極漏電流小。

在此，也可以進一步地在惰性氣體氛圍下或氧氣氛圍下，進行第三加熱處理（較佳爲 200℃ 以上且 400℃ 以下，例如 250℃ 以上且 350℃ 以下）。藉由第三加熱處理可以將殘留在氧化物半導體層 211 中的氫或水分擴散到閘極絕緣膜。並且，藉由進行第三加熱處理，可以以閘極絕緣膜 213 爲供應源將氧供應到氧化物半導體層 211。

此外，在此在氧化物半導體層 211 上形成閘極絕緣膜 213 之後進行第三加熱處理，但是其時序不限於此。也可以在形成成爲電極 214a 及閘極電極 214b 或者電極 214a 及閘極電極 214b 的導電膜之後進行。

注意，在此將氧化物半導體層 211 的氫濃度設定爲 5.0×10^{19}atoms/cm^3 以下，較佳爲 5.0×10^{18}atoms/cm^3 以下。如此，藉由降低氫濃度，可以防止電晶體的臨界電壓向負方向漂移。

此外，較佳爲使氧化物半導體層 211 的載子濃度降低到小於 1.0×10^{14}/cm^3。當使載子濃度小時，可以將截止電流抑制爲低。

接著，藉由在閘極絕緣膜 213 上形成導電膜並在該導電膜上形成蝕刻掩模來進行蝕刻，形成電極 214a 及閘極電極 214b（圖 6D）。此外，成爲閘極電極 214b 的層至少起掃描線的作用。

電極 214a 及閘極電極 214b 可以使用與源極電極 212a 及汲極電極 212b 相同的材料及方法形成。

另外，雖然未圖示，但是較佳藉由將閘極電極 214b 用作掩模，對氧化物半導體層 211 添加摻雜劑而在氧化物半導體層 211 中形成源極區及汲極區。

在此，摻雜劑的添加可以藉由離子植入法或離子摻雜法進行。此外，也可以藉由在包含摻雜劑的氣體氛圍中進行電漿處理來進行摻雜劑的添加。此外，作爲所添加的摻雜劑可以使用氮、磷或硼等。

如上述所說明那樣，可以如圖 5 所示那樣在設置於半導體基板的電晶體上製造寬能隙半導體電晶體。

此外，如圖 2 所示那樣，CONa 信號輸入到平行於字線 W1a 而設置的佈線。被輸入 CONa 信號的佈線以圖 10A

和圖 10B 所示的方式設置。

圖 10A 示出記憶元件 102a（1，1）和記憶元件 102a（1，2）所具有的寬能隙半導體電晶體 130 和電晶體 132 的俯視圖的較佳的方式。圖 10B 示出沿著圖 10A 的 X1-X2 的剖面圖的較佳的方式。

在寬能隙半導體電晶體 130 及電晶體 132 上設置有絕緣層 215，在絕緣層 215 上設置有佈線層 216，寬能隙半導體電晶體 130 的源極及汲極在設置在絕緣層 215 中的開口部電連接到佈線層 216。

寬能隙半導體電晶體 130 的閘極和電晶體 132 的閘極電連接到字線 W1a。電晶體 132 的源極和汲極中的一方電連接到位元線 B1a 或位元線 B2a。

如圖 10A 及圖 10B 所示那樣，寬能隙半導體電晶體 130 的源極及汲極較佳不但由於佈線層 216 彼此連接，而且與相鄰的寬能隙半導體電晶體的源極及汲極連接，並沿著字線 W1a 不按元件分離而以連成一片的方式設置。寬能隙半導體電晶體 130 設置在每個記憶元件 102a，這是因爲即使在該電晶體特性產生偏差時，也至少在沿著字線 W1a 的方向上可以防止記憶元件 102a 的工作受到寬能隙半導體電晶體 130 的電晶體特性的偏差的影響。

此外，絕緣層 215 使用絕緣材料設置即可，佈線層 216 使用導電材料設置即可。絕緣層 215 較佳爲使用介電常數低的材料（例如氧化矽）設置。更佳的是，絕緣層 215 使用其介電常數低於氧化矽的材料設置。藉由作爲絕

緣層 215 使用介電常數低的材料設置，可以降低位元線 B1a 及字線 W1a 與使用佈線層 216 設置的佈線之間的寄生電容。

另外，因爲輸入 PRE 信號的佈線和輸入 SAE 信號的佈線隔著絕緣膜和位元線重疊，所以較佳藉由使用佈線層 216 形成這些佈線，降低這些佈線與位元線之間的寄生電容。但是，與字線相比，PRE 信號和 SAE 信號不存在雜波問題，所以不一定侷限於該結構。

此外，根據上述方法製造的寬能隙半導體電晶體可以在室溫下使每通道寬度 1μm 的截止電流值爲 10aA/μm（1×10^{-17}A/μm）以下，進一步爲 1aA/μm（1×10^{-18}A/μm）以下，更進一步 1zA/μm（1×10^{-21}A/μm）以下，再進一步爲 1yA/μm（1×10^{-24}A/μm）。

如上述所說明那樣，作爲寬能隙半導體電晶體較佳爲使用氧化物半導體。使用氧化物半導體的電晶體可以提高場效應遷移率。

但是，實際的使用氧化物半導體的電晶體的場效應遷移率比本來的遷移率低。作爲使遷移率降低的原因，有半導體內部的缺陷以及半導體和絕緣膜之間的介面的缺陷。當使用 Levinson 模型時，可以理論性地導出假定在半導體內部沒有缺陷時的場效應遷移率。

當以半導體本來的遷移率爲μ_0，以所測量的場效應遷移率爲μ，且假定在半導體中存在某種位能障壁（晶界等）時，可以由下述算式（3）表示其關係。

[算式 3]

$$\mu = \mu_0 \exp(-\frac{E}{kT}) \qquad (3)$$

在此，E 是位能障壁的高度，k 是玻爾茲曼常數，T 是絕對溫度。此外，當假定位能障壁由於缺陷而發生時，在 Levinson 模型中可以由下述算式（4）表示位能障壁。

[算式 4]

$$E = \frac{e^2 N^2}{8\varepsilon n} = \frac{e^3 N^2 t}{8\varepsilon C_{ox} V_g} \qquad (4)$$

在此，e 是元電荷，N 是通道內的每單位面積的平均缺陷密度，ε是半導體的介電常數，n 是包括在每單位面積的通道中的載子數，C_{ox} 是每單位面積的電容，V_g 是閘電壓，t 是通道的厚度。注意，在採用厚度爲 30nm 以下的半導體層的情況下，通道的厚度可以與半導體層的厚度相同。

線性區中的汲電流 I_d 可以由下述算式（5）表示。

[算式 5]

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp(-\frac{E}{kT}) \qquad (5)$$

在此，L 是通道長度，W 是通道寬度，並且 L=W=10μm。此外，V_d 是汲極電壓。當用 V_g 除上述算式的兩邊，且對兩邊取對數時，成爲下述算（6）式。

[算式6]

$$\ln\left(\frac{I_d}{V_g}\right)=\ln\left(\frac{W\mu V_d C_{ox}}{L}\right)-\frac{E}{kT}=\ln\left(\frac{W\mu V_d C_{ox}}{L}\right)-\frac{e^3N^2t}{8kT\varepsilon C_{ox}V_g} \quad (6)$$

算式（6）的右邊是 V_g 的函數。由算式（6）可知，可以根據以 $\ln(I_d/V_g)$ 爲縱軸以 $1/V_g$ 爲橫軸的直線的傾斜度求得缺陷密度 N。也就是說，根據電晶體的 I_d-V_g 特性可以對缺陷密度進行評價。在銦（In）、錫（Sn）、鋅（Zn）的比率爲 In:Sn:Zn=1:1:1 的氧化物半導體中，缺陷密度 N 是 $1\times10^{12}/cm^2$ 左右。

基於如上所述那樣求得的缺陷密度等且根據藉由算式（3）及算式（4）可以導出 $\mu_0=120cm^2/Vs$。在有缺陷的 In-Sn-Zn 氧化物中測量出來的遷移率爲 $40cm^2/Vs$ 左右。但是，根據上述所導出的結果，在半導體內部以及半導體與絕緣膜之間的介面沒有缺陷時的氧化物半導體的遷移率 μ_0 成爲 $120cm^2/Vs$。

然而，即使在半導體內部沒有缺陷，電晶體的傳輸特性也受通道和閘極絕緣物之間的介面中的散射的影響。換言之，離閘極絕緣物介面有 x 的距離的位置上的遷移率 μ_1 可以由下述算式（7）表示。

[算式7]

$$\frac{1}{\mu_1}=\frac{1}{\mu_0}+\frac{D}{B}\exp\left(-\frac{x}{l}\right) \quad (7)$$

在此，D是閘極方向上的電場，且B、l是常數。B及l可以根據實際的測量結果求得。根據上述測量結果，$B=4.75\times10^7 cm/s$，$l=10nm$（介面散射到達的深度）。可知當D增加（即，閘電壓增高）時，算式（7）的第二項也增加，所以遷移率μ_1降低。

圖11示出計算一種電晶體的遷移率μ_2而得到的結果，在該電晶體中將沒有半導體內部的缺陷的理想的氧化物半導體用於通道。另外，在計算中，使用元件模擬軟體Sentaurus Device（Synopsys公司製造），並且作爲氧化物半導體，將能隙設定爲2.8eV，將電子親和力設定爲4.7eV，將相對介電常數設定爲15，並將厚度設定爲15nm。再者，將閘極的功函數設定爲5.5eV，將源極的功函數設定爲4.6eV，並且將汲極的功函數設定爲4.6eV。另外，將閘極絕緣物的厚度設定爲100nm，並將相對介電常數設定爲4.1。通道長度和通道寬度都爲10μm，而汲極電壓V_d爲0.1V。

如圖11所示，雖然當閘電壓超過1V時遷移率示出$100cm^2/Vs$以上的峰值，但是當閘壓更高時，介面散亂變大，遷移率降低。另外，爲了降低介面散亂，如上述算式（1）所示出說明那樣，較佳將半導體層表面在原子級上設定爲平坦（Atomic Layer Flatness）。

圖12A至圖14C示出使用具有上述遷移率的氧化物半導體形成微型電晶體時的特性的計算結果。在此，圖15A和圖15B示出用於計算的電晶體的剖面結構。圖15A和

15B 所示的電晶體在氧化物半導體層中具有呈現 n^+導電型的半導體區 303a 及半導體區 303c。半導體區 303a 及半導體區 303c 的電阻率爲 $2\times10^{-3}\Omega cm$。

圖 15A 所示的電晶體包括：基底絕緣物 301；以埋入基底絕緣物 301 中的方式且使用氧化鋁形成的埋入絕緣物 302；半導體區 303a 及半導體區 303c；夾在它們之間且成爲通道形成區的本質半導體區 303b；閘極 305。在計算中，閘極 305 的寬度爲 33nm。

在閘極 305 和半導體區 303b 之間具有閘極絕緣物 304，在閘極 305 的雙側面具有側壁絕緣物 306a 及側壁絕緣物 306b，並且在閘極 305 的上部具有用來防止閘極 305 與其他佈線的短路的絕緣物 307。側壁絕緣物的寬度爲 5nm。另外，以接觸於半導體區 303a 及半導體區 303c 的方式具有源極 308a 及汲極 308b。另外，該電晶體的通道寬度爲 40nm。

圖 15B 所示的電晶體包括：基底絕緣物 301；使用氧化鋁形成的埋入絕緣物 302；半導體區 303a 及半導體區 303c；夾在它們之間的成爲通道形成區的本質半導體區 303b；閘極絕緣物 304；閘極 305；側壁絕緣物 306a 及側壁絕緣物 306b；絕緣物 307；以及源極 308a 及汲極 308b。

圖 15A 所示的電晶體與圖 15B 所示的電晶體的不同之處爲側壁絕緣物 306a 及側壁絕緣物 306b 正下方的半導體區的導電型。側壁絕緣物 306a 及側壁絕緣物 306b 正下方

的半導體區域在圖 15A 所示的電晶體中爲呈現 n^+導電型的區域，而在圖 15B 所示的電晶體中爲本質的半導體區。換言之，在圖 15B 所示的電晶體中，既不與半導體區 303a（半導體區 303c）也不與閘極 305 重疊的區域的寬度爲 Loff。將該區域稱爲偏置（offset）區，並且將其寬度 Loff 稱爲偏置長度。偏置長度與側壁絕緣物 306a（側壁絕緣物 306b）的寬度相同。

用於計算的其他參數爲如上所述的參數。在計算中，使用 Synopsys 公司製造的元件模擬軟體 Sentaurus Device。圖 12A 至圖 12C 示出圖 15A 所示的結構的電晶體的汲電流（I_d，實線）及遷移率（μ，虛線）的閘電壓（V_g，以源極爲基準的與閘極的電位差）依賴性。將汲極電壓（以源極爲基準的與汲極的電位差）設定爲+1V 來計算汲電流 I_d，並且將汲極電壓設定爲+0.1V 來計算遷移率μ。

在圖 12A 中閘極絕緣膜的厚度爲 15nm，在圖 12B 中，閘極絕緣膜的厚度爲 10nm，並且在圖 12C 中閘極絕緣膜的厚度爲 5nm。閘極絕緣膜越薄，尤其是截止狀態下的汲電流 I_d（截止電流）越顯著降低。另一方面，遷移率μ的峰值以及導通狀態時的汲電流 I_d（導通電流）沒有明顯的變化。當閘電壓爲 1V 前後時汲電流超過記憶元件等所需要的 10μA。

圖 13A 至圖 13C 示出在圖 15B 所示的電晶體中當偏置長度 Loff 爲 5nm 時的汲電流 I_d（實線）及遷移率μ（虛線）的閘電壓 V_g 依賴性。將汲極電壓設定爲+1V 來計算

汲電流 I_d，並且將汲極電壓設定爲+0.1V 來計算遷移率μ。在圖 13A 中閘極絕緣膜的厚度爲 15nm，在圖 13B 中閘極絕緣膜的厚度爲 10nm，並且在圖 13C 中閘極絕緣膜的厚度爲 5nm。

圖 14A 至圖 14C 示出在圖 15B 所示的電晶體中當偏置長度 Loff 爲 15nm 時的汲電流 I_d（實線）及遷移率μ（虛線）的閘電壓 V_g 依賴性。將汲極電壓設定爲+1V 來計算汲電流 I_d，並且將汲極電壓設定爲+0.1V 來計算遷移率μ。在圖 14A 中閘極絕緣膜的厚度爲 15nm，在圖 14B 中閘極絕緣膜的厚度爲 10nm，並且在圖 14C 中閘極絕緣膜的厚度爲 5nm。

無論在上述任何一個結構中，都是閘極絕緣膜越薄，截止電流越顯著降低，但是遷移率μ的峰值或導通電流沒有明顯的變化。

另外，在圖 12A 至圖 12C 中遷移率μ的峰值爲 80cm^2/Vs 左右，而在圖 13A 至圖 13C 中遷移率μ的峰值爲 60cm^2/Vs 左右，且在圖 14A 至圖 14C 中遷移率μ的峰值爲 40cm^2/Vs 左右，並且偏置長度 Loff 越增加，遷移率μ的峰值越降低。另外，截止電流也有同樣的趨勢。另一方面，雖然導通電流也隨著偏置長度 Loff 的增加而減少，但是該減少與截止電流的降低相比則要平緩得多。另外，當閘電壓爲 1V 前後時汲電流超過記憶元件等所需要的 10μA。

如上述所說明那樣，作爲寬能隙半導體使用氧化物半導體的電晶體具有非常高的遷移率。

此外，當使用銅形成用作掃描線和信號線的導電層中的至少一方時，可以使佈線實現低電阻，所以是較佳的。

此外，在此作爲寬能隙半導體電晶體說明的電晶體是一個例子，寬能隙半導體電晶體不限於此，而可以採用各種各樣的形式。

【圖式簡單說明】

圖 1 是說明本發明的一個方式的半導體裝置的圖；

圖 2 是說明圖 1 的一部分的圖；

圖 3 是說明圖 2 的工作的圖；

圖 4 是說明圖 2 中的寬能隙半導體電晶體 130 的工作的圖；

圖 5 是可以應用的電晶體的剖面示意圖；

圖 6A 至圖 6D 是說明圖 5 所示的電晶體的製造方法的圖；

圖 7A 至圖 7E 是說明可以應用於電晶體的氧化物半導體的結構的圖；

圖 8A 至圖 8C 是說明可以應用於電晶體的氧化物半導體的結構的圖；

圖 9A 至圖 9C 是說明可以應用於電晶體的氧化物半導體的結構的圖；

圖 10A 和圖 10B 是示出寬能隙半導體電晶體 130 及電晶體 132 的俯視圖及剖面圖的較佳的一個方式的圖；

圖 11 是說明藉由計算獲得的遷移率的閘電壓依賴性

的圖；

圖 12A 至圖 12C 是說明藉由計算獲得的汲電流和遷移率的閘電壓依賴性的圖；

圖 13A 至圖 13C 是說明藉由計算獲得的汲電流和遷移率的閘電壓依賴性的圖；

圖 14A 至圖 14C 是說明藉由計算獲得的汲電流和遷移率的閘電壓依賴性的圖；

圖 15A 和圖 15B 是說明用於計算的電晶體的剖面結構的圖；

本發明的選擇圖爲圖 2。

【主要元件符號說明】

在圖式中：

100：記憶體裝置

102：記憶元件

102a：記憶元件

102b：記憶元件

104：預充電及放大電路

106a：第一列解碼器

106b：第二列解碼器

108：區域

110a：第一行解碼器

110b：第二行解碼器

112a：第一區域

112b：第二區域

120：信號生成電路

122：放大器

124：電晶體

126：電晶體

128：電晶體

130：寬能隙半導體電晶體

132：電晶體

134：電容元件

136：寄生電容區

200：設置有 p 通道型電晶體及 n 通道型電晶體的半導體基板

201：高濃度雜質區

202：低濃度雜質區

203：閘極絕緣膜

204：閘極電極

205：層間絕緣膜

210：在氧化物半導體層中具有通道形成區的電晶體

211：氧化物半導體層

212a：源極電極

212b：汲極電極

213：閘極絕緣膜

214a：電極

214b：閘極電極

215：絕緣層

216：佈線層

301：基底絕緣物

302：埋入絕緣物

303a：半導體區

303b：半導體區

303c：半導體區

304：閘極絕緣物

305：閘極

306a：側壁絕緣物

306b：側壁絕緣物

307：絕緣物

308a：源極

308b：汲極

七、申請專利範圍：

1.一種半導體裝置包括：

切換元件和電晶體；

與該切換元件的閘極電連接的字線；

與該切換元件的源極和汲極中的一方電連接的位元線；

與該字線電連接的該電晶體的閘極；以及

與信號生成電路電連接的該電晶體的源極和汲極，

其中，在該電晶體的該源極和該汲極的電位被該信號生成電路控制時該電晶體起電容器的作用。

2.根據申請專利範圍第 1 項之半導體裝置，其中少數載子實際上沒有包括在該電晶體的通道形成區中。

3.根據申請專利範圍第 1 項之半導體裝置，其中該電晶體在其通道形成區包括寬能隙半導體材料，並且該寬能隙半導體材料的能隙爲 2.0eV 以上且 3.5eV 以下。

4.根據申請專利範圍第 1 項之半導體裝置，其中該電晶體在其通道形成區包括氧化物半導體材料。

5.根據申請專利範圍第 1 項之半導體裝置，還包括：佈線，其中該佈線電連接到該電晶體的該源極和該汲極。

6.根據申請專利範圍第 1 項之半導體裝置，還包括：相鄰的電晶體；以及佈線，其中該相鄰的電晶體的閘極電連接到該字線，並且該佈線電連接到該電晶體的該源極和該汲極以及該相鄰的電晶體的源極和汲極。

7.根據申請專利範圍第 1 項之半導體裝置，還包括：

與該切換元件的該源極和該汲極中的另一方連接的電容元件，其中將資料儲存在該電容元件。

8.一種半導體裝置包括：

切換元件和電晶體；

與該切換元件的閘極電連接的字線；

與該切換元件的源極和汲極中的一方電連接的位元線；

與該字線電連接的該電晶體的源極和汲極；以及

與信號生成電路電連接的該電晶體的閘極，

其中，在該電晶體的該閘極的電位被該信號生成電路控制時該電晶體起電容器的作用。

9.根據申請專利範圍第 8 項之半導體裝置，其中少數載子實際上沒有包括在該電晶體的通道形成區中。

10.根據申請專利範圍第 8 項之半導體裝置，其中該電晶體在其通道形成區包括寬能隙半導體材料，並且該寬能隙半導體材料的能隙爲 2.0eV 以上且 3.5eV 以下。

11.根據申請專利範圍第 8 項之半導體裝置，其中該電晶體在其通道形成區包括氧化物半導體材料。

12.根據申請專利範圍第 8 項之半導體裝置，還包括：佈線，其中該佈線電連接到該電晶體的該源極和該汲極。

13.根據申請專利範圍第 8 項之半導體裝置，還包括：相鄰的電晶體；以及佈線，其中該相鄰的電晶體的源極和汲極電連接到該字線，並且該佈線電連接到該電晶體的

該源極和該汲極以及該相鄰的電晶體的該源極和該汲極。

14.根據申請專利範圍第 8 項之半導體裝置，還包括：與該切換元件的該源極和該汲極中的另一方連接的電容元件，其中將資料儲存在該電容元件。

15.一種半導體裝置包括：

多個記憶元件，該多個記憶元件的每一個包括切換元件和電晶體；

與該切換元件的閘極電連接的字線；

與該切換元件的源極和汲極中的一方電連接的位元線；

與該字線電連接的該電晶體的閘極；以及

與信號生成電路電連接的該電晶體的源極和汲極，

其中，在該電晶體的該源極和該汲極的電位被該信號生成電路控制時該電晶體起電容器的作用。

16.根據申請專利範圍第 15 項之半導體裝置，其中少數載子實際上沒有包括在該電晶體的通道形成區中。

17.根據申請專利範圍第 15 項之半導體裝置，其中該電晶體在其通道形成區包括寬能隙半導體材料，並且該寬能隙半導體材料的能隙爲 2.0eV 以上且 3.5eV 以下。

18.根據申請專利範圍第 15 項之半導體裝置，其中該電晶體在其通道形成區包括氧化物半導體材料。

19.根據申請專利範圍第 15 項之半導體裝置，還包括：佈線，其中該佈線電連接到該電晶體的該源極和該汲極。

20.根據申請專利範圍第 15 項之半導體裝置，還包括：相鄰的電晶體；以及佈線，其中該相鄰的電晶體的閘極電連接到該字線，並且該佈線電連接到該電晶體的該源極和該汲極以及該相鄰的電晶體的源極和汲極。

21.根據申請專利範圍第 15 項之半導體裝置，還包括：包括該多個記憶元件的第一組；包括該多個記憶元件的第二組；以及包括放大器且與該位元線電連接的預充電及放大電路，其中該預充電及放大電路電連接到包括該多個記憶元件的該第一組以及包括該多個記憶元件的該第二組，並且該第一組和該第二組的每一個包括相同數目的該多個記憶元件。

22.根據申請專利範圍第 15 項之半導體裝置，還包括：與該切換元件的該源極和該汲極中的另一方連接的電容元件，其中將資料儲存在該電容元件。

23.一種半導體裝置包括：

多個記憶元件，該多個記憶元件的每一個包括切換元件和電晶體；

與該切換元件的閘極電連接的字線；

與該切換元件的源極和汲極中的一方電連接的位元線；

與該字線電連接的該電晶體的源極和汲極；以及

與信號生成電路電連接的該電晶體的閘極，

其中，在該電晶體的該閘極的電位被該信號生成電路控制時該電晶體起電容器的作用。

24.根據申請專利範圍第 23 項之半導體裝置，其中少數載子實際上沒有包括在該電晶體的通道形成區中。

25.根據申請專利範圍第 23 項之半導體裝置，其中該電晶體在其通道形成區包括寬能隙半導體材料，並且該寬能隙半導體材料的能隙爲 2.0eV 以上且 3.5eV 以下。

26.根據申請專利範圍第 23 項之半導體裝置，其中該電晶體在其通道形成區包括氧化物半導體材料。

27.根據申請專利範圍第 23 項之半導體裝置，還包括：佈線，其中該佈線電連接到該電晶體的該源極和該汲極。

28.根據申請專利範圍第 23 項之半導體裝置，還包括：相鄰的電晶體；以及佈線，其中該相鄰的電晶體的源極和汲極電連接到該字線，並且該佈線電連接到該電晶體的該源極和該汲極以及該相鄰的電晶體的該源極和該汲極。

29.根據申請專利範圍第 23 項之半導體裝置，還包括：包括該多個記憶元件的第一組；包括該多個記憶元件的第二組；以及包括放大器且與該位元線電連接的預充電及放大電路，其中該預充電及放大電路電連接到包括該多個記憶元件的該第一組以及包括該多個記憶元件的該第二組，並且該第一組和該第二組的每一個包括相同數目的該多個記憶元件。

30.根據申請專利範圍第 23 項之半導體裝置，還包括：與該切換元件的該源極和該汲極中的另一方連接的電容元件，其中將資料儲存在該電容元件。

圖1

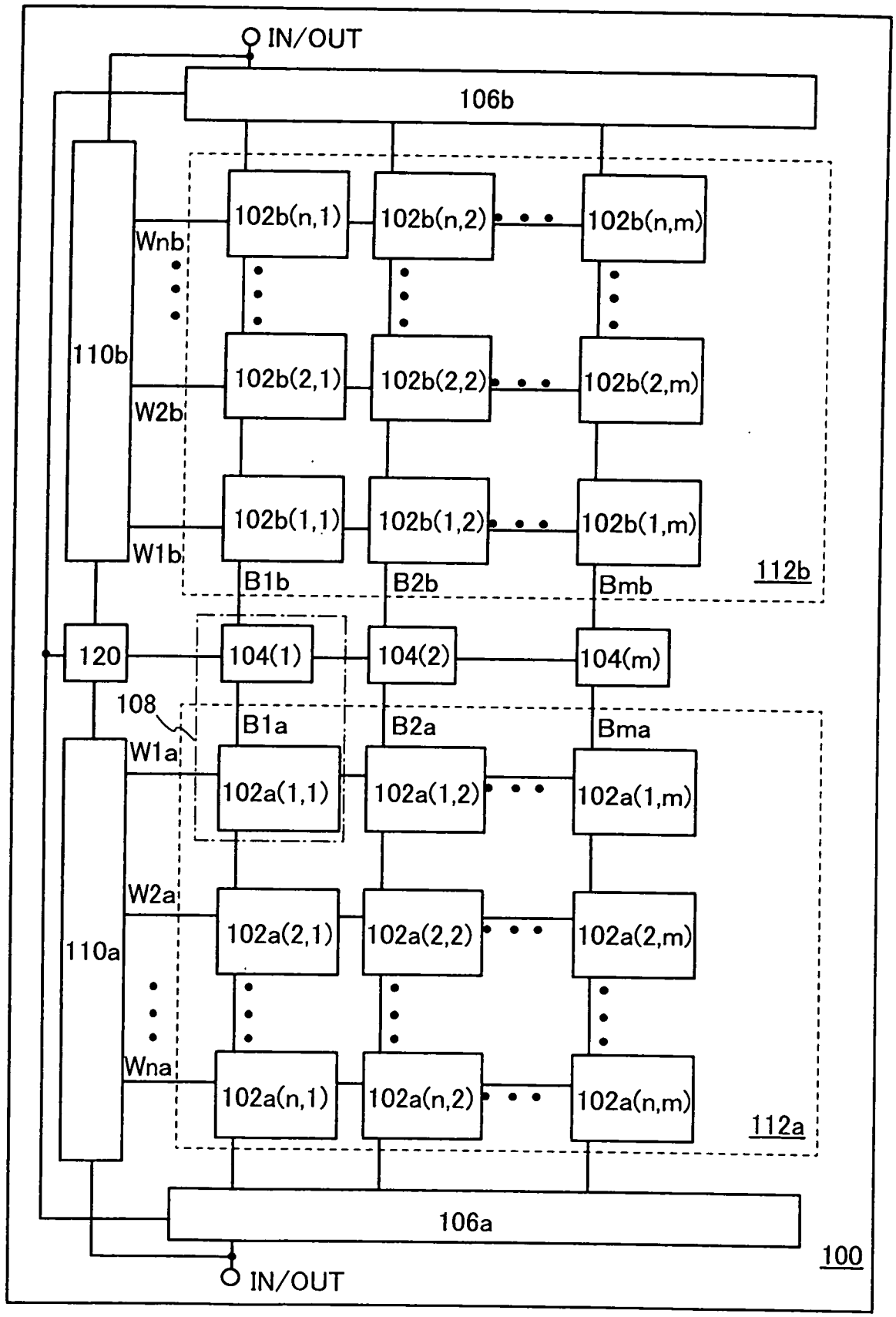

IN/OUT
106b
102b(n,1)
102b(n,2)
102b(n,m)
Wnb
110b
102b(2,1)
102b(2,2)
102b(2,m)
W2b
102b(1,1)
102b(1,2)
102b(1,m)
W1b
B1b
B2b
Bmb
112b
120
104(1)
104(2)
104(m)
108
B1a
B2a
Bma
W1a
102a(1,1)
102a(1,2)
102a(1,m)
W2a
110a
102a(2,1)
102a(2,2)
102a(2,m)
Wna
102a(n,1)
102a(n,2)
102a(n,m)
112a
106a
100
IN/OUT

圖2

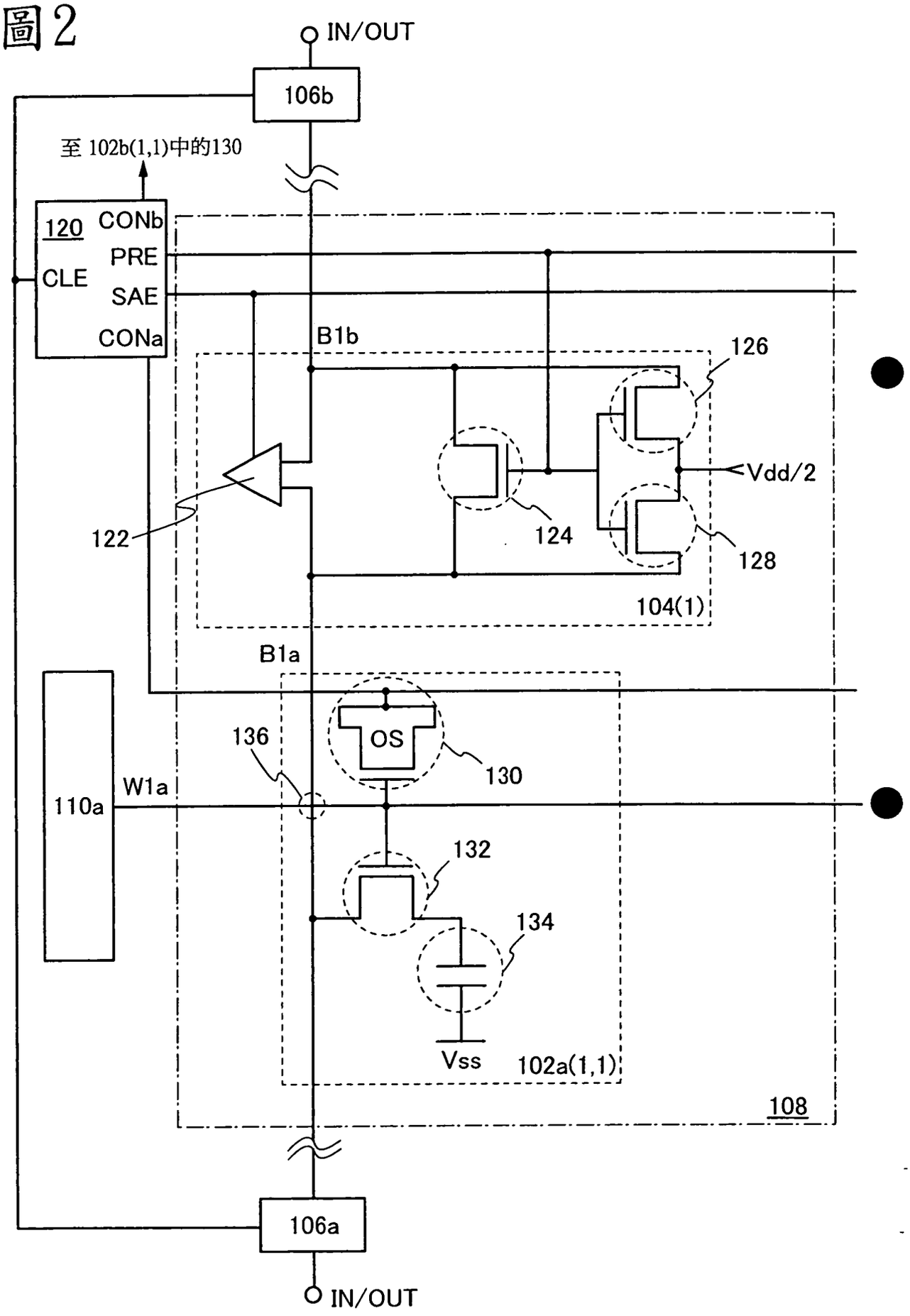

IN/OUT
106b
至 102b(1,1)中的130
120
CONb
PRE
CLE
SAE
CONa
B1b
126
Vdd/2
122
124
128
104(1)
B1a
OS
136
130
110a
W1a
132
134
Vss
102a(1,1)
108
106a
IN/OUT

圖3

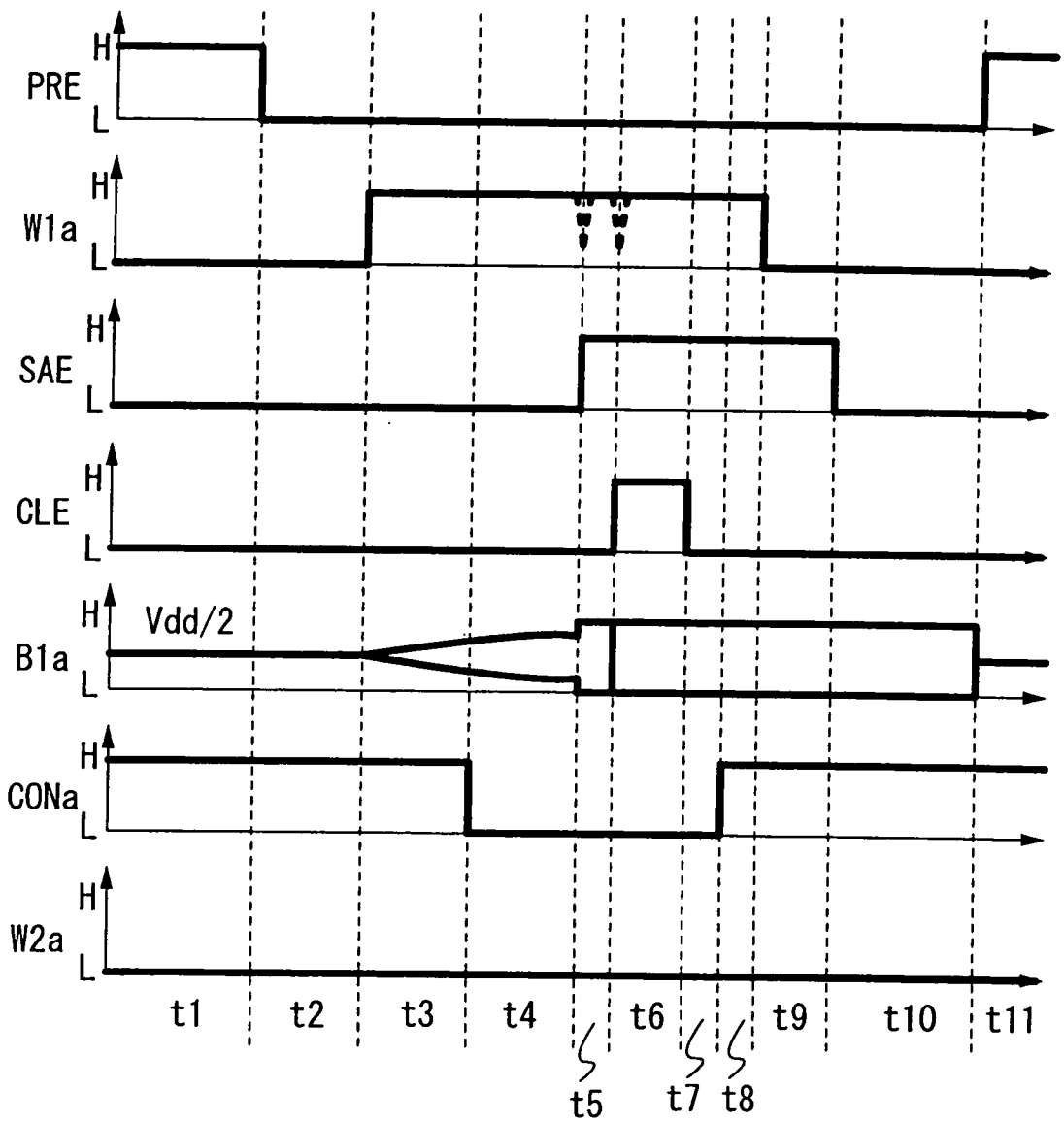

PRE
W1a
SAE
CLE
B1a
Vdd/2
CONa
W2a
H
L
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11

圖4

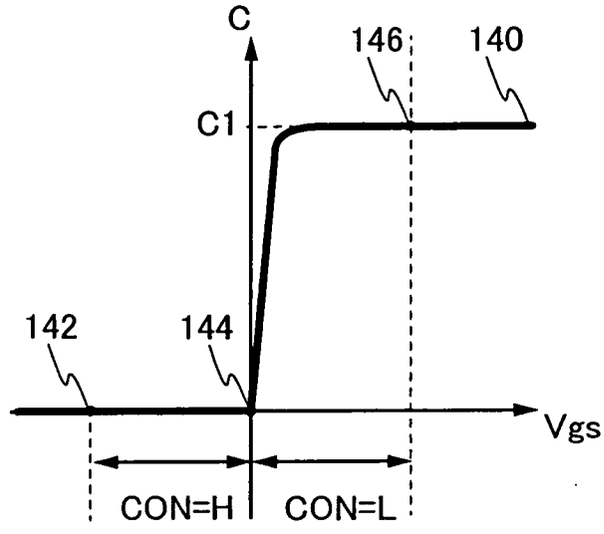


圖5

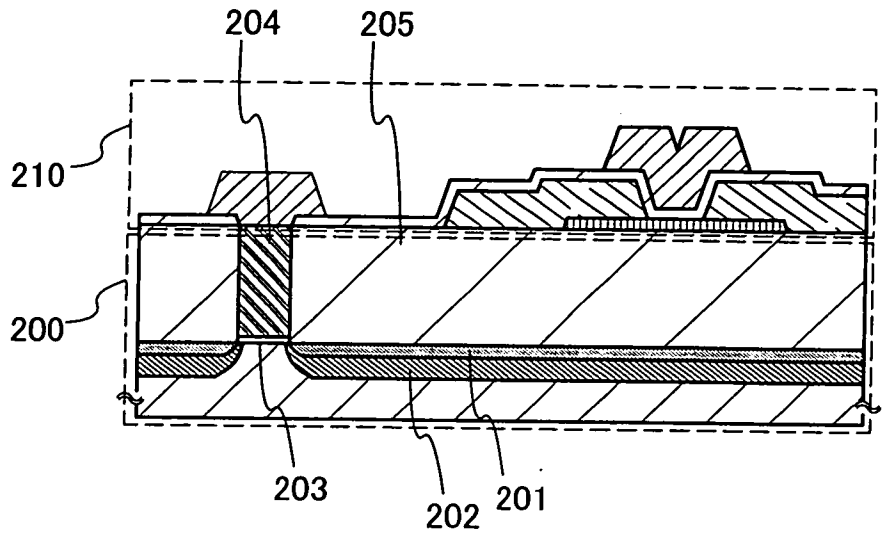


圖6A

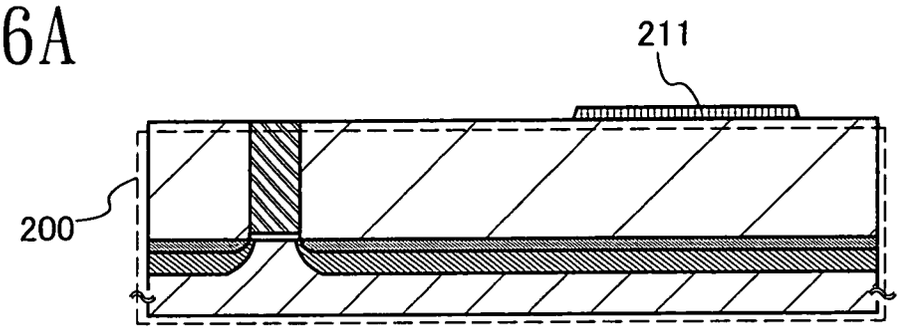


圖6B

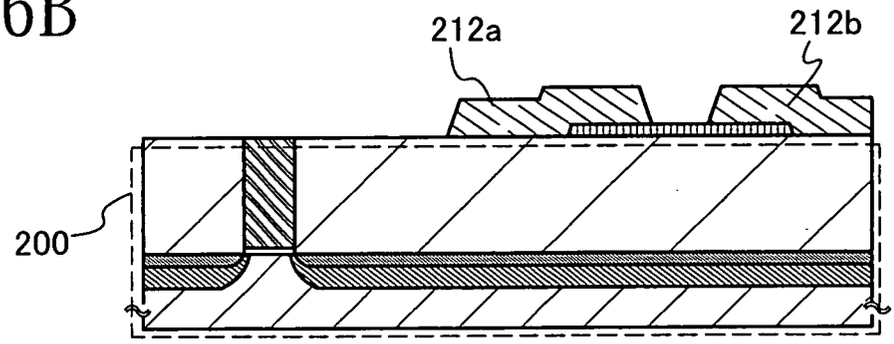


圖6C

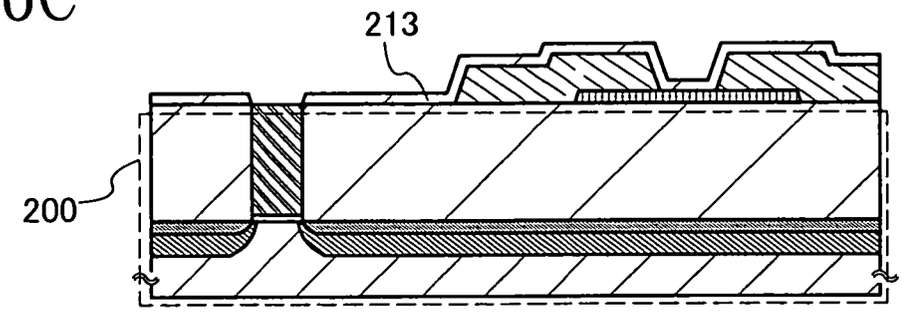


圖6D

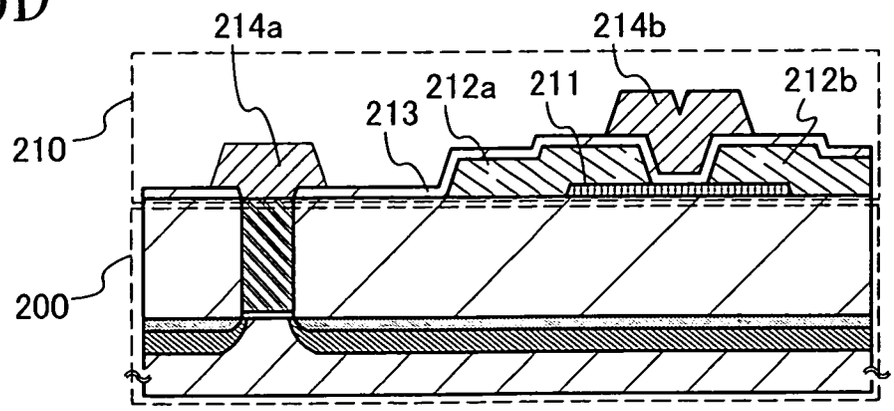


圖7A

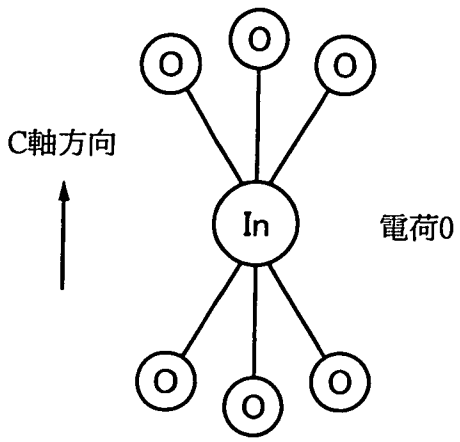


圖7B

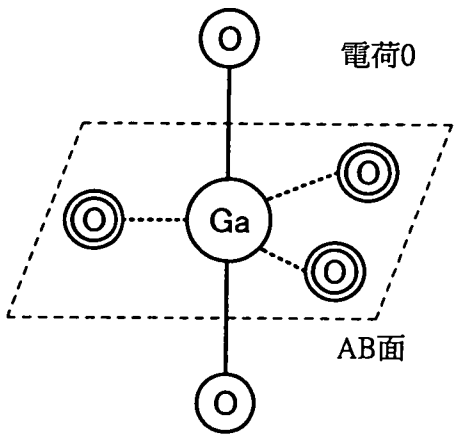


圖7C

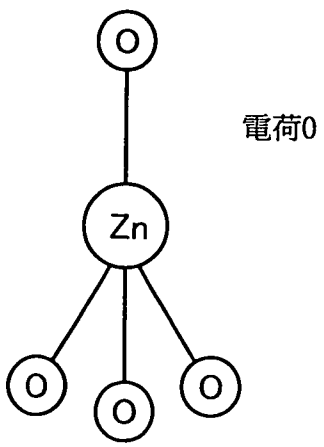


圖7D

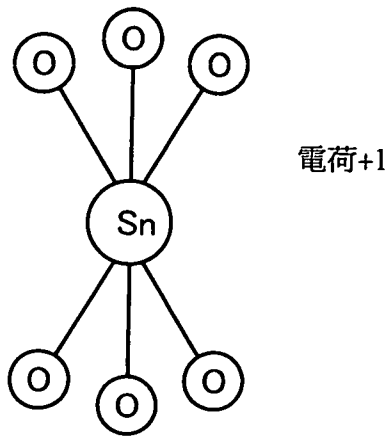


圖7E

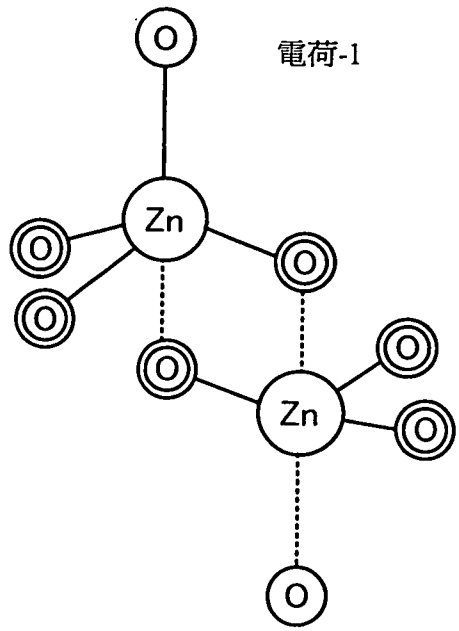


圖8A

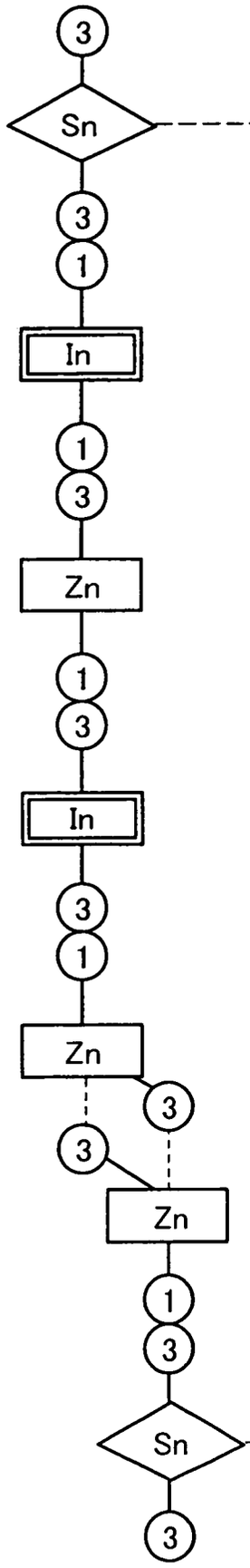
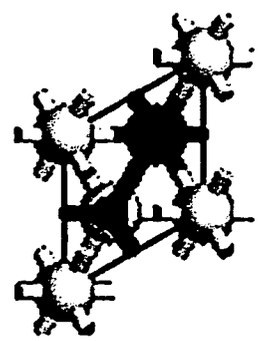


圖8B



圖8C



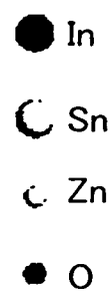
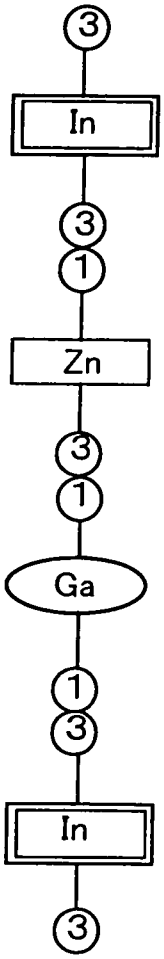


圖9A



組

圖9B

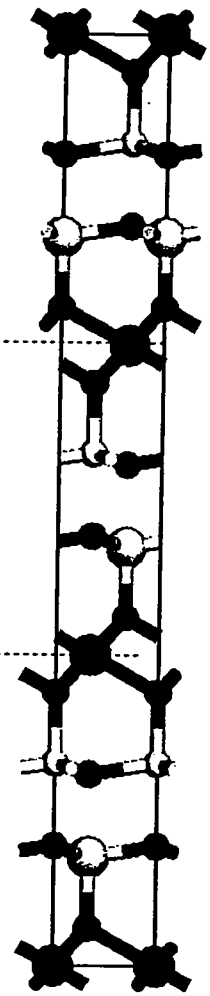
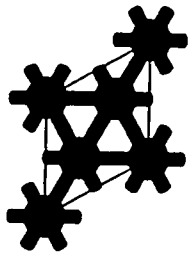


圖9C



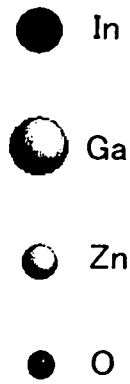


圖10A

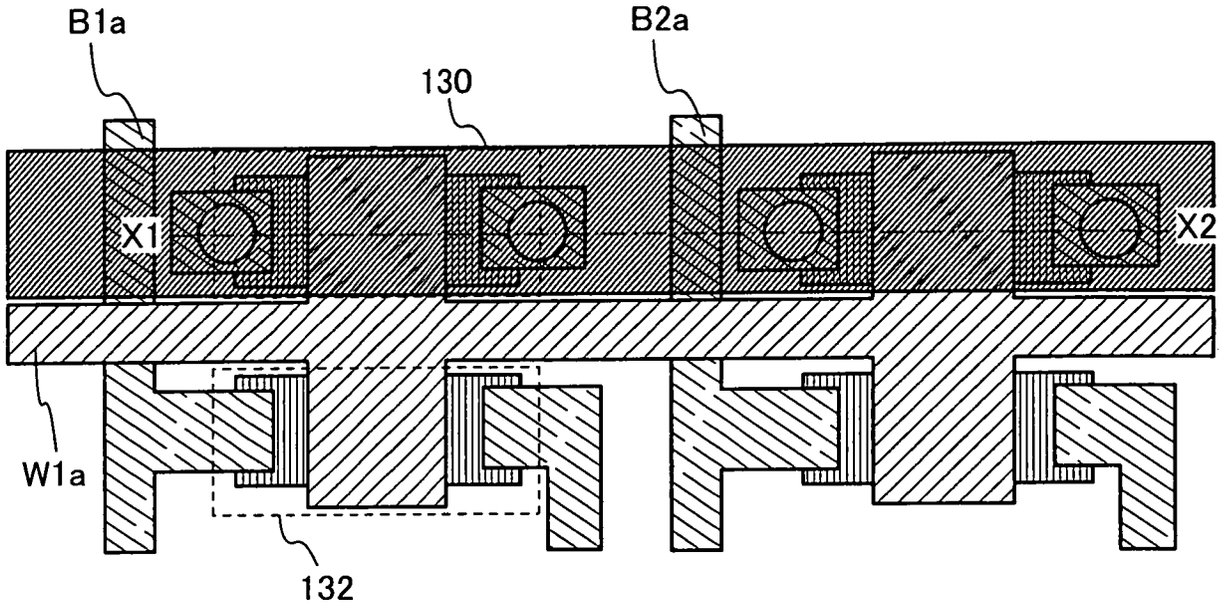


圖10B

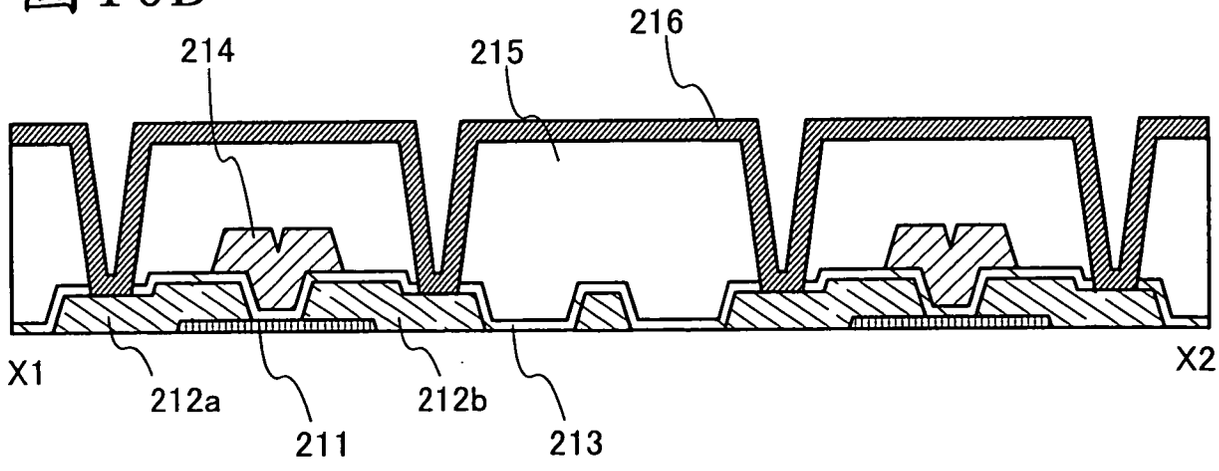


圖11

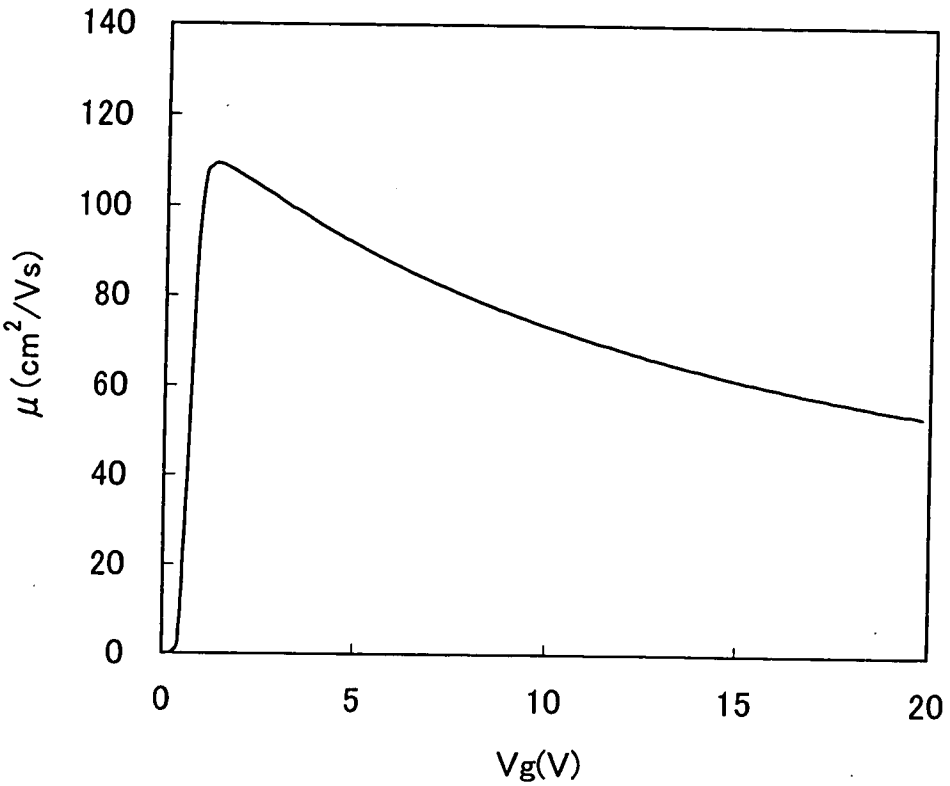


圖12A

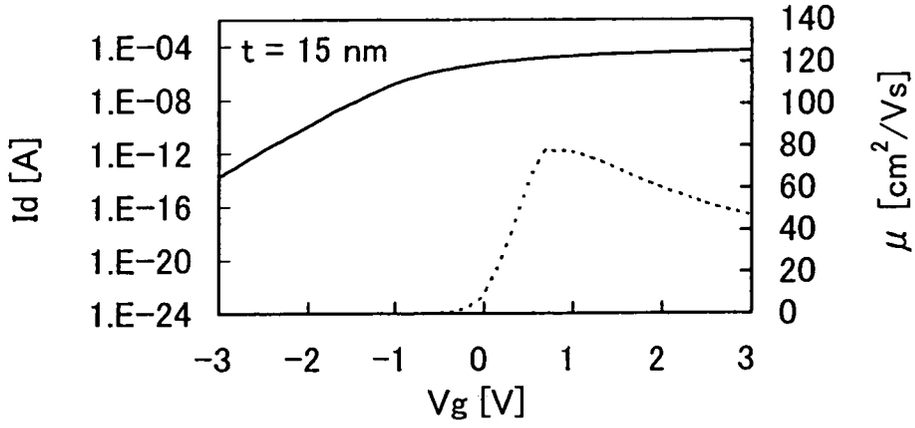


圖12B

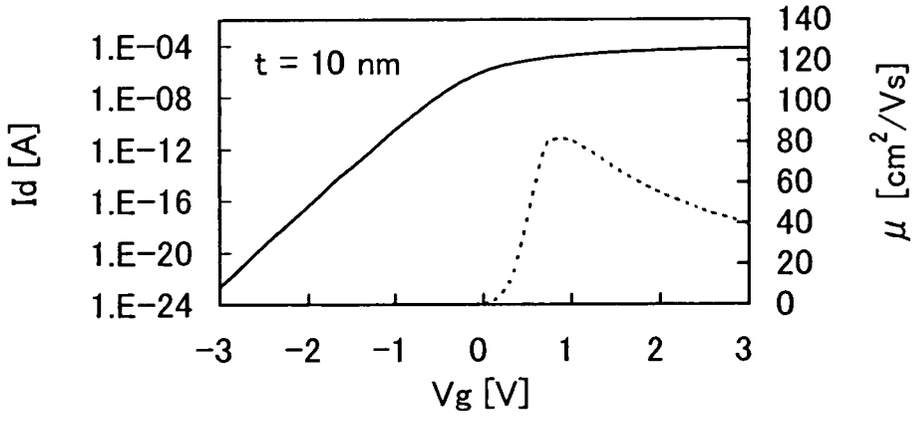


圖12C

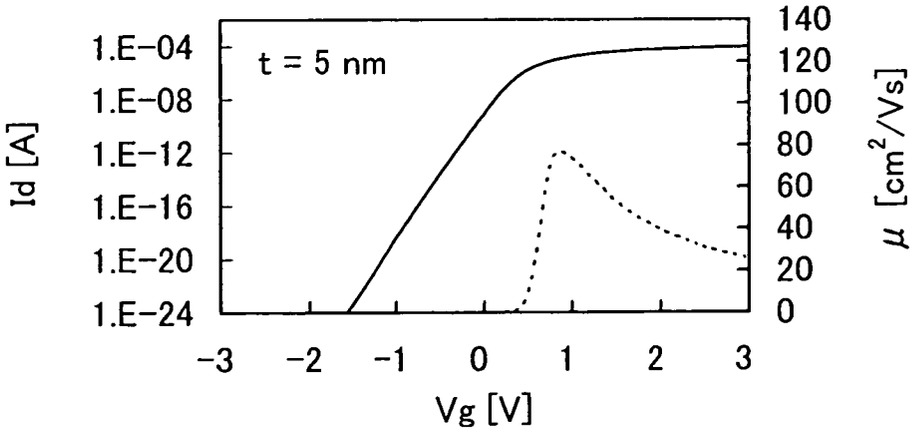


圖13A

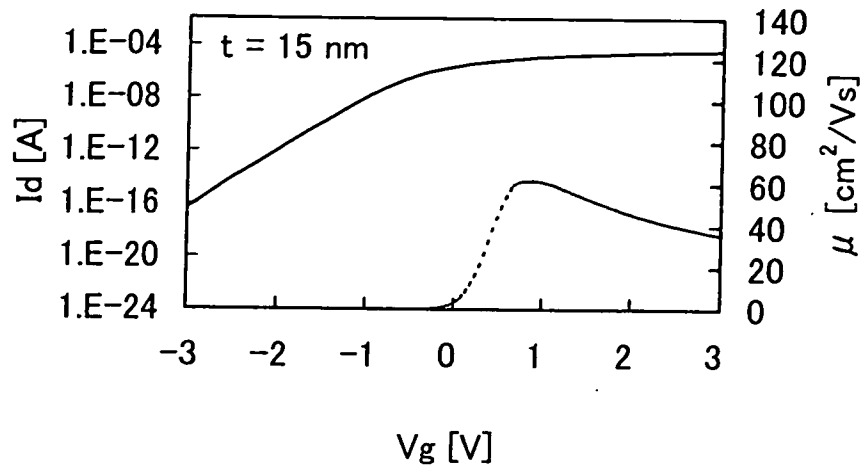


圖13B

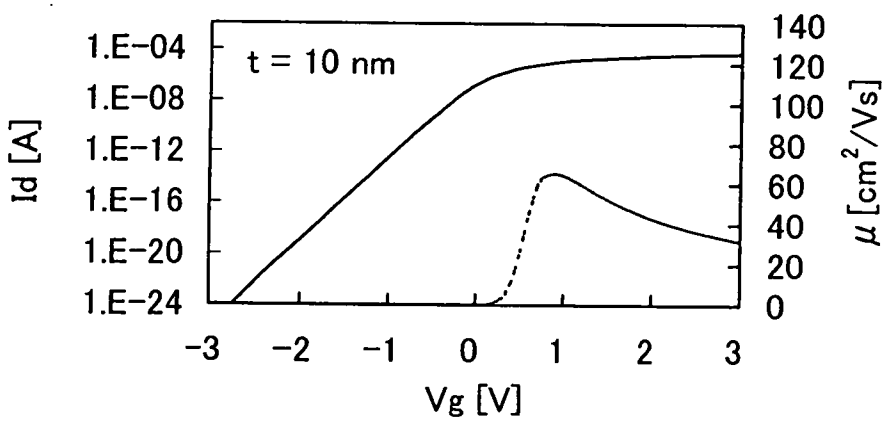


圖13C

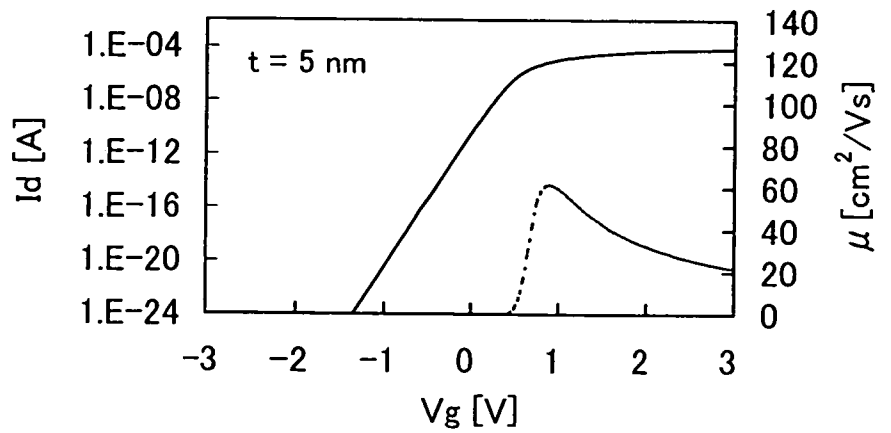


圖14A

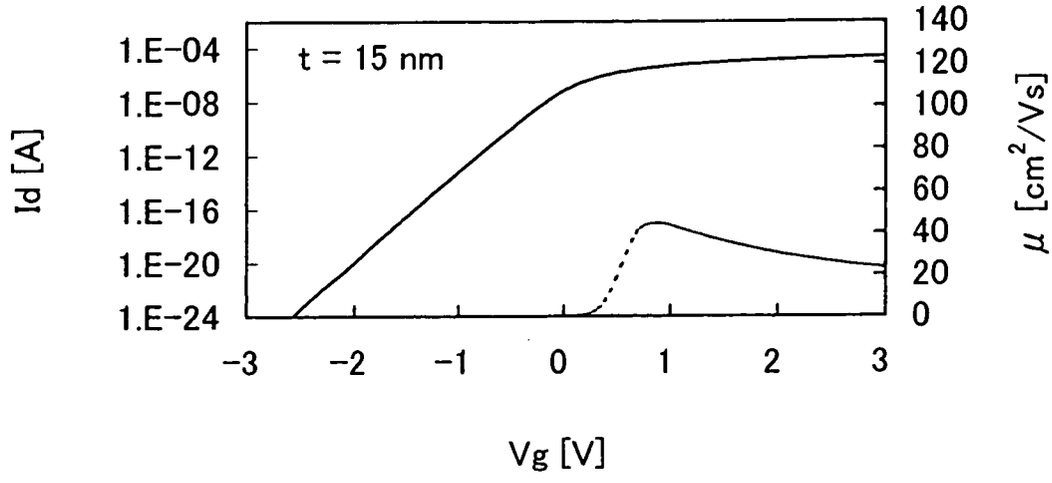


圖14B

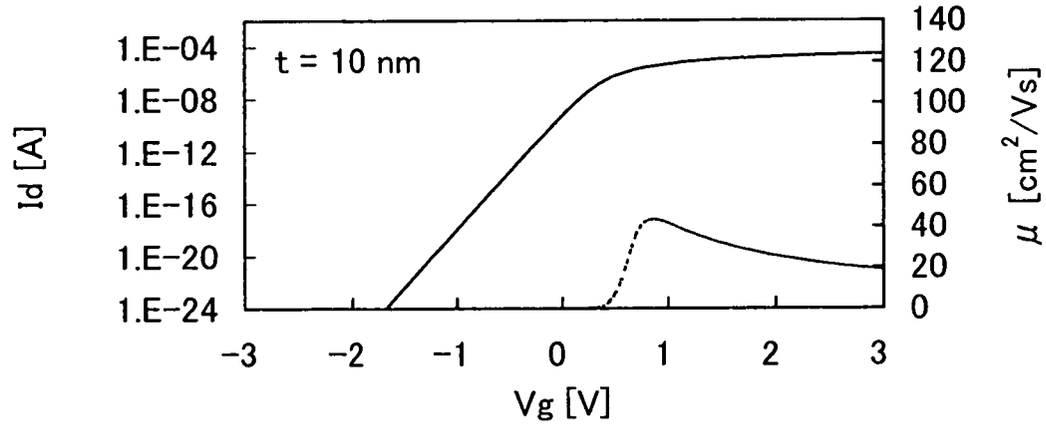


圖14C

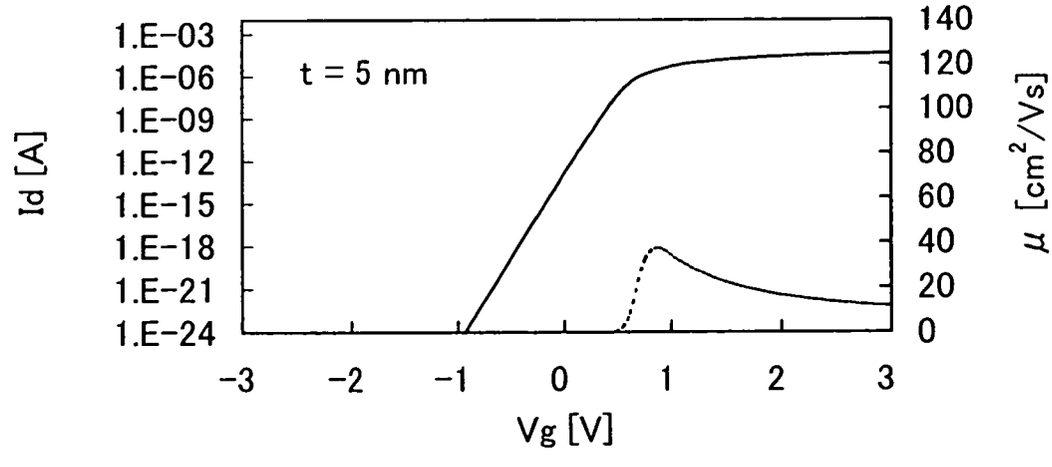


圖15A

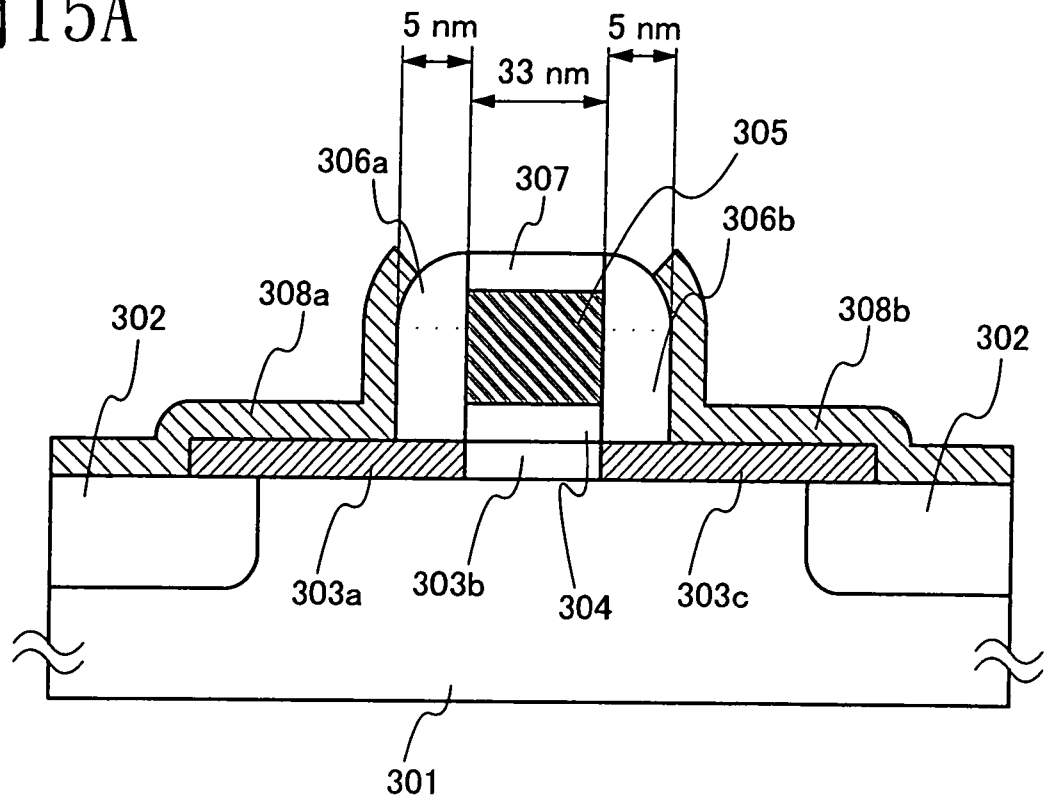
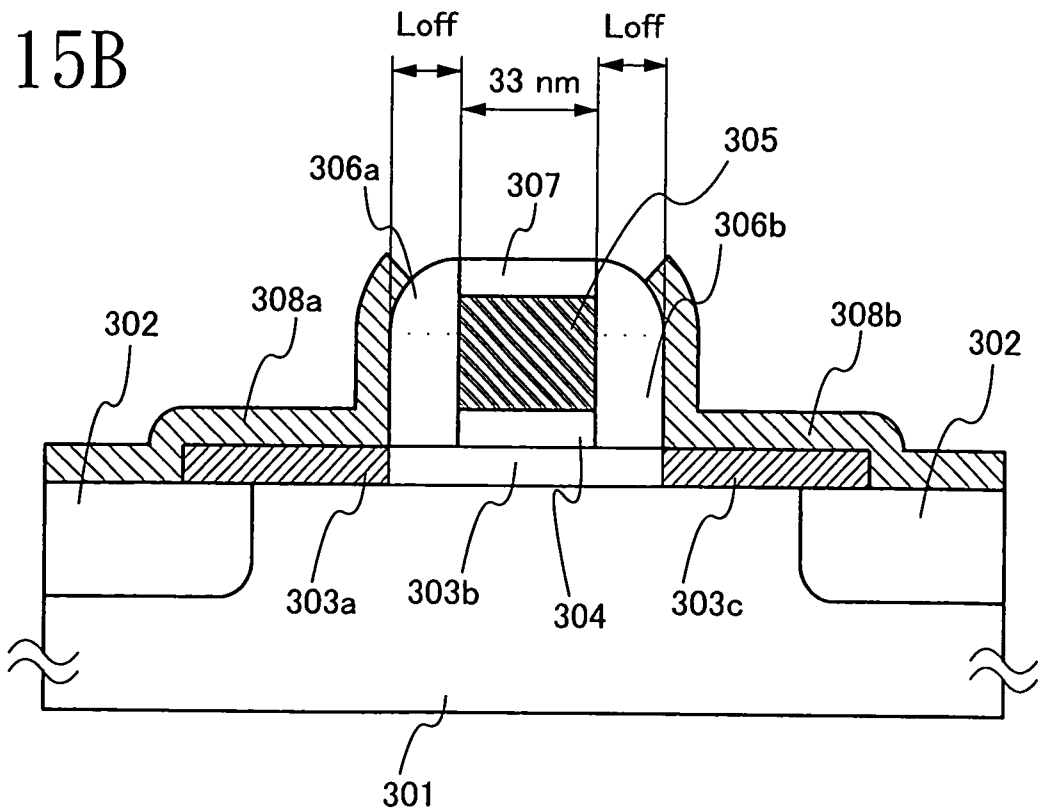

5 nm
5 nm
33 nm
305
306a
307
306b
308a
302
308b
302
303a
303b
304
303c
301

圖15B


Loff
Loff
33 nm
305
306a
307
306b
308a
302
308b
302
303a
303b
304
303c
301