

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号
特表2023-512931
(P2023-512931A)

(43)公表日 令和5年3月30日(2023.3.30)

(51)国際特許分類	F I	テーマコード (参考)
H 0 1 L 31/10 (2006.01)	H 0 1 L 31/10 A	2 H 1 4 7
H 0 1 L 31/0232(2014.01)	H 0 1 L 31/02 D	5 F 1 4 9
G 0 2 B 6/125(2006.01)	G 0 2 B 6/125 3 0 1	5 F 8 4 9
G 0 2 B 6/12 (2006.01)	G 0 2 B 6/12 3 0 1	

審査請求 未請求 予備審査請求 未請求 (全19頁)

(21)出願番号	特願2022-543627(P2022-543627)	(71)出願人	522074936
(86)(22)出願日	令和3年1月29日(2021.1.29)		スマート フォトニクス ホールディング
(85)翻訳文提出日	令和4年8月10日(2022.8.10)		ス ピー . ブイ .
(86)国際出願番号	PCT/EP2021/052198		オランダ国 , アイントホーフェン 5 6
(87)国際公開番号	WO2021/152143		5 6 エーイー , ハイ テク キャンパス
(87)国際公開日	令和3年8月5日(2021.8.5)		2 9
(31)優先権主張番号	2001404.9	(74)代理人	100079108
(32)優先日	令和2年1月31日(2020.1.31)		弁理士 稲葉 良幸
(33)優先権主張国・地域又は機関		(74)代理人	100109346
	英国(GB)		弁理士 大貫 敏史
(81)指定国・地域	AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA	(74)代理人	100117189
	,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(		弁理士 江口 昭彦
	AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,A	(74)代理人	100134120
	T,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR		弁理士 内藤 和彦
	,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,	(72)発明者	レモス アルバレス ドス サントス , ルイ
	最終頁に続く		最終頁に続く

(54)【発明の名称】 フォトニック集積回路のための構造

(57)【要約】

フォトニック集積回路の構造であって、基板と、基板の第1の表面エリア上のn型半導体材料の第1の部分と、基板の第2の表面エリア上のn型半導体材料の第2の部分と、導波路と、第1の部分と第2の部分との間の要素と、を備えている、フォトニック集積回路の構造。導波路は、要素上にあるとともに、要素と接触している。この要素は、導波路を介する光の伝播の間に第1の部分から第2の部分への電流の流れを低減させるように構成されている。

【選択図】図2

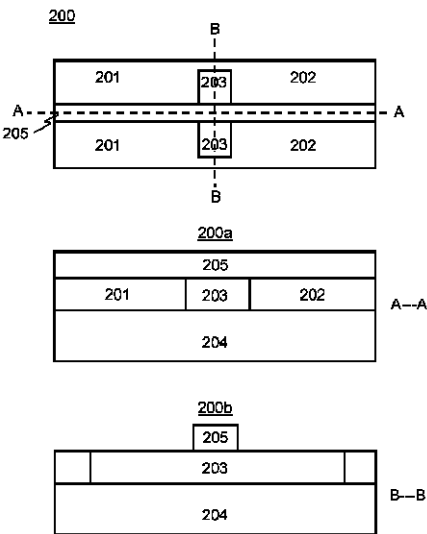


Fig. 2

【特許請求の範囲】**【請求項 1】**

フォトリソ集積回路の構造であって、
基板と、
前記基板の第 1 の表面エリア上の n 型半導体材料の第 1 の部分と、
前記基板の第 2 の表面エリア上の n 型半導体材料の第 2 の部分と、
導波路と、
前記第 1 の部分と前記第 2 の部分との間の要素であって、前記導波路が、前記要素上に
あるとともに前記要素と接触しており、前記要素が、前記導波路を介する光の伝播の間に
前記第 1 の部分から前記第 2 の部分への電流の流れを低減させるように構成されている、
前記要素と、
を備えている、前記構造。

10

【請求項 2】

前記要素が、前記基板の一部であるとともに、前記基板と実質的に同じ材料である、請求項 1 に記載の構造。

【請求項 3】

前記要素が、前記基板の第 3 の表面エリア上にあり、かつ、前記基板と実質的に同じ材料であるか、または前記基板とは異なる材料である、請求項 1 に記載の構造。

【請求項 4】

前記第 1 の部分の前記 n 型半導体材料が、前記第 2 の部分の前記 n 型半導体材料と同じ
であり、前記 n 型半導体材料の第 1 の層が前記第 1 の部分及び前記第 2 の部分を含んでい
る、先行請求項のいずれかに記載の構造。

20

【請求項 5】

前記導波路の長手軸に垂直な横断方向の軸に沿って、前記導波路が前記第 1 の部分または前記第 2 の部分と重ならず、

前記導波路の前記長手軸上の第 1 のポイントにおいて、前記導波路の第 1 の部分が前記要素と重なり、

前記導波路の前記長手軸上の第 2 のポイントにおいて、前記導波路の第 2 の部分が前記要素と重ならない、

先行請求項のいずれかに記載の構造。

30

【請求項 6】

前記導波路の前記長手軸上の第 3 のポイントであって、前記第 1 のポイントが前記第 2 のポイントと前記第 3 のポイントとの間にある、前記第 3 のポイントにおいて、前記導波路の第 3 の部分が前記要素と重ならない、請求項 5 に記載の構造。

【請求項 7】

前記導波路の前記第 2 の部分が、n 型半導体材料の前記第 1 の部分の上にあるとともに前記第 1 の部分と接触しており、前記導波路の前記第 3 の部分が、前記 n 型半導体材料の前記第 2 の部分と重なっている、請求項 6 に記載の構造。

【請求項 8】

前記要素が、前記要素に当接している、前記第 1 の部分の一部、または、前記第 2 の部分の一部の少なくとも 1 つの厚さに実質的に等しい厚さを有している、先行請求項のいずれかに記載の構造。

40

【請求項 9】

前記導波路の前記第 1 の部分が、第 2 の P I C 構成要素に前記導波路によって光学的に接続された第 1 の P I C 構成要素の間に位置している、請求項 5 から請求項 8 のいずれか一項に記載の構造。

【請求項 10】

前記要素が、前記第 1 の P I C 構成要素と前記第 2 の P I C 構成要素との間の電流の流れを低減させるか、防止するか、または抗するかの少なくとも 1 つをするように、前記要素が、寸法決めされるとともに電気抵抗を有する材料である、請求項 9 に記載の構造。

50

【請求項 1 1】

前記第 1 の P I C 構成要素が、前記 n 型半導体材料の前記第 1 の部分の一部を含み、前記第 2 の P I C 構成要素が、前記 n 型半導体材料の前記第 2 の部分の一部を含む、請求項 9 または請求項 1 0 に記載の構造。

【請求項 1 2】

前記第 1 の P I C 構成要素が、前記導波路の前記第 2 の部分上の p 型半導体材料の第 1 の部分を含んでいる、請求項 1 1 に記載の構造。

【請求項 1 3】

前記第 1 の P I C 構成要素が第 1 のフォトダイオードである、請求項 9 から請求項 1 2 のいずれか一項に記載の構造。

10

【請求項 1 4】

前記第 2 の P I C 構成要素が、前記導波路の前記第 3 の部分上の p 型半導体材料の第 2 の部分を含んでいる、請求項 9 から請求項 1 3、及び請求項 6 のいずれか一項に記載の構造。

【請求項 1 5】

前記導波路が第 1 の導波路であり、前記構造が、前記第 2 の P I C 構成要素を第 3 の P I C 構成要素に光学的に接続する第 2 の導波路を備えている、請求項 1 3 に記載の構造。

【請求項 1 6】

前記要素が第 1 の要素であり、前記構造が、
n 型半導体材料の第 3 の部分と n 型半導体材料の第 4 の部分との間にある第 2 の要素であって、前記第 2 の導波路の第 1 の部分が、前記第 2 の導波路の長手軸上の第 1 のポイントにおいて、前記第 2 の要素上にあるとともに前記第 2 の要素と接触しており、前記第 2 の要素が、前記第 3 の部分と前記第 4 の部分との間の電流の流れを低減させるように構成されている、前記第 2 の要素を備え、

20

前記第 2 の導波路の前記長手軸上の第 2 のポイントにおいて、前記第 2 の導波路の第 2 の部分が n 型半導体材料の前記第 3 の部分と重なっており、

前記第 2 の導波路の前記長手軸上の第 3 のポイントにおいて、前記第 2 の導波路の第 3 の部分が n 型半導体材料の前記第 4 の部分と重なっている、

請求項 1 5 に記載の構造。

【請求項 1 7】

30

前記要素が、それぞれの前記導波路の前記長手軸に沿って取られる際に、前記第 1 の導波路及び前記第 2 の導波路に光学的に接続された導波路連結部と、前記第 1 の P I C 構成要素及び前記第 3 の P I C 構成要素の各々との間に位置し、

前記第 2 の導波路の前記長手軸上の第 2 のポイントにおいて、前記第 2 の導波路の第 2 の部分が n 型半導体材料の前記第 1 の部分と重なっており、

前記第 2 の導波路の前記長手軸上の第 3 のポイントにおいて、前記第 2 の導波路の第 3 の部分が n 型半導体材料の前記第 2 の部分と重なっている、

請求項 1 5 に記載の構造。

【請求項 1 8】

前記第 1 の導波路の一部分と、前記第 2 の導波路の一部分との各々が、前記要素の上にあるとともに前記要素と接触している、請求項 1 7 に記載の構造。

40

【請求項 1 9】

前記第 3 の P I C 構成要素が、前記第 1 のフォトダイオードと組み合わせて、バランス型光検出器として機能するように構成された第 2 のフォトダイオードである、請求項 1 5 から請求項 1 8 のいずれか一項に記載の構造。

【請求項 2 0】

前記第 2 の P I C 構成要素が、光スプリッタまたはマルチモード干渉計、M M I の少なくとも 1 つを備えている、請求項 1 7、請求項 1 8、または請求項 1 9 に記載の構造。

【請求項 2 1】

前記 n 型半導体材料が、I I I - V 族化合物である、先行請求項のいずれかに記載の構造

50

造。

【請求項 2 2】

前記 I I I - V 族化合物が I n P である、請求項 2 1 に記載の構造。

【請求項 2 3】

前記要素が、鉄、F e でドーブされた I I I - V 族化合物または I n P の少なくとも 1 つである、先行請求項のいずれかに記載の構造。

【請求項 2 4】

フォトリック集積回路の構造の製造方法であって、

基板を提供することと、

前記基板の第 1 の表面エリア、第 2 の表面エリア、及び第 3 の表面エリアの上に n 型半 10
導体を堆積させることと、

前記第 3 の表面エリア上の前記第 1 の層の n 型半導体を除去することと、

前記第 3 の表面エリア上に要素を形成することであって、それにより、前記要素が、前記第 1 の表面エリア上の n 型半導体材料の第 1 の部分と、前記第 2 の表面エリア上の n 型半導体材料の第 2 の部分との間にあるようになる、前記形成することと、

少なくとも前記要素の上にあるとともに前記要素と接触する導波路を形成することであって、前記要素が、前記導波路を介しての光の伝播の間に、前記第 1 の部分から前記第 2 の部分への電流の流れを低減させるための材料を含んでいる、前記形成することと、

を含む、前記製造方法。

【請求項 2 5】

20

フォトリック集積回路の構造の製造方法であって、

基板を提供することと、

前記基板の第 1 の表面エリアを形成するように前記基板の第 1 の部分を除去し、前記基板の第 2 の表面エリアを形成するように前記基板の第 2 の部分を除去して、前記第 1 の表面エリアと前記第 2 の表面エリアとの間の前記基板の除去されていない部分を残すことであって、前記除去されていない部分が、前記基板の第 3 の表面エリアに対応する、前記除去することと、

前記第 1 の表面エリア及び前記第 2 の表面エリアの上に n 型半導体を堆積させることと

、
少なくとも前記除去されていない部分の上にあるとともに前記除去されていない部分と 30
接触している導波路を形成することであって、前記除去されていない部分が、n 型半導体材料の第 1 の部分と n 型半導体材料の第 2 の部分との間の要素であり、前記要素が、前記導波路を介しての光の伝播の間に n 型半導体材料の前記第 1 の部分から n 型半導体材料の前記第 2 の部分への電流の流れを低減させるための材料を含んでいる、前記形成することと、

を含む、前記製造方法。

【請求項 2 6】

第 1 の P I C 構成要素を形成することと、

前記導波路によって前記第 1 の P I C 構成要素に光学的に接続された第 2 の P I C 構成要素を形成することであって、前記要素が、前記第 1 の P I C 構成要素と前記第 2 の P I 40
C 構成要素との間の電流の流れを低減させるか、防止するか、または抗するかの少なくとも 1 つをするように、前記要素が、寸法決めされるとともに電気抵抗を有する材料である、前記形成することと、

を含む、請求項 2 4 または請求項 2 5 に記載の方法。

【請求項 2 7】

前記第 1 の P I C 構成要素がフォトダイオードであり、前記第 2 の P I C がマルチモードの干渉計である、請求項 2 5 に記載の方法。

【発明の詳細な説明】

【背景技術】

【0 0 0 1】

50

p 型、真性、及び n 型の半導体 (P I N) 領域が、デバイスを構築するために半導体構造において組み合わせて一般的に使用されている。たとえば、オプトエレクトロニクスデバイスでは、P I N 領域は、導波路によって搬送された光を検出し、光信号を電気信号に変換する光検出器を形成するために使用される。この電気信号は、増幅し、次いで処理することができる。

【 0 0 0 2 】

多くの用途では、半導体構造は、基板上に堆積された層から作られる。半導体構造内に P I N デバイスを構築するために、n 型の半導体材料の層を、通常は、ベースとして堆積させ、デバイスの他の構成要素である層を頂部に堆積させる。P I N デバイスは、基板の表面にわたって二次元的に分離されている。このことは、すべての P I N デバイスが、共通のカソードとして作用する、同じ低抵抗の n 型半導体材料ベースを共有することに繋がる。

10

【 0 0 0 3 】

オプトエレクトロニクスデバイスでは、P I N 半導体構造などの構成要素は、導波路によって光学的に接続されている。このため、各構成要素は、導波路及び低抵抗 n 型半導体材料によって接続されている。P I N 半導体構造は、しばしば、光検出器などのセンサを形成する。構成要素間の電気接続は、電氣的なクロストークに繋がりが得る。このクロストークは、構成要素の耐用年数を低減させ、繊細な測定においてエラーを引き起こし得る。

【 0 0 0 4 】

フォトリック集積回路 (P I C) の構成要素間の電流の望ましくない流れを低減させることが望ましい。

20

【 図面の簡単な説明 】

【 0 0 0 5 】

【 図 1 】 実施例に係る、基板、n 型半導体材料、及び要素を含むフォトリック集積回路の構造を示す概略図である。

【 図 2 】 実施例に係る、導波路を伴う図 1 からのフォトリック集積回路に関する構造を示す概略図である。

【 図 3 】 実施例に係る、図 2 からの導波路をより詳細に示す概略図である。

【 図 4 】 実施例に係る、P I C 構成要素を伴う図 2 からのフォトリック集積回路に関する構造を示す概略図である。

30

【 図 5 】 実施例に係る、バランス型光検出器を含むフォトリック集積回路の構造を示す概略図である。

【 図 6 】 実施例に係る、図 5 のバランス型光検出器の態様をより詳細に示す概略図である。

【 図 7 】 実施例に係る製造方法を示す図である。

【 図 8 】 実施例に係る製造方法を示す図である。

【 発明を実施するための形態 】

【 0 0 0 6 】

本明細書に記載の実施例は、フォトリック集積回路 (P I C) のための構造に関する。この構造では、少なくとも 2 つ構成要素間の電気接続性が低減され、それにより、構成要素間で電流が流れる傾向が制限されるか、防止されるか、または抗されるようになっている。したがって、そのような構造は、構成要素間の電氣的なクロストークを低減させている場合がある。このことは、P I C 構成要素の耐用年数、ひいては P I C 自体の耐用年数を増大させ得、また、光検出器などのセンサまたは検出器の P I C 構成要素において引き起こされるエラーを低減させ得、より繊細な測定を可能にする。このことは、より効率的な光電子工学デバイス、したがって、より効率的な P I C を可能にする。

40

【 0 0 0 7 】

具体的には、導波路に沿う光の伝播の間、望ましくない電流も導波路自体を通して流れる場合がある。さらに、電流は、下にある n 型半導体材料など、導波路と接触している半導体材料を介しても流れる場合がある。本明細書に記載の実施例では、n 型半導体材料の

50

各部分の間に要素が存在し、この要素は、光が導波路に沿って伝播する間、１つの部分から他の部分への電流の流れを低減させるように構成されている。そのような要素は、たとえば、適切な寸法を有し、適切な電気抵抗の材料の、材料のブロック、または層、または容量、または領域の少なくとも１つであり、それにより、要素が、導波路に沿って光が伝播する間にｎ型の半導体材料の各部分間の電流の流れを低減させるようになっている。たとえば、要素の材料の抵抗率は、たとえば少なくとも１００００倍、いくつかの実施例では、１０億倍を超えて、ｎ型半導体材料の抵抗率より高い。いくつかの実施例では、要素の材料の抵抗率は、１オームセンチメートル（ $\Omega \cdot \text{cm}$ ）以下のｎ型半導体材料の抵抗率に比べると、 $10^4 \Omega \cdot \text{cm}$ 以上である。流れを低減させることは、電流の流れを制限する、防止する、または抗することの少なくとも１つとすることができる。このため、限定として考えられるべきではないが、導波路及び当接している半導体材料が、ともに導電体として作用し、要素の存在が、電流が通ることができる導電体の断面積を低減させると考えられる。このため、要素は、導波路に当接している半導体材料を介する電流の流れを低減させるか、または弱め、ひいては、電流の最大の量を低減させると考えられ得る。それにより、たとえば、電流が、導波路及び当接している半導体材料の組合せの導電性よりむしろ、導波路の導電性に近くなるか、等しくなるようになっている。

10

【０００８】

構造図に関し、本開示に関連する半導体材料層が図示されることに留意されたい。導電性またはＰＩＣ内の環境に対するパッシベーションなどの補助的な機能を満たす材料及び構造は、明確化のために構造図からは省略されているが、当業者は、適切である場合にはこれら材料及び構造の存在を理解するであろう。たとえば、光を閉じ込めるように、導波路と接触している、導波路上のｐ型半導体材料、及び／または、空気、ガラス、ポリマーなどの、適切な屈折率を有する別の材料が存在する場合がある。

20

【０００９】

図１は、実施例に係る、電流の流れを低減させるように構成された、基板、ｎ型半導体材料、及び要素を含むＰＩＣの構造を示す概略図である。以下に記載の実施例では、ｎ型半導体材料の第１の部分及び第２の部分が、第１の層のものであり、このため、第１の部分のｎ型半導体材料が、第２の部分のｎ型半導体材料と実質的に同じ（たとえば、許容可能な公差内で同じ）である。しかし、他の実施例では、第１の部分と第２の部分とは、互いから離れて堆積されたか、少なくとも全体的に互いから離れている、異なる層のものである場合がある場合がある。これらの各々は、異なるｎ型半導体材料を有する場合がある。

30

【００１０】

図（１の）１００は、構造の各部の平面図である。図（１の）１００ａは、図（１の）１００における線Ａ－Ａに対応する長手軸に沿う構造１００の断面の第１の実施例を示している。図（１の）１００ａの構造は、基板１０４ａと、ｎ型半導体材料の第１の層の第１の部分１０１と、ｎ型半導体材料の第１の層の第２の部分１０２と、ｎ型半導体材料とは異なる材料の要素１０３と、を備えている。本明細書に記載の実施例の要素は、材料のブロック、たとえば立方体のような層として図示されている。各実施例における、第１の層の各部分の間の要素の寸法及び割合は、電流の流れに対する必要な抵抗に応じて選択される。いくつかの実施例では、要素には、横方向の側部の１つまたは複数、またはすべてで、ｎ型半導体材料が当接している。

40

【００１１】

基板１０４ａは、実質的に平滑な表面（たとえば、許容可能な公差内で平滑）を有する、固体の結晶構造の材料である。この材料は２要素の半導体の組成である場合がある。たとえば、基板１０４ａはＩｎＰを含んでいる。すなわち、基板１０４ａは、主としてＩｎＰを含んでいる。基板１０４ａが主として特定の組成、たとえばＩｎＰを含むということにより、半導体材料は、化学的な組成で、その要素、たとえばＩｎＰを５０％より多く含んでいる。基板１０４ａは、少なくとも９９％のＩｎＰを含む材料の、（許容可能な純度の公差内の）純粋なＩｎＰである場合がある。基板１０４ａは、ドーパントまたは不純物

50

などの他の材料を含む場合がある。たとえば、基板が n ドープされるように、基板 104a はあるドーパント材料でドーピングされている。基板 104a は、そのドーピングされていない状態に比べて基板 104a の電気抵抗率が增大するように、ドーピングされる場合がある。

【0012】

n 型半導体材料の第 1 の層は、基板 104a 上にあり、第 1 の層が基板 104a の上面と直接接触している。他の実施例では、 n 型半導体材料の第 1 の層が基板上にあり、ここでは第 1 の層が基板によって支持されているが、基板と第 1 の部分及び第 2 の部分との間に少なくとも 1 つの層が介在していることが予想される。 n 型半導体材料は、ドナー不純物でドーピングされた半導体材料を備えており、それにより、自由電子が潤沢に存在し、真性の半導体材料またはドーピング前の半導体材料に比べ半導体材料の導電性が增大している。 n 型半導体材料の電荷担体の多くは、負の電子である。実施例では、 n 型半導体材料は、ドナー不純物で高度にドーピングされている場合があり、ここでは、ドーパントが半導体材料の化学的組成のかなりのパーセンテージを含んでいる。

10

【0013】

n 型半導体材料の第 1 の層は、基板の第 1 の表面エリア上の第 1 の部分 101 と、基板の第 2 の表面エリア上の第 2 の部分 102 と、を備えている。半導体材料の一部分は、半導体材料の容量または領域に関する。第 1 の層の厚さは、たとえば基板と接触している第 1 の層の表面と、第 1 の層が接触する基板の表面に対して垂直な方向に基板から離れた第 1 の層の表面との間で取られる。実施例では、基板の第 1 の表面エリアは、基板の第 2 の表面エリアとは重なっていない。このため、 n 型半導体材料の第 1 の部分と第 2 の部分とは重なっていない。実施例では、 n 型半導体材料の第 1 の部分 101 と第 2 の部分 102 とは、許容可能な公差内で同じ厚さ（たとえば 0.1 ミクロン以上であり、かつ、たとえば 10 ミクロン以下である）を有しており、また、実質的に平滑である（たとえば、これら部分は、層の各々の上面が、第 1 の層が堆積される基板 104a の表面と平行であるように、基板 104a 上に堆積されている）。実施例では、第 1 の部分と第 2 の部分との両方が、完全な層の単一の堆積プロセスの間に同時に堆積されるが、基板 104a の第 1 の表面エリアと第 2 の表面エリアとの組合せは、第 1 の層によってカバーされていない基板の少なくとも第 3 の表面エリアが存在するという点で、基板 104a の表面エリア全体をカバーしていない。

20

【0014】

要素 103 は、 n 型半導体材料の第 1 の層の第 1 の部分 101 と第 2 の部分 102 との間にある。要素 103 は、第 1 の部分 101 及び第 2 の部分 102 に当接している。実施例では、要素が上に置かれる表面エリアは、基板の第 1 の表面エリアと基板の第 2 の表面エリアとの組合せによって少なくとも部分的に境界が定められている。要素は、第 1 の表面エリアと第 2 の表面エリアとの間の、基板 104a の第 3 の表面エリア上にある。基板の第 3 の表面エリアは、基板 104a の第 1 の表面エリア及び第 2 の表面エリアとは重なっていない。

30

【0015】

要素 103 は、要素 103 に当接している第 1 の層の、第 1 の部分 101 の一部、または、第 2 の部分 102 の一部の少なくとも一部の厚さに実質的に等しい厚さを有している。実施例では、要素 103 と組合せて、第 1 の部分 101 及び第 2 の部分 102 を有する第 1 の層は、基板の表面エリアの実質的に全体をカバーする（たとえば、半導体が製造される反応器のウェーハクランプによってクランプされる場合がある基板のエリアを除く）。第 1 の部分 101、第 2 の部分 102、及び要素 103 は、実質的に等しい厚さである（たとえば、許容可能な公差内で等しい厚さである）。層の厚さは、前に説明したように取られる。第 1 の部分 101、第 2 の部分 102、及び要素 103 の各々の上面は同一平面内にあり、さらなる層を堆積させるための平坦な表面をともに生成する。

40

【0016】

要素 103 の材料は、第 1 の部分または第 2 の部分の少なくとも 1 つの n 型半導体材料の電気抵抗に比べて高い電気抵抗を有している。電気抵抗は、電流の流れを制限するか、

50

防止するか、抗する、材料の能力の測定値と解することができる。電気抵抗は、材料の電気抵抗率及び寸法（そしてひいては、体積）に依存する。このため、 n 型半導体材料は、要素の材料の導電性に比べて高い導電性を有している。導電性は、電流が半導体材料を通して流れることの容易性または割合の測定値と解することができる。要素の材料は、基板の材料と実質的に同じであるか同様のものとして解することができるか、または他の実施例では、基板とは異なる材料として解することができる。電気抵抗率は、所与の単位体積の材料に関する、電流の流れを制限するか、防止するか、抗する、特定の材料の固有の特性と解することができる。

【0017】

実施例では、 n 型半導体材料は、主として InP を含み、硫黄（ S ）またはケイ素（ Si ）などの適切なドーパントでドーパされている場合がある。実施例では、要素の材料には、その要素に、 n 型半導体材料に比べて半絶縁性を与えるように、ある材料でドーパされた InP が含まれる。半絶縁性材料は、通常、絶縁体の導電性に近い導電性を有しているが、いくつかの範囲で依然として電流を搬送することができる。実施例では、要素の材料は、たとえば $1e^{16}cm^{-3}$ から $1e^{19}cm^{-3}$ の間のドーパント濃度で、鉄（ Fe ）、ルテニウム（ Ru ）、バナジウム（ V ）、及び/またはチタン（ Ti ）でドーパされた、燐化インジウム（ InP ）、インジウムアルミニウムヒ化物（ $InAlAs$ ）、インジウムガリウムアルミニウムヒ化物（ $InGaAlAs$ ）、及び/またはインジウムガリウムヒ化燐化物（ $InGaAsP$ ）である。要素は、いくつかの実施例では、500ミクロン以下の、（対応する導波路の長手軸に沿って）光の伝播方向に取られる長さを有している。光の伝播方向に垂直である要素の幅は、たとえば、少なくとも要素上の導波路の一部分の幅であり、いくつかの実施例では、1ミリメートル以下の幅である。

【0018】

他の実施例では、 n 型半導体材料は、3元の半導体合金、または4元の半導体合金を含み、たとえば、周期表のIII族およびV族からの要素を含むIII-V半導体化合物である。III族の材料には、ホウ素（ B ）、アルミニウム（ Al ）、ガリウム（ Ga ）、及びインジウム（ In ）が含まれる。V族の材料には、窒素（ N ）、燐（ P ）、ヒ素（ As ）、及びアンチモン（ Sb ）が含まれる。 n 型半導体材料は、たとえば、窒化物、燐化物、ヒ化物、またはアンチモン化物である。

【0019】

図（1の）100bは、図（1の）100における線A-Aに対応する長手軸に沿う構造100の断面の第2の実施例に係る図である。図（1の）100aの特徴は、第1の部分と第2の部分との間の要素が、基板104bの一部であることを除き、図（1の）100bの特徴と類似である。このため、基板104bは、上述の要素103の材料など、要素と実質的に同じ材料（たとえば、許容可能な公差内で同じ材料）であり、 n 型半導体材料に比べて高い電気抵抗を有している。図（1の）100bの実施例の要素は、基板の一体の部分であり、そのため、第1の層の第1の部分と第2の部分との間で、第1の表面エリア及び第2の表面エリアの平面から突出している。

【0020】

1つの図の特徴が、別の図の特徴と共通しているか類似であることに留意されたい。そのような特徴には、同じ参照符号が付されるが、図の番号に対応する異なる値を先頭に置いている。そのため、図1の特徴101は図2の特徴201に対応している。そのような特徴に関し、簡潔性のため、前の特徴の記載は、後に記載する図の特徴に関して適用されるように取られるものとする。前の実施例が、基板104aの表面上に堆積された要素103を有する構造を示しているが、他の実施例では、基板と要素とが一体にされており、同じ材料104bであることにも留意されたい。基板及び要素のそのような代替形態は、後に記載するさらなる実施例に適用されることが予想される。

【0021】

図2は、実施例に係る、導波路を伴う図1からのPICに関する構造を示す概略図である。図（2の）200は、構造の各部の平面図を示している。図（2の）200aは、長

手軸に対応する線 A - - - A に沿う断面であり、図 (2 の) 2 0 0 b は、長手軸に対して垂直な横断方向の軸 B - - - B に沿って取られる断面である。構造は、要素 2 0 3 上にあるとともに、要素 2 0 3 に接触している導波路 2 0 5 を備えている。導波路は、少なくともいくつかの実施例では、最小のエネルギー損失で、電磁波をガイドする構造である。実施例では、導波路は、光のエネルギーの伝達を 1 つの方向に制限することによって光をガイドする。いくつかの実施例では、導波路は、単一の InGaAsP 合金の少なくとも 1 つの層及び InP 層によるものであり、または他の実施例では、導波路は、各々が異なる InGaAsP 合金及び InP による少なくとも 1 つの層によるものである。導波路の材料 (複数可) は、その性能を調整するようにドーピングされる場合がある。少なくともいくつかの実施例では、導波路の外側の境界が、導波路に沿って伝播する光を内部に閉じ込める境界に対応することを理解されたい。

10

【 0 0 2 2 】

実施例では、導波路は、真性の半導体材料を備えている。真性の半導体材料は、純粋な半導体材料と解することができる。純粋な半導体材料は、かなりの量のあらゆるドーパント種の存在を伴わない半導体材料であり、それにより、伝導帯における電子の数が、許容可能な公差内で、動作温度における価電子帯の正孔の数に等しくなっている。動作温度は、真性の半導体材料を含むデバイスの機能が利用される温度である。実施例では、導波路は、複数の層を備えている。導波路は、InGaAsP と InP との 2 つの材料層を含み、光が層間に閉じ込められる。他の実施例では、導波路は、半導体材料の 1 つの層を含む場合がある。

20

【 0 0 2 3 】

図 3 は、実施例に係る、図 2 からの導波路をより詳細に示す概略図である。図 (3 の) 3 0 0 は、構造の各部の平面図を示しており、図 (3 の) 3 0 0 a は、図 (3 の) 3 0 0 における線 A - - - A に対応する構造の長手方向断面を示している。導波路 3 0 5 は、導波路の第 1 の部分 3 0 5 a、導波路の第 2 の部分 3 0 5 b、及び導波路の第 3 の部分 3 0 5 c を有している。第 1 の部分 3 0 5 a、第 2 の部分 3 0 5 b、及び第 3 の部分 3 0 5 c は、実質的に同じ厚さを有しており、それにより、導波路 3 0 5 の上面が平坦な表面を有するようになっている。第 1 の部分 3 0 5 a、第 2 の部分 3 0 5 b、及び第 3 の部分 3 0 5 c は、導波路の長手軸に沿って配置されており、ここで、第 1 の部分 3 0 5 a が長手軸の第 1 のポイントにあり、第 2 の部分 3 0 5 b が長手軸の第 2 のポイントにあり、第 3 の部分 3 0 5 c が長手軸の第 3 のポイントにある。

30

【 0 0 2 4 】

実施例では、導波路の第 1 の部分 3 0 5 a が、要素のある表面エリア上にあるとともに表面エリアと接触している。導波路の第 1 の部分 3 0 5 a は、第 1 の部分 3 0 1 もしくは第 2 の部分 3 0 2 と重ならず、または、それどころか、n 型半導体材料の第 1 の層のいずれとも重なっていない。導波路の第 2 の部分 3 0 5 b は、n 型半導体材料の第 1 の層の第 1 の部分 3 0 1 の表面エリア上にある。第 1 の層の第 1 の部分 3 0 1 の表面エリアは、要素 3 0 3 とは重なっていない。導波路の第 3 の部分 3 0 5 c は、n 型半導体材料の第 1 の層の第 2 の部分 3 0 2 の表面エリア上にある。第 1 の層の第 2 の部分 3 0 2 の表面エリアは、要素 3 0 3 とは重なっていない。

40

【 0 0 2 5 】

基板 3 0 4 の表面に対して水平であり、かつ導波路の長手軸に対して垂直である、構造の横断方向の軸に沿う導波路 3 0 5 は、実施例では、導波路の長手軸に沿っての導波路 3 0 5 の長さ未満であり、かつ要素の幅以下である幅を有している。

【 0 0 2 6 】

図 4 は、実施例に係る、PIC 構成要素を伴う図 2 からのフォトニック集積回路に関する構造を示す概略図である。図 (4 の) 4 0 0 は、構造の各部の平面図を示している。図 (4 の) 4 0 0 a は、図 (4 の) 4 0 0 における線 A - - - A に対応する構造の長手方向断面図を示しており、図 (4 の) 4 0 0 b は、図 (4 の) 4 0 0 における線 B - - - B に対応する構造の横断方向断面を示している。実施例では、構造は、p 型半導体材料の第 1

50

の部分 4 0 6 及び第 2 の部分 4 0 7 を備えている。p 型半導体材料の第 1 の部分 4 0 6 は、導波路の第 2 の部分 4 0 5 b の一部の上に堆積されており、p 型半導体材料の第 2 の部分 4 0 7 は、導波路の第 3 の部分 4 0 5 c の一部の上に堆積されている。p 型半導体材料の第 1 の部分 4 0 6 は、n 型半導体材料の第 1 の層の第 1 の部分 4 0 1 の一部の上に堆積されており、p 型半導体材料の第 2 の部分 4 0 7 は、n 型半導体材料の第 1 の層の第 2 の部分 4 0 2 の一部の上に堆積されている。

【 0 0 2 7 】

p 型半導体材料は、アクセプタ不純物でドーパされた半導体材料を備えており、それにより、正孔が潤沢に存在し、真性の半導体材料またはドーパ前の半導体材料に比べ半導体材料の導電性が増大している。p 型半導体材料の電荷担体の多くは、正の正孔である。実施例では、p 型半導体材料は、アクセプタ不純物で高度にドーパされている場合があり、ここでは、ドーパントが半導体材料の化学的組成のかなりのパーセンテージを含んでいる。p 型半導体材料は、たとえば、ドーパされた InP、InGaAsP、InAlGaAs、InGaAs、または InAlAs である。

10

【 0 0 2 8 】

p 型半導体材料の第 1 の部分 4 0 6 と、導波路の第 2 の部分 4 0 5 b の一部と、n 型半導体材料の第 1 の部分 4 0 1 の一部との組合せが、PIN 構造を備えた第 1 の PIC 構成要素 4 1 0 の少なくとも一部を形成する。第 1 の電気接触層 4 0 8 は、p 型半導体材料の第 1 の部分 4 0 6 の上に堆積されている。p 型半導体材料の第 2 の部分 4 0 7 と、導波路の第 3 の部分 4 0 5 b の一部と、n 型半導体材料の第 2 の部分 4 0 2 の一部との組合せが、PIN 構造を備えた第 2 の PIC 構成要素 4 1 1 を形成する。第 2 の電気接触層 4 0 9 は、p 型半導体材料の第 2 の部分 4 0 6 の上に堆積されている。実施例では、第 1 の電気接触層 4 0 8 及び第 2 の電気接触層 4 0 9 は、金属材料で構成されている。電気接触層は、各 PIN 構造にわたって電圧を印加させる。p 型半導体材料に関する接触層は、たとえば、チタン (Ti)、白金 (Pt) またはクロム (Cr)、及び金 (Au) の組合せである。

20

【 0 0 2 9 】

いくつかの実施例では、2 つの PIC 構成要素の p 型半導体層の間の、それぞれの導波路の長手軸に少なくとも沿って、p 型半導体材料が存在しない。たとえば、空気など、p 型半導体材料よりも高い抵抗率の材料が存在する場合がある。このことは、PIC 構成要素に関して p 型材料を含むように p 型半導体材料の層を堆積させ、次いで、PIC 構成要素間の p 型材料をいくらか除去するようにエッチングすることによって達成される場合がある。そのような p 型材料の不在は、特に本明細書に記載の要素が n 型半導体層内の電流の流れを低減させるために使用される場合に、PIC 構成要素間の電流の流れを低減させることを補助することもできる。

30

【 0 0 3 0 】

PIC 構成要素は、PIC を形成するために使用できる、電氣的または光学的な任意の構成要素である。PIC 構成要素は、導波路、マルチモードの干渉計 (MMI)、P-N 接合部、半導体光学増幅器 (SOA)、電子吸収変調器 (EAM)、または電気光学位相変調器 (EOPM) を含んでいる。MMI は、光を、その構成要素の固有モードに分割するために使用することができる。P-N 接合部は、p 型及び n 型の半導体材料を含んでおり、また、光検出器などの多くの PIC 構成要素を構築するために使用される。

40

【 0 0 3 1 】

実施例では、第 1 の PIC 構成要素 4 1 0 及び第 1 の電気接触層 4 0 8 の PIN 構造は、ともに第 1 のフォトダイオードである。フォトダイオードは、光信号を電気信号に変換することができる光検出器である。光検出器は、導波路内に閉じ込められた光によって搬送することができる信号の電氣的な読取りを可能にする。他の実施例では、第 2 の PIC 構成要素 4 1 1 及び第 2 の電気接触層 4 0 9 の PIN 構造は、ともに第 2 のフォトダイオードである。

【 0 0 3 2 】

50

導波路の第 1 の部分 4 0 5 a は、導波路の長手軸に沿って取った場合に、第 1 の P I C 構成要素と第 2 の P I C 構成要素との間に位置している。第 1 の P I C 構成要素 4 1 0 と第 2 の P I C 構成要素 4 1 1 とは、導波路 4 0 5 によって光学的に接続されている。光学的な接続は、通常、導波路 4 0 5 によって閉じ込められた光が、エネルギーを著しく損失することなく、第 1 の P I C と第 2 の P I C 構成要素との間を移動できることを意味している。エネルギーを著しく損失しないことは、通常、エネルギーが失われないことを意味するが、無視できる量のエネルギーが、許容可能な公差内で失われている場合がある。

【 0 0 3 3 】

要素 4 0 3 の材料は、第 1 の P I C 構成要素 4 1 0 と第 2 の P I C 構成要素 4 1 1 との間の電流の流れを制限するか、防止するか、または抗するように構成されており、それにより、要素 4 0 3 が n 型半導体材料の代わりである場合の 2 つの P I C 構成要素間に流れる電流に比べ、第 1 の P I C 構成要素 4 1 0 と第 2 の P I C 構成要素 4 1 1 との間に流れる電流の、観測可能な低減または防止が存在するようになっている。電流の流れを全体的に防止するケースにおいてさえも、無視できる電流が依然として 2 つの P I C 構成要素間を流れていることが理解されていることに留意されたい。

10

【 0 0 3 4 】

実施例では、要素 4 0 3 は、長手軸に沿って取られた場合、第 1 の P I C 4 1 0 と第 2 の P I C 構成要素 4 1 1 との間にある。要素 4 0 3 は、この要素 4 0 3 が、第 1 の層の第 1 の部分 4 0 1 及び第 2 の部分 4 0 2 の n 型半導体材料に比べて高い電気抵抗を有しているように構成されている。電流は、n 型半導体材料の第 1 の層の第 1 の部分 4 0 1 を介して、第 2 の要素 4 0 3 を通って n 型半導体材料の第 1 の層の第 2 の部分 4 0 2 へ、第 1 の P I C 構成要素と第 2 の P I C 構成要素との間をある程度流れることが依然として可能である場合がある。電流は、第 1 の P I C 構成要素と第 2 の P I C 構成要素との間を、導波路 4 0 5 の材料（複数可）を介して流れることもできる。しかし、要素 4 0 3 の、より大である電気抵抗は、導波路 4 0 5 への電流の流れを制限する場合があり、ひいては、電流が流れることができる電気伝導性材料の断面の量（たとえば、B - - - B に沿う）を低減させる。

20

【 0 0 3 5 】

図 5 は、実施例に係る、バランス型光検出器を含む P I C の構造を示す概略図である。図は、構造の少なくとも一部の平面図を示している。この構造は、半導体材料の構造である。構造は、第 1 の P I C 構成要素 5 1 0 と、第 1 の P I C 構成要素を第 2 の P I C 構成要素 5 1 4 に光学的に接続する第 1 の導波路 5 0 5 a とを備えている。第 2 の P I C 構成要素 5 1 4 は、第 2 の導波路 5 0 5 b によって第 3 の P I C 構成要素 5 1 6 に光学的に接続されている。第 1 の導波路 5 0 5 a 及び第 2 の導波路は、たとえば、許容可能な公差内で、同一の材料の組成 5 0 2 b で構成されている。

30

【 0 0 3 6 】

構造は、n 型半導体材料の第 1 の層を上にも有する基板を備えている。n 型半導体材料は、第 1 の電気抵抗を有している。いくつかの実施例では、基板は、第 1 の要素 5 0 3 a 及び第 2 の要素 5 0 3 b をも備えている。他の実施例では、第 1 の要素及び第 2 の要素の代わりに、構造が、基板の上面エリア上に堆積された第 3 の要素 5 0 3 c を代わりに備えている。要素は、上述の半絶縁性材料のブロック、容量、領域、または層に関し、各ブロックのいずれかの側で第 1 の層のそれぞれの第 1 の部分と第 2 の部分との間の電流の流れを低減させるように適切な寸法になっている。複数の n 型半導体材料の部分 5 0 1、5 0 2、ならびに、第 1 の要素 5 0 3 a、第 2 の要素 5 0 3 b、及び第 3 の要素 5 0 3 b は、互いに重なっていない。

40

【 0 0 3 7 】

要素の材料は、第 2 の電気抵抗を有している。第 1 の電気抵抗は、第 2 の電気抵抗未満であり、それにより、各要素が n 型半導体材料の電気抵抗よりも大である電気抵抗を有することから、たとえば抵抗器の機能と同様に、それぞれの要素の各々が、電流を低減させるように構成されている。そのような要素は、たとえば、電流の流れを制限するか、防止

50

するか、または抗することにより、要素の一方側から他方側への電流の流れを低減させる。n型半導体材料の第1の層の複数の部分501、502、ならびに、第1の要素503a、第2の要素503b、及び第3の要素508は、ともに実質的に平滑な上面を提供する。第1の導波路505a及び第2の導波路505bは、n型半導体の第1の層上、また、それぞれの要素上にも、堆積される。

【0038】

図6は、実施例に係る、図5のバランス型光検出器の態様をより詳細に示す概略図である。図(6の)500aは、第1の導波路505aに関し、図(5の)500における線A - - Aに対応する長手軸における構造の断面を示している。第1の要素503aは、n型半導体材料の第1の部分501aと、n型半導体材料の第2の部分502aとの間に堆積され、これらの各々に当接する。第1の要素503aは、第1の導波路505aの長手軸上の第1のポイントに位置しており、かつ、第1の導波路505aの第1の部分が重なるとともに、接触している。重なっていることは、通常、第1の導波路505aの第1の部分が、第1の要素503aの少なくとも一部の上にあるか、一部をカバーしていることを意味する。第1の導波路の長手軸上の第2のポイントにおいて、第1の導波路505aの第2の部分は、n型半導体材料501aの第1の層の第1の部分の上にあるとともに第1の部分と接触している。第1の導波路505aの長手軸上の第3のポイントにおいて、第1の導波路505aの第3の部分は、n型半導体材料502aの第1の層の第2の部分の上にあるとともに第2の部分と接触している。

10

【0039】

図(6の)500bは、第2の導波路505bに関し、図(5の)500における線B - - Bに対応する長手軸における構造の断面を示している。第2の要素503bは、n型半導体材料の第3の部分501bと、n型半導体材料の第4の部分502bとの間に堆積され、これらの各々に当接する。第2の要素503bは、第2の導波路505bの長手軸上の第1のポイントに位置しており、かつ、第2の導波路505bの第1の部分が重なっている。第2の導波路505bの長手軸上の第2のポイントにおいて、第2の導波路505bの第2の部分が、n型半導体材料501bの第1の層の第3の部分と重なっている。第2の導波路505bの長手軸上の第3のポイントにおいて、第2の導波路505bの第3の部分は、n型半導体材料502bの第1の層の第4の部分と重なっている。

20

【0040】

図5の実施例などの実施例では、第2のPIC構成要素514は、マルチモードの干渉計(MMI)である。MMIの前には、光は単一の導波路によって閉じ込められている。MMIの後には、光は連結部に到達し、ここで、単一の導波路が第1の導波路505aと第2の導波路505bとに分割される。図(6の)500cは、導波路連結部518に関し、図(5の)500における線C - Cに対応する横断方向の軸における構造の断面を示しており、導波路連結部518において、導波路が第1の導波路505aと第2の導波路505bとに分割される。第3の要素503cは、n型半導体材料の第5の部分501cと、n型半導体材料の第6の部分502cとの間に堆積され、これらに当接する。第3の要素503cは、一方側では第1のPIC構成要素と第2のPIC構成要素との間に位置しており、他方側では、導波路連結部518が、第1の導波路505a及び第2の導波路505bに光学的に接続されている。間との用語は、少なくともこの実施例では、それぞれの導波路の長手軸上の構成要素を参照して使用され、導波路のあらゆる曲げまたは他の直線状ではないライン形状を考慮している。第1の導波路505aの一部分は、第3の要素503cの第1のパート上に堆積されている。第2の導波路505bの一部分は、第3の要素503cの第2のパート上に堆積されている。第3の要素503cの第1のパートと第2のパートとは重なっていない

30

40

【0041】

第1のPIC構成要素510は、n型半導体材料の第1の層の一部、第1の導波路505aの一部、第1の導波路505aの一部分の上に堆積されたp型半導体材料の第1の部分、及び、p型半導体材料の第1の部分の一部分の上に堆積された電気接触層で構成され

50

ている。

【0042】

第3のPIC構成要素516は、n型半導体材料の第1の層の一部、第2の導波路505bの一部、第2の導波路505aの一部分の上に堆積されたp型半導体材料の第2の部分、及び、p型半導体材料の第1の部分の一部分の上に堆積された電気接触層で構成されている。

【0043】

第1のPIC構成要素510及び第3のPIC構成要素516は、フォトダイオードであり、バランス型光検出器として動作するようにMMI503と組み合わせて構成されている。一実施例では第1の要素503a及び第2の要素503bにより、また、代替的な実施例では、第3の要素503cにより、各要素は、たとえば第1のフォトダイオード510と第2のフォトダイオード516との間の電流の流れを制限するか、防止するか、または抗することにより、低減させるように作用する。このため、フォトダイオード間の電氣的なクロストークを低減させることができる。

10

【0044】

当業者には理解されるように、様々な技術が、本明細書に記載の実施例にしたがって、半導体材料の層の堆積及びパターン化のために使用される場合がある。そのような技術には、有機金属気相エピタキシー(MOVPE)または分子線エピタキシー(MBE)などの化学蒸着技術が含まれる場合がある。エッチング技術は、当業者には理解されるように、パターンニングの一部として、材料の各部分を除去するために使用される場合がある。

20

【0045】

このため、いくつかの実施例によれば、また図7の701から705を参照すると、上述の実施例に係る構造が、基板を提供することと、基板の第1の表面エリア、第2の表面エリア、及び第3の表面エリアの上にn型半導体を堆積させることと、第3の表面エリア上の第1の層のn型半導体を除去することと、第3の表面エリア上に要素を形成することとであって、それにより、要素が、第1の表面エリア上のn型半導体材料の第1の部分と、第2の表面エリア上のn型半導体材料の第2の部分との間にあるようになる、形成することと、少なくとも要素の上にあるとともに要素と接触する導波路を形成することとであって、要素が、導波路を介しての光の伝播の間に、第1の部分から第2の部分への電流の流れを低減させるための材料を含んでいる、形成することと、を含む方法によって製造される。

30

【0046】

他の実施例によれば、図8の801から804を参照すると、構造は、基板を提供することと、基板の第1の表面エリアを形成するように基板の第1の部分を除去し、基板の第2の表面エリアを形成するように基板の第2の部分を除去して、第1の表面エリアと第2の表面エリアとの間の基板の除去されていない部分を残すこととであって、除去されていない部分が、基板の第3の表面エリアに対応する、除去することと、第1の表面エリア及び第2の表面エリアの上にn型半導体を堆積させることと、少なくとも除去されていない部分上にあるとともに除去されていない部分と接触している導波路を形成することとであって、除去されていない部分が、n型半導体材料の第1の部分とn型半導体材料の第2の部分との間の要素であり、要素が、導波路を介しての光の伝播の間にn型半導体材料の第1の部分からn型半導体材料の第2の部分への電流の流れを低減させるための材料を含んでいる、導波路を形成することと、を含む方法によって製造される。

40

【0047】

さらに、実施例における本方法は、第1のPIC構成要素(フォトダイオードなど)を形成することと、導波路によって第1のPIC構成要素に光学的に接続された第2のPIC構成要素(MMIなど)を形成することとであって、要素が、第1のPIC構成要素と第2のPIC構成要素との間の電流の流れを低減させるか、防止するか、または抗するか少なくとも1つをするように、要素が寸法決めされるとともに、ある電気抵抗を有する材料である、形成することと、を含んでいる。

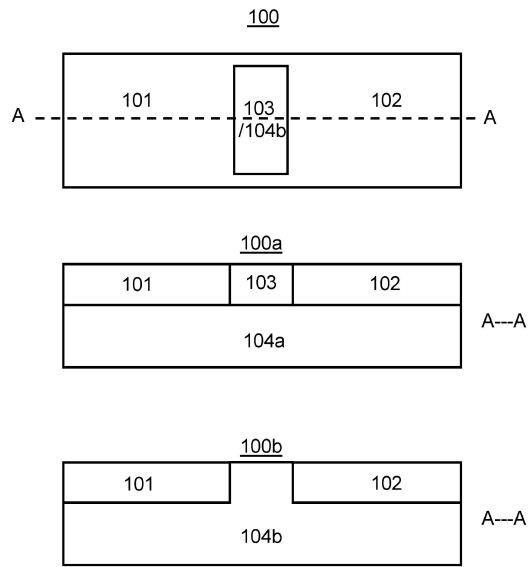
50

【 0 0 4 8 】

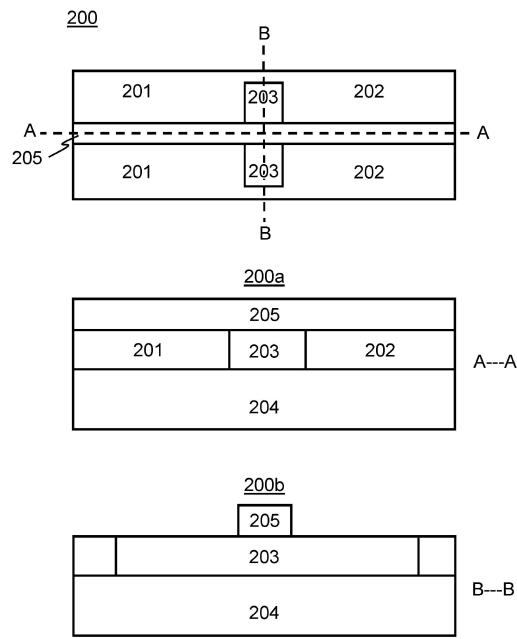
上述の実施例は、説明的な実施例として理解されるものとする。任意の 1 つの実施例に関して記載された任意の特徴が、単独で、または、記載の他の特徴と組み合わせて使用される場合があり、また、任意の他の実施例の 1 つまたは複数の機能と組み合わせて、または、任意の他の実施例の任意の組合せで使用される場合もあることを理解されたい。さらに、上述されていない均等及び変更も、添付の特許請求の範囲を逸脱することなく、採用される場合がある。

【 図 面 】

【 図 1 】



【 図 2 】



10

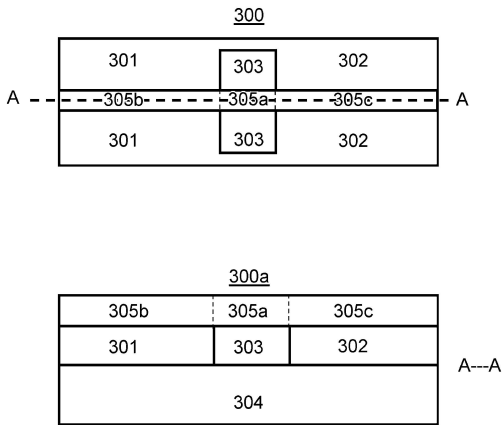
20

30

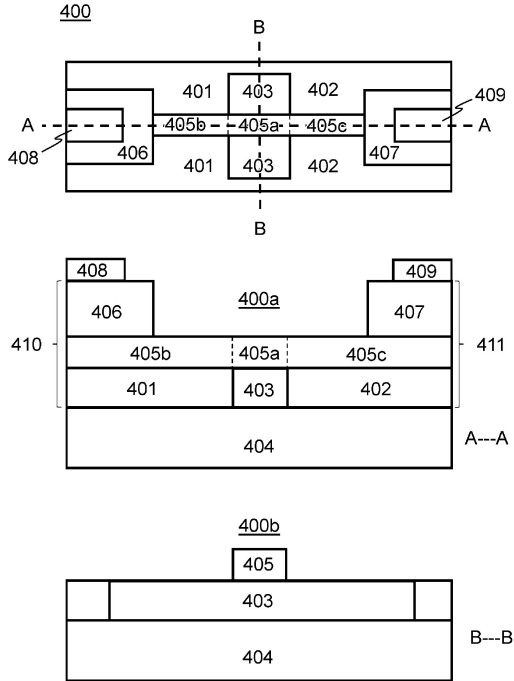
40

50

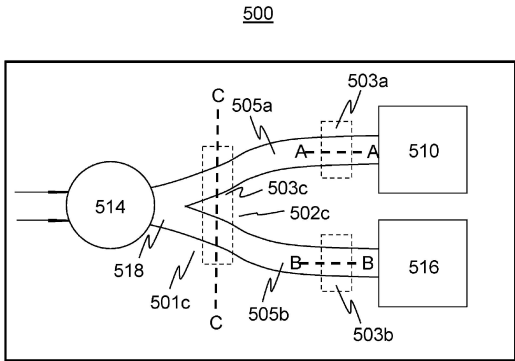
【 図 3 】



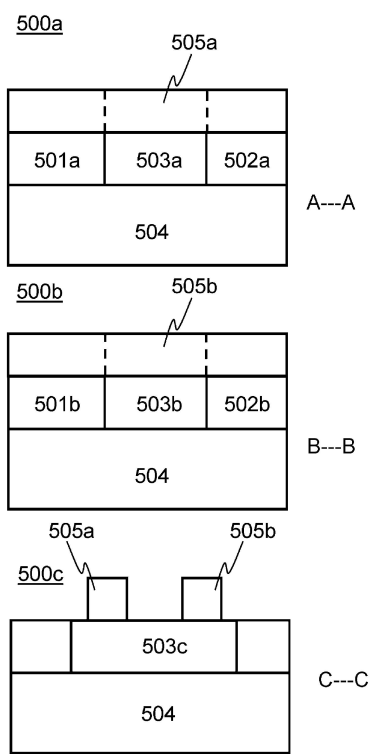
【 図 4 】



【 図 5 】



【 図 6 】



10

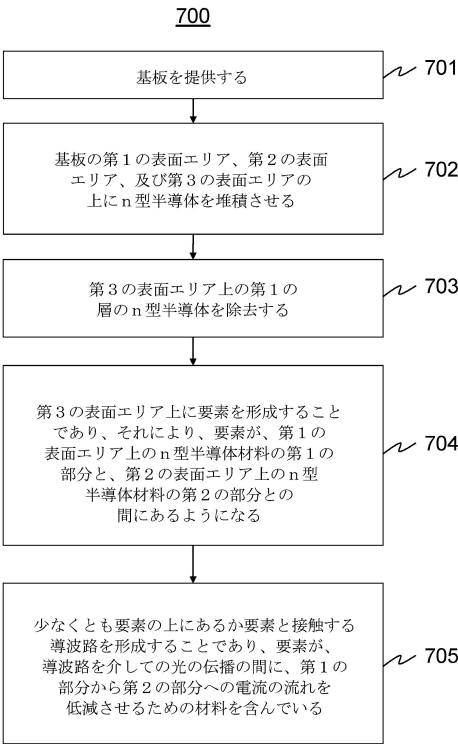
20

30

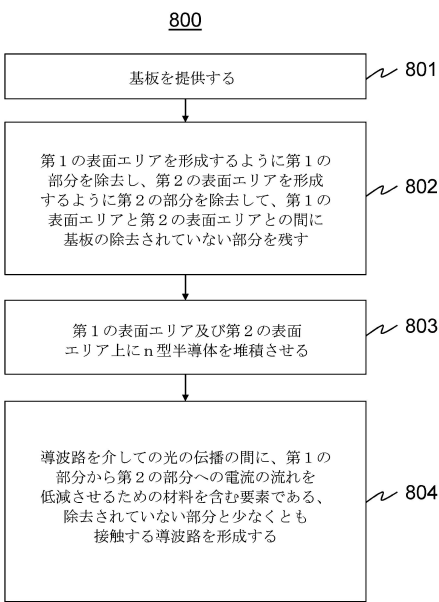
40

50

【 図 7 】



【 図 8 】



10

20

30

40

50

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2021/052198

A. CLASSIFICATION OF SUBJECT MATTER

INV. G02B6/12
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02B H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2011/147874 A1 (NAGARAJAN RADHAKRISHNAN L [US] ET AL) 23 June 2011 (2011-06-23) paragraphs [0017] - [0027]; figures 2,3 -----	1-27
A	KR 2018 0085221 A (LG INNOTEK CO LTD [KR]) 26 July 2018 (2018-07-26) paragraph [0082]; figures 3,4 -----	1-27
A	US 2004/028105 A1 (PETERS FRANK H [US]) 12 February 2004 (2004-02-12) paragraphs [0027], [0028]; figures 3-7 -----	1-27

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"Z" document member of the same patent family

Date of the actual completion of the international search

28 May 2021

Date of mailing of the international search report

09/06/2021

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Ciarrocca, Marco

INTERNATIONAL SEARCH REPORT				International application No	
Information on patent family members				PCT/EP2021/052198	
Patent document cited in search report		Publication date	Patent family member(s)	Publication date	
US 2011147874 A1		23-06-2011	NONE		
KR 20180085221 A		26-07-2018	NONE		
US 2004028105 A1		12-02-2004	US 2004028105 A1	12-02-2004	
			US 2004218850 A1	04-11-2004	

10

20

30

40

50

フロントページの続き

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,N
E,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,
CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,IT,JO,JP,K
E,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,N
G,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,TM,
TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

マニユエル

オランダ国, アイントホーフェン 5 6 5 6 エーイー ハイ テク キャンパス 2 9 スマート フ
ォトニクス ホールディングス ビー . ブイ . 内

(72)発明者 クライン, スティーブン エヴァラード フィリップス

オランダ国, アイントホーフェン 5 6 5 6 エーイー ハイ テク キャンパス 2 9 スマート フ
ォトニクス ホールディングス ビー . ブイ . 内

(72)発明者 タイス, ペトリュス ヨハネス アドリアヌス

オランダ国, アイントホーフェン 5 6 5 6 エーイー ハイ テク キャンパス 2 9 スマート フ
ォトニクス ホールディングス ビー . ブイ . 内

F ターム (参考) 2H147 AB02 AB03 AB05 AB10 AC02 BA05 BE22 EA12A FA04 FA07
5F149 AA04 AB07 AB17 BA04 BA23 BB01 DA02 DA06 EA03 EA07
FA05 GA06 XB18 XB37
5F849 AA04 AB07 AB17 BA04 BA23 BB01 DA02 DA06 EA03 EA07
FA05 GA06 XB18 XB37