

公 告 本

申請日期	87. 1. 20
案 號	87100735
類 別	G02F1/133, G09F9/35

A4
C4

466367

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	可修復式薄膜電晶體矩陣基體及基體修復方法
	英 文	REPAIRABLE THIN FILM TRANSISTOR MATRIX SUBSTRATE AND METHOD OF REPAIRING THE SUBSTRATE
二、發明 人	姓 名	1. 川井 悟 4. 出島 芳夫 2. 尾崎 喜義 5. 岡元 謙次 3. 井上 淳
	國 籍	日 本
	住、居所	1. 日本國鳥取縣米子市石州府字大塚貳650番地 2. 日本國神奈川縣川崎市中原區上小田中4丁目1番1號 3. 同上 4. 同上 5. 同上
三、申請人	姓 名 (名稱)	富士通股份有限公司
	國 籍	日 本
	住、居所 (事務所)	日本國神奈川縣川崎市中原區上小田中4丁目1番1號
	代 表 人 姓 名	關澤 義

裝

訂

線

466367

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

日本國(地區)	申請專利，申請日期：	案號：	， ☒ 有 ☐ 無主張優先權
	1997.1.31	特願平9-019285	
	1997.5.19	特願平9-128733	
	1997.12.8	特願平9-337550	

有關微生物已寄存於：，寄存日期：，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (1)

本發明係有關一驅動一液晶顯示器之薄膜電晶體矩陣基體，尤其係有關一具有修復匯流排線路斷路及層間短路之薄膜電晶體矩陣基體，及修復這樣之薄膜電晶體矩陣基體的方法。

一傳統的薄膜電晶體矩陣基體於此參考第14A及14B圖作說明。第14A圖顯示一傳統TFT矩陣基體100的一部份的平面圖，TFT矩陣基體100包含有以橫向或X方向延展的一多數閘極匯流排線路101(顯示兩個)及一以縱向或Y方向延展的一多數汲極匯流排線路103(顯示兩個)。這些匯流排線路101、103被形成於一透明基體100A上。在閘極與汲極匯流排線路101、103交叉的區域中，匯流排線路間藉由一絕緣膜(未顯示)互相絕緣。一累積電容器匯流排線路102裝配在相鄰的每一對閘極匯流排線路101之間使得其基本上平行閘極匯流排線路101延展。例如，一固定的地電位被施加在累積電容器匯流排線路102上。累積電容器與汲極匯流排線路102、103在他們交叉的區域也藉由一絕緣膜(未顯示)相互絕緣。

一薄膜電晶體(TFT)104大約被形成在閘極與汲極匯流排線路101、103之每一個交叉點上，且包含一汲極電極104D、一源極電極104S及一閘極電極(未顯示)。在一個別行中TFTS 104的汲極電極104D全被耦接在一相對的汲極匯流排線路103，而閘極(未顯示)被耦接在一相對的閘極匯流排線路101，其功效如同閘極電極。一對應每一個TFT的像素電極105(以點狀線表示)被排列在被相對應之閘極及汲極

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

匯流排線路101、103所圍繞的略呈矩形區域中，且經由一開孔107穿過一介於像素電極105與TFT 104間的隔離膜(未顯示)而耦接於源極電極104S。

TFT矩陣基體100也包含有一對自介於每一對汲極匯流排線路103間的每一個累積電容匯流排線路102延展而出之輔助電容電極106。每一個輔助電容電極106以相反之垂直方向向外延展，即，在正Y與負Y方向，在對應之成對的閘極匯流排線路101的附近。這對輔助電容電極106被排列成每一個相鄰且大略平行成對之相對應的汲極匯流排線路103之其中一個並與像素電極105的一側部分重疊。一液晶材料(未顯示)被置於提供在TFT基材矩陣基體100之上的兩個共電極基體(未顯示)之間。以這種方式，一輔助電容 C_s (最好看第14B圖)被形成於累積電容匯流排線路102與像素電極105之間。

第14B圖係一第14A圖之TFT矩陣基體100的等效電路圖，並顯示一液晶電容 C_{LC} 被形成於像素電極105與累積電容電極102之間，而輔助電容 C_s 被形成與液晶電容 C_{LC} 併聯。而且，一浮動電容 C_{NS} 形成在像素電極105與汲極匯流排線路103之間。

當TFT 104不導通時，如當液晶顯示器的一特定的顯示像素未被選取時，對應之汲極匯流排線路103的電位有顯著地變化。因此，有關之像素電極105的電位也隨之變化，由於藉由浮動電容 C_{NS} 的電容耦合。像素電極105中導致的電壓變動 ΔV 被表示為如下：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (3)

$$\Delta V = C_{NS} / (C_{NS} + C_{LC}) \dots\dots (1)$$

電壓變動沿顯示像素之掃描方向(平行汲極匯流排線路103的方向)產生一不需要的亮度梯度，及干擾(不均勻的亮度)，依顯示圖案而定。

在第14A圖所示之TFT矩陣基體100中，累積電容匯流排線102與輔助電容電極106被提供以增加輔助電容 C_s ，因此降低汲極匯流排線路103之電壓變動的負面作用並增強顯示品質。換句話說，電壓變動藉由加入與液晶電容 C_L (最好看第14B圖)併聯之輔助電容 C_s 而降低。

如第14A圖所示，輔助電容電極106被排列在相鄰於汲極匯流排線路103以獲得一大的孔徑比。然而，這種設計同時也造成輔助電容電極106與汲極匯流排線路103例如因為介於這些元件之間之有異樣的隔離薄膜，或因為輔助電容電極106與汲極匯流排線路103之圖案的對齊誤差而被短路。再則，一短路也可能發生在汲極與閘極匯流排線路103與101之間，和汲極匯流排線路與103與累積電容匯流排線路102之間。而且，匯流排線路101、102、103上之斷線或切斷也會發生由於電極及匯流排圖案形成期間所產生的灰塵或異物或由於一有瑕疵的遮罩等。

即使前述之匯流排線路之短路或斷線產生在一個點上，則整個TFT矩陣基體可以被視為瑕疵品。因此，在製造階段過程中之修復這種故障的能力在提高製造產量上是重要的。

一種修復前述之短路或斷線的有名的方法被以參照第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (4)

15圖來說明，第15圖顯示傳統TFT矩陣基體100的一概略平面圖。TFTs 104與像素電極105被排列成矩陣的形狀，而大多數的備份線路108、109(各僅有一個顯示在第15圖中)被安排在上部及下部外圍區域。

操作上，如果一斷線Bo發生在汲極匯流排線路103上，藉由把皆電氣連接至一外部電路之備份線路108、109兩者分別耦接至斷線的汲極匯流排線路103的兩個斷線修復點Wo與Woo處來執行一修復動作。以此方法，備份線路108、109載送原本將由斷線之汲極匯流排線路103所載送的訊號。在修復點Wo與Woo處的連接藉由使用雷射光的照射溶解隔離與金屬薄膜而達成。

前述修復方法的一項缺點是雜訊因電容耦合而被加於備份線路108、109上，電容耦合係因備份線路108、109與汲極匯流排線路103交叉且經由一隔離薄膜與汲極匯流排線路103隔離而產生。為降低這種雜訊的影響，備份線路108、109的線路電阻可以被減少，此將須加寬匯流排線路的寬度。然而，匯流排線路寬度的增加隨之也造成在備份線路108、109與汲極匯流排線路103間層間短路增加的機率，因此產生額外缺陷發生的狀況。

而且，執行修復的位置離實際缺陷所在位置相當的遠，因此修復作業需要一極精確與昂貴的移除基體的儀器。

再則，備份線路108、109增加TFT矩陣基體的複雜性並需要對消儲備份線路所造成之雜訊作額外的顧慮。

此外，如果發生在汲極匯流排線路中的斷線或短路的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (5)

數量超出備份線路的數量，及如果斷線或短路在沿著一單汲極匯流排線路之多數像素上造成瑕疵，則無法做到完全的修復。

因此，本發明的一個目的是提供一可易於修復一因為汲極匯流排線路與輔助電容器電極間的短路，汲極匯流排線路的斷線，汲極與閘極匯流排線路間的短路或閘極匯流排線路的斷線所引起之矩陣基體上之缺陷的TFT電晶體矩陣基體。

本發明的另一個目的是為提供一使在一自動修復裝置下的定位與修復缺陷更容易的TFT電晶體矩陣基體。

與本發明之第一樣式一致，一可修復的基體薄膜電晶體矩陣基體包含有一絕緣基體，與形成於絕緣基體上之一多數平行的閘極匯流排線路及一多數的累積電容匯流排線路。每一個累積電容匯流排線路平行且在一對閘極匯流排之間延展，且具有一多數從其擴展而出的輔助電容電極。一第一絕緣薄膜被提供在閘極及累積電容匯流排線路與輔助電容電極上。

一多數作用薄膜被形成於第一絕緣薄膜上，且在每一個作用薄膜上提供有對應的薄膜電晶體。至少兩個薄膜電晶體被電氣連接到每一個閘極匯流排線路。而且也包括有在第一絕緣膜上之基本上與閘極及累積電容器匯流排線路垂直的一多數平行的汲極匯流排線路。每一個汲極匯流排線路至少電氣連接兩個薄膜電晶體。

此外，一在每一個薄膜電晶體之上具有一開孔的第二

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明(6)

絕緣膜被提供在薄膜電晶體與汲極匯流排線路上。而且，一多數像素電極被提供在第二絕緣膜上，像素電極通過開孔被電氣耦接於一相對應的其中一個電晶體。閘極和汲極與本發明之第一樣式一致，的至少其中一個的至少一個第一部份與輔助電容器及像素電極的至少其中一個的至少一個第二部分重疊。

與本發明之一第二樣式一致，一可修復的積體薄膜電晶體矩陣基體包含有前述之與第一樣式有關的特徵，不包含與第二部分重疊之第一部份的特徵。此外，矩陣基體更包括至少一個形成在第二絕緣膜上之位於汲極匯流排線路與閘極和累積電容匯流排線路交錯的至少一個交叉區域上的導電層。

與本發明之一第三樣式一致，一可修復的積體薄膜電晶體矩陣基體包含有前述之與第一樣式有關的特徵，不包含與第二部分重疊之第一部份的特徵。此外，矩陣基體更包含有多數延伸跨越汲極匯流排線路其中一個並與一選取之相鄰像素電極的一部份重疊以產生一第一重疊區域之輔助電容電極的至少一個的一端。

一種用以修復前述之積體薄膜電晶體矩陣基體的方法，需要把在一經選取之閘極匯流排線路與汲極匯流排線路其中一個上之於一第一缺陷的一側上的一第一部份與一導體的一第一部份重疊以產生一第一重疊區域，及將第一缺陷之另一側上的一第二部分與導體之一第二部分重疊以產生一第二重疊區域。然後，第一部份被電氣連接至位在

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

第一重疊區域處的第一部份，及第二部分被電氣耦接至位在第二重疊區域處的第二部份。以這種方式，導體繞過第一缺陷產生一電氣旁路。

第1圖係一依據本發明之第一實施例的薄膜電晶體矩陣基體的平面圖；

第2A圖係一第1圖之線A-A'的橫截面圖；

第2B圖係一第1圖之線B-B'的橫截面圖；

第3圖係一顯示修復第1圖之薄膜電晶體矩陣基體中之斷線現象的方法的圖例；

第4A圖係一依據本發明之第二實施例的薄膜電晶體矩陣基體的平面圖；

第4B圖係一第4A圖之線C-C'的橫截面圖；

第5圖係一依據本發明之第三實施例的薄膜電晶體矩陣基體的平面圖；

第6圖係一顯示修復第5圖之薄膜電晶體矩陣基體中之短路現象的方法的圖例；

第7圖係一依據本發明之第四實施例的薄膜電晶體矩陣基體的平面圖；

第8A圖係一依據本發明之第五實施例的薄膜電晶體矩陣基體的平面圖；

第8B圖係一第8A圖之線D-D'的橫截面圖；

第9圖係一依據本發明之第六實施例的薄膜電晶體矩陣基體的平面圖；

第10圖係一依據本發明之第七實施例的薄膜電晶體矩陣

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明(8)

陣基體的平面圖；

第11圖係一依據本發明之第八實施例的薄膜電晶體矩陣基體的平面圖；

第12圖係一依據本發明之第九實施例的薄膜電晶體矩陣基體的平面圖；

第13圖係一依據本發明之第十實施例的薄膜電晶體矩陣基體的平面圖；

第14A圖係一傳統薄膜電晶體矩陣基體的平面圖；

第14B圖係第14A圖之傳統薄膜電晶體矩陣基體之等效電路圖；及

第15圖係一顯示修復薄膜電晶體矩陣基體中之一斷線現象的傳統方法的圖例。

如第1圖、第2A圖及第2B圖所示，本發明之一薄膜電晶體(TFT)矩陣基體20包含有一大體朝橫方向，例如X-方向，擴展的多數平行的閘極匯流排線路1，及平行並於一對閘極匯流排線路1之間排列的一多數累積電容匯流排線路2。閘極匯流排線路1與累積電容匯流排線路2被一閘極絕緣膜11(最好看第2A圖)所包覆。一多數平行的汲極匯流排線路3被提供在絕緣膜11上，並以一大略垂直的方向，即是Y-方向，延跨閘極與累積電容匯流排線路1、3。一薄膜電晶體(TFT)4被形成在每一個閘極與汲極匯流排線路1、3之交錯點附近處並含有一汲極電極4D，一源極電極4S及一閘極電極(未顯示)。汲極電極4D被耦接至對應的汲極匯流排線路3，而閘極匯流排線路1被耦接於對應的閘極電極(未顯示)，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

五、發明說明 (9)

實際上，其功效如閘極電極。

汲極匯流排線路3與TFTS 4被一層間絕緣膜12(最好看第2B圖)所覆蓋，對應每一個TFT 4的一多數像素電極5(以點狀線表示)被形成在層間絕緣膜12上。每一個像素電極5被排列在由對應之閘極及汲極匯流排線路1、3所環繞的一約略矩形區域中，且經由一接觸孔7穿過層間絕緣膜12而連接至對應之TFT的源極4S。

TFT矩陣基體20也含有一對自介於每一對汲極匯流排線路3間的累積電容匯流排線路2延伸的輔助電容電極6。每一個輔助電容電極6以相對之垂直方向，即是以正及負Y方向朝外擴展，靠近閘極匯流排線路1的對應對。以此方法，一對輔助電容電極6被安排成每一個輔助電容電極相鄰於且大致上平行兩個對應之汲極匯流排線路3的其中一個並平行對應像素電極5的一邊。根據第一實施例，輔助電容電極6至少具有一個與汲極匯流排線路3重疊的突出的部分6P(第1圖中每個輔助電容電極上顯示4個)。

在較佳實施例中，兩個相鄰之汲極匯流排線路3間的間隔大約是 $80\mu\text{m}$ ，汲極匯流排線路3的寬度約為 $10\mu\text{m}$ ，及輔助電容電極6與汲極匯流排線路3間的最窄間隔約為 $1\mu\text{m}$ 。而且，輔助電容電極6的寬度約為 $6\mu\text{m}$ 及其長度約為 $90\mu\text{m}$ 。提供在輔助電容電極6上之突出部分6P的長度約為 $4\mu\text{m}$ 及寬度約為 $3\mu\text{m}$ 。而且，兩個相鄰之閘極匯流排線路1間的間隔約為 $256\mu\text{m}$ 及累積電容匯流排線路2的寬度約為 $20\mu\text{m}$ 。

第2A圖顯示第1圖之TFT矩陣基體20的A-A'的一剖面

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

圖，包含有形成在玻璃基體10上的閘極匯流排線路1及累積電容匯流排線路2。閘極匯流排線路1最好是包括有鉻(Cr)，且例如可藉由例用濺鍍法然後模印Cr薄膜而沉積一Cr薄膜在玻璃基體10的整個區域上而形成。Cr薄膜的模印使輔助電容電極6能夠同時形成，其也被提供在玻璃基體10上(最好看第2B圖)。

覆蓋閘極與累積電容匯流排線路1、2的閘極絕緣膜11最好由SiN所構成且具有大約400nm的厚度。其例如可利用一電漿激發式化學汽相沉積法(PE-VCD)形成。一具有大約150nm厚度的非晶矽膜4C被形成於閘極絕緣膜11的表面上，覆蓋每一個TFTs 4將被形成的每一個區域，即是，約在汲極與閘極匯流排線路之交叉點處。皆具有Ti/Al/Ti三層結構的源極與汲極電極4S、4D皆被形成在非晶矽膜4C上。下面的Ti層約為20nm、Al層約為50nm而上面的Ti層約為80nm。源極與汲極電極4S、4D與汲極匯流排線路3同時被形成，其等也被形成於閘極絕緣膜11上(最好看第1圖與第2B圖)。非晶矽膜4C使用例如SiH₄做為原料氣體經由PE-VCD法沉積，而模印使用具有作為遮罩用的電阻圖案之電漿升灰器藉由蝕刻法執行。Ti層及Al層藉由濺鍍法沉積，而模印也使用具有作為遮罩用的電阻圖案之濕製程經由蝕刻法執行。

層間絕緣膜12具有一約30 μ m的厚度，且被形成於閘極絕緣膜上以覆蓋TFTs 4。其最好由Ni所構成，且也可利用例如PE-CVD法來形成。由銦錫氧化物(ITO)所構成之一多

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (11)

數透明的像素電極5(兩個像素電極之局部圖顯示在第2A圖中)被形成於層間絕緣膜12的表面。像素電極5例如使用濺鍍法沉積ITO膜然後膜印ITO膜而形成。每一個像素電極5經由穿透層間絕緣膜12的接觸孔7而耦接於對應TFT 4的源極電極4S。如第1圖所示，像素電極的側邊與輔助電容電極6部分重疊。結果，第4B圖中所示之輔助電容Cs由於累積電容匯流排線路2，輔助電容電極6與像素電極5間的重疊區域而產生。

第2B圖顯示沿第1圖之TFT矩陣基體20的B-B'線的剖視圖，含有排列在透明基體10上與被閘極絕緣膜11所覆蓋的輔助電容電極6。汲極匯流排線路3被排列在介於兩個輔助電容電極6間的閘極絕緣膜上且被層間絕緣膜12所覆蓋，如前所述層間絕緣膜12上有像素電極5(顯示兩個像素電極的局部圖)被排列在其上。

如圖中由一橢圓所圈示的區域，在汲極匯流排線路3與輔助電容電極6之間的閘極絕緣膜11是相當的薄。就其本身而論，在這個區域所發生之層間短路的可能性比其他區域來的大。根據本發明的一個修復方法，當一短路現象發生在輔助電容電極6與汲極匯流排線路3之間時，使用一雷射光束只切斷短路處與累積電容匯流排線路2間的輔助電容電極6已達成修復的目的是足夠的。例如，如果短路發生在第1圖中的點S₁，使用雷射光在對應切斷點C1處將輔助電容電極6切斷以將其與累積電容匯流排線路2電氣隔離。最好是，雷射光是由YAG雷射所產生且具有一1064nm的波長，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (12)

0.53MW的熱強度，及直徑2到10 μ m的雷射光點尺寸。

在前面所提到之修復方法中，因為不需要如傳統修復方法中供作為修復用的備份線，所以矩陣基體上不需有備份線用之額外的空間。而且，即使沿著一單一的汲極匯流排線路上的多個位置上發生有短路現象，修復仍然是可能的。

第3圖顯示第1圖之TFT矩陣基體，具有位在由兩個突出部分6P所造成之兩個重疊區域 W_1 、 W_2 之間的一汲極匯流排線路3上的一斷線或切斷 B_1 。在這種情況中，汲極匯流排線路3的修復是利用一雷射光照射重疊區域 W_1 、 W_2 將汲極匯流排線路3與突出部分6P電氣連接來達成。然後，輔助電容電極6在靠近累積電容匯流排線路2的點 C_2 處被切斷，最好使用雷射光。以此方法，輔助電容電極6與累積電容匯流排線路2電氣隔離且有效地作為汲極匯流排線路3繞越斷線 B_1 的旁通。

參考第4A圖及第4B圖，根據本發明第二實施例之TFT矩陣基體20包含有一形成於閘極絕緣膜11之上的跑道型導電層8(最好看第4B圖)，除了與第1實施例有關及顯示於第1、2A及2B圖中所述的特徵之外。導電層8與汲極匯流排線路3同時被形成且被置於介於輔助電容電極6與像素電極5之間有一部份重疊的區域中。導電層8的目的是協助輔助電容電極6與像素電極5間的相接，當連接係藉由一雷射光的照射執行時。此外，這種跑道型導電層的表面形狀使自動修復裝置易於辨識雷射照射位置。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (13)

根據本發明之另一種修復方法，如果斷線係產生在由突出部分6P所造成的兩個重疊區域 W_7 、 W_8 之間的汲極匯流排線路3上，則汲極匯流排線路3與輔助電容電極6藉由在那些區域處照射一雷射光而在重疊區域 W_7 、 W_8 處電氣相連。輔助電容電極6與像素電極5經由一雷射光的照射也於跑道型導電層8被設置處電氣相連。然後，輔助電容電極6在位於累積電容匯流排線路2附近的兩點 C_3 、 C_4 處被切斷以使輔助電容電極6與電容匯流排線路2電氣隔離。以此方式，斷線B2經由重疊區域 W_7 、第一導電層8、像素電極5、第二導電層8及重疊區域 W_{15} 所旁路。應該注意斷線B2可以之前所述之藉由將輔助電容電極直接連接6至像素電極5來修復而不須使用導電層8。

參考第5圖，根據本發明第三實施例之TFT矩陣基體20包含前述與第1實施例有關及顯示於第1圖中的全部特徵。此外，輔助電極9A(第5圖中顯示四個)與汲極電極層3形成在同一層，即閘極絕緣層11。輔助電極9A沿著汲極匯流排線路3延展且具有與位於重疊區域 W_4 即 W_5 處之累積電容匯流排線之兩側上的輔助電極6重疊的末端。最好是，輔助電極9A具有一近似 $10\mu m$ 的寬度與一約 $15\mu m$ 的厚度，且被與汲極匯流排線路3使用相同的形成方法同時形成。

根據本發明之一修復方法，如果斷線B3發生在汲極匯流排線路3上，則藉由將汲極匯流排線路3連接到位於由突出部分6P所產生的重疊區域 W_3 、 W_6 處的輔助電容電極6，及將輔助電極9A接於其等在重疊區域 W_4 、 W_5 處重疊的輔助電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

像

五、發明說明 (14)

容電極6而達成。此外，在靠近累積電容匯流排線路2之輔助電容電極6上的兩點 C_5 、 C_6 被切斷以將輔助電容電極6與累積電容匯流排線路2電氣隔離。在這個方法中，如同於本發明其他的實施例所述的方法，電氣連接與切離最好是利用一雷射光的照射來執行。

參考第6圖，說明一用以修復第5圖所示之TFT矩陣基體20中的一短路的修復方法。如果一短路 S_4 發生在累積電容匯流排線路2與汲極匯流排線路3間的交叉的位置處，則可以經由切斷汲極匯流排線路3之位於短路點 S_4 之兩側上的兩點 C_7 、 C_8 來完成修復。輔助電容電極6也被切斷在靠近累積電容匯流排線路2之兩點 C_9 、 C_{10} 處，且汲極匯流排線路3與輔助電容電極6也在重疊區域 W_9 、 W_{10} 處電氣相接。而且，輔助電極9A與輔助電容電極6也在重疊區域 W_{11} 、 W_{12} 處電氣相接。以此方式，短路點與矩陣基體20之其他部分電其隔絕且經由輔助電容電極6與輔助電極9A而被旁路。

第7圖顯示根據本發明之第四實施例的TFT矩陣基體20，包含有形成在閘極絕緣層薄膜11(最好看第2B圖)上的一輔助電極10A。輔助電極10A沿汲極匯流排線路3橫跨閘極匯流排線路1延展且具有兩個與在閘極匯流排線路之兩側上的兩個輔助電容電極6的邊端重疊的末端以產生兩個重疊區域 W_{13} 、 W_{14} 。這個實施例也包含有關第一實施例敘述及第1圖所示之全部特徵。

如果短路 S_5 發生在汲極匯流排線路3與閘極匯流排線路1之間，例如一修復可以根據輔助電極10A與兩個輔助電容

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明 (15)

電極6在兩個重疊區域 W_{13} 、 W_{14} 電氣重疊的修復方法來達成。汲極匯流排線路3與輔助電容電極6也在由兩個輔助電容電極6之突出部分6P所產生之重疊區域 W_{13} 、 W_{14} 處電氣連接。再則，切割被做在汲極匯流排線路3之介於短路點 S_3 的兩側上的重疊區域 W_{15} 、 W_{16} 之間的兩點 C_{11} 、 C_{12} 處。最後，兩個輔助電容電極6在靠近其各自的累積電容匯流排線路2的 C_{13} 、 C_{14} 處被切斷。就其而論，短路點係與TFT矩陣基體20的其他部分電氣隔離且經由輔助電極10B與兩個輔助電容電極6旁路。

如第8A圖與8B圖所示，根據本發明第五實施例之TFT矩陣基體20包含有關第一實施例中所敘述及第1圖所示之全部特徵。此外，一導電層13形成在汲極匯流排線路3交叉累積電容與閘極匯流排線路2、1的區域中。第8B圖係一第8圖之沿線D-D'的剖面圖，且顯示導電層13被形成於層間絕緣膜12的表面上。導電層13最好是含有銦錫氧化物(ITO)，且例如藉由利用濺鍍法沉積一ITO膜然後再膜印而形成。

如第8B圖所示，跨越累積電容匯流排線路2的汲極匯流排線路3的部分因一由累積電容匯流排線路2所造成之一階梯狀的區域的存在而易於破損。如果一斷線B3發生在汲極匯流排線路3上，藉由電氣連接導電層13至汲極匯流排線路3之斷線的兩側(箭頭所標示的部分)執行修復，因此旁路斷線位置。

參考第9圖，根據本發明第六實施例的TFT矩陣基體20基本上包含有關第一實施例中所敘述及第1圖所示之全部特

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

徵，除輔助電容電極6上的突出部分6P外。此外，本實施例的TFT矩陣基體20包含具有自閘極匯流排線路101突出且與每一個像素電極5的兩個邊角重疊以產生兩個重疊區域 W_{17} 、 W_{18} 的突出部分14P的閘極匯流排線路101。

例如如果一斷線B4發生在介於兩個突出部分14P之間的閘極匯流排線路1，則藉由使用一雷射光照射重疊區域 W_{17} 、 W_{18} 而使兩個突出部分14P與像素電極5電氣相接而執行修復。另外，汲極電極4D被切斷在靠近汲極匯流排線路3的點 C_{15} 處，且一透明的像素電極5的導電薄膜使用雷射光整個橫寬被切端以消除對應TFT 4的影響。

參考第10圖，根據本發明第七實施例的TFT矩陣基體20包含前述及顯示在第9圖中的第六實施例的全部特徵。此外，一導電層16被形成在層間絕緣膜12上且延跨過汲極匯流排線路3使得其末端與兩個相鄰之突出部分14P在汲極匯流排線路3的任一側上重疊以產生兩個重疊區域 W_{19} 、 W_{20} 。

如果一斷線B₅發生在兩個重疊區域 W_{19} 、 W_{20} 之間，則突出部分14P與導電層16被電氣相接，因此產生一繞過斷線點B₅的旁路。如果兩個斷線B₅及B₆發生在相同的閘極匯流排線路1上如第10圖所示，則可以藉由結合前面所述之第9圖所示之修復斷線B₄之方法及如第10圖所示之修復斷線B₅的方法來達成修復。

如第11圖所示，根據本發明第八實施例的TFT矩陣基體20包含前述及顯示在第9圖中的第六實施例的全部特徵。此外，每一個像素電極5被架構成上面兩個邊角具有平行閘

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

極匯流排線路1並在像素電極5的兩側上跨越其等各自相鄰的汲極匯流排線路3之延長的延伸部分17。每一個延伸部分17在汲極匯流排線路3的任一側與兩個相鄰的突出部分14P重疊。

例如，如果斷線B7及B8發生在閘極匯流排線路1上，則修復可以藉由使用雷射光照射重疊區域 W_{22} 、 W_{23} 、 W_{24} 將突出部分14P與像素電極5電氣相接而達成。應該瞭解這種修復方法需要一個比參考第10圖所述及的第七實施例還少的雷射照射次數。在這個例子中汲極電極4D在點C17處與像素電極5的透明導電膜也被雷射光切斷，如同參考第9圖及第10圖所述的方法一樣。

如第12圖所示，根據本發明第九實施例的TFT矩陣基體20具有前述及顯示於第1圖之第一實施例的基本結構，除了突出部分6P外。如第22圖中所示，在這個實施例中，每一個輔助電容電極6具有延跨汲極匯流排線路3其中一條，並與介於被末端部分18交叉之相同的汲極匯流排線路及另一條汲極匯流排線路之間的像素電極5其中一個重疊的一個延長的末端部分18。在較佳實施例中，如第12圖所示，介於一對汲極匯流排線路3之間的兩個輔助電容電極的末端18係互相處於相反側。

而且，一導電薄膜19被提供在閘極絕緣膜11上並與在其係介於一對汲極匯流排線路3之間的一對輔助電容電極間的累積電容電極6重疊。導電薄膜19經由一穿過層間絕緣膜12的開孔與對應像素電極5電氣相接。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (18)

如果一斷線 B_9 發生在累積電容匯流排線路2靠近汲極匯流排線路3處，在這個實施例中的斷線可以藉由將從汲極匯流排線路3的另一側跨越汲極匯流排線路3的末端部分18，與耦接於導電薄膜19的像素電極5在他們重疊處的重疊區域 W_{25} 電氣相接而達成修復。然後，導電薄膜19在其重疊處，例如在重疊區域 W_{26} 與累積電容電極2電氣相接。另外，汲極電極4D在靠近汲極匯流排線路3的點 C_{18} 處被切斷，且像素電極5的透明的導電膜使用一雷射光整個橫寬被切斷(如雙實線所示)以消除對應TFT 4的影響。

而且，如果一斷線 B_{10} 發生在導電膜19被重疊的區域中的累積電容匯流排線路2上，則其修復可以藉由將導電膜19與累積電容匯流排線路2在斷線的任一側上的重疊區域 W_{26} 、 W_{27} 處電氣相接而達成。汲極電極4D在點 C_{18} 處與像素電極5的其整個橫寬皆被切斷。如果斷線 B_9 也被偵測出，如前所述在重疊區域 W_{25} 處會執行一額外的連接。

如第13圖所示，根據本發明第十實施例的TFT矩陣基體20結合如前述並分別顯示於第9圖及12圖中之本發明第六及第九實施例，除了導電薄膜19外。具有如此的設計，矩陣基體20適合於修復可能發生在閘極匯流排線路1及/或累積電容匯流排線路2上的斷線。

例如，如果斷線 B_{10} 及 B_{11} 分別發生在閘極與汲極匯流排線路上，則輔助電容電極6與像素電極5的重疊區域 W_{30} 、 W_{31} ，及閘極匯流排線路1與像素電極5之突出部分14P的重疊區域 W_{28} 、 W_{29} 皆被電氣相接。汲極電極4D在點 C_{19} 處被使用

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

一雷射光切斷而與汲極匯流排線路3隔離，且像素電極5也被使用一雷射光切斷以消除TFT 4的影響。

而未顯示的是，應該知道也可實施前述之實施例的其他組合，例如第七與第九實施例，或第八與第九實施例的組合。

應該知道使用具一點小變化之用以修復閘極匯流排線路之斷線及短路之修復方法來修復汲極匯流排線路之層間短路或斷線是可能的。

本發明值得注意的優點是TFT矩陣基體裝置的總生產量有顯著的改善將是欣慰的，因為在矩陣基體中的故障可以使用相當簡單的方法來修復。

一旦本發明的原理已於前面參考指定的裝置及應用被說明時，將知道這些說明僅為一個範例所做，且不為本發明之範圍的限制。

元 件 編 號 對 照 表

1	閘極匯流排線路	4S	源極電極
2	累積電容匯流排線路	5	像素電極
3	汲極匯流排線路	6	輔助電容電極
4C	非晶矽膜	6P	突出的部分
4D	汲極電極	7	接觸孔
8	跑道型導體層	100	TFT矩陣基體
9A	輔助電極	100A	透明基體
10	玻璃基體	101	閘極匯流排線路
10A	輔助電極	102	累積電容匯流排線路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (20)

- | | |
|------------|-------------|
| 11 閘極絕緣膜 | 103 汲極匯流排線路 |
| 12 層間絕緣膜 | 104 薄膜電晶體 |
| 13 導電層 | 104D 汲極電極 |
| 14P 突出部分 | 104S 源極電極 |
| 16 導電層 | 105 像素電極 |
| 17 延長的延伸部分 | 106 輔助電容電極 |
| 18 延長的末端部分 | 107 開孔 |
| 19 導電薄膜 | 108 備份線路 |
| 20 TFT矩陣基體 | 109 備份線路 |

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

四、中文發明摘要(發明之名稱:可修復式薄膜電晶體矩陣基體及基體修復方法)

一種可修復的積體薄膜電晶體矩陣基體包含有一絕緣基體，及形成在該絕緣基體上的一多數平行的閘極匯流排線路與一多數累積電容匯流排線路。每一個累積電容匯流排線路平行延伸並介於一對閘極匯流排線路之間，且具有一多數自其延伸而出的輔助電容電極。一第一絕緣膜被提供在該等閘極及累積電容匯流排線路及該等輔助電容電極上。一多數作用薄膜被形成在該第一絕緣膜上，且在每一個作用薄膜上均被供有一對應薄膜電晶體。該等薄膜電晶體的至少兩個被電氣耦接至每一個閘極匯流排線路。而且包含有被以大體上垂直於該第一絕緣薄膜上之該等閘極與累積電容匯流排線路提供的一多數平行的汲極匯流排線路

英文發明摘要(發明之名稱:REPAIRABLE THIN FILM TRANSISTOR MATRIX SUBSTRATE AND METHOD OF REPAIRING THE SUBSTRATE)

A repairable integrated thin film transistor matrix substrate includes an insulated substrate, and a plurality of parallel gate bus lines and a plurality of accumulated capacitance bus lines formed on the insulated substrate. Each of the accumulated capacitance bus lines extend parallel to and between a pair of the gate bus lines, and has a plurality of auxiliary capacitance electrodes which extend from it. A first insulated film is provided on the gate and accumulated capacitance bus lines and the auxiliary capacitance electrodes. A plurality of operating films are formed on the first insulated film, and on each of the operating films, a corresponding thin film transistors are provided. At least two of the thin film transistors are electrically connected to each of the gate bus lines. Also included is a plurality of parallel drain bus lines which are provided substantially perpendicular to the gate and the accumulated capacitance bus lines on the first insulated film.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、中文發明摘要(發明之名稱: 可修復式薄膜電晶體矩陣基體及基體修復方法)

每一個汲極匯流排線路電氣連接至少兩個薄膜電晶體。此外,具有一在每一個薄膜電晶體之上的開孔的一第二絕緣薄膜被提供在薄膜電晶體及汲極匯流排線路之上。而且一多數像素電極被提供在該第二絕緣薄膜上,像素電極經由該開孔而電氣連接於對應的一個電晶體。閘極與汲極匯流排線路至少其中一個的至少一個第一部份與輔助電容電極與像素電極至少其中一個的至少一個第二部分重疊。一種修復矩陣基體的方法大體上包含有電氣連接一導體至一缺陷的任一側當作一旁路。

英文發明摘要(發明之名稱: REPAIRABLE THIN FILM TRANSISTOR MATRIX SUBSTRATE AND METHOD OF REPAIRING THE SUBSTRATE)

Each drain bus line electrically connects at least two of the thin film transistors. In addition, a second insulated film having an opening over each of the thin film transistors is provided on the thin film transistors and the drain bus lines. Further, a plurality of pixel electrodes are provided on the second insulated film, which pixel electrodes being electrically connected to a corresponding one of the transistors via the opening. At least one first portion of at least one of the gate and the drain bus lines overlaps with at least one second portion of at least one of the auxiliary capacitance and the pixel electrodes. A method for repairing the matrix substrate generally includes electrically connecting a conductor to either sides of a defect to act as a bypass.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種積體薄膜電晶體矩陣基體，包含有：

一絕緣基體；

形成在該絕緣基體上的一多數並行的閘極匯流排線路及一多數累積電容匯流排線路，該等累積電容匯流排線路的每一個平行延展並位在一對該等閘極匯流排線路之間；

自該等輔助電容匯流排線路擴展而出的一多數輔助電容電極；

一被提供在該等閘極與累積電容匯流排線路及該輔助電容電極上的第一絕緣薄膜；

形成在該第一絕緣薄膜上的一多數作用薄膜；

一被提供在該作用薄膜上之對應於該作用薄膜的多數薄膜電晶體，該等閘極匯流排線路的每一個至少電氣連接該等薄膜電晶體中的兩個；

大體上以垂直於該等閘極與累積電容匯流排線路被提供在該第一絕緣薄膜上之一多數並行的汲極匯流排線路，該等汲極匯流排線路至少電氣連接該等薄膜電晶體中的兩個；

一被提供在該等薄膜電晶體及該等汲極匯流排線路上的第二絕緣薄膜，該第二絕緣薄膜具有一在該等薄膜電晶體之每一個上的開孔；及

一多數被提供在該等薄膜電晶體上的像素電極，該等像素電極的每一個經由該開孔而被電氣連接於該等電晶體的一對應的一個；

六、申請專利範圍

其中該等閘極與該等汲極匯流排線路的至少其中一個的至少一個第一部份與該等輔助電容及該等像素電極的至少其中一個的至少一個第二部分重疊。

2. 如申請專利範圍第1項的薄膜電晶體矩陣基體，其中該第一部份係該等汲極匯流排線路的至少其中一個所形成，而該第二部分係該等輔助電容電極之至少其中一個所形成，該第一部份與該第二部分重疊以產生至少一個第一重疊區域。
3. 如申請專利範圍第2項的薄膜電晶體矩陣基體，其中該第一部份係從該輔助電容電極突出的一部分，且該第一重疊區域係由該突出的部分擴展在該等汲極匯流排線路的該第二部分之上而形成。
4. 如申請專利範圍第3項的薄膜電晶體矩陣基體，其中在該第一重疊區域中的該輔助電容電極與該汲極匯流排線路經由一雷射光的照射而被電氣相接，當一短路與一斷線其中一個發生在該汲極匯流排線路上時。
5. 如申請專利範圍第2項的薄膜電晶體矩陣基體，更包含被提供在由該至少一個輔助電容電極與至少一個該像素電極的部分重疊所產生之至少一個第二重疊區域中的該第一絕緣膜上的至少一個導電層。
6. 如申請專利範圍第5項的薄膜電晶體矩陣基體，其中該導電層係被形成能被一自動修復裝置辨認之形狀。
7. 如申請專利範圍第6項的薄膜電晶體矩陣基體，其中在該第一重疊區域中的該輔助電容電極與該汲極匯流排

六、申請專利範圍

線路，及在該第二重疊區域中的該導電層、該輔助電容與該等像素電極，在短路與斷線狀況其中一個狀況發生於該汲極匯流排線路上時，經由一雷射光的照射而電氣相接。

8. 如申請專利範圍第2項的薄膜電晶體矩陣基體，更包含有被提供在該第一絕緣膜上且沿著該汲極匯流排線路延伸的至少一個輔助電極，該輔助電極具有與該至少一個輔助電容電極重疊的兩端以產生至少一個第三重疊區域。
9. 如申請專利範圍第8項的薄膜電晶體矩陣基體，其中該至少一個輔助電極延跨該等累積電容匯流排線路的其中一條，且藉由與自該輔助電極所交錯的該累積電容器匯流排線路延伸而出的該輔助電容電極的重疊而產生該第三重疊區。
10. 如申請專利範圍第9項的薄膜電晶體矩陣基體，其中在該第一重疊區域中的該輔助電容電極與該汲極匯流排線路，及在該第三重疊區域中的該輔助電極與該輔助電容電極經由一雷射光的照射而電氣相接，當短路與斷線其中一個發生於該汲極匯流排線路上時。
11. 如申請專利範圍第8項的薄膜電晶體矩陣基體，其中該至少一個輔助電極延伸跨越該等閘極匯流排線路其中一條，並藉由與自兩個不同的該等累積電容匯流排線路延展出的該等輔助電容電極的重疊而產生該第三重疊區域。

(請先閱讀背面之注意事項再填寫本頁)

訂 裝

六、申請專利範圍

12. 如申請專利範圍第11項的薄膜電晶體矩陣基體，其中在該第一重疊區域中的該輔助電容電極與該汲極匯流排線路，及在該第三重疊區域中的該輔助電極與該等輔助電容電極，在短路與斷線狀況其中一個發生於該汲極匯流排線路上時，經由一雷射光的照射而電氣相接。
13. 如申請專利範圍第1項的薄膜電晶體矩陣基體，其中該第一部份係該等閘極匯流排線路的至少其中一個所形成，而該第二部分係該等像素電極的至少其中一個所形成，該第一部份與該第二部分重疊以產生至少一個第一重疊區域。
14. 如申請專利範圍第13項的薄膜電晶體矩陣基體，其中該第一部份係自該等閘極匯流排線路突出的一部份，及該第一重疊區域係由延伸在該像素電極之該第二部分之上的該突出部分所產生。
15. 如申請專利範圍第14項的薄膜電晶體矩陣基體，其中該第一重疊區域包含兩個由該等突出部分的兩個與該等像素電極之至少其中一個的兩個邊角之重疊所產生的重疊區域。
16. 如申請專利範圍第15項的薄膜電晶體矩陣基體，其中在該第一重疊區域中的該閘極匯流排線路與該像素電極，在一斷線狀況發生在閘極匯流排線路上時，經由一雷射光的照射而電氣相接。
17. 如申請專利範圍第13項的薄膜電晶體矩陣基體，更包含有被形成在該第二絕緣薄膜上的至少一個導電薄膜，該

(請先閱讀背面之注意事項再填寫本頁)

訂 · 裝 ·

六、申請專利範圍

導電薄膜基本上平行該等閘極匯流排線路並延跨該等汲極匯流排線路的其中一條，及

由該第二薄膜與兩個相鄰之突出部分所形成的至少兩個第二重疊區域。

18. 如申請專利範圍第17項的薄膜電晶體矩陣基體，其中該兩個第二重疊區域係在該等汲極匯流排線路之其中一個的兩側上。
19. 如申請專利範圍第18項的薄膜電晶體矩陣基體，其中在該第一重疊區域中的該閘極匯流排線路與該像素電極、及在該第二重疊區域中的該該閘極匯流排線路與該導電薄膜，在一斷線狀況發生在該閘極匯流排線路時，經由一雷射光的照射而電氣相連。
20. 如申請專利範圍第13項的薄膜電晶體矩陣基體，其中該第一部份係自該閘極匯流排線路突出的至少一個第一部份，及該第二部分係自該像素電極伸出的至少一個延長的延伸部分。
21. 如申請專利範圍第20項的薄膜電晶體矩陣基體，其中該延伸部分與從相鄰於該第一突出部分的該閘極匯流排線路突出的一第二部分重疊以產生一第二重疊區。
22. 如申請專利範圍第20項的薄膜電晶體矩陣基體，其中在該第一重疊區域中的該第一突出部分與該延伸部分、與在該第二重疊區域中的該第二突出部分與該延伸部分，在一斷線狀況發生在該閘極匯流排線路上時，經由一雷射光的照射而電氣相接。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

23. 如申請專利範圍第13項的薄膜電晶體矩陣基體，其中該等輔助電極的至少其中一個的一端與該至少一個像素電極的一第三部分重疊以產生一第二重疊區域。
24. 如申請專利範圍第23項的薄膜電晶體矩陣基體，其中該第一重疊區域的至少該第一及第二部分、與該第二重疊區域的該末端及該第三部分，在一斷線狀況發生在該閘極匯流排線路與該等累積電容匯流排線路之一相對應的一個上時，經由一雷射光的照射而電氣相接。
25. 如申請專利範圍第1項的薄膜電晶體矩陣基體，更至少包括一個被形成在該第二絕緣膜之至少一個該等汲極匯流排線路與該累積電容匯流排線路交錯之交錯區域中的導電層。
26. 如申請專利範圍第25項的薄膜電晶體矩陣基體，其中該導電層的兩個末端，在一斷線狀況發生在該交錯區域中的一個相對應的汲極匯流排線路上時，經由一雷射光的照射而與該等汲極匯流排線路中之該一相對應者電氣相接。
27. 一種積體薄膜電晶體矩陣基體，包含有：
- 一絕緣基體；
- 形成在該絕緣基體上的多數並行的閘極匯流排線路及多數累積電容匯流排線路，該等累積電容匯流排線路的每一個平行於一對該等閘極匯流排線路並位在該對閘極匯流排線路之間延展；
- 自該等累積電容匯流排線路擴展而出的多數輔助

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

電容電極；

一被提供在該等閘極與累積電容匯流排線路及該輔助電容電極上的第一絕緣薄膜；

形成在該第一絕緣薄膜上的多數作用薄膜；

一被提供在該作用薄膜上之對應於該作用薄膜的多數薄膜電晶體，該等閘極匯流排線路的每一個至少電氣連接該等薄膜電晶體中的兩個；

大體上以垂直於該等閘極與累積電容匯流排線路被提供在該第一絕緣薄膜上之多數並行的汲極匯流排線路，該等汲極匯流排線路至少電氣連接該等薄膜電晶體中的兩個；

一被提供在該等薄膜電晶體及該等汲極匯流排線路上的第二絕緣薄膜，該第二絕緣薄膜具有一在該等薄膜電晶體之每一個上的開孔；

多數被提供在該等薄膜電晶體上的像素電極，該等像素電極的每一個經由該開孔而被電氣連接於該等電晶體的一對應的一個；及

至少一個被形成在該第二絕緣膜上之至少一個該等汲極匯流排線路與該等閘極及該等累積電容匯流排線路交錯之交錯區域中的導電層。

28. 如申請專利範圍第27項的薄膜電晶體矩陣基體，其中該導電薄膜的兩個末端在有一斷線狀況發生在該交錯區域中的一相對應的汲極匯流排線路上時，經由一雷射光的照射而與該等汲極匯流排線路之該相對應的一個線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

路電氣相接。

29. 一種積體薄膜電晶體矩陣基體，包含有：

一絕緣基體；

形成在該絕緣基體上的多數並行的閘極匯流排線路及多數累積電容匯流排線路，該等累積匯流排線路的每一個平行於一對該等閘極匯流排線路並位在該對閘極匯流排線路之間延展；

自該等累積電容匯流排線路擴展而出的多數輔助電容電極；

一被提供在該等閘極與累積電容匯流排線路及該等輔助電容電極上的第一絕緣薄膜；

形成在該第一絕緣薄膜上的多數作用薄膜；

被提供在該等作用薄膜上之對應於該等作用薄膜的多數薄膜電晶體，該等閘極匯流排線路的每一個至少電氣連接該等薄膜電晶體中的兩個；

大體上以垂直於該等閘極與累積電容匯流排線路被提供在該第一絕緣薄膜上之多數並行的汲極匯流排線路，該等汲極匯流排線路電氣連接該等至少兩個薄膜電晶體；

一被提供在該等薄膜電晶體及該等汲極匯流排線路上的第二絕緣薄膜，該第二絕緣薄膜具有一在該等薄膜電晶體之每一個上的開孔；及

多數被提供在該第二絕緣膜上的像素電極，該等像素電極的每一個被提供在一對該等汲極匯流排線路之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

間並經由該開孔電氣連接於該等電晶體之一相對應的一個；

其中該等多數輔助電容電極的至少其中一個的一端延伸跨過該等汲極匯流排線路的其中一條，並與一選取的相鄰像素電極之一部分重疊以產生一個第一重疊區域。

30. 如申請專利範圍第29項的薄膜電晶體矩陣基體，其中該第一重疊區域的該相鄰像素電極的至少該一端與該部分，在一斷線狀況發生在介於該輔助電容電極與該選取的相鄰像素電極之間的該等累積電容匯流排線路之一對應的一個之上時，經由一雷射光照射而電氣相接。

31. 如申請專利範圍第29項的薄膜電晶體矩陣基體，更包含有形成在介於對應於該選取之相鄰像素電極的該等汲極匯流排線路之其中兩條之間的該第一絕緣膜上的至少一個導電薄膜，該導電薄膜與該等累積電容電極之一對應的一個重疊並被架構成具有兩個延伸過該選取之相鄰像素電極之橫寬的末端，其中該導電薄膜穿過該第二絕緣膜而被被電氣耦接於該選取之相鄰像素電極。

32. 如申請專利範圍第31項的薄膜電晶體矩陣基體，其中該導電薄膜的該兩端在一斷線狀況發生在介於該兩端之間的該對應之累積電容電極上時，被一雷射光照射而使該導電薄膜電氣耦接至該等對應的累積電容電極。

33. 一種修復一積體薄膜電晶體矩陣基體的方法，包含有：

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

六、申請專利範圍

一絕緣基體，

形成在該絕緣基體上的一多數並行的閘極匯流排線路及一多數累積電容匯流排線路，該等累積電容匯流排線路的每一個平行延展並位在一對該等閘極匯流排線路之間，

自該等輔助電容匯流排線路擴展而出的一多數輔助電容電極，

一被提供在該等閘極與累積電容匯流排線路及該輔助電容電極上的第一絕緣薄膜，

形成在該第一絕緣薄膜上的一多數作用薄膜，

一被提供在該作用薄膜上之對應於該作用薄膜的多數薄膜電晶體，該等閘極匯流排線路的每一個至少電氣連接該等薄膜電晶體中的兩個，

大體上以垂直於該等閘極與累積電容匯流排線路被提供在該第一絕緣薄膜上之一多數並行的汲極匯流排線路，該等汲極匯流排線路電氣連接該等薄膜電晶體之其中至少兩個，

一被提供在該等薄膜電晶體及該等汲極匯流排線路上的第二絕緣薄膜，該第二絕緣薄膜具有一在該等薄膜電晶體之每一個上的開孔，及

一多數被提供在第二絕緣膜上之像素電極，該等像素電極的每一個經過一開孔而被電氣連接於該等電晶體之一相對應的一個，該方法包含有以下步驟：

切斷一介於短路發生處與自該選取之輔助電容電

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

極延伸而出的累積電容匯流排線路之間的經選取的輔助電容電極，當短路產生在該等汲極匯流排線路其中一個與該選取之輔助電容電極之間時。

34. 一種修復一積體薄膜電晶體矩陣基體的方法，包含有：

一絕緣基體，

形成在該絕緣基體上的一多數並行的閘極匯流排線路及一多數累積電容匯流排線路，該等累積電容匯流排線路的每一個平行延展並位在一對該等閘極匯流排線路之間，

自該等輔助電容匯流排線路擴展而出的一多數輔助電容電極，

一被提供在該等閘極與累積電容匯流排線路及該輔助電容電極上的第一絕緣薄膜，

形成在該第一絕緣薄膜上的一多數作用薄膜，

一被提供在該作用薄膜上之對應於該作用薄膜的多數薄膜電晶體，該等閘極匯流排線路的每一個至少電氣連接該等薄膜電晶體中的兩個，

大體上以垂直於該等閘極與累積電容匯流排線路被提供在該第一絕緣薄膜上之一多數並行的汲極匯流排線路，該等汲極匯流排線路電氣連接該等薄膜電晶體之其中至少兩個，

一被提供在該等薄膜電晶體及該等汲極匯流排線路上的第二絕緣薄膜，該第二絕緣薄膜具有一在該等

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

薄膜電晶體之每一個上的開孔，及

一多數被提供在第二絕緣膜上之像素電極，該等像素電極的每一個經過一開孔而被電氣連接於該等電晶體之一相對應的一個，該方法包含有以下步驟：

將在該等開極匯流排線路與該等汲極匯流排線路之經選取的其中一個上的一第一缺陷的一側上的一第一部份與一導體的一第一部份重疊以產生一第一重疊區域，及將在該第一缺陷的另一側上的第二部分與該導體的一第二部分重疊以產生一第二重疊區域；及

將該第一部份在該第一重疊區域與該導體的第一部份電氣連接，及將該第二部分在該第二重疊區域與該導體的第二部份電氣連接；

其中該導體產生一繞過該第一缺陷的電氣旁路。

35. 如申請專利範圍第34項的方法，其中該第一缺陷係在該經擇取的汲極匯流排線路上，且該導體之該第一及第二部分至少係兩個從該等輔助電容電極之一經擇取的其中一個所突出的部分，該方法更包含下列步驟：

切斷介於該第一及第二重疊區域至少其中一個與至少一個對應累積匯流排線路之間的該選取之輔助電容電極，至少一個該選取之輔助電容電極從對應累積匯流排線路延展而出，使得該第一及第二重疊區域與該對應累積電容匯流排線路電氣絕緣。

36. 如申請專利範圍第35項的方法，其中電氣連接與切斷的步驟係利用一雷射光的照射來執行。

(請先閱讀背面之注意事項再填寫本頁)

衣

訂

六、申請專利範圍

37. 如申請專利範圍第35項的方法，其中該第一及第二重疊區域被置於該對應累積電容匯流排線路的一側上，且該選取之輔助電容電極被切斷在該對應累積電容匯流排線路與比該該其他之該第一及第二重疊區更靠近該該對應累積電容匯流排線路之該第一及該第二重疊區之其中一個之間。
38. 如申請專利範圍第37項的方法，其中該第一缺陷係一在該選取之汲極匯流排線路上的斷線。
39. 如申請專利範圍第35項的方法，其中該第一及第二重疊區係位於該對應累積電容匯流排線路的任一側，且該選取之輔助電容電極被切斷在該第一重疊區域及該對應累積電容匯流排線路之間，及在該第二重疊區域與該該對應累積電容匯流排線路之間。
40. 如申請專利範圍第39項的方法，更包括下列步驟：在該選取之輔助電容電極與該對應像素電極重疊之一第三及第四重疊區域電氣連接該選取之輔助電容電極與該等像素電極之一對應的一個，該第三重疊區域係在該對應累積電容匯流排線路的一側而該第四重疊區域係在該對應累積電容匯流排線路的另一側。
41. 如申請專利範圍第40項的方法，更包括以下步驟：
 - 在該第三及第四重疊區域提供一導電層；及
 - 將該選取之輔助電容電極經由該導電層電氣連接至該對應之像素電極。
42. 如申請專利範圍第41項的方法，其中該第一缺陷係一

(請先閱讀背面之注意事項再填寫本頁)

衣

訂

六、申請專利範圍

在該選取之汲極匯流排線路上的一斷線。

43. 如申請專利範圍第39項的方法，更含有下列步驟：

沿該選取之汲極匯流排線路在該第一絕緣膜上形成一輔助電極；

重疊該輔助電極的兩端與該選取之輔助電容電極以產生第三及第四重疊區域，該第三及第四重疊區域經由切割該選取之輔助電容電極的步驟而與該對應累積電容匯流排線路電氣絕緣；及

在該第三及第四重疊區域電氣連接該輔助電極與該選取之輔助電容電極。

44. 如申請專利範圍第43項的方法，其中該第一缺陷係在該選取之汲極匯流排線路上的一斷線。

45. 如申請專利範圍第43項的方法，更包含下列步驟：

將該選取之汲極匯流排線路切斷在該第一缺陷與該第一重疊區域之間及在該第一缺陷與該第二重疊區域之間。

46. 如申請專利範圍第45項的方法，其中該第一缺陷係一介於該選取之汲極匯流排線路與該對應累積電容匯流排線路之間的短路。

47. 如申請專利範圍第35項的方法，更包含有下列步驟：

沿該選取之汲極匯流排線路在該第一絕緣膜上形成一輔助電極；

重疊該輔助電極的第一端與一第一選取之輔助電容電極及該輔助電極的第二端與一第二選取之輔助電

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

容電極以分別產生第三及第四重疊區域；

將該輔助電極在該第三及第四重疊區域處與該第一及第二選取之輔助電容電極電氣連接；及

切斷在該第三重疊區域及一第一對應累積電容匯流排線路之間及該第一輔助電容電極，及在該第四重疊區域與一第二對應累積電容匯流排線路之間的該第二輔助電容電極以將該第三及第四重疊區域與該第一及第二對應累積電容匯流排線路電氣隔離。

48. 如申請專利範圍第47項的方法，其中該第一缺陷係在該選取之汲極匯流排線路上的一斷線。

49. 如申請專利範圍第47項的方法，更包含有以下步驟：

切斷在該第一缺陷與該第一重疊區域之間，及在該第一缺陷與的該第二重疊區域之間汲極匯流排線路。

50. 如申請專利範圍第49項的方法，其中該第一缺陷係介於該選取之汲極匯流排線路與該等閘極匯流排線路之一對應的一個之間的一短路。

51. 如申請專利範圍第34項的方法，其中該第一缺陷係在該選取之汲極匯流排線路與其中一個閘極匯流排線路所交會之該選取之汲極匯流排線路上的一區域中，而該導體係一形成在該區域中之該第二絕緣膜上的一導體層。

52. 如申請專利範圍第51項的方法，其中該第一缺陷係在該選取之汲極匯流排線路上的一斷線。

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

53. 如申請專利範圍第34項的方法，其中該第一缺陷係在該選取之閘極匯流排線路上，該第一及第二部分係為自該選取之閘極匯流排線路所延伸而出的第一與第二突出部分，而該第一導體係一該等相素電極之對應的其中一個，該方法更含有以下步驟：

切斷該對應像素電極使得該對應電晶體與該對應像素電極電氣隔離並使得該第一及該第二重疊區域電氣連接。

54. 如申請專利範圍第35項的方法，該方法更含有以下步驟：

在該第二絕緣層上形成一導電薄膜使得該導電薄膜與該選取之閘極匯流排線路的該第一及第二突出部分之其中一個重疊，且與相鄰於該第一與該第二突出部分其中之一的該選取之閘極匯流排線路的一第三部分重疊，以產生一第四重疊區域；及

在該第三重疊區域處將該第三突出部分電氣連接至該導電薄膜，及在該第四突出部分處連接至該第一及該第二突出部分之該其中一個，當一第二缺陷發生在介於該第三及該第四重疊區域之間的該選取之閘極匯流排線路上時。

55. 如申請專利範圍第54項的方法，其中該第一與該第二缺陷係在該選取之閘極匯流排線路上的斷線。

56. 如申請專利範圍第54項的方法，其中該對應像素個該第一及該第二部分之至少其中一個係一與相鄰於該第

(請先閱讀背面之注意事項再填寫本頁)

表

訂

六、申請專利範圍

一及第二突出部分之該其中一個的該選取之閘極匯流排線路的一第三突出部分重疊以產生一第三重疊區域的延長的伸長部分；該方法更包含有下列步驟：

在該第三重疊區域將該第三突出部分電氣連接該延伸部分當一第二缺陷發生在介於該第一及第二重疊區域其中一個與該第三重疊區域之間的該選取之閘極匯流排線路上時。

57. 如申請專利範圍第53項的方法，其中該等輔助電容電極之一選取的其中一個的一端與該對應像素電極之一第三區域重疊以產生一第三重疊區域，該方法更包含以下步驟：

在該第三重疊區域處將該端電氣連接該第三區域當一第二缺陷發生在介於該選取之輔助電容電極與該對應之像素電極之間的該對應累積電容匯流排線路的對應的其中一個之上時。

58. 如申請專利範圍第57項的方法，其中更包含下列步驟：

在介於對應於該對應像素電極之兩個汲極匯流排線之間的該第一絕緣膜上形成一導電薄膜，該導電薄膜與該對應累積電容電極重疊並被架構成具有兩個延伸超過對應像素電極之寬度末端；

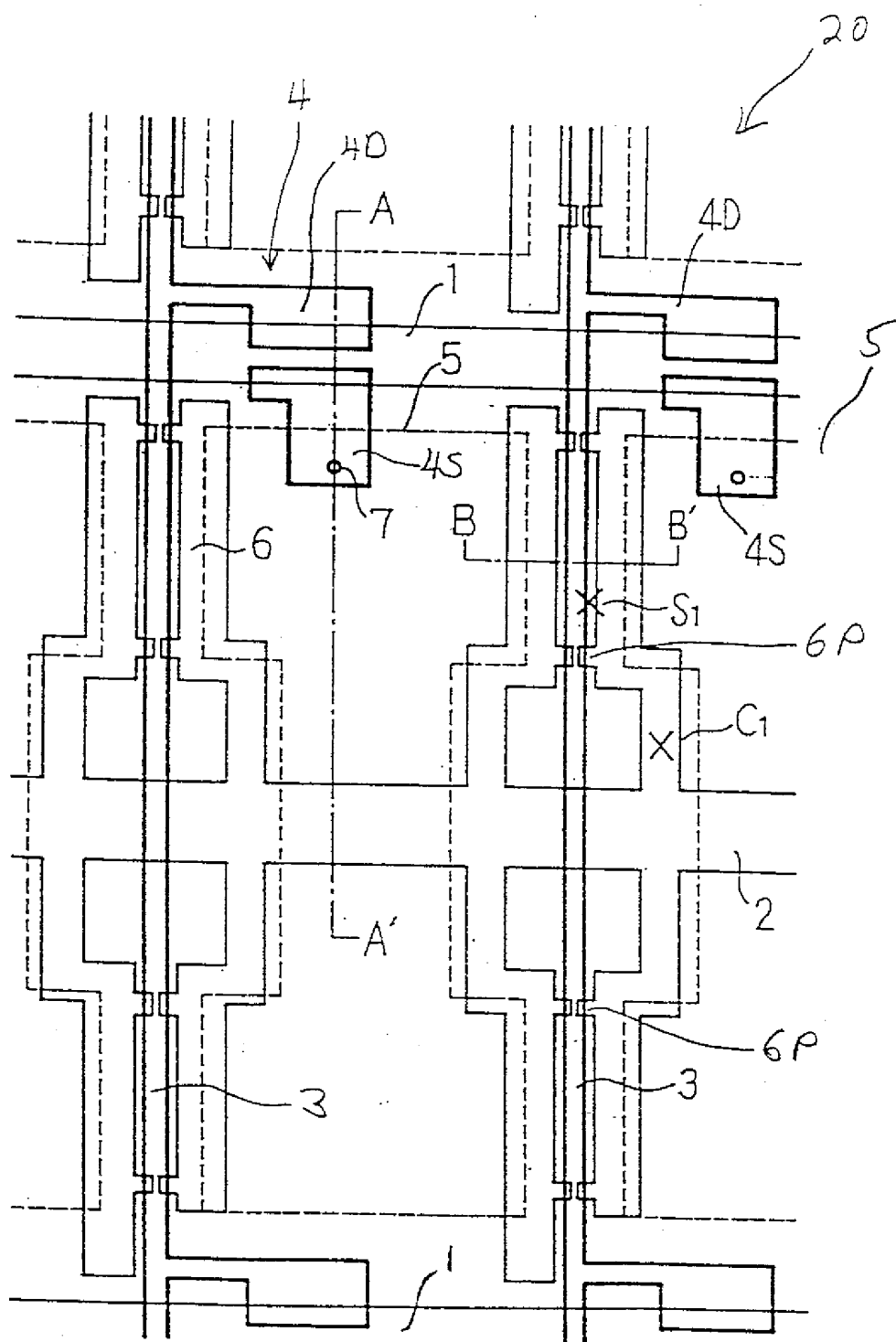
將該導電薄膜電氣連接該對應像素電極；及

將該導電薄膜之該兩個末端電氣耦接至該對應累積電容電極當一第三斷線發生在介於該兩端之間的該對應累積電容電極之上時。

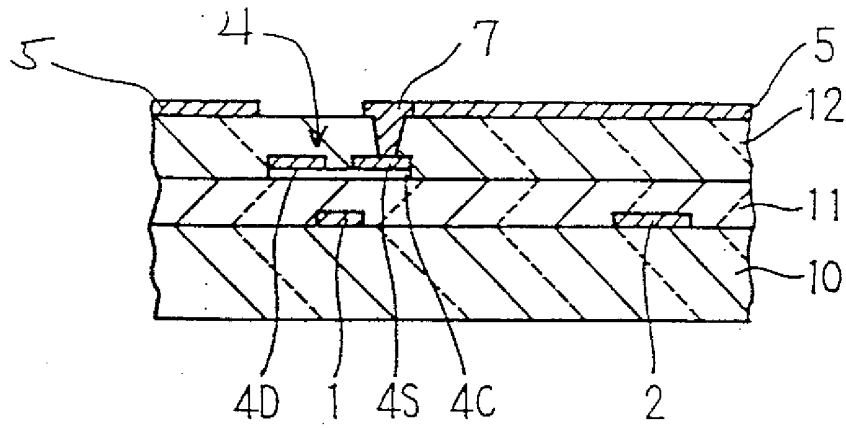
(請先閱讀背面之注意事項再填寫本頁)

張

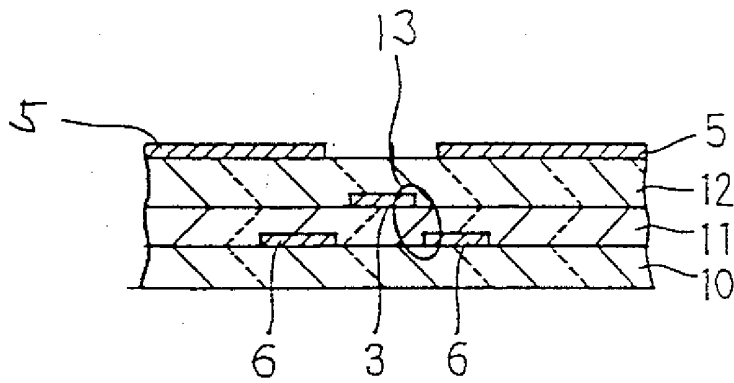
訂



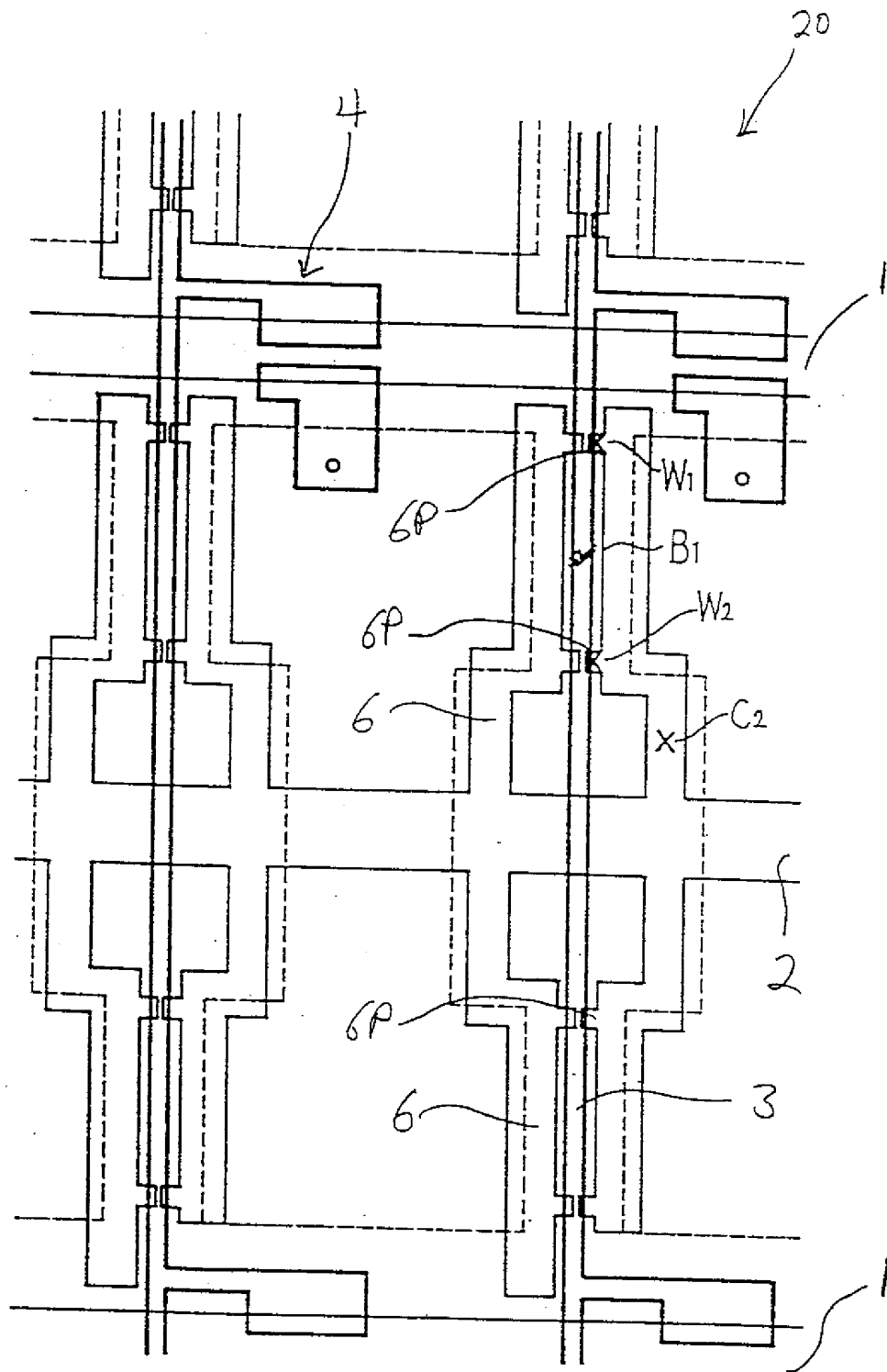
第 1 圖



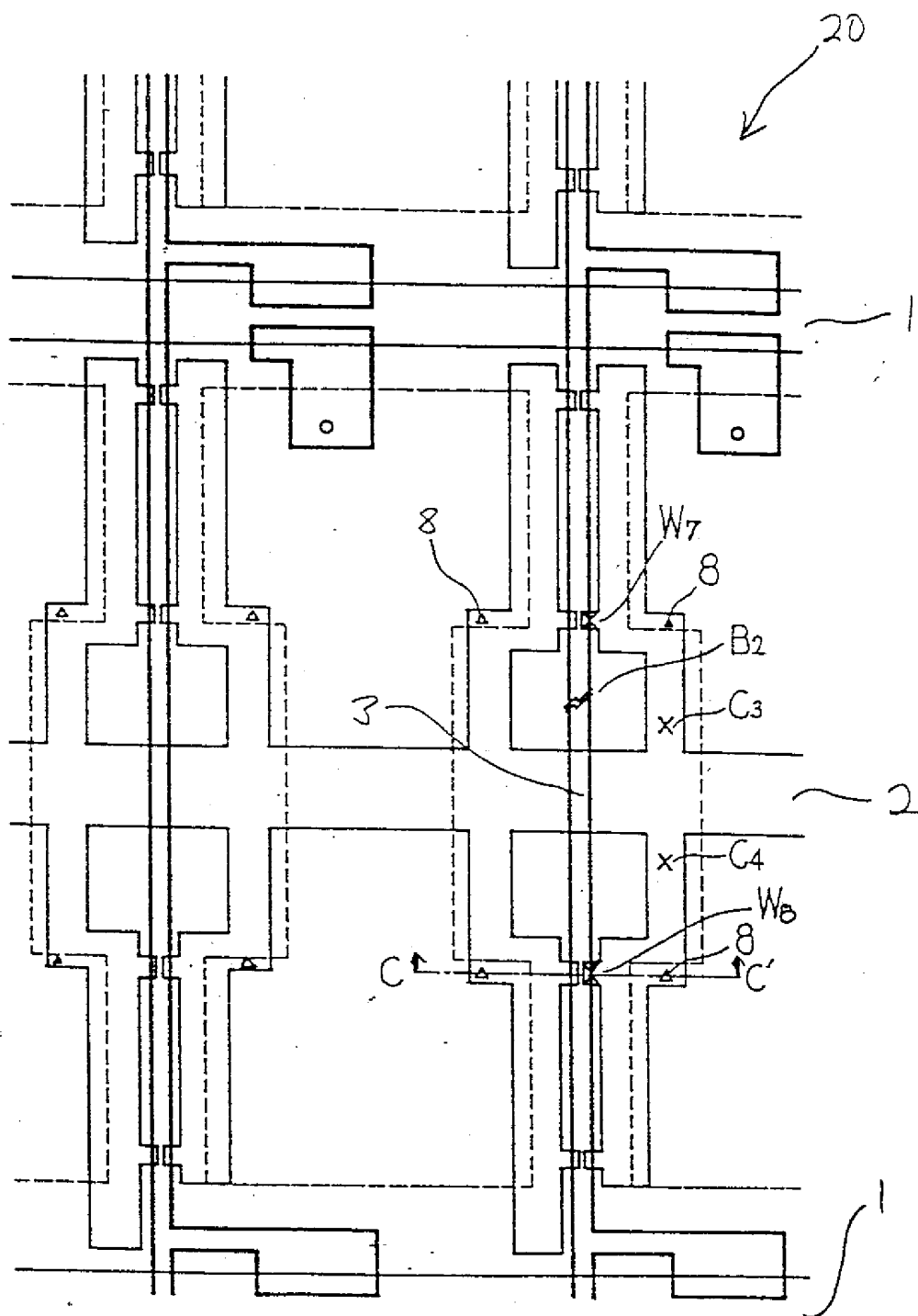
第 2A 圖



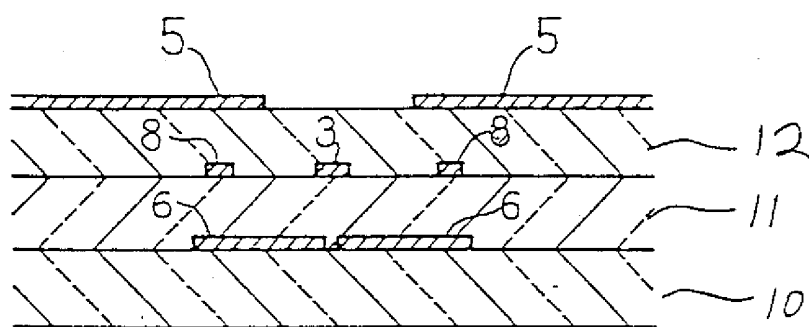
第 2B 圖



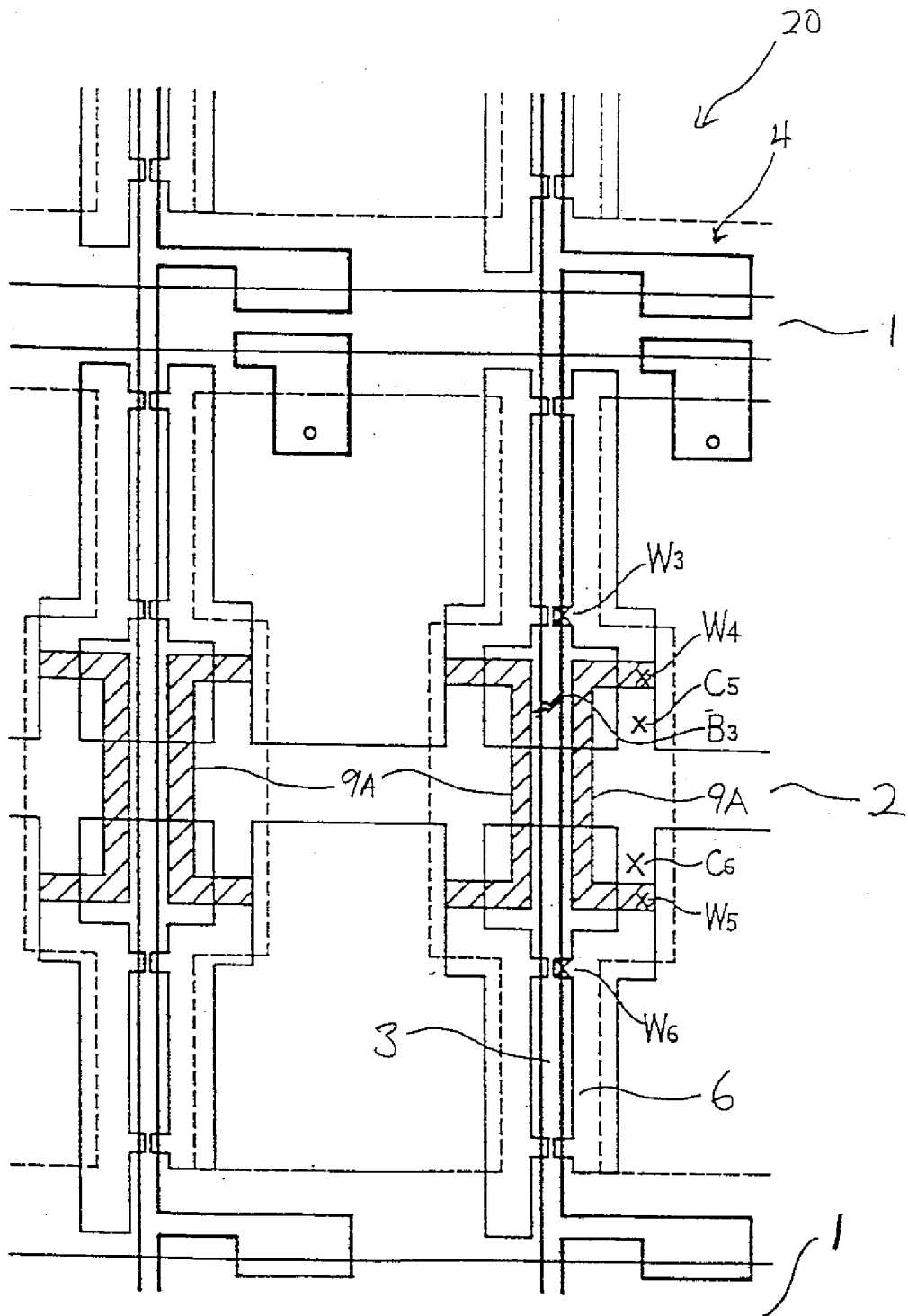
第 3 圖



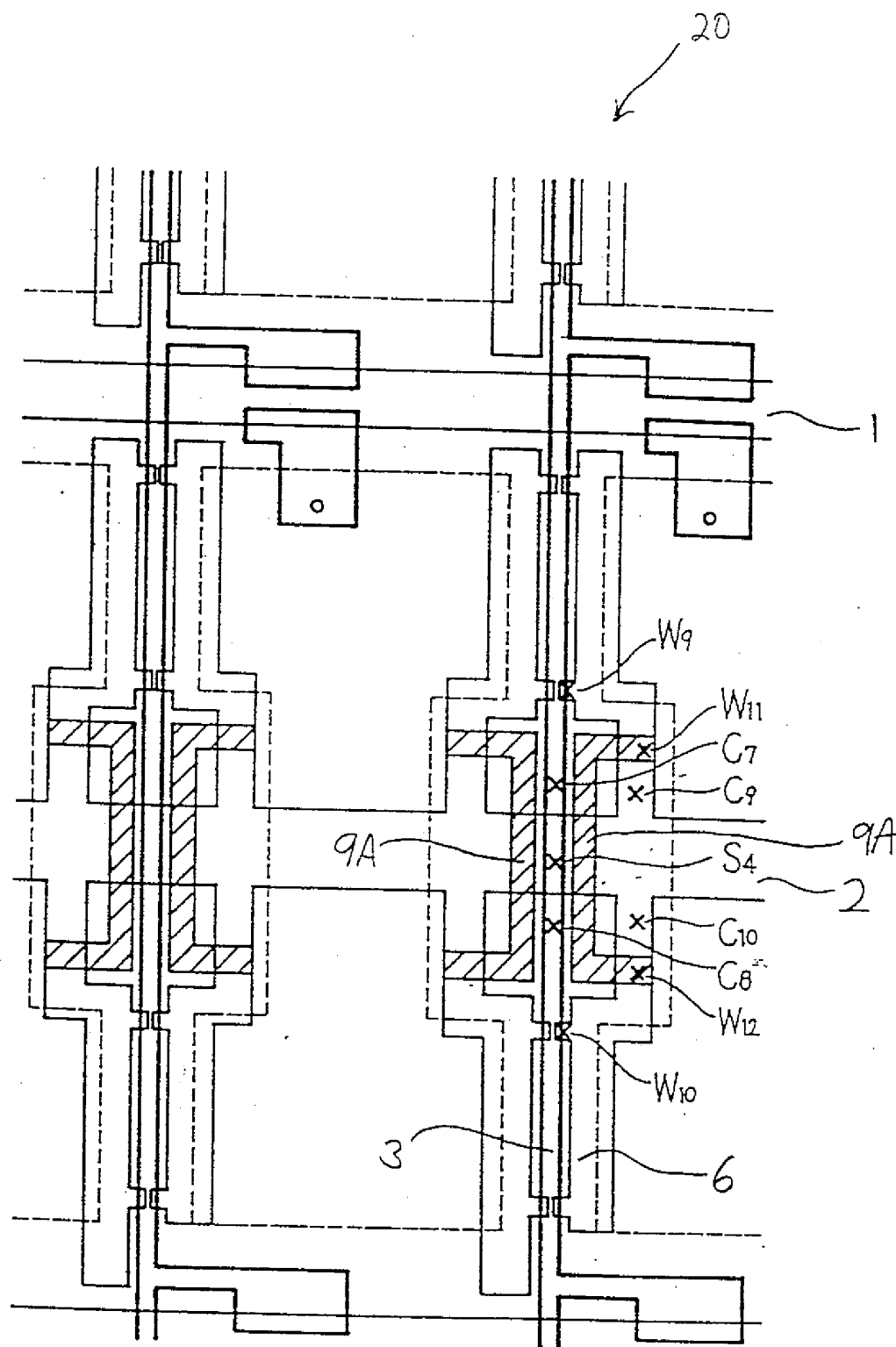
第4A圖



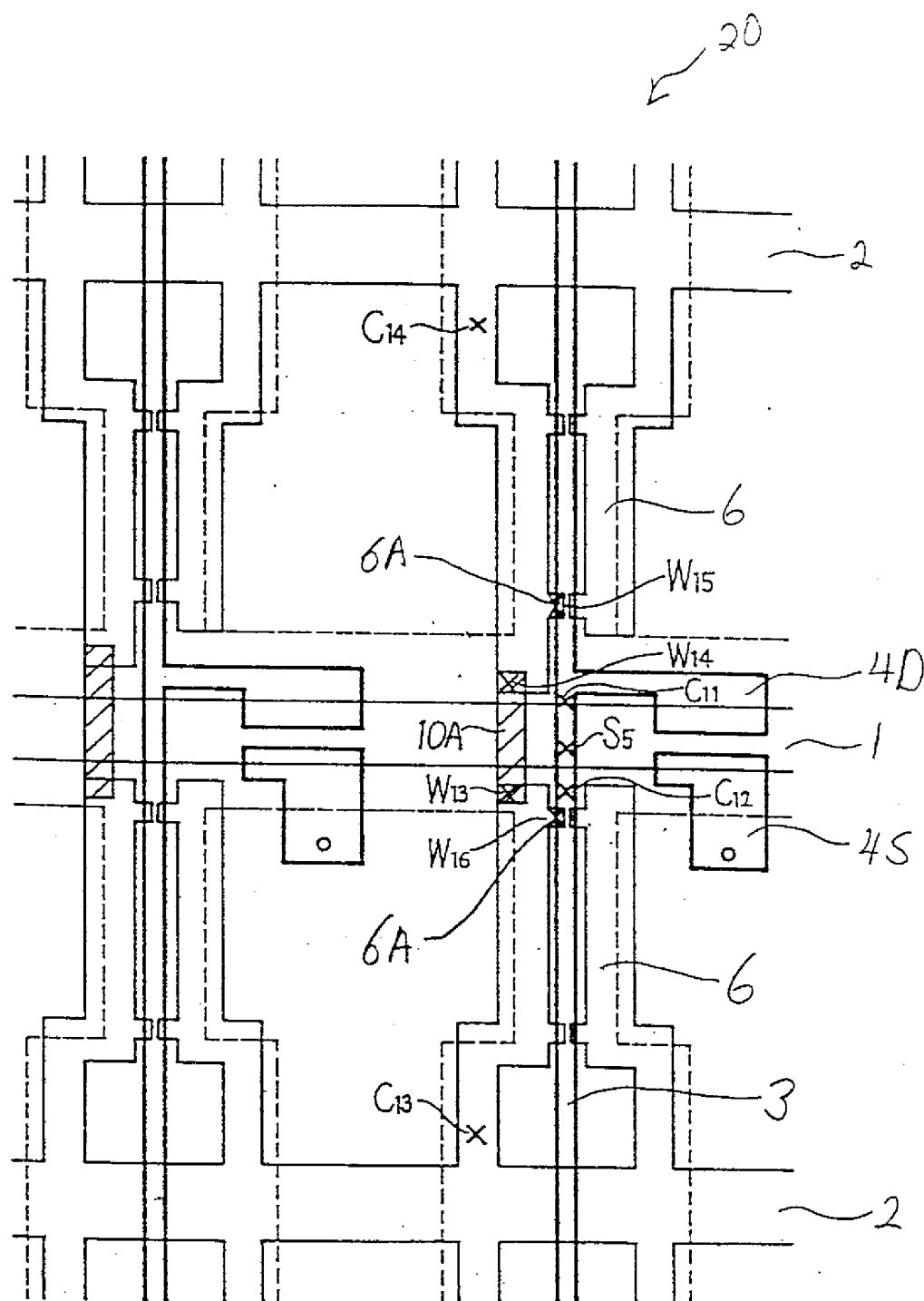
第 4B 圖



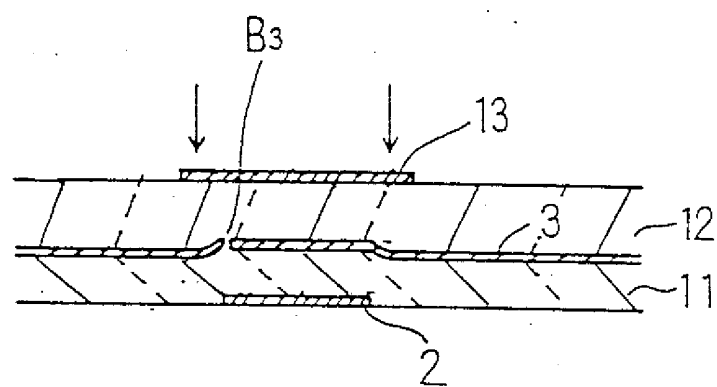
第 5 圖



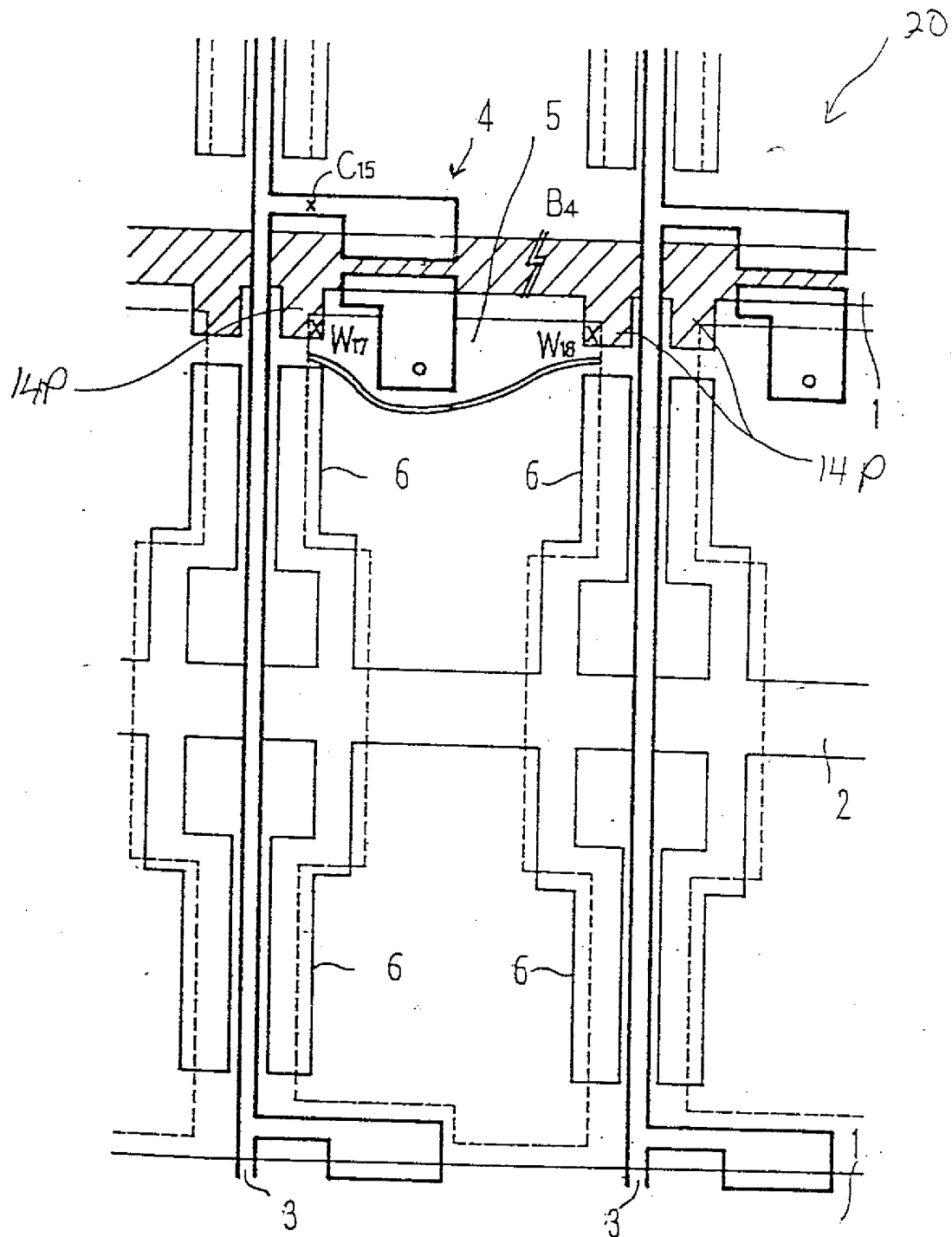
第 6 圖



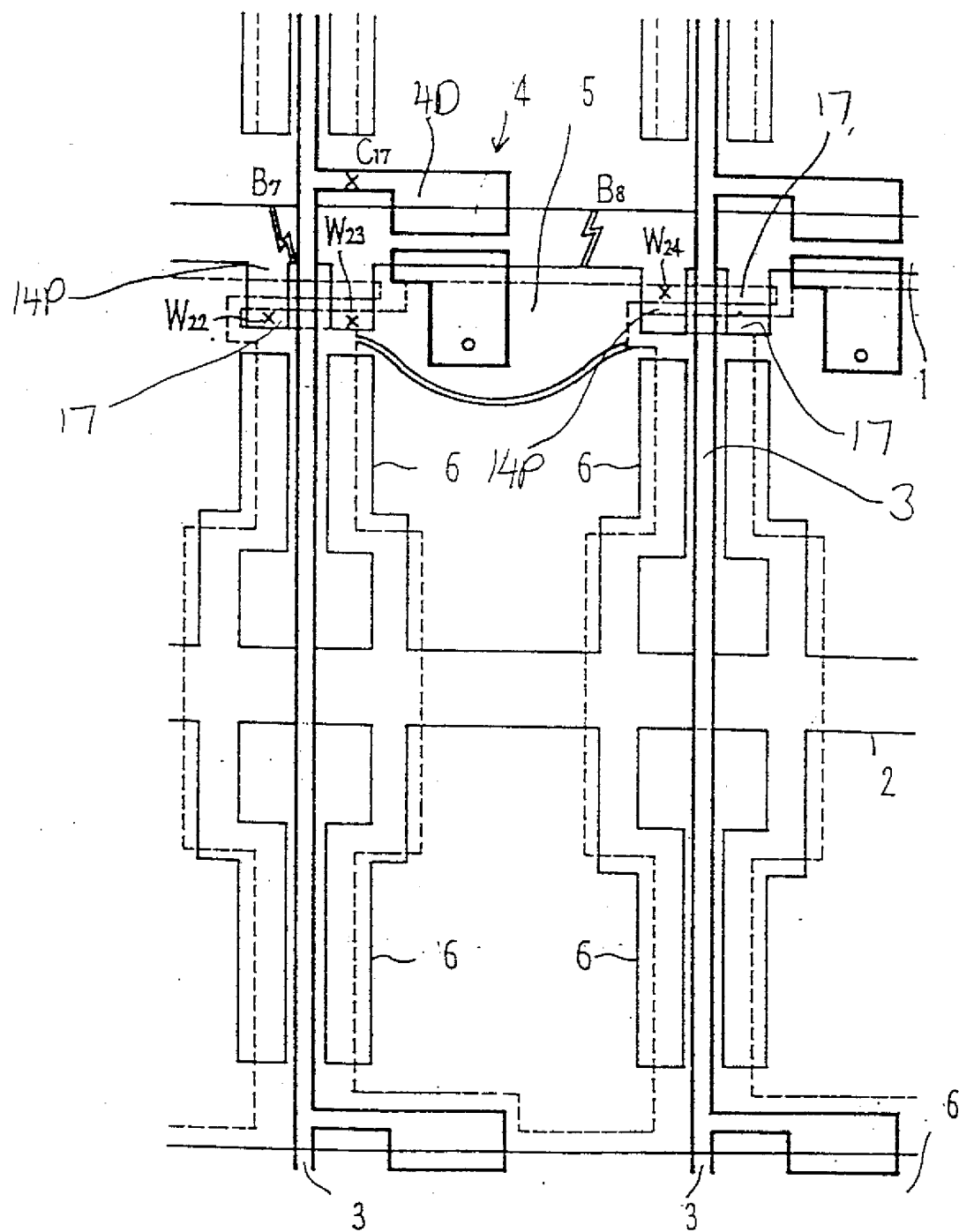
第 7 圖



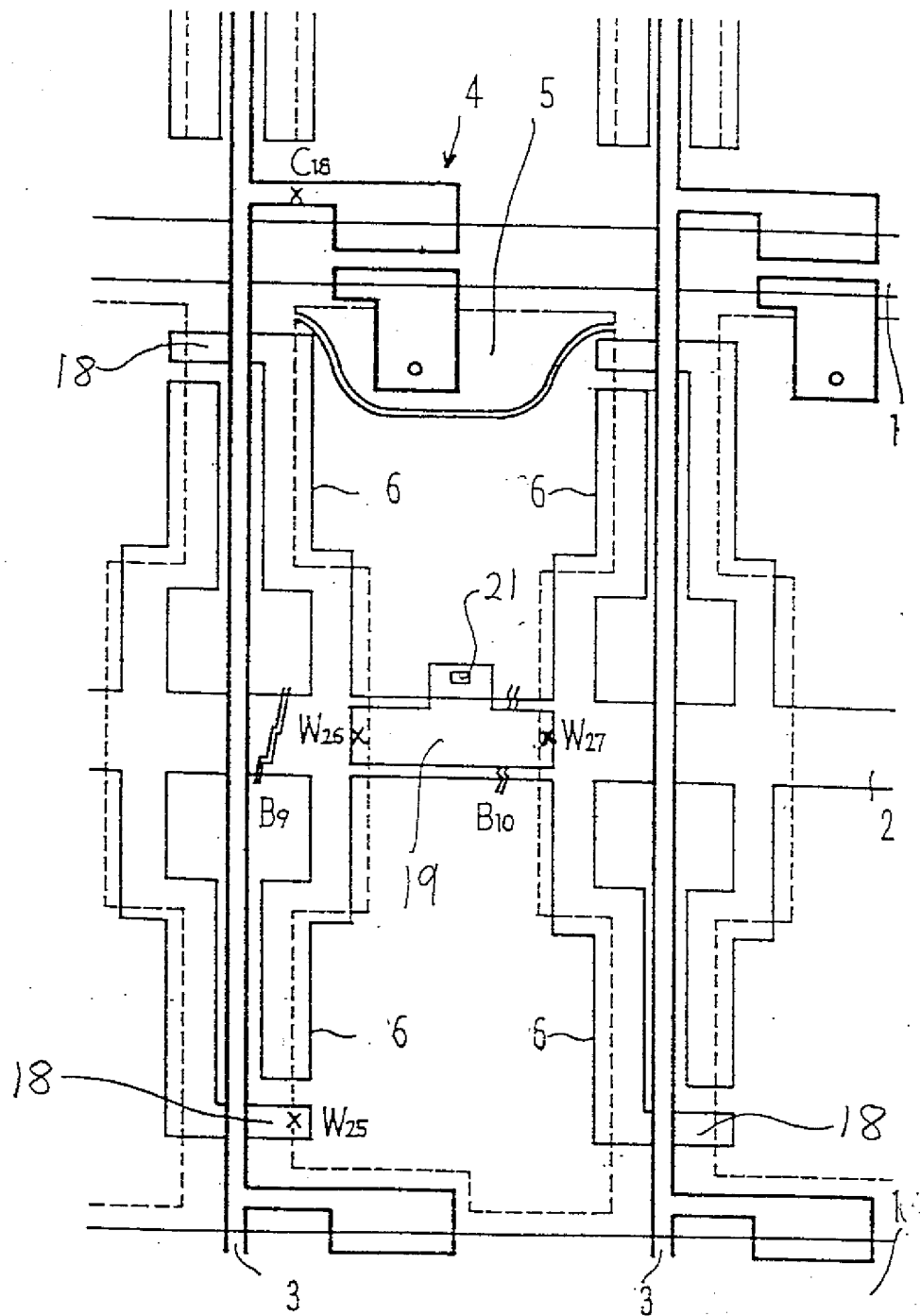
第 8B 圖



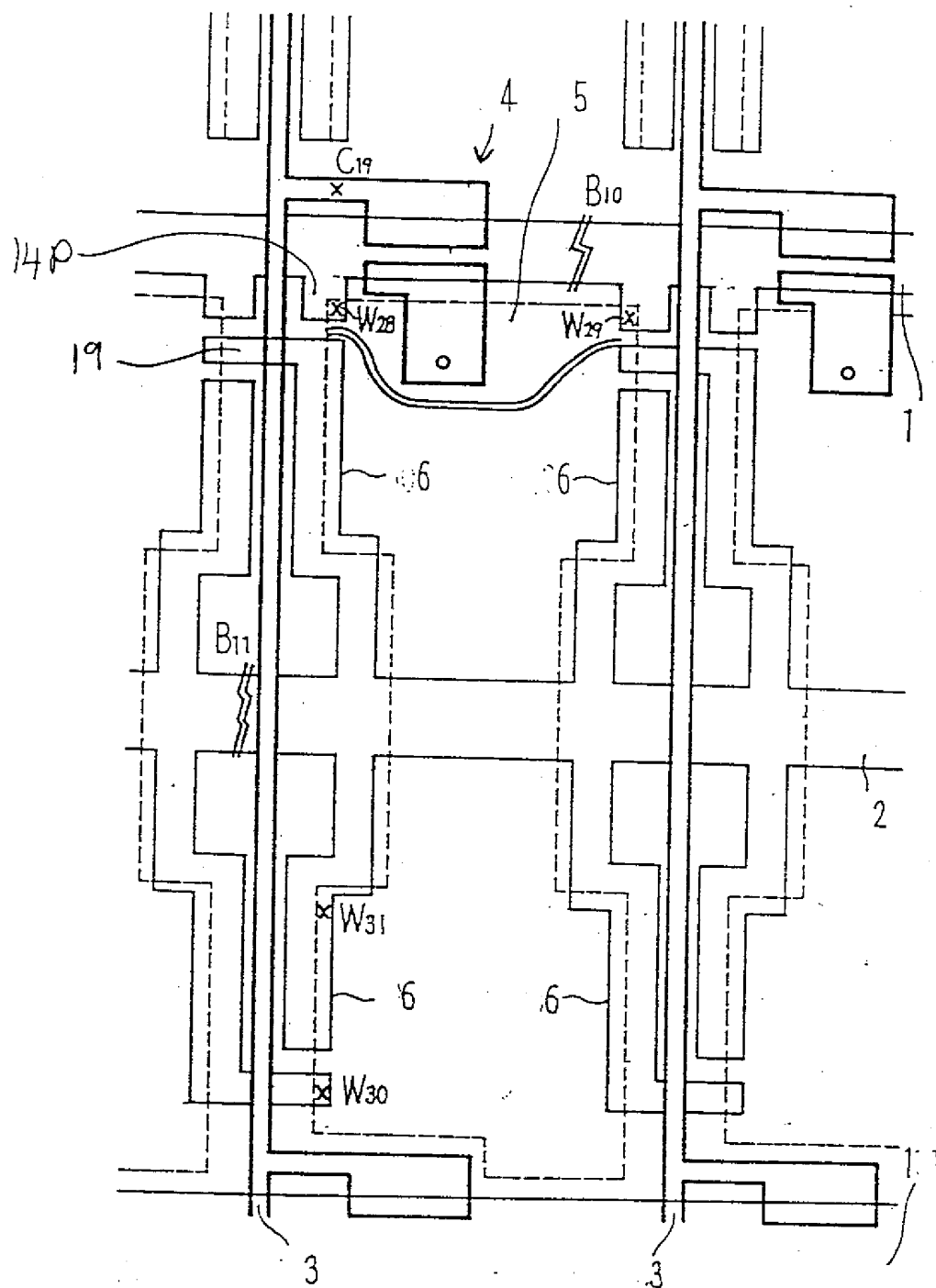
第 9 圖



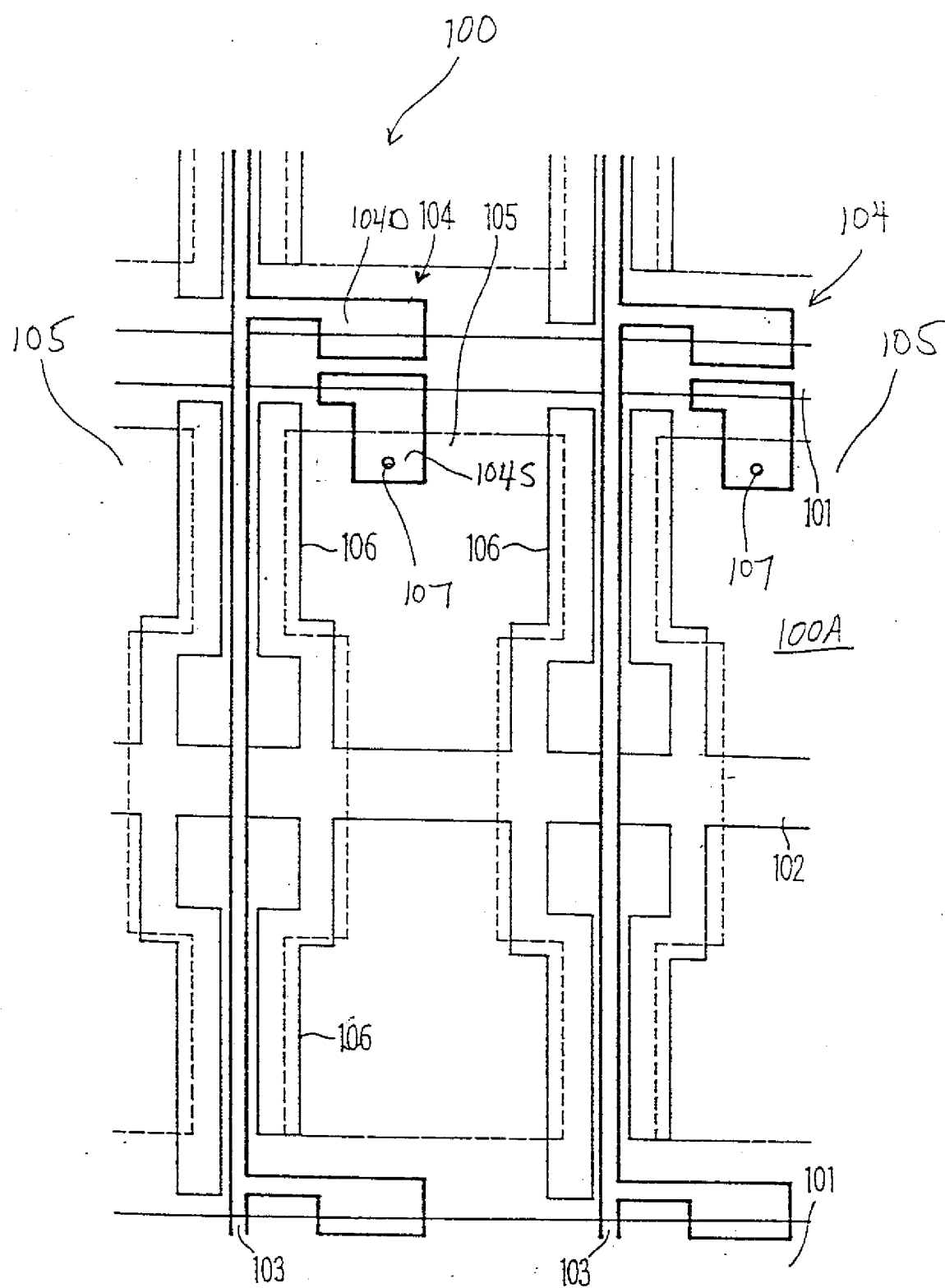
第 11 圖



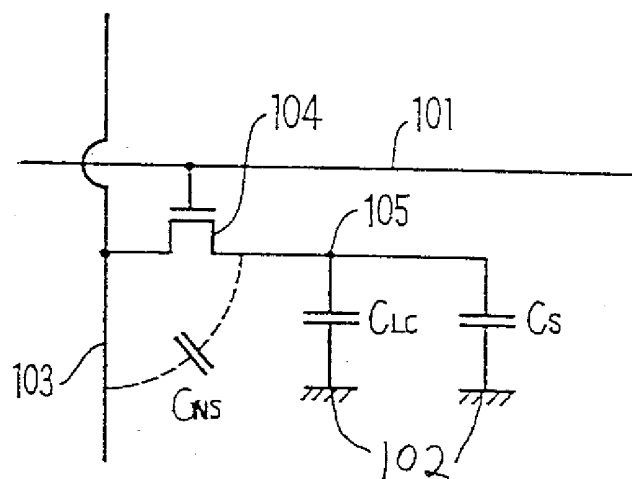
第 12 圖



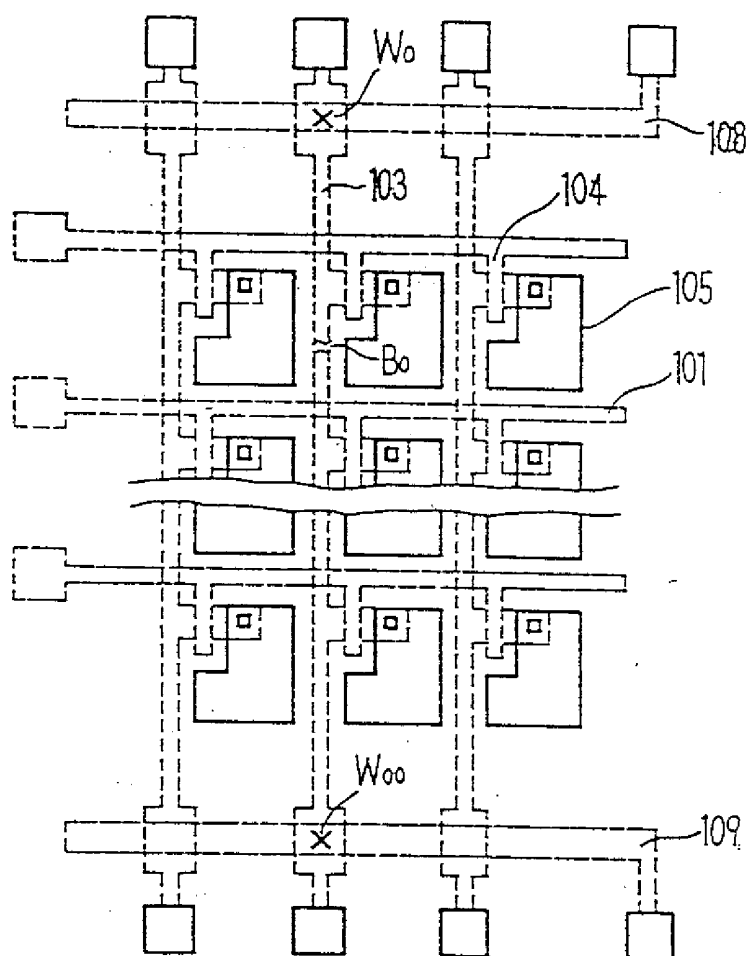
第 13 圖



第14A圖
習知技藝



第14B圖
習知技藝



第 15 圖

習知技藝

四、中文發明摘要(發明之名稱: 可修復式薄膜電晶體矩陣基體及基體修復方法)

每一個汲極匯流排線路電氣連接至少兩個薄膜電晶體。此外,具有一在每一個薄膜電晶體之上的開孔的一第二絕緣薄膜被提供在薄膜電晶體及汲極匯流排線路之上。而且一多數像素電極被提供在該第二絕緣薄膜上,像素電極經由該開孔而電氣連接於對應的一個電晶體。閘極與汲極匯流排線路至少其中一個的至少一個第一部份與輔助電容電極與像素電極至少其中一個的至少一個第二部分重疊。一種修復矩陣基體的方法大體上包含有電氣連接一導體至一缺陷的任一側當作一旁路。

英文發明摘要(發明之名稱: REPAIRABLE THIN FILM TRANSISTOR MATRIX SUBSTRATE AND METHOD OF REPAIRING THE SUBSTRATE)

Each drain bus line electrically connects at least two of the thin film transistors. In addition, a second insulated film having an opening over each of the thin film transistors is provided on the thin film transistors and the drain bus lines. Further, a plurality of pixel electrodes are provided on the second insulated film, which pixel electrodes being electrically connected to a corresponding one of the transistors via the opening. At least one first portion of at least one of the gate and the drain bus lines overlaps with at least one second portion of at least one of the auxiliary capacitance and the pixel electrodes. A method for repairing the matrix substrate generally includes electrically connecting a conductor to either sides of a defect to act as a bypass.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

線路，及在該第二重疊區域中的該導電層、該輔助電容與該等像素電極，在短路與斷線狀況其中一個狀況發生於該汲極匯流排線路上時，經由一雷射光的照射而電氣相接。

8. 如申請專利範圍第2項的薄膜電晶體矩陣基體，更包含有被提供在該第一絕緣膜上且沿著該汲極匯流排線路延伸的至少一個輔助電極，該輔助電極具有與該至少一個輔助電容電極重疊的兩端以產生至少一個第三重疊區域。
9. 如申請專利範圍第8項的薄膜電晶體矩陣基體，其中該至少一個輔助電極延跨該等累積電容匯流排線路的其中一條，且藉由與自該輔助電極所交錯的該累積電容器匯流排線路延伸而出的該輔助電容電極的重疊而產生該第三重疊區。
10. 如申請專利範圍第9項的薄膜電晶體矩陣基體，其中在該第一重疊區域中的該輔助電容電極與該汲極匯流排線路，及在該第三重疊區域中的該輔助電極與該輔助電容電極經由一雷射光的照射而電氣相接，當短路與斷線其中一個發生於該汲極匯流排線路上時。
11. 如申請專利範圍第8項的薄膜電晶體矩陣基體，其中該至少一個輔助電極延伸跨越該等閘極匯流排線路其中一條，並藉由與自兩個不同的該等累積電容匯流排線路延展出的該等輔助電容電極的重疊而產生該第三重疊區域。

(請先閱讀背面之注意事項再填寫本頁)

訂 裝