

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6017034号  
(P6017034)

(45) 発行日 平成28年10月26日(2016.10.26)

(24) 登録日 平成28年10月7日(2016.10.7)

(51) Int.Cl.	F 1
GO6F 17/30 (2006.01)	GO6F 17/30 4 1 5
GO6F 7/00 (2006.01)	GO6F 7/00
GO6F 9/50 (2006.01)	GO6F 9/46 4 6 5 E

請求項の数 25 (全 33 頁)

(21) 出願番号	特願2015-523124 (P2015-523124)	(73) 特許権者	595168543 マイクロン テクノロジー, インク. アメリカ合衆国, アイダホ州 83716 -9632, ポイズ, サウス フェデ ラル ウェイ 8000
(86) (22) 出願日	平成25年7月9日(2013.7.9)	(74) 代理人	100074099 弁理士 大菅 義之
(65) 公表番号	特表2015-531111 (P2015-531111A)	(74) 代理人	100106851 弁理士 野村 泰久
(43) 公表日	平成27年10月29日(2015.10.29)	(72) 発明者	ブラウン, デイビッド アール. アメリカ合衆国, テキサス州 75002 , ルーカス, マーチモント ドライブ 1 806
(86) 國際出願番号	PCT/US2013/049744		
(87) 國際公開番号	W02014/014709		
(87) 國際公開日	平成26年1月23日(2014.1.23)		
審査請求日	平成28年6月20日(2016.6.20)		
(31) 優先権主張番号	13/552,479		
(32) 優先日	平成24年7月18日(2012.7.18)		
(33) 優先権主張国	米国(US)		
早期審査対象出願			

最終頁に続く

(54) 【発明の名称】状態機械エンジンが受信したデータを取り扱うための方法およびシステム

## (57) 【特許請求の範囲】

## 【請求項 1】

データ分析システムであって、  
分析されるデータを受信するように構成されるデータバッファと、  
複数の構成可能素子を備え、各々の構成可能素子が、前記データの少なくとも一部分を  
分析し、前記分析の結果を出力するように構成される複数のメモリセルを備える、状態機  
械格子と、  
前記データを前記データバッファから受信し、前記データを前記状態機械格子に提供す  
るよう構成される、前記データバッファが、データバーストを介してバッファインター  
フェースにデータを提供するように構成され、各データバーストは、複数の状態機械格子  
のそれぞれ用にデータの所定の一部を含むバッファインターフェースと、  
を備える、データ分析システム。

## 【請求項 2】

前記データバッファは、第1のデータバッファおよび第2のデータバッファを含み、前  
記第1および第2のデータバッファの各々が、データを受信し、データを前記バッファイ  
ンターフェースに提供するように構成される、請求項1に記載のシステム。

## 【請求項 3】

前記第1のデータバッファは、前記第2のデータバッファがデータを前記バッファイン  
ターフェースに提供している間にデータを受信するように構成され、前記第2のデータバ  
ッファは、前記第1のデータバッファがデータを前記バッファインターフェースに提供し

ている間にデータを受信するように構成される、請求項 2 に記載のシステム。

【請求項 4】

前記データバッファは、前記データをデータブロックとして受信するように構成され、各々のデータブロックは、複数の状態機械格子のうちの 1 つに対応する、請求項 1 に記載のシステム。

【請求項 5】

前記データバッファは、1 つ、2 つ、4 つ、または 8 つのデータブロックを受信するように構成される、請求項 4 に記載のシステム。

【請求項 6】

前記データバッファは、前記データをデータブロック群として受信するように構成され、各々のデータブロック群は、前記複数の状態機械格子のうちの各々に対するデータブロックを含む、請求項 1 に記載のシステム。 10

【請求項 7】

前記データバッファは、交互発生するパターンで、データブロック群の各々のデータブロックの所定の部分を、前記データブロック群の各々のデータブロックが記憶されるまで記憶するように構成され、前記交互発生するパターンは、各々のデータブロック間で交互に発生する、請求項 6 に記載のシステム。

【請求項 8】

各々のデータブロックの前記所定の部分は、8 バイト、16 バイト、32 バイト、または 64 バイトのデータを含む、請求項 7 に記載のシステム。 20

【請求項 9】

データの前記所定の部分は、1 バイト、2 バイト、4 バイト、または 8 バイトのデータを含む、請求項 1 に記載のシステム。

【請求項 10】

前記複数の状態機械格子の各々に結合される 1 つ以上の処理バッファを備え、各々の処理バッファは、そのそれぞれの状態機械格子に対応する各々のデータバーストからデータの前記所定の部分を判定するように構成される、請求項 1 に記載のシステム。

【請求項 11】

前記データバッファは、前記分析されるデータに対応する命令を受信するように構成される命令バッファを含む、請求項 1 に記載のシステム。 30

【請求項 12】

データ分析システムであって、複数の状態機械エンジンであって、各々が複数のデータ分析素子を有する状態機械格子を備え、各々のデータ分析素子が、データの少なくとも一部分を分析し、前記分析の結果を出力するように構成される複数のメモリセルを備える、複数の状態機械エンジンと、

前記複数の状態機械エンジンの各々に結合され、前記データを受信し、前記データを前記複数の状態機械エンジンに提供するように構成される、バッファインターフェースと、

分析されるべき前記データを受信し、前記データを前記バッファインターフェースに提供するように構成され、データバッファは、データブロック群として前記データを受信するように構成され、データブロックの各群は、前記複数の状態機械エンジンのそれぞれ用のデータブロックを含み、前記データブロックの少なくとも 1 つは、バイトパッディングと組み合わされる有効データを含む、データバッファと、 40

を備える、データ分析システム。

【請求項 13】

前記データバッファは、命令バッファを含み、前記命令バッファが、バイトパッディングを含むデータブロックの部分を特定する命令を受信するように構成される、請求項 12 に記載のシステム。

【請求項 14】

前記データバッファは、複数の命令群を受信するように構成され、各々の命令群が、データブロック群に関連するデータを含む、請求項 12 に記載のシステム。 50

**【請求項 15】**

各々のデータブロック群は、複数の領域を含み、各々の命令群が、前記複数の領域の各々に関連するデータを含む、請求項 14に記載のシステム。

**【請求項 16】**

前記複数の領域の各々に関連する前記データは、前記それぞれの領域中の総バイト数と、前記それぞれの領域中の前記データブロックの各々に対する総有効データバイト数とを含む、請求項 15に記載のシステム。

**【請求項 17】**

前記複数の状態機械エンジンの各々は、前記総バイト数と前記総有効データバイト数との間の差に対応するデータを無視するように構成される、請求項 16に記載のシステム。

10

**【請求項 18】**

前記複数の状態機械エンジンは、1つ、2つ、4つ、または8つの状態機械エンジンを含む、請求項 12に記載のシステム。

**【請求項 19】**

前記データを解析するように構成され、前記複数の状態機械エンジンを含む、单一の論理群を含む、請求項 12に記載のシステム。

**【請求項 20】**

前記データを分析するように構成された複数の論理群を含み、前記複数の論理群の各論理群は、前記複数の状態機械エンジンの少なくとも1つを含む、請求項 12に記載のシステム。

20

**【請求項 21】**

前記複数の論理群の各論理群は、前記データを受信し、前記データの所定の一部を分析するように構成されている、請求項 20に記載のシステム。

**【請求項 22】**

前記複数の論理群の各論理群は、前記データを受信し、前記複数の論理群の他の論理群と並列して前記データを分析するように構成され、各論理群によって分析される前記データは同一である、請求項 20に記載のシステム。

**【請求項 23】**

前記複数の状態機械エンジンの各状態機械エンジンは、各状態機械エンジンに割り当てられたデータを分析するように構成される、請求項 12に記載のシステム。

30

**【請求項 24】**

前記複数の状態機械エンジンの各状態機械エンジンは、前記バッファインターフェースに提供されるデータバーストの所定の一部をラッチするように構成される、請求項 12に記載のシステム。

**【請求項 25】**

前記データバッファは、オフセットして前記データを格納し、オフセットなしで、前記バッファインターフェースに前記データを提供するように構成される、請求項 12に記載のシステム。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明の実施形態は、一般的には、電子デバイスに関し、より具体的には、ある実施形態では、データ分析のための並列デバイスを持つ電子デバイスに関する。

40

**【背景技術】****【0002】****【関連技術の説明】**

複雑なデータ分析（例えば、パターン認識）は、従来のフォンノイマン式コンピュータ上で実施するには非効率的でありうる。生物の頭脳、特に人間の頭脳は、しかしながら、複雑なデータ分析は得意である。現在の研究は、人間の頭脳は、新皮質中の一連の階層的に組織化されたニューロン層を用いてデータ分析を実施することを示唆している。階層の

50

より低い層中のニューロンは、例えば感覚器官からの「生の信号」を分析し、より高い層中のニューロンは、より低い水準のニューロンからの信号を分析する。新皮質中のこの階層的システムは、おそらくは頭脳の他のエリアと組み合わされて複雑なデータ分析を遂行し、この分析が、人間が、空間的推論、意識的思考、および複雑な言語などの高い水準の機能を実施することを可能とする。

【0003】

コンピューティングの分野では、パターン認識タスクは、例えば、ますます意欲をそぞるようになっている。さらにより多量のデータがコンピュータ間で伝達され、ユーザが検出することを希望するパターンの数は増している。例えば、スパムまたはマルウエアが、データストリーム、例えば特定のフレーズまたはコードの一部の中のパターンを検索することによって、しばしば検出される。パターンの数は、スパムおよびマルウエアの多様性と共に増加するが、それは、新しい変形を検索するために、新しいパターンが実装され得るからである。これらのパターンの各々を求めてデータストリームを検索することによって、コンピューティング上のボトルネックが形成されかねない。しばしば、データストリームが受信されると、それが、一つずつ、各々のパターンを求めて検索される。システムがデータストリームの次の部分を検索する準備がなるまでの遅延は、パターンの数と共に増加する。したがって、パターン認識は、データの受信を遅速化する。

【0004】

ハードウェアは、パターンを求めてデータストリームを検索するように設計されてきたが、このハードウェアは、しばしば、所与の時間内で適切な量のデータを処理することが不可能である。データストリームを検索するように構成される一部のデバイスは、データストリームを複数の回路間に分散させることによってそのように実行する。これらの回路は各々が、データストリームがパターンの一部分に適合するかどうかを判定する。しばしば、多数の回路が並列に動作して、各々が、ほぼ同時にデータストリームを検索する。しかしながら、生物の頭脳により匹敵する様式で複雑なデータ分析を実施することを効果的に可能とするシステムは存在しなかった。このようなシステムの開発が望ましい。

【図面の簡単な説明】

【0005】

【図1】本発明の様々な実施形態に関わる、状態機械エンジンを有するシステムの例を示す。

【図2】本発明の様々な実施形態に関わる、図1の状態機械エンジンの有限状態機械(FSM)格子の例を示す。

【図3】本発明の様々な実施形態に関わる、図2のFSM格子のブロックの例を示す。

【図4】本発明の様々な実施形態に関わる、図3のブロックの行の例を示す。

【図5】本発明の様々な実施形態に関わる、図4の行のうちの2つずつの群の例を示す。

【図6】本発明の様々な実施形態に関わる、有限状態機械グラフの例を示す。

【図7】本発明の様々な実施形態に関わる、FSM格子で実装される2水準階層の例を示す。

【図8】本発明の様々な実施形態に関わる、コンパイラがソースコードを図2のFSM格子のプログラミング用の二進法ファイルに変換するための方法の例を示す。

【図9】本発明の様々な実施形態に関わる、状態機械エンジンを示す。

【図10】本発明の様々な実施形態に関わる、デバイスのランクに配列された複数の物理的状態機械エンジンの例を示す。

【図11】本発明の様々な実施形態に関わる、状態機械エンジンに提供されるようにデータブロックに群分けされたデータセグメントの例を示す。

【図12】本発明の様々な実施形態に関わる、図11のデータブロックのデータセグメント間に挿入されるデータパディングの例を示す。

【図13】本発明の様々な実施形態に関わる、図12のデータブロックのデータセグメントの後に挿入されるデータパディングの例を示す。

【図14】本発明の様々な実施形態に関わる、状態機械エンジンのデータバッファシステ

10

20

30

40

50

ムに伝達されるように組織化された図13のデータブロックの例を示す。

【図15】本発明の様々な実施形態に関わる、状態機械エンジンによって受信されるデータブロックの例を示す。

【図16】本発明の様々な実施形態に関わる、状態機械エンジンのデータバッファシステムに記憶される図15のデータブロックの例を示す。

【図17】本発明の様々な実施形態に関わる、複数のFSM格子にデータバッファシステムから提供されているデータの例を示す。

【図18】本発明の様々な実施形態に関わる、複数の論理群中に提供されているデータの例を示す。

【発明を実施するための形態】

10

【0006】

ここで図面に目を転じると、図1は、一般に参照番号10で示されるプロセッサベースのシステムの実施形態を示す。システム10（例えば、データ分析システム）は、デスクトップコンピュータ、ラップトップコンピュータ、ポケベル、携帯電話、自己管理手帳、携帯式オーディオプレイヤー、制御回路、カメラなどの様々なタイプのうちの任意のものであり得る。システム10はまた、ルーター、サーバ、またはクライアント（例えば、既に述べたタイプのコンピュータのうちの1つ）などのネットワークノードであり得る。システム10は、コピー機、スキャナ、プリンタ、ゲーム機、テレビ、セットトップビデオ分配もしくは記録システム、ケーブルボックス、パーソナルデジタルメディアプレイヤー、ファクトリーオートメーションシステム、自動車コンピュータシステム、または医療デバイスなどのなんらかの他の種類の電子デバイスであり得る。（これらの様々なシステムの例を説明するために用いられる用語は、本明細書で用いられる他の用語と同様に、他の参照符号を共有し得るため、列挙された他の項目のゆえに狭義に解釈されるべきではない。）

20

【0007】

システム10などの一般的なプロセッサベースのデバイスにおいては、マイクロプロセッサなどのプロセッサ12は、システム10中でのシステム機能および要求の処理を制御する。さらに、プロセッサ12は、システム制御を共有する複数のプロセッサを備え得る。プロセッサ12は、システム10中の素子の各々に直接にまたは間接に結合され得るため、プロセッサ12は、システム10の内部またはシステム10の外部に記憶され得る命令を実行することによって、システム10を制御する。

30

【0008】

本明細書に説明する実施形態によれば、システム10は、プロセッサ12の制御下で動作し得る状態機械エンジン14を含む。本明細書で用いられる状態機械エンジン14は、単一のデバイス（例えば、単一のチップ）のことである。状態機械エンジン14は、オートマトン理論を用い得る。例えば、状態機械エンジン14は、これらに限られないが、ミーリーアーキテクチャ、ムーアアーキテクチャ、有限状態機械（FSM）、決定性FSM（DFSM）、ビットパラレル状態機械（BPSM）などを含むいくつかの状態機械アーキテクチャのうちの1つを用い得る。様々なアーキテクチャが用いられ得るとはいえ、説明目的のため、応用分野はFSMのことである。しかしながら、当業者は、説明する技法は、様々な状態機械アーキテクチャのうちの任意の1つを用いて採用され得ることを理解するであろう。

40

【0009】

以下にさらに説明するように、状態機械エンジン14は、いくつかの（例えば、1以上の）有限状態機械（FSM）格子（例えば、チップのコア）を含み得る。この応用分野の目的上、「格子」という用語は、素子（例えば、ブルセル、カウンタセル、状態機械素子、状態遷移素子）の組織化されたフレームワーク（例えば、ルーティングマトリックス、ルーティングネットワーク、フレーム）のことである。さらに、「格子」は、任意の適切な形状、構造、または階層的組織（例えば、グリッド、キューブ、球、カスケード）を有し得る。各々のFSM格子は、各々が同じデータを並列に受信して分析する複数のFS

50

Mを実装し得る。さらに、FSM格子は、群（例えば、クラスタ）に配列され得て、それにより、FSM格子のクラスタは、同じ入力データを並列に分析し得る。さらに、状態機械エンジン14のFSM格子のクラスタは、階層構造のより低い水準の状態機械格子からの出力はより高い水準の状態機械格子に対する入力として用いられ得る階層構造に配列され得る。状態機械エンジン14の並列FSM格子のクラスタを、階層構造を介して直列にカスケーディングすることによって、ますます複雑なパターンが分析され得る（例えば、評価され得る、探索され得るなど）。

#### 【0010】

さらに、状態機械エンジン14の階層的並列構成に基づいて、状態機械エンジン14は、高処理速度を利用するシステムにおいて複雑なデータ分析（例えば、パターン認識）のために用いられ得る。例えば、本明細書に説明する実施形態は、1ギガバイト/秒の処理速度を持つシステムに組み込まれ得る。したがって、状態機械エンジン14を利用して、高速メモリデバイスまたは他の外部デバイスからのデータは迅速に分析され得る。状態機械エンジン14は、ほぼ同時に、例えば、単一のデバイスサイクル中で、データストリームをいくつかの基準（例えば、検索項目）に従って分析し得る。状態機械エンジン14のある水準上のFSMのクラスタ内のFSM格子の各々は、各々、ほぼ同時にデータストリームから同じ検索項目を受信し、並列FSM格子の各々は、その項目が状態機械エンジン14を処理基準中の次の状態に前進させるかどうかを判定し得る。状態機械エンジン14は、比較的多数の基準、例えば、100を超える、110を超える、または10,000を超える基準に従って項目を分析し得る。それらは並列に動作するため、それらは、基準を比較的高い帯域幅を有するデータストリーム、例えば、1ギガバイト/秒を超えるまたはほぼ等しいデータストリームに、そのデータストリームを遅速化することなく、適用し得る。

#### 【0011】

1つの実施形態では、状態機械エンジン14は、データストリーム中の多数のパターンを認識する（例えば、検出する）ように構成され得る。例えば、状態機械エンジン14は、ユーザまたは他のエンティティが分析することを希望する様々なタイプのデータストリームのうちの1つ以上の内のパターンを検出するために利用され得る。例えば、状態機械エンジン14は、インターネットを介して受信されたパケットまたはセルラーネットワークを介して受信された音声もしくはデータなどのネットワークを介して受信されたデータのストリームを分析するように構成され得る。1つの実施形態では、状態機械エンジン14は、スパムまたはマルウェアに対しデータストリームを分析するように構成され得る。データストリームは、データが、時間的、語彙的、または意味論的に意味のある順序などの意味を有する順序で受信される、直列のデータストリームとして受信され得る。代替的には、データストリームは、並列にまたはバラバラの順序で受信され、次に、例えば、インターネットを介して受信されたパケットを再順序付けすることによって、直列のデータストリームに変換され得る。一部の実施形態では、データストリームは、項目を直列に表すが、項目の各々を表現するビットは並列に受信され得る。データストリームは、システム10の外部のソースから受信される、または、メモリ16などのメモリデバイスに質問して、メモリ16に記憶されているデータからデータストリームを形成することによって形成され得る。他の例では、状態機械エンジン14は、ある語を綴る一連の文字、遺伝子を指定する一連の遺伝子塩基対、イメージの一部分を形成する写真もしくは動画ファイル内の一連のビット、プログラムの一部を形成する実行可能ファイル中の連のビット、または歌もしくは話されたフレーズの一部を形成するオーディオファイル中の連のビットを認識するように構成され得る。分析されるデータのストリームは、二進法形式または他の形式、例えば、十進法、ASCIIなどの複数のデータビットを含み得る。このストリームは、一桁または複数桁、例えば、いくつかの二進法桁のデータを符号化し得る。

#### 【0012】

理解されるように、システム10は、メモリ16を含み得る。メモリ16は、ダイナミックランダムアクセスメモリ(DRAM)、スタティックランダムアクセスメモリ(SR

10

20

30

40

50

A M )、同期式D R A M ( S D R A M )、ダブルデータレートD R A M ( D D R S D R A M )、D D R 2 S D R A M 、D D R 3 S D R A M などの揮発性メモリを含み得る。メモリ16はまた、リードオンリーメモリ( R O M )、P C - R A M 、シリコン・酸化物・窒化物・酸化物・シリコン( S O N O S )メモリ、金属・酸化物・窒化物・酸化物・シリコン( M O N O S )メモリ、多結晶浮遊ゲートベースメモリ、および/または揮発性メモリと共に用いられる様々なアーキテクチャ( 例えは、N A N D メモリ、N O R メモリなど )の他のタイプのフラッシュメモリなどの不揮発性メモリを含み得る。メモリ16は、状態機械エンジン14によって分析されるデータを提供し得る、D R A M デバイスなどの1つ以上のメモリデバイスを含み得る。本明細書では、「提供する」という用語は、一般的に、方向付ける、入力する、挿入する、送出する、転送する、送信する、生成する、与える、出力する、置く、記述するなどのことであり得る。このようなデバイスは、ソリッドステートドライブ( S S D )、M u l t i m e d i a M e d i a C a r d s ( M M C )、S e c u r e D i g i t a l ( S D ) カード、C o m p a c t F l a s h ( C F ) カード、または任意の他の適切なデバイスと呼ばれ得るまたはこれらを含み得る。さらに、このようなデバイスは、ユニバーサルシリアルバス( U S B )、周辺構成要素相互接続( P C I )、P C I E x p r e s s ( P C I - E )、小型コンピュータシステムインターフェース( S C S I )、I E E E 1 3 9 4 ( F i r e w i r e )、または任意の他の適切なインターフェースなどの任意の適切なインターフェースを介してシステム10に結合し得ることを理解すべきである。フラッシュメモリデバイスなどのメモリ16の動作を容易化するために、システム10は、メモリコントローラ( 図示せず )を含み得る。理解されるように、メモリコントローラは独立したデバイスであり得るか、または、それはプロセッサ12と統合され得る。加えて、システム10は、磁気記憶デバイスなどの外部記憶装置18を含み得る。外部記憶装置もまた、入力データを状態機械エンジン14に提供し得る。

#### 【 0 0 1 3 】

システム10は、いくつかのさらなる素子を含み得る。例えは、コンパイラ20は、図8に関連してより詳細に説明するように、状態機械エンジン14を構成する( 例えは、プログラムする )ために用いられ得る。入力デバイス22もまた、ユーザがデータをシステム10に入力することを可能とするために、プロセッサ12に結合され得る。例えは、入力デバイス22は、状態機械エンジン14によって後で分析されるように、データをメモリ16に入力するために用いられ得る。入力デバイス22は、例えは、ボタン、切り替え素子、キーボード、ライトペン、スタイルスペン、マウス、および/または音声認識システムを含み得る。ディスプレイなどの出力デバイス24もまた、プロセッサ12に結合され得る。ディスプレイ24は、例えは、L C D 、C R T 、L E D 、および/またはオーディオディスプレイを含み得る。システムはまた、インターネットなどのネットワークとインターネットフェースをとるために、ネットワークインターフェースカード( N I C )などのネットワークインターフェースデバイス26を含み得る。理解されるように、システム10は、システム10の用途に応じて、多くの他の構成要素を含み得る。

#### 【 0 0 1 4 】

図2～5は、F S M 格子30の例を示す。ある例では、F S M 格子30は、ブロック32のアレイを備える。説明されるように、各々のブロック32は、F S M 中の複数の状態に対応する複数の選択的に結合可能なハードウェア素子( 例えは、構成可能な素子および/または特殊目的の素子 )を含み得る。F S M 中での状態に類似して、ハードウェア素子は、入力ストリームを分析して、この入力ストリームに基づいて下流のハードウェア素子を起動することが可能である。

#### 【 0 0 1 5 】

構成可能素子は、多くの異なる機能を実装するように構成する( 例えは、プログラムする )ことが可能である。例えは、構成可能素子は、行38( 図3および4に示す )およびブロック32( 図2および3に示す )に階層的に組織化される状態機械素子( S M E )34、36( 図5に示す )を含み得る。S M E はまた、状態遷移素子( S T E )と考えられ

得る。階層的に組織化された S M E 3 4、3 6 の間で信号をルーティングするには、ブロック間切り替え素子 4 0（図 2 および 3 に示す）、ブロック内切り替え素子 4 2（図 3 および 4 に示す）、行内切り替え素子 4 4（図 4 に示す）を含む構成可能切り替え素子の階層を用いればよい。

#### 【 0 0 1 6 】

以下に説明するように、切り替え素子は、ルーティング用の構造およびバッファを含み得る。S M E 3 4、3 6 は、F S M 格子 3 0 によって実装された F S M の状態に対応する。S M E 3 4、3 6 は、以下に説明するように、構成可能な切り替え素子を用いることによって一緒に結合することが可能である。したがって、F S M は、S M E 3 4、3 6 を状態の機能に対応するように構成し、S M E 3 4、3 6 を F S M 中の状態の間での遷移に対応するように選択的に結合することによって、F S M 格子 3 0 上に実装することが可能である。

10

#### 【 0 0 1 7 】

図 2 は、F S M 格子 3 0 の例の全体図を示す。F S M 格子 3 0 は、構成可能なブロック間切り替え素子 4 0 と選択的に一緒に結合することが可能な複数のブロック 3 2 を含む。ブロック間切り替え素子 4 0 は、導線 4 6（例えば、ワイヤ、トレースなど）と、バッファ 4 8 および 5 0 とを含み得る。ある例では、バッファ 4 8 および 5 0 は、ブロック間切り替え素子 4 0 への / からの信号の接続およびタイミングを制御するために含まれる。以下にさらに説明するように、バッファ 4 8 はブロック 3 2 間で送出されているデータをバッファリングするために提供され得るが、バッファ 5 0 はブロック間切り替え素子 4 0 間で送出されているデータをバッファリングするために提供され得る。加えて、ブロック 3 2 は、信号（例えば、データ）を受信して、そのデータをブロック 3 2 に提供するための入力ブロック 5 2（例えば、データ入力ポート）に選択的に結合することが可能である。ブロック 3 2 はまた、ブロック 3 2 からの信号を外部デバイス（例えば、別の F S M 格子 3 0）に提供するための出力ブロック 5 4（例えば、出力ポート）に選択的に結合することが可能である。F S M 格子 3 0 はまた、（例えば、イメージ、プログラムを介して）F S M 格子 3 0 を構成するために、プログラミングインターフェース 5 6 を含むことが可能である。イメージは、S M E 3 4、3 6 の状態を構成する（例えば、設定する）ことが可能である。すなわち、イメージは、入力ブロック 5 2 での所与の入力に対してある仕方で反応するように S M E 3 4、3 6 を構成することが可能である。例えば、S M E 3 4、3 6 は、文字「a」が入力ブロック 5 2 で受信されたときに高信号を出力するように設定することが可能である。

20

#### 【 0 0 1 8 】

ある例では、入力ブロック 5 2、出力ブロック 5 4、および / またはプログラミングインターフェース 5 6 は、レジスタに対する書き込みまたはそこからの読み出しがそれぞれの素子へのまたはそこからのデータを提供するように、レジスタとして実装され得る。したがって、プログラミングインターフェース 5 6 に対応するレジスタに記憶されているイメージからのビットを、S M E 3 4、3 6 上にロードすることが可能である。図 2 はブロック 3 2、入力ブロック 5 2、出力ブロック 5 4、およびブロック間切り替え素子 4 0 の間のある数の導線（例えば、ワイヤ、トレース）を示しているが、他の例では、より少ないまたはより多い導線が用いられ得ることを理解すべきである。

30

#### 【 0 0 1 9 】

図 3 は、ブロック 3 2 の例を示す。ブロック 3 2 は、構成可能なブロック内切り替え素子 4 2 と選択的に一緒に結合することが可能な複数の行 3 8 を含むことが可能である。加えて、行 3 8 は、ブロック間切り替え素子 4 0 で、別のブロック 3 2 内の別の行 3 8 に選択的に結合することが可能である。行 3 8 は、本明細書では 2 つずつの群（G O T ）6 0 と呼ばれる素子の対に組織化される複数の S M E 3 4、3 6 を含む。ある例では、ブロック 3 2 は、1 6（1 6）の行 3 8 を備える。

40

#### 【 0 0 2 0 】

図 4 は、行 3 8 の例を示す。G O T 6 0 は、構成可能な行内切り替え素子 4 4 によって

50

、行38内の他のGOT60および任意の他の素子（例えば、特殊目的素子58）に選択的に結合することが可能である。GOT60はまた、ブロック内切り替え素子42によって他の行38中の他のGOT60に対して、または、ブロック間切り替え素子40によって他のブロック32中の他のGOT60に対して結合することが可能である。ある例では、GOT60は、第1および第2の入力部62、64ならびに出力部66を有する。図5を参照してさらに例示されるように、第1の入力部62はGOT60の第1のSME34に結合され、第2の入力部64はGOT60の第2のSME36に結合される。

#### 【0021】

ある例では、行38は、第1および第2の複数の行相互接続導線68、70を含む。ある例では、GOT60の入力部62、64は1つ以上の行相互接続導線68、70に結合することが可能であり、出力部66は1つ以上の行相互接続導線68、70に結合することが可能である。ある例では、第1の複数の行相互接続導線68は、行38内の各々のGOT60の各々のSME34、36に結合することが可能である。第2の複数の行相互接続導線70は、行38内の各々のGOT60の各々のたった1つのSME34、36に結合することが可能であるが、GOT60のその他のSME34、36には結合することは不可能である。ある例では、図5に関連してより良好に示されるように、第2の複数の行相互接続導線70のうちの第1の半分は、行38内のSME34、36のうちの第1の半分（各々のGOT60から1つのSME34）に結合することが可能であり、第2の複数の行相互接続導線70のうちの第2の半分は、行38内のSME34、36のうちの第2の半分（各々のGOT60からその他のSME34、36）に結合することが可能である。第2の複数の行相互接続導線70とSME34、36との間の制限された接続は、本明細書では「パリティ」と呼ばれる。ある例では、行38はまた、カウンタなどの特殊目的素子58、構成可能ブール論理素子、ルックアップテーブル、RAM、フィールド構成可能ゲートアレイ（FPGA）、特定用途向け集積回路（ASIC）、構成可能プロセッサ（例えば、マイクロプロセッサ）、または、特殊目的機能を実施するための他の素子などの特殊目的素子58を含むことが可能である。

#### 【0022】

ある例では、特殊目的素子58は、カウンタ（本明細書ではカウンタ58とも呼ばれる）を備える。ある例では、カウンタ58は、12ビットの構成可能ダウンカウンタを備える。12ビット構成可能カウンタ58は、カウント入力部、リセット入力部、およびゼロカウント出力部を有する。カウント入力部は、アサートされるとき、カウンタ58の値を1だけデクリメントする。リセット入力部は、アサートされるとき、カウンタ58に、関連付けられたレジスタから初期値をロードさせる。12ビットカウンタ58の場合、最大で12ビットの数を、初期値としてロードすることが可能である。カウンタ58の値がゼロ（0）にデクリメントされるとき、ゼロカウント出力がアサートされる。カウンタ58はまた、パルスモードとホールドモードとの少なくとも2つのモードを有する。カウンタ58がパルスモードに設定されるとき、ゼロカウント出力は、カウンタ58がゼロに到達して、クロックが循環するときにアサートされる。このゼロカウント出力は、カウンタ58の次のクロックサイクルの間にアサートされる。その結果、カウンタ58は、クロックサイクルから時間的に間に合ってオフセットされる。次のクロックサイクルで、ゼロカウント出力はもはやアサートされない。カウンタ58がホールドモードに設定されるとき、ゼロカウント出力は、カウンタ58がゼロにデクリメントするときにクロックサイクル間にアサートされ、カウンタ58がアサートされているリセット入力によってリセットされるまでアサートされたまま留まる。

#### 【0023】

別の例では、特殊目的素子58はブール論理を備える。例えば、ブール論理は、AND、OR、NAND、NOR、積和（SOP）、積和のネゲート出力（NSOP）、和積のネゲート出力（NPOS）、および和積（POS）の関数などの論理関数を実施するために用いられ得る。このブール論理は、FSM格子30中の（以下に後述するように、FSMのターミナルノードに対応する）ターミナル状態のSMEからデータを抽出するために

10

20

30

40

50

用いることが可能である。抽出されたデータは、状態データを他のFSM格子30に提供するおよび／またはFSM格子30を再構成するために用いられる構成用データを提供する、または別のFSM格子30を再構成するために用いることが可能である。

#### 【0024】

図5はGOT60の例を示す。GOT60は、入力部62、64を有し、かつそれらの出力部72、74がORゲート76および3対1マルチプレクサ78に結合される第1のSME34および第2のSME36を含む。3対1マルチプレクサ78は、GOT60の出力66を、第1のSME34、第2のSME36、またはORゲート76に結合せしめるように設定することが可能である。ORゲート76は、GOT60の共有出力66を形成するように双方の出力部72、74と一緒に結合するために用いることが可能である。ある例では、第1および第2のSME34、36は、上述したようにパリティを示すが、この場合、第1のSME34の入力部62は行相互接続導線68のうちの一部に結合することが可能であり、第2のSME36の入力部64は他の行相互接続導線70に結合することが可能であり、パリティ問題を克服し得る共通の出力66が、生成され得る。ある例では、GOT60内の2つのSME34、36は、切り替え素子79のどちらかまたは双方を設定することによって、カスケードするおよび／またはそれら自身に対してループバックすることが可能である。SME34、36は、SME34、36の出力部72、74を他方のSME34、36の入力部62、64に結合することによってカスケードすることが可能である。SME34、36は、出力部72、74をそれら自身の入力部62、64に結合することによって、それら自身に対してループバックすることが可能である。したがって、第1のSME34の出力部72は、第1のSME34の入力部62と第2のSME36の入力部64の、どちらにも結合することが不可能であるか、一方または双方に結合することが可能であるかである。

10

#### 【0025】

ある例では、状態機械素子34、36は、検出ライン82に並列に結合された、ダイナミックランダムアクセスメモリ(DRAM)でしばしば用いられるものなどの複数のメモリセル80を備える。このような1つのメモリセル80は、高いまたは低い値(例えば、1または0)に対応するものなどのデータ状態に設定することが可能なメモリセルを備える。メモリセル80の出力部は、検出ライン82に結合され、メモリセル80への入力部は、データストリームライン84上のデータに基づく信号を受信する。ある例では、入力ブロック52での入力は、メモリセル80の内の1つ以上を選択するために復号化される。選択されたメモリセル80は、その記憶されたデータ状態を、検出ライン82上に出力として提供する。例えば、入力ブロック52で受信されたデータは、デコーダ(図示せず)に提供することが可能であり、デコーダはデータストリームライン84のうちの1つ以上を選択することが可能である。ある例では、デコーダは、8ビットのASCII文字を256のデータストリームライン84のうちの対応する1つに変換することが可能である。

20

#### 【0026】

メモリセル80は、したがって、メモリセル80が高い値に設定され、データストリームライン84上のデータがメモリセル80を選択するときに、高信号を検出ライン82に出力する。データストリームライン84上のデータがメモリセル80を選択し、メモリセル80が低い値に設定されるときに、メモリセル80は、低い信号を検出ライン82に出力する。検出ライン82上のメモリセル80からの出力は、検出セル86によって感知される。

30

#### 【0027】

ある例では、入力ライン62、64上の信号は、それぞれの検出セル86をアクティブ状態または非アクティブ状態に設定する。非アクティブ状態に設定されたとき、検出セル86は、それぞれの検出ライン82上の信号とは無関係に、それぞれの出力部72、74上に低い信号を出力する。アクティブ状態に設定されたとき、検出セル86は、それぞれのSME34、36のメモリセル82のうちの1つから高い信号が検出されるときに、高

40

50

い信号をそれぞれの出力ライン 72、74 上に出力する。アクティブ状態にあるとき、検出セル 86 は、それぞれの SME34、36 のメモリセル 82 の全てからの信号が低いときには、それぞれの出力ライン 72、74 上に低い信号を出力する。

#### 【0028】

ある例では、SME34、36 は 256 のメモリセル 80 を含み、各々のメモリセル 80 は異なるデータストリームライン 84 に結合される。したがって、SME34、36 は、データストリームライン 84 のうちの選択された 1 つ以上が高い信号をその上に有するときに高い信号を出力するようにプログラムすることが可能である。例えば、SME34 は、第 1 のメモリセル 80 ( 例えば、ビット 0 ) を高く設定され、全ての他のメモリセル 80 ( 例えば、ビット 1 ~ 255 ) を低く設定されることが可能である。それぞれの検出セル 86 がアクティブ状態にあるとき、SME34 は、ビット 0 に対応するデータストリームライン 84 がその上に高い信号を有するときに、出力部 72 に高い信号を出力する。他の例では、SME34 は、適切なメモリセル 80 を高い値に設定することによって、複数のデータストリームライン 84 のうちの 1 つがその上に高い信号を有するときに、高い信号を出力するように設定することが可能である。

#### 【0029】

ある例では、メモリセル 80 は、関連付けられたレジスタからビットを読み出すことによって高いまたは低い値に設定することが可能である。したがって、SME34 は、コンパイラ 20 によって作成されたイメージをレジスタに記憶して、レジスタ中のビットを関連付けられたメモリセル 80 中にロードすることによって構成することが可能である。ある例では、コンパイラ 20 によって作成されたイメージは、高いまたは低い ( 例えば、1 または 0 の ) ビットの二値イメージを含む。このイメージは、SME34、36 をカスケードすることによって、FSM を実装するように FSM 格子 30 を構成することが可能である。例えば、第 1 の SME34 は、検出セル 86 をアクティブ状態に設定することによってアクティブ状態に設定することが可能である。第 1 の SME34 は、ビット 0 に対応するデータストリームライン 84 が高い信号をその上に有するときに高い信号を出力するように設定することが可能である。第 2 の SME36 は非アクティブ状態に初期設定することが可能であるが、アクティブであるとき、ビット 1 に対応するデータストリームライン 84 が高い信号をその上に有するときに高い信号を出力するように設定することが可能である。第 1 の SME34 および第 2 の SME36 は、第 1 の SME34 の出力部 72 を第 2 の SME36 の入力部 64 に結合するように設定することによって、カスケードすることが可能である。したがって、ビット 0 に対応するデータストリームライン 84 上で高い信号が感知されたとき、第 1 の SME34 は出力部 72 に高い信号を出力して、第 2 の SME36 の検出セル 86 をアクティブ状態に設定する。ビット 1 に対応するデータストリームライン 84 上で高い信号が感知されたとき、第 2 の SME36 は、別の SME36 を起動するためにまたは FSM 格子 30 から出力されるように、出力部 74 に高い信号を出力する。

#### 【0030】

ある例では、単一の FSM 格子 30 が単一の物理的デバイス上に実装されるが、しかしながら、他の例では、2 つ以上の FSM 格子 30 を、単一の物理的デバイス ( 例えば、物理的なチップ ) 上に実装することが可能である。ある例では、各々の FSM 格子 30 は、区別可能なデータ入力ブロック 52、区別可能な出力ブロック 54、区別可能なプログラミングインターフェース 56、および構成可能素子の区別可能な集合を含むことが可能である。そのうえ、構成可能素子の各々の集合は、それらの対応するデータ入力ブロック 52 でデータに反応する ( 例えば、高いまたは低い信号を出力する ) ことが可能である。例えば、第 1 の FSM 格子 30 に対応する構成可能素子の第 1 の集合は、第 1 の FSM 格子 30 に対応する第 1 のデータ入力ブロック 52 でデータに反応することが可能である。第 2 の FSM 格子 30 に対応する構成可能素子の第 2 の集合は、第 2 の FSM 格子 30 に対応する第 2 のデータ入力ブロック 52 に反応することが可能である。したがって、各々の FSM 格子 30 は構成可能素子の集合を含むが、その場合、異なる集合の構成可能素子は

10

20

30

40

50

異なる入力データに反応することが可能である。同様に、各々の F S M 格子 3 0 と、構成可能素子の各々の対応する集合とは、区別可能な出力を提供することが可能である。一部の例では、第 1 の F S M 格子 3 0 からの出力ブロック 5 4 を第 2 の F S M 格子 3 0 の入力ブロック 5 2 に結合することが可能であり、それにより、第 2 の F S M 格子 3 0 に対する入力データが、一連の F S M 格子 3 0 の階層的配列中の第 1 の F S M 格子 3 0 からの出力データを含むことが可能となる。

#### 【 0 0 3 1 】

ある例では、F S M 格子 3 0 上にロードされるイメージは、構成可能素子、構成可能切り替え素子、および F S M 格子 3 0 内の特殊目的素子を構成するための複数ビットのデータを含む。ある例では、イメージは、ある入力に基づいて所望の出力を提供するように F S M 格子 3 0 を構成するために、F S M 格子 3 0 上にロードすることが可能である。出力ブロック 5 4 は、データ入力ブロック 5 2 でのデータに対する構成可能素子の反応に基づいて、F S M 格子 3 0 からの出力を提供することが可能である。出力ブロック 5 4 からの出力は、所与のパターンの適合を示す単一ビット、複数のパターンに対する適合および不適合を示す複数ビットを含む語、ならびに所与の瞬間での全てのもしくはある構成可能素子の状態に対応する状態ベクトルを含むことが可能である。説明したように、いくつかの F S M 格子 3 0 は、パターン認識（例えば、音声認識、イメージ認識など）、信号処理、撮像、コンピュータビジョン、暗号法などのデータ分析を実施するために、状態機械エンジン 1 4 などの状態機械エンジン中に含まれ得る。

#### 【 0 0 3 2 】

図 6 は、F S M 格子 3 0 によって実装することが可能な有限状態機械（F S M）の例としてのモデルを示す。F S M 格子 3 0 は、F S M の物理的実装物として構成する（例えば、プログラムする）ことが可能である。F S M は、1 つ以上のルートノード 9 2 を含むダイアグラム 9 0（例えば、有向グラフ、無向グラフ、擬グラフ）として表されうる。ルートノード 9 2 に加えて、F S M は、1 つ以上のエッジ 9 8 を介してルートノード 9 2 および他の標準ノード 9 4 に接続されたいくつかの標準ノード 9 4 およびターミナルノード 9 6 から作成することが可能である。ノード 9 2、9 4、9 6 は F S M 中の状態に対応する。エッジ 9 8 は、状態の間の遷移に対応する。

#### 【 0 0 3 3 】

ノード 9 2、9 4、9 6 の各々は、アクティブ状態または非アクティブ状態にありうる。非アクティブ状態にあるとき、ノード 9 2、9 4、9 6 は入力データに反応する（例えば、応答する）ことはない。アクティブ状態にあるとき、ノード 9 2、9 4、9 6 は入力データに反応することが可能である。上流のノード 9 2、9 4 は、入力データが上流のノード 9 2、9 4 と下流のノード 9 4、9 6 との間のエッジ 9 8 によって指定された基準に適合するときに、ノードの下流にあるノード 9 4、9 6 を起動することによって、入力データに反応することが可能である。例えば、文字「b」を指定する第 1 のノード 9 4 は、第 1 のノード 9 4 がアクティブであり、文字「b」が入力データとして受信されたときに、エッジ 9 8 によって第 1 のノード 9 4 に接続されている第 2 のノード 9 4 を起動する。本明細書で用いられる「上流」とは 1 つ以上のノードの間の関係のことであり、この場合、1 つ以上の他のノードの上流にある（または、ループもしくは帰還の構成の場合にはそれ自身の上流にある）第 1 のノードは、第 1 のノードがその 1 つ以上の他のノードを起動することが可能である（またはループの場合にはそれ自身を起動することが可能である）状況のことである。同様に、「下流」とは 1 つ以上の他のノードの下流にある（または、ループの場合にはそれ自身の下流にある）第 1 のノードが、その 1 つ以上の他のノードによって起動することが可能である（または、ループの場合にはそれ自身によって起動することが可能である）関係のことである。したがって、「上流」および「下流」という用語は、本明細書では、1 つ以上のノードの間の関係のことであるが、これらの用語は、ノード間でのループまたは他の非線形経路の使用を排除しない。

#### 【 0 0 3 4 】

ダイアグラム 9 0 では、ルートノード 9 2 は、最初に起動され得、入力データがルート

10

20

30

40

50

ノード 9 2 からのエッジ 9 8 と適合するときに、下流のノード 9 4 を起動することが可能である。ノード 9 4 は、入力データがルートノード 9 4 からのエッジ 9 8 と適合するときに、ノード 9 6 を起動することが可能である。ダイアグラム 9 0 全体にわたって、ノード 9 4、9 6 は、入力データが受信されると、この様式で起動することが可能である。ターミナルノード 9 6 は、入力データ中の目的とするシーケンスの適合に対応する。したがって、ターミナルノード 9 6 の起動は、目的とするシーケンスが入力データとして受信されたことを示す。パターン認識機能を実装している F S M 格子 3 0 の文脈では、ターミナルノード 9 6 への到達は、目的とする特定のパターンが入力データ中で検出されたことを示しうる。

す

10

### 【 0 0 3 5 】

ある例では、各々のルートノード 9 2、標準ノード 9 4、およびターミナルノード 9 6 は、F S M 格子 3 0 中の構成可能素子に対応しうる。各々のエッジ 9 8 は、構成可能素子の間の接続部に対応しうる。したがって、別の標準ノード 9 4 またはターミナルノード 9 6 に遷移する（例えば、これに接続するエッジ 9 8 を有する）標準ノード 9 4 は、別の構成可能素子に遷移する（例えば、これに対して出力を提供する）構成可能素子に対応する。一部の例では、ルートノード 9 2 は、対応する構成可能素子を有しない。

### 【 0 0 3 6 】

理解されるように、ノード 9 2 をルートノードとして説明し、ノード 9 6 をターミナルノードとして説明したが、必ずしも特定の「出発点」またはルートノードがなくてもよく、必ずしも特定の「終了点」または出力ノードがなくてもよい。言い換えれば、どのノードでも開始点であり得るし、またどのノードでも出力を提供し得る。

20

### 【 0 0 3 7 】

F S M 格子 3 0 がプログラムされたとき、構成可能素子の各々もまた、アクティブ状態または非アクティブ状態にありうる。所与の構成可能素子は、非アクティブであるとき、対応するデータ入力ブロック 5 2 での、入力データに反応しない。アクティブな構成可能素子はデータ入力ブロック 5 2 での入力データに反応することが可能であり、その入力データが構成可能素子の設定と適合するときに、下流の構成可能素子を起動することが可能である。ある構成可能素子がターミナルノード 9 6 に対応するとき、その構成可能素子は、外部デバイスとの適合の指示を提供するために、出力ブロック 5 4 に結合することが可能である。

30

### 【 0 0 3 8 】

プログラミングインターフェース 5 6 を介して F S M 格子 3 0 上にロードされたイメージは、構成可能素子および特殊目的素子ならびに構成可能素子と特殊目的素子との間の接続部を構成することが可能であり、それにより、データ入力ブロック 5 2 でのデータに対する反応に基づいたノードの一連の起動によって、所望の F S M が実装される。ある例では、構成可能素子は、1 つのデータサイクル（例えば、1 つの文字、文字の集合、1 つのクロックサイクル）にわたってアクティブのまま留まり、次に、上流の構成可能素子によって再起動されない限り、非アクティブになる。

### 【 0 0 3 9 】

40

ターミナルノード 9 6 は、過去の事象の圧縮された履歴を記憶するものと考えることが可能である。例えば、ターミナルノード 9 6 に達するために必要とされる入力データの1つ以上のパターンは、そのターミナルノード 9 6 の起動によって表すことが可能である。ある例では、ターミナルノード 9 6 によって提供される出力は二進法である、すなわち、その出力は、目的とするパターンが適合したかどうかを示す。ダイアグラム 9 0 中の標準ノード 9 4 に対するターミナルノード 9 6 の比はかなり小さい。言い換えれば、F S M 中には高度の複雑性があり得るとはいえ、F S M の出力は、比較すると小さくあり得る。

### 【 0 0 4 0 】

ある例では、F S M 格子 3 0 の出力は状態ベクトルを含みうる。状態ベクトルは、F S M 格子 3 0 の構成可能素子の状態（例えば、起動されているか起動されていないか）を含

50

む。別の例では、状態ベクトルは、構成可能素子がターミナルノード 9 6 に対応するかしないかとは無関係に、構成可能素子の全てまたは部分集合の状態を含むことが可能である。ある例では、状態ベクトルは、ターミナルノード 9 6 に対応する構成可能素子に対する状態を含む。したがって、出力は、ダイアグラム 9 0 の全てのターミナルノード 9 6 によって提供される指示の収集物を含むことが可能である。状態ベクトルは語として表すことが可能であるが、その場合、各々のターミナルノード 9 6 によって提供される二進法の指示は 1 ビットの語を含む。ターミナルノード 9 6 のこの符号化は、F S M 格子 3 0 に対する検出状態（例えば、目的とするシーケンスが、およびどのシーケンスが、検出されたか）の効果的な指示を提供することが可能である。

#### 【 0 0 4 1 】

10

上述したように、F S M 格子 3 0 は、パターン認識機能を実装するようにプログラムすることが可能である。例えば、F S M 格子 3 0 は、入力データ中の 1 つ以上のデータシーケンス（例えば、署名、パターン）を認識するように構成することが可能である。目的とするデータシーケンスが F S M 格子 3 0 によって認識されたとき、その認識の指示を、出力ブロック 5 4 に提供することが可能である。ある例では、パターン認識は、例えば、ネットワークデータ中のマルウェアまたは他のデータを特定するために、記号（例えば、A S C I I 文字）のストリングを認識することが可能である。

#### 【 0 0 4 2 】

図 7 は、2 つの水準の F S M 格子 3 0 が直列に結合されて、データを分析するために用いられる階層構造 1 0 0 の例を示す。具体的には、図示する実施形態では、階層構造 1 0 0 は、直列に配列された第 1 の F S M 格子 3 0 A と第 2 の F S M 格子 3 0 B とを含む。各々の F S M 格子 3 0 は、データ入力を受信するそれぞれのデータ入力ブロック 5 2、構成用信号を受信するプログラミングインターフェースブロック 5 6、および出力ブロック 5 4 を含む。

20

#### 【 0 0 4 3 】

第 1 の F S M 格子 3 0 A は、入力データ、例えば生データをデータ入力ブロックで受信するように構成される。第 1 の F S M 格子 3 0 A は、上述したように入力データに反応して、出力データを出力ブロックのところで提供する。第 1 の F S M 格子 3 0 A からの出力は、第 2 の F S M 格子 3 0 B のデータ入力ブロックに送出される。第 2 の F S M 格子 3 0 B は、次に、第 1 の F S M 格子 3 0 A によって提供された出力に基づいて反応して、階層構造 1 0 0 の対応する出力信号 1 0 2 を提供することが可能である。2 つの F S M 格子 3 0 A および 3 0 B をこのように直列に階層的に結合することによって、過去の事象に関するデータを、第 1 の F S M 格子 3 0 A から第 2 の F S M 格子 3 0 B に対して圧縮した語で提供する手段が提供される。提供されたデータは、第 1 の F S M 格子 3 0 A によって記録された複雑な事象（例えば、目的とするシーケンス）の要約と効果的になりうる。

30

#### 【 0 0 4 4 】

図 7 に示す F S M 格子 3 0 A、3 0 B の 2 水準階層 1 0 0 は、2 つの独立したプログラムを、同じデータストリームに基づいて動作することを可能とする。この 2 段階階層は、異なる領域としてモデリングされた生物学的頭脳中の視認に類似しうる。このモデルでは、これらの領域は、各々が類似の計算機能（パターンマッチング）を実施するが、異なるプログラム（署名）を用いる効果的に異なるパターン認識エンジンである。複数の F S M 格子 3 0 A、3 0 B を一緒に接続することによって、データストリーム入力に関する増加した知識が獲得され得る。

40

#### 【 0 0 4 5 】

（第 1 の F S M 格子 3 0 A によって実装される）階層の第 1 の水準は、例えば、生データストリームに対して直接的に処理を実施することが可能である。すなわち、生データストリームは、第 1 の F S M 格子 3 0 A の入力ブロック 5 2 で受信することが可能であり、第 1 の F S M 格子 3 0 A の構成可能素子は、この生データストリームに反応することが可能である。階層の（第 2 の F S M 格子 3 0 B によって実装される）第 2 の水準は、第 1 の水準からの出力を処理することが可能である。すなわち、第 2 の F S M 格子 3 0 B は、第

50

2 の F S M 格子 3 0 B の入力ブロック 5 2 で第 1 の F S M 格子 3 0 A の出力ブロック 5 4 からの出力を受信し、第 2 の F S M 格子 3 0 B の構成可能素子は、第 1 の F S M 格子 3 0 A の出力に反応することが可能である。したがって、この例では、第 2 の F S M 格子 3 0 B は、生データストリームを入力として受信せず、むしろ、第 1 の F S M 格子 3 0 A によって判定された生データストリームと適合する目的とするパターンの指示を受信する。第 2 の F S M 格子 3 0 B は、第 1 の F S M 格子 3 0 A からの出力データストリーム中のパターンを認識する F S M を実装することが可能である。第 2 の F S M 格子 3 0 B は、F S M 格子 3 0 A からの出力を受信することに加えて、複数の他の F S M 格子からの入力を受信し得ることを理解すべきである。同様に、第 2 の F S M 格子 3 0 B は他のデバイスからの入力を受信し得る。第 2 の F S M 格子 3 0 B は、出力を生成するために、これらの複数の入力を組み合わせ得る。

#### 【 0 0 4 6 】

図 8 は、コンパイラが、F S M を実装するために、格子 3 0 などの F S M 格子を構成するするために用いられるイメージにソースコードを変換するための方法 1 1 0 の例を示す。方法 1 1 0 は、ソースコードをシンタクスツリーに解析すること（ブロック 1 1 2 ）と、シンタクスツリーをオートマトンに変換すること（ブロック 1 1 4 ）と、オートマトンを最適化すること（ブロック 1 1 6 ）と、オートマトンをネットリストに変換すること（ブロック 1 1 8 ）と、ネットリストをハードウェア上に置くこと（ブロック 1 2 0 ）と、ネットリストをルーティングすること（ブロック 1 2 2 ）と、結果として得られるイメージを公開すること（ブロック 1 2 4 ）とを含む。

#### 【 0 0 4 7 】

ある例では、コンパイラ 2 0 は、ソフトウェア開発者が F S M 格子 3 0 上に F S M を実装するためにイメージを作成することを可能とするアプリケーションプログラミングインターフェース（A P I ）を含む。コンパイラ 2 0 は、ソースコード中の正規表現の入力集合を、F S M 格子 3 0 を構成するために構成されたイメージに変換する方法を提供する。コンパイラ 2 0 は、フォンノイマンアーキテクチャを有するコンピュータ用の命令によって実装することが可能である。これらの命令は、コンピュータ上のプロセッサ 1 2 にコンパイラ 2 0 の機能を実装させることが可能である。例えば、これら命令は、プロセッサ 1 2 によって実行されるとき、プロセッサ 1 2 に、プロセッサ 1 2 からアクセス可能なソースコードに対して、ブロック 1 1 2 、 1 1 4 、 1 1 6 、 1 1 8 、 1 2 0 、 1 2 2 、および 1 2 4 中で説明したような動作を実施させることが可能である。

#### 【 0 0 4 8 】

ある例では、ソースコードは、記号の群内の記号のパターンを特定するための検索ストリングを記述する。検索ストリングを記述するには、ソースコードは、複数の正規表現（r e g e x ）を含めばよい。r e g e x は、起動検索パターンを記述するためのストリングでありうる。r e g e x は、プログラミング言語、テキストエディタ、ネットワークセキュリティなどの様々なコンピュータドメインで広く用いられる。ある例では、コンパイラにサポートされる正規表現は、非構造化データの分析のために基準を含む。非構造化データは、自由形態で、データ内の語に適用される索引付けを有しないデータを含みうる。語は、データ内での、印刷可能でありか印刷不可能であるかは問わず、バイトの任意の組み合わせを含みうる。ある例では、コンパイラは、P e r l 、（例えば、P e r l とコンパティブルな正規表現（P C R E ））、P H P 、J a v a 、および . N E T 言語を含むr e g e x を実装するための複数の異なるソースコード言語をサポートすることが可能である。

#### 【 0 0 4 9 】

ブロック 1 1 2 で、コンパイラ 2 0 は、ソースコードを解析して、異なるタイプの演算子がソースコードによって実装された異なる機能（例えば、ソースコード中のr e g e x によって実装された異なる機能）に対応する、関係的に接続された演算子の配列を形成することが可能である。ソースコードを解析することで、ソースコードの一般的な表現を作成することが可能である。ある例では、この一般的な表現は、シンタクスツリーとして知ら

10

20

30

40

50

れているツリーグラフという形態でソースコード中の `regexp` の符号化された表現を含む。本明細書に説明する例は、他の例でのシンタクスツリー（「抽象シンタクスツリー」としても知られている）としての配列のことであるが、しかしながら、具象シンタクスツリーまたは他の配列を用いることが可能である。

#### 【0050】

上述したように、コンパイラ20は複数のソースコード言語をサポートすることが可能であるため、解析することで、ソースコードは、言語とは無関係に、言語に固有ではない表現、例えばシンタクスツリーに変換される。したがって、コンパイラ20によるさらなる処理（ブロック114、116、118、120）は、ソースコードの言語とは無関係に、共通の入力構造から作動することが可能である。

10

#### 【0051】

上記のように、シンタクスツリーは、関係的に接続された複数の演算子を含む。シンタクスツリーは、複数の異なるタイプの演算子を含みうる。すなわち、異なる演算子は、ソースコード中の `regexp` によって実装される異なる機能に対応しうる。

#### 【0052】

ブロック114で、シンタクスツリーはオートマトンに変換される。オートマトンは、FSMのソフトウェアモデルであり、したがって、決定性または非決定性であると分類することが可能である。決定性オートマトンは、所与の時点において単一の実行経路を有し、非決定性オートマトンは、複数の同時実行経路を有する。オートマトンは、複数の状態を含む。シンタクスツリーをオートマトンに変換するために、シンタクスツリー中の演算子と、演算子間の関係とを、状態間の遷移を伴う状態に変換する。ある例では、オートマトンは、FSM格子30のハードウェアに部分的に基づいて変換することが可能である。

20

#### 【0053】

ある例では、オートマトンに対する入力記号は、アルファベット記号、数値0～9、および他の印刷可能文字を含む。ある例では、入力記号は、バイト値0～255（255を含む）によって表される。ある例では、オートマトンは、グラフのノードが状態の集合に対応する有向グラフとして表すことが可能である。ある例では、入力記号に関する状態pから状態qへの遷移、すなわち、(p, )は、ノードpからノードqへの有向接続によって示される。ある例では、オートマトンの逆は、ある記号に関する各々の遷移p

qが、その記号に関する逆転されたq pになる新しいオートマトンを生成する。逆にすると、開始状態は最終状態になり、最終状態は開始状態になる。ある例では、オートマトンによって認識された（例えば、適合した）言葉は、オートマトンに連続的に入力されたときに最終状態に到達する全ての可能な文字ストリングの集合である。オートマトンによって認識された言葉の中の各々のストリングは、開始状態から1つ以上の最終状態に至る経路をたどる。

30

#### 【0054】

ブロック116で、オートマトンは、構築された後に、とりわけ、その複雑さおよびサイズを減少させるように最適化される。オートマトンは、冗長状態を組み合わせることによって最適化することが可能である。

#### 【0055】

ブロック118で、最適化されたオートマトンはネットリストに変換される。オートマトンはネットリストに変換することで、オートマトンの各々の状態が、FSM格子30上のハードウェア素子（例えば、SME34、36、他の素子）にマッピングされ、ハードウェア素子間の接続が決定される。

40

#### 【0056】

ブロック120で、ネットリストは、ネットリストの各々のノードに対応する目標デバイス（例えば、SME34、36、特殊目的素子58）の特定のハードウェア素子を選択するように位置付けされる。ある例では、位置付けは、FSM格子30用の一般的な入力および出力の制約に基づいて各々の特定のハードウェア素子を選択する。

#### 【0057】

50

ブロック 122 で、位置付けされたネットリストは、選択されたハードウェア素子と一緒に結合して、ネットリストによって記述される接続を達成するために、構成可能切り替え素子（例えば、ブロック間切り替え素子 40、ブロック内切り替え素子 42、および行内切り替え素子 44）に対する設定を決定するようにルーティングされる。ある例では、構成可能切り替え素子に対する設定は、選択されたハードウェア素子を接続するために用いられる F S M 格子 30 の特定の導線と、構成可能切り替え素子に対する設定とを決定することによって決定される。ルーティングは、ブロック 120 のその位置付でのハードウェア素子間の接続のより具体的な制約を考慮することが可能である。したがって、ルーティングは、F S M 格子 30 上の導線の実際の制約を考えて適切な接続を作成するためにグローバルな位置付けによって決定されたハードウェア素子の一部の位置を調整し得る。

10

#### 【0058】

いったんネットリストが位置付けされてルーティングされると、この位置付けされ、ルーティングされたネットリストは、F S M 格子 30 を構成するための複数のビットに変換される。これら複数のビットは、本明細書ではイメージ（例えば、二値イメージ）と呼ばれる。

#### 【0059】

ブロック 124 で、イメージはコンパイラ 20 によって公開される。イメージは、F S M 格子 30 の特定のハードウェア素子を構成するための複数のビットを含む。これらのビットは、ソースコードによって記述された機能性を有する F S M をプログラムされた F S M 格子 30 が実装するように、S M E 34、36、特殊目的素子 58、および構成可能切り替え素子の状態を構成するために、F S M 格子 30 上にロードすることが可能である。位置付け（ブロック 120）およびルーティング（ブロック 122）は、F S M 格子 30 中の特定の位置にある特定のハードウェア素子をオートマトン中の特定の状態にマッピングすることが可能である。したがって、イメージ中のビットは、所望の機能（複数可）を実装するために、特定のハードウェア素子を構成することが可能である。ある例では、イメージは、機械コードをコンピュータ読み取り可能媒体に保存することによって公開することが可能である。別の例では、イメージは、イメージを表示デバイス上に表示することによって公開することが可能である。さらに別の例では、イメージは、イメージを F S M 格子 30 中にロードするための構成用デバイスなどの別のデバイスに送出することによって公開することが可能である。さらに別の例では、イメージは、イメージを F S M 格子（例えば、F S M 格子 30）上にロードすることによって公開することが可能である。

20

#### 【0060】

ある例では、イメージは、イメージのビット値を S M E 34、36 および他のハードウェア素子に直接的にロードしてまたはイメージを 1 つ以上のレジスタ中にロードし、次に、ビット値をレジスタから S M E 34、36 および他のハードウェア素子に書き込むことによって、F S M 格子 30 上にロードすることが可能である。ある例では、F S M 格子 30 のハードウェア素子（例えば、S M E 34、36、特殊目的素子 58、構成可能切り替え素子 40、42、44）は、構成用デバイスおよび / またはコンピュータがイメージを、このイメージを 1 つ以上のメモリアドレスに書き込むことによって、F S M 格子 30 上にロードすることが可能となるようにマッピングされたメモリである。

30

#### 【0061】

本明細書に説明する方法の例は、少なくとも部分的に機械またはコンピュータに実装することが可能である。一部の例は、上記の例に説明したように方法を実施するために電子デバイスを構成するように動作可能な命令で符号化されたコンピュータ読み取り可能媒体または機械読み取り可能媒体を含みうる。このような方法の実装例は、マイクロコードなどのコード、アセンブリ言語コード、最高水準言語コードなどを含みうる。このようなコードは、様々な方法を実施するためのコンピュータ読み取り可能命令を含みうる。コードは、コンピュータプログラムプロダクトの部分を形成し得る。さらに、コードは、実行中または他の時間で、1 つ以上の揮発性または不揮発性のコンピュータ読み取り可能媒体上有形に記憶され得る。コンピュータ読み取り可能媒体は、これには限られないが、ハ

40

50

ドディスク、取り外し可能磁気ディスク、取り外し可能光ディスク（例えば、コンパクトディスクおよびデジタルビデオディスク）、磁気カセット、メモリカードもしくはステッキ、ランダムアクセスメモリ（RAM）、リードオンリーメモリ（ROM）などを含み得る。

#### 【0062】

ここで図9を参照すると、状態機械エンジン14（例えば、单一チップ上の單一デバイス）の実施形態が示されている。以前に説明したように、状態機械エンジン14は、データバスを介してメモリ16などのソースからデータを受信するように構成される。図示する実施形態では、データは、ダブルデータレート3（DDR3）バスインターフェース130などのバスインターフェースを介して状態機械エンジン14に送出され得る。DDR3バスインターフェース130は、1ギガバイト/秒以上の速度でデータを交換すること（例えば、提供することおよび受信すること）が可能であり得る。このようなデータ交換速度は、データが状態機械エンジン14によって分析される速度を超える。理解されるように、分析されるデータのソース次第では、バスインターフェース130は、NANDフラッシュインターフェース、周辺構成要素相互接続（PCI）インターフェース、ギガビット媒体独立インターフェース（GMMI）などの、状態機械エンジン14に対する、データソースへのおよびからのデータを交換するための任意の適切なバスインターフェースであり得る。以前に説明したように、状態機械エンジン14は、データを分析するように構成された1つ以上のFSM格子30を含む。各々のFSM格子30は、2つの半格子に分割され得る。図示する実施形態では、各々の半格子は、24KのSME（例えば、SME34、36）を含み得るため、格子30は48KのSMEを含む。格子30は、図2～5に関連して以前に説明したように配列された任意の所望の数のSMEを備え得る。さらに、たった1つのFSM格子30を図示しているが、状態機械エンジン14は、以前に説明したように複数のFSM格子30を含み得る。

#### 【0063】

分析されるデータは、バスインターフェース130で受信されて、いくつかのバッファおよびバッファインターフェースを介してFSM格子30に提供され得る。図示する実施形態では、データ経路は、データバッファ132、命令バッファ133、処理バッファ134、ならびにランク間（IR）バスおよび処理バッファインターフェース136を含む。データバッファ132は、分析されるデータを受信して、一時的に記憶するように構成される。1つの実施形態では、2つのデータバッファ132（データバッファAおよびデータバッファB）が存在する。データは2つのデータバッファ132のうちの一方から排出されている間に、他方のデータバッファ132に記憶されて、FSM格子30によって分析される。バスインターフェース130は、分析されるデータを、データバッファ132が一杯になるまでデータバッファ132に提供するように構成され得る。データバッファ132が一杯になった後、バスインターフェース130は、他の目的のために自由に用いられるように（例えば、データバッファ132が分析されるさらなるデータを受信するように利用可能となるまで、データストリームからの他のデータを提供するように）構成され得る。図示する実施形態では、データバッファ132は、各々が32Kバイトであり得る。命令バッファ133は、分析されるデータに対応する命令および状態機械エンジン14を構成することに対応する命令などの命令を、バスインターフェース130を介してプロセッサ12から受信するように構成される。IRバスおよび処理バッファインターフェース136は、データを処理バッファ134に提供することを容易化し得る。IRバスおよび処理バッファインターフェース136は、データが順番にFSM格子30によって処理されることを保証するために用いることが可能である。IRバスおよび処理バッファインターフェース136は、データ、タイミングデータ、パッキング命令などの交換を、そのデータが受信されて正確に分析されるように調整し得る。一般的に、IRバスおよび処理バッファインターフェース136は、あるデバイスランクの複数のデバイスの使用を許容する。これらのデバイスランクの複数のデバイスは、これら複数のデバイスの全てが共有されるデータの全てを正しい順序で受信するようにデータを共有する。例えば、複数

10

20

30

40

50

の物理的デバイス（例えば、状態機械エンジン14、チップ、個別のデバイス）は、ランクに分けて配列し得るし、また、データをIRバスおよび処理バッファインターフェース136を介して互いにに対して提供し得る。この応用の目的のため、「ランク」という用語は、同じチップ選択物に接続された状態機械エンジン14の集合のことである。図示する実施形態では、IRバスおよび処理バッファインターフェース136は、8ビットのデータバスを含み得る。

#### 【0064】

図示する実施形態では、状態機械エンジン14はまた、状態機械エンジン14におよびこれからデータを提供する際の支援として、デコンプレッサ138およびコンプレッサ140を含む。理解され得るように、コンプレッサ140およびデコンプレッサ138は、ソフトウェアおよび／またはハードウェアの設計を簡略化するために同じ圧縮アルゴリズムを用い得るが、しかしながら、コンプレッサ140およびデコンプレッサ138は、異なるアルゴリズムも用い得る。データを圧縮することによって、バスインターフェース130（例えば、DDR3バスインターフェース）を利用する時間が最小化され得る。本実施形態では、コンプレッサ140は、状態ベクトルデータ、構成データ（例えば、プログラミングデータ）、およびFSM格子30による分析後に得られた適合結果データを圧縮するために用いられ得る。1つの実施形態では、コンプレッサ140およびデコンプレッサ138は、コンプレッサ140およびデコンプレッサ138へおよび／から流れるデータが修正されない（例えば、圧縮も解凍もされない）ように、無効化され得る（例えば、オフされ得る）。

10

#### 【0065】

コンプレッサ140およびデコンプレッサ138はまた、複数集合のデータを取り扱うように構成することが可能であり、各々の集合のデータは可変長であり得る。圧縮されたデータを「パディングする」して、各々の圧縮された領域がいつ終了するかに関するインジケータを含むことによって、コンプレッサ140は、状態機械エンジン14を介して全体的な処理速度を改善し得る。

20

#### 【0066】

状態機械エンジン14は、状態ベクトルキャッシュメモリ142、状態ベクトルメモリバッファ144、状態ベクトル中間入力バッファ146、および状態ベクトル中間出力バッファ148を有する状態ベクトルシステム141を含む。状態ベクトルシステム141は、FSM格子30の複数の状態ベクトルを記憶し、状態ベクトルを状態機械エンジン14上にもしくはこれから離れるように移動させ、状態ベクトルをFSM格子30に提供してFSM格子30を、提供された状態ベクトルに対応する状態に復元させるために用いられ得る。例えば、各々の状態ベクトルは状態ベクトルキャッシュメモリ142中に一時的に記憶され得る。すなわち、各々のSME34、36の各々の状態が記憶され得るが、それにより、新しいデータ集合（例えば、検索項目）の分析のためにSME34、36を開放しながら、状態が復元され、後でさらなる分析で用いられ得る。一般的なキャッシュのように、状態ベクトルキャッシュメモリ142は、状態ベクトルを、例えば、ここではFSM格子30によって迅速に検索されて用いられるように記憶することを許容する。図示する実施形態では、状態ベクトルキャッシュメモリ142は、最大で512の状態ベクトルを記憶し得る。各々の状態ベクトルは、FSM格子30のSME34、36の状態（例えば、起動された状態または起動されていない状態）およびカウンタ58の動的な（例えば、現在の）カウント値を含み得る。

30

#### 【0067】

理解されるように、状態ベクトルデータは、あるランクの異なる状態機械エンジン14（例えば、チップ）間で交換され得る。状態ベクトルデータは、FSM格子30のSME34、36の状態とカウンタ58の動的カウント値を同期化すること、複数の状態機械エンジン14全体にわたって同じ機能を実施すること、複数の状態機械エンジン14全体にわたって同じ結果を再現すること、複数の状態機械エンジン14全体にわたって結果をカスケードすること、複数の状態機械エンジン14を介してカスケードされたデータを分析

40

50

するために用いられる S M E 3 4 、 3 6 の状態およびカウンタ 5 8 の動的カウント値の履歴を記憶すること、などの様々な目的のために、異なる状態機械エンジン 1 4 の間で交換され得る。さらにそのうえ、状態機械エンジン 1 4 内で、状態ベクトルデータは状態ベクトルを迅速に復元するために用いられ得ることに留意すべきである。例えば、状態ベクトルデータは、 S M E 3 4 、 3 6 の状態およびカウンタ 5 8 の動的カウント値を（例えば、新しい検索項目を検索するために）初期状態に復元させること、 S M E 3 4 、 3 6 の状態およびカウンタ 5 8 の動的カウント値を（例えば、以前に検索された検索項目を検索するために）先行する状態に復元させること、および S M E 3 4 、 3 6 の状態およびカウンタ 5 8 の動的カウント値を（例えば、カスケード検索で検索項目を検索するために）カスケード構成用に構成されるように変更すること、のために用いられ得る。ある実施形態では、状態ベクトルデータは、（例えば、状態ベクトルデータの分析、修正を適用するための状態ベクトルデータの再構成、効率を改善するための状態ベクトルデータの再構成などのために）状態ベクトルデータがプロセッサ 1 2 に提供され得るよう、バスインターフェース 1 3 0 に提供され得る。

#### 【 0 0 6 8 】

例えば、ある実施形態では、状態機械エンジン 1 4 は、キャッシュされた状態ベクトルデータ（例えば、状態ベクトルシステム 1 4 1 によって記憶されたデータ）を F S M 格子 3 0 から外部デバイスに提供し得る。外部デバイスは、状態ベクトルデータを受信し、状態ベクトルデータを修正し、 F S M 格子 3 0 を復元させる（例えば、リセットする、初期化する）ために、修正された状態ベクトルデータを状態機械エンジン 1 4 に提供し得る。したがって、外部デバイスは、状態機械エンジン 1 4 が所望次第で状態をスキップする（例えば、ジャンプして回る）ように、状態ベクトルデータを修正し得る。

#### 【 0 0 6 9 】

状態ベクトルキャッシュメモリ 1 4 2 は、状態ベクトルデータを任意の適切なデバイスから受信し得る。例えば、状態ベクトルキャッシュメモリ 1 4 2 は、状態ベクトルを、 F S M 格子 3 0 、別の F S M 格子 3 0 （例えば、 I R バスおよび処理バッファインターフェース 1 3 6 を介して）、デコンプレッサ 1 3 8 などから受信し得る。図示する実施形態では、状態ベクトルキャッシュメモリ 1 4 2 は、状態ベクトルを、他のデバイスから状態ベクトルメモリバッファ 1 4 4 を介して受信し得る。さらにそのうえ、状態ベクトルキャッシュメモリ 1 4 2 は、状態ベクトルデータを任意の適切なデバイスに提供し得る。例えば、状態ベクトルキャッシュメモリ 1 4 2 は、状態ベクトルデータを、状態ベクトルメモリバッファ 1 4 4 、状態ベクトル中間入力バッファ 1 4 6 、および状態ベクトル中間出力バッファ 1 4 8 に提供し得る。

#### 【 0 0 7 0 】

状態ベクトルメモリバッファ 1 4 4 、状態ベクトル中間入力バッファ 1 4 6 、および状態ベクトル中間出力バッファ 1 4 8 などのさらなるバッファを、状態ベクトルキャッシュメモリ 1 4 2 と一緒に用いて、インターリーブされたパケットを持つ別個のデータ集合を状態機械エンジン 1 4 によって処理しながら、状態ベクトルの迅速な取り出しおよび記憶に対応することができる。図示する実施形態では、状態ベクトルメモリバッファ 1 4 4 、状態ベクトル中間入力バッファ 1 4 6 、および状態ベクトル中間出力バッファ 1 4 8 の各々は、1つの状態ベクトルを一時的に記憶するように構成され得る。状態ベクトルメモリバッファ 1 4 4 は、任意の適切なデバイスから状態ベクトルデータを受信することおよび状態ベクトルデータを任意の適切なデバイスに提供することのために用いられ得る。例えば、状態ベクトルメモリバッファ 1 4 4 は、 F S M 格子 3 0 、別の F S M 格子 3 0 （例えば、 I R バスおよび処理バッファインターフェース 1 3 6 を介して）、デコンプレッサ 1 3 8 、および状態ベクトルキャッシュメモリ 1 4 2 から状態ベクトルを受信するために用いられ得る。別の例として、状態ベクトルメモリバッファ 1 4 4 は、（例えば、他の F S M 格子 3 0 用の） I R バスおよび処理バッファインターフェース 1 3 6 、コンプレッサ 1 4 0 、および状態ベクトルキャッシュメモリ 1 4 2 に、状態ベクトルデータを提供するために用いられ得る。

10

20

30

40

50

## 【0071】

同様に、状態ベクトル中間入力バッファ146は、状態ベクトルデータを任意の適切なデバイスから受信すること、および状態ベクトルデータを任意の適切なデバイスに提供することのために用いられ得る。例えば、状態ベクトル中間入力バッファ146は、FSM格子30（例えば、IRバスおよび処理バッファインターフェース136を介して）、デコンプレッサ138、および状態ベクトルキャッシュメモリ142から状態ベクトルを受信するために用いられ得る。別の例として、状態ベクトル中間入力バッファ146は、状態ベクトルをFSM格子30に提供するために用いられ得る。さらにそのうえ、状態ベクトル中間出力バッファ148は、状態ベクトルを任意の適切なデバイスから受信することおよび状態ベクトルを任意の適切なデバイスに提供することのために用いられ得る。例えば、状態ベクトル中間出力バッファ148は、FSM格子30および状態ベクトルキャッシュメモリ142から状態ベクトルを受信するために用いられ得る。別の例として、状態ベクトル中間出力バッファ148は、FSM格子30（例えば、IRバスおよび処理バッファインターフェース136を介して）、およびコンプレッサ140に状態ベクトルを提供するために用いられ得る。

## 【0072】

いったん目的とする結果がFSM格子30によって生成されると、適合結果は、適合結果メモリ150に記憶され得る。すなわち、適合（例えば、目的とするパターンの検出）を示す「適合ベクトル」は、適合結果メモリ150に記憶され得る。適合結果は、次に、例えば、バスインターフェース130を介してプロセッサ12に伝達されるように、適合バッファ152に送出することが可能である。以前に説明したように、適合結果は圧縮され得る。

## 【0073】

さらなるレジスタおよびバッファは、状態機械エンジン14でも提供され得る。例えば、状態機械エンジン14は、制御およびステータスレジスタ154を含み得る。加えて、復元およびプログラムバッファ156は、初期にFSM格子30のSME34、36を構成し、分析中にFSM格子30中のSME34、36の状態を復元させる際に用いられるように提供され得る。同様に、保存および修復マップバッファ158もまた、セットアップおよび使用目的の保存および修復マップを記憶するために提供され得る。

## 【0074】

図10は、デバイスのランクに配列された例としての複数の物理的状態機械エンジン14を示す。以前に説明したように、分析されるデータは、バスインターフェース130で受信される。バスインターフェース130は、各々の状態機械エンジン14（例えば、F0、F1、F2、F3、F4、F5、F6、F7）のデータバッファ132および命令バッファ133を含むデータバッファシステム159にデータを方向付ける。データバッファ132は、分析されるデータを受信して一時的に記憶するように構成される。図示する実施形態では、各々の状態機械エンジン14中に2つのデータバッファ132（例えば、データバッファAおよびデータバッファB）が存在する。データは2つのデータバッファ132のうちの一方から排出されている間に、他方のデータバッファ132に記憶されて、FSM格子30によって分析され得る。以前に説明したように、命令バッファ133は、分析されるデータに対応する命令などの命令を、バスインターフェース130を介してプロセッサ12から受信するように構成される。データバッファシステム159から、分析されるデータと、このデータに対応する命令とは、IRバスおよび処理バッファインターフェース136を介して、FSM格子30（例えば、Fa、Fb、Fc、Fd、Fe、Ff、Fg、Fh）のうちの1つ以上に対して提供される。本実施形態では、物理的FSM格子30は、論理群に配列される。具体的には、FgおよびFhは論理群A162に配列され、FeおよびFfは論理群B164に配列され、FcおよびFdは論理群C166に配列され、FaおよびFbは論理群D168に配列される。さらにそのうえ、理解されるように、データは、FSM格子30と別のデバイス（例えば、FSM格子30）との間で、IRバスおよび処理バッファインターフェース136を介して交換され得る。例えば

、 I R バスおよび処理バッファインターフェース 136 は、 F S M 格子 30 の任意のものの間でデータを交換するために用いられ得る。8 個の状態機械エンジン 14 が図示されているが、デバイスのランクは、任意の適切な数（例えば、1、2、4、8 など）の状態機械エンジン 14 を有し得る。理解されるように、 I R バスおよび処理バッファインターフェース 136 は、（例えば、データバッファシステム 159 および F S M 格子 30 から）データを受信するための入力部を含み得る。同様に、 I R バスおよび処理バッファインターフェース 136 は、（例えば、 F S M 格子 30 に）データを送出するための出力部を含み得る。

#### 【 0075 】

バスインターフェース 130 は、分析されるデータを、そのデータが効率的に使用されるように調整された形式で受信し得る。具体的には、図 11 ~ 14 は、どのようにしてデータがプロセッサ 12 によって、バスインターフェース 130 を介して状態機械エンジン 14 に提供されるデータブロック中に割り当てられる（例えば、グループ分けされる）かの例を示す。さらにそのうえ、図 15 ~ 17 は、どのようにしてデータブロックが、状態機械エンジン 14 のデータバッファシステム 159 を介して受信され、記憶され、提供され得るかの例を示す。図 18 は、どのようにしてデータブロックが論理群 162、164、166、および 168 によって受信され得るかを示す。

#### 【 0076 】

ここで、図 11 を参照すると、状態機械エンジン 14 に提供されるデータブロック中にプロセッサ 12 によって割り当てられたデータセグメント（例えば、データ集合、検索項目）の例が図示されている。本実施形態では、複数のデータセグメントが単一のデータブロック中に割り当てられる。各々のデータブロックは、 F S M 格子 30 （例えば、状態機械エンジン 14 のランクの 1 つ以上の状態機械エンジン 14 ）の単一の論理群によって分析されるように割り当てられる。例えば、データストリーム 170 （例えば、プロセッサ 12 によって状態機械エンジン 14 に送出される多量のデータ）は、論理群 A 162 向けと意図されるデータに対応する第 1 のデータブロック 172 と、論理群 B 164 向けと意図されるデータに対応する第 2 のデータブロック 174 と、論理群 C 166 向けと意図されるデータに対応する第 3 のデータブロック 176 と、論理群 D 168 向けと意図されるデータに対応する第 4 のデータブロック 178 と、の中にプロセッサ 12 によって割り当てられる。具体的には、データストリーム 170 は、プロセッサ 12 によって、データセグメント 180、182、184、186、188、190、192、194、196、198、および 200 に分割される。理解されるように、データセグメント 180、182、184、186、188、190、192、194、196、198、および 200 の各々は、 F S M 格子 30 によって分析されるように設定されたデータ集合を表し得る。理解されるように、プロセッサ 12 は、データセグメント 180、182、184、186、188、190、192、194、196、198、および 200 を、何らかの適切な理由によって、データブロック 172、174、176、および 178 に割り当て得る。例えば、プロセッサ 12 は、データ集合を効率的に処理するために、各々のデータ集合の長さおよび / またはデータ集合が分析される順序に基づいて、データセグメントをあるデータブロックに割り当て得る。

#### 【 0077 】

データセグメント 180、182、184、186、188、190、192、194、196、198、および 200 は、なんらかの適切な仕方を用いて、データブロック 172、174、176、および 178 に割り当て得る。例えば、データセグメント 180、182、184、186、188、190、192、194、196、198、および 200 は、データブロック 172、174、176、および 178 中のバイト数が最小化されるように、データブロック 172、174、176、および 178 中に割り当てられ得る。別の例として、データセグメント 180、182、184、186、188、190、192、194、196、198、および 200 は、あるデータセグメントが一緒にグループ化されるように、データブロック 172、174、176、および 178 中

10

20

30

40

50

に割り当てられ得る。

#### 【0078】

図示するように、第1のデータブロック172は、データセグメントA180、データセグメントF190、およびデータセグメントI196を含む。第2のデータブロック174は、データセグメントB182およびデータセグメントK200を含む。さらにそのうえ、第3のデータブロック176は、データセグメントC184、データセグメントE188、およびデータセグメントG192を含む。第4のデータブロック178は、データセグメントD186、データセグメントH194、およびデータセグメントJ198を含む。

#### 【0079】

理解されるように、データブロックを効率的に処理するために、データブロックは全て、等しい量のデータを有し得る。さらにそのうえ、データブロック内のデータセグメントは、処理するデバイスが、データセグメントがいつ開始して停止するかを判定することができるよう、データブロック内の所定の間隔（例えば、バイト、語）で開始および／または停止し得る。しかしながら、データセグメントは、所定の間隔で開始および／または停止するための正確な量のデータを有していなくてもよい。したがって、データパディングが、データが所定の間隔で、データブロック内で開始および／または停止するよう、あるデータセグメントの間に挿入され得る。加えて、データパディングは、全てのデータブロックが等しい量のデータを有するように、データブロックの最後に追加され得る。

#### 【0080】

ここで図12を参照すると、図11のデータブロック172、174、176、および178のデータセグメントの間に挿入されるデータパディングの例が図示されている。例えば、第1のデータブロック172中で、データパディング202は、データセグメントA180とデータセグメントF190との間に挿入され得る。さらに、データパディング204は、データセグメントF190とデータセグメントI196との間に挿入され得る。別の例として、第2のデータブロック174中で、データパディング206は、データセグメントB182とデータセグメントK200との間に挿入され得る。第3のデータブロック176中で、データパディング208は、データセグメントC184とデータセグメントE188との間に挿入され得る。同様に、データパディング210は、データセグメントE188とデータセグメントG192との間に挿入され得る。別の例として、第4のデータブロック178中で、データパディング212は、データセグメントD186とデータセグメントH194との間に挿入され得る。加えて、データパディング214は、データセグメントH194とデータセグメントJ198との間に挿入され得る。

#### 【0081】

データパディング202、204、206、208、210、212、および214は、分析されないいずれかの適切なバイト数のデータ（例えば、無効データ、ジャンクデータ、フィラーデータ、ゴミデータなど）を含み得る。1つの実施形態では、データパディングとして用いられるバイト数は、先行するデータセグメントのバイト数に加算されたときに、全体の語境界に到達するバイト数（すなわち、先行するデータセグメントのバイト数にデータパディングとして用いられるバイト数を加算した数が全体の語境界によって等分されるバイト数）であり得る。例えば、データパディング202のバイト数は、データパディング202とデータセグメントA180（すなわち、先行するデータセグメント）との合計バイト数が全体の語境界によって等分されるような（例えば、剩余のない）数であり得る。図示する実施形態では、全体語境界は8バイトであり得る。他の実施形態では、全体語境界は、いずれかの適切なバイト数またはビット数であり得る。したがって、図示する実施形態では、データセグメントA180が63バイトのデータを含むことになっている場合、データパディング202は、（例えば64は8バイトによって等分されるので、データセグメントA180とデータパディング202との間に計で64バイトのデータを作成するために）1バイトのデータを含む。別の例として、データセグメントA180

10

20

30

40

50

が 60 バイト ( 例えば、 8 で等分されない ) のデータを含んだ場合、 データパディング 202 は、 4 バイトのデータを含む。 さらなる例として、 データセグメント A180 が 64 バイトのデータを含んだ場合、 データパディング 202 は、 ゼロバイトのデータを含む、 すなわち、 言い換えれば、 データパディング 202 は、 データセグメント A180 とデータセグメント F190 との間では必要とされない。 理解されるように、 各々のデータパディング 202、 204、 206、 208、 210、 212、 および 214 は、 類似の仕方で動作し得る。

#### 【 0082 】

ここで図 13 を参照すると、 図 12 のデータブロック 172、 174、 176、 および 178 のデータセグメントの後に挿入されたデータパディングの例が図示されている。 具体的には、 データパディングは、 各々のデータブロック 172、 174、 176、 および 178 中のバイトの数を等しくするために、 必要に応じて各々のデータブロック 172、 174、 176、 および 178 の最後に挿入され得る。 さらにそのうえ、 各々のデータブロック 172、 174、 176、 および 178 の最後のところのデータパディングは、 各々のデータブロック 172、 174、 176、 および 178 が以前に説明したように全体語境界に到達するように用いられ得る。 図示する実施形態では、 データパディング 216 はデータセグメント I196 の後に挿入され、 データパディング 218 はデータセグメント G192 の後に挿入され、 データパディング 220 はデータセグメント J198 の後に挿入される。 したがって、 データブロック 172、 174、 176、 および 178 の各々は、 等しい数のバイトを含み、 データブロック 172、 174、 176、 および 178 の各々は、 全体語境界に到達する。

#### 【 0083 】

FSM 格子 30 がデータパディングを有効なデータから区別することは困難であり得る。 したがって、 有効なデータの分析中に、 データパディングが FSM 格子 30 によって特定されて無視されるように、 命令はデータブロック 172、 174、 176、 および 178 に付随し得る。 このような命令は、 バスインターフェース 130 を介してプロセッサ 12 によって状態機械エンジン 14 に送出され得るし、 状態機械エンジン 14 の命令バッファ 160 によって受信、 記憶、 および 提供され得る。 命令を生成するために、 プロセッサ 12 は、 データストリーム 170 を領域 222、 224、 226、 228、 230、 232、 234、 および 236 に論理的に分割し得る。 領域 222、 224、 226、 228、 230、 232、 234、 および 236 の末端境界は、 いずれかのデータパディングが終了するときに各々の領域が終了するように形成され得る。 例えば、 第 1 の領域 222 は、 データパディング 208 が終了するときに終了する。 別の例として、 第 5 の領域 230 は、 データパディング 204 が終了するときに終了する。

#### 【 0084 】

データブロック 172、 174、 176、 および 178 に付随する命令は、 各々の領域 222、 224、 226、 228、 230、 232、 234、 および 236 のバイト数と、 各々の領域内の各々のデータブロック 172、 174、 176、 および 178 の有効なバイト数 ( 例えば、 バイトパディングを除いたバイト数 ) とを含み得る。 例えば、 命令は、 第 1 の領域 222 に対応するバイト数 238 と、 第 1 の領域 222 内の第 1 のデータブロック 172 の有効なバイトに対応するバイト数 240 と、 第 1 の領域 222 内の第 2 のデータブロック 174 の有効なバイトに対応するバイト数 242 と、 第 1 の領域 222 内の第 3 のデータブロック 176 の有効なバイトに対応するバイト数 244 と、 第 1 の領域 222 内の第 4 のデータブロック 178 の有効なバイトに対応するバイト数 246 と、 を含み得る。

#### 【 0085 】

同様に、 命令は、 第 2 の領域 224 に対応するバイト数 248、 250、 252、 254、 および 256 と、 第 3 の領域 226 に対応するバイト数 258、 260、 262、 264、 および 266 と、 第 4 の領域 228 に対応するバイト数 268、 270、 272、 274、 および 276 と、 第 5 の領域 230 に対応するバイト数 278、 280、 282

10

20

30

40

50

、284、および286と、第6の領域232に対応するバイト数288、290、292、294、および296と、第7の領域234に対応するバイト数298、302、304、および306と、第8の領域236に対応するバイト数308、312、314、および316と、を含み得る。したがって、命令を用いて、FSM格子30は、データセグメントと共に挿入されたデータパディングを特定し得る。1つの具体的なタイプの命令を本明細書に提示したが、データブロック172、174、176、および178の群と共に含まれる命令は、FSM格子30が、有効なデータをデータパディング（すなわち、無効なデータ）から区別することを可能とするいずれかの適切な命令の群であり得ることに留意すべきである。

## 【0086】

10

ここで図14を参照すると、状態機械エンジン14のデータバッファシステム159に伝達するようにプロセッサ12によって組織化された図13のデータブロック172、174、176、および178の例が図示されている。データブロック172、174、176、および178の各々は、データの行が全体語長に等しいバイト数318を有するように配列される。図示する実施形態では、全体語長は、状態機械エンジン14（例えば、F0、F1、F2、F3、F4、F5、F6、およびF7）の各々に対して、バイトで表わして8バイトである。データセグメントの各々からの最初のバイトは、各々のデータブロック172、174、176、および178の右側から始まり、各々のデータブロックの左側に向かって増加し、それにより、データセグメントA180の第1のバイトが列F0中にあり、データセグメントA180の第8のバイトが列F7中にあるようにする。理解されるように、列F0は、F0という状態機械エンジン14のデータバッファ132中に最初に記憶されるデータを表し、列F1は、F1という状態機械エンジン14のデータバッファ132中に最初に記憶されるデータを表し、となる。さらにそのうえ、データセグメントは、上から下に向かって行中に置かれる。図示するように、データセグメントとデータパディングとの各々の組み合わせは、列F7で終了する（すなわち、それらは各々が、全体語長にまで延在する）。さらにそのうえ、各々のデータブロック172、174、176、および178は、サイズが等しい。理解されるように、動作中は、データブロック172、174、176、および178は、プロセッサ12から状態機械エンジン14に連続的に提供され得る。

## 【0087】

30

データブロック172、174、176、および178からのデータは、論理群162、164、166、および168向けに意図されるデータがデータバッファシステム159中で混ざり合い、それにより各々の論理群162、164、166、および168向けに意図されるデータの一部分が各々の状態機械エンジン14（例えば、F0、F1、F2、F3、F4、F5、F6、およびF7）内で混ざり合うように、配列される。データは、この様式で受信および記憶され、データがバスインターフェース130を介してデータバッファシステム159に迅速に提供されることを可能にし得る。ある実施形態では、データバッファシステム159のデータバッファ132は、バスインターフェース130からのデータを（例えば、所定の間隔で）ラッチするように構成され得る。他の実施形態では、データバッファシステム159のデータバッファ132は、データバッファ132とバスインターフェース130との間の接続に基づいてデータの限られた部分を受信し得る。以下に詳述するように、混ざり合わされたデータは、データがIRバスおよび処理バッファインターフェース136を介してデータバッファシステム159から処理バッファ134に提供されたときに分類される。

## 【0088】

40

ここで図15に目を転じると、状態機械エンジン14によって受信されているデータブロック172、174、176、および178の例が図示されている。具体的には、データバッファシステム159は第1のデータブロック172を受信して、その後に第2のデータブロック174、第3のデータブロック176、および第4のデータブロック178を受信する。上述したように、データブロック172、174、176、および178の

50

各々は、特定の論理群 162、164、166、および 168 によって分析されるようになり、プロセッサ 12 によって割り当てられ得る。データバッファシステム 159 がデータブロック 172、174、176、および 178 を受信するとき、データバッファシステム 159 は、データブロック 172、174、176、および 178 からのデータを体系的な様式でバッファ中に記憶し、それにより、データがデータバッファシステム 159 から FSM 格子 162、164、166、および 168 に正確に提供されるようとする。

#### 【0089】

したがって、図 16 は、図 15 のデータブロック 172、174、176、および 178 がどのようにして状態機械エンジン 14 のデータバッファシステム 159 中に記憶されるかの例を示す。特に、第 1 のデータブロック 172 からのデータは、第 1 のバッファ行と、その後の 4 つ目毎の行（例えば、行 5、9、13、17 など）とに記憶される。同様に、第 2 のデータブロック 174 からのデータは、第 2 のバッファ行と、その後の 4 つ目毎の行（例えば、行 6、10、14、18 など）とに記憶される。さらに、第 3 のデータブロック 176 からのデータは、第 3 のバッファ行と、その後の 4 つ目毎の行（例えば、行 7、11、15、19 など）とに記憶される。加えて、第 4 のデータブロック 178 からのデータは、第 4 のバッファ行と、その後の 4 つ目毎の行（例えば、行 8、12、16、20 など）とに記憶される。一部の状態機械エンジン 14 は、4 つの FSM 格子 162、164、166、および 168 よりも少ないまたは多い格子を含み得ることに留意すべきである。したがって、他の実施形態では、データバッファシステム 159 は、データブロックからのデータを別の様式で記憶するように構成され得る。例えば、8 個の FSM 格子を持つ状態機械エンジン 14 では、各々の FSM 格子用のデータブロックは、バッファの 1 つの行と、その後の 8 つ目毎の行とに記憶されたデータを有し得る。

#### 【0090】

ここで図 17 を参照すると、データバッファシステム 159 から複数の FSM 格子に提供されるデータの例が図示されている。具体的には、データはデータバッファシステム 159 から取り出されて、IR バスおよび処理バッファインターフェース 136 にデータバーストで提供される。（全体の語中のバイト数 318 が 8 バイトである）1 つの実施形態では、1 つの IR バスサイクルを完了させるのに、8 つのデータバーストを用いる。具体的には、第 1 のデータバースト 320 において、列 F0 からの 4 バイト（例えば、各々のデータブロック 172、174、176、および 178 からの 1 バイトずつ）を、IR バスおよび処理バッファインターフェース 136 に提供する。同様に、第 2 のデータバースト 322 では、列 F1 からの 4 バイト（例えば、各々のデータブロック 172、174、176、および 178 からの 1 バイトずつ）を、IR バスおよび処理バッファインターフェース 136 に提供する。第 3 のデータバースト 324 では、列 F2 からの 4 バイト（例えば、各々のデータブロック 172、174、176、および 178 からの 1 バイトずつ）を、IR バスおよび処理バッファインターフェース 136 に提供する。第 4 のデータバースト 326 では、列 F3 からの 4 バイト（例えば、各々のデータブロック 172、174、176、および 178 からの 1 バイトずつ）を、IR バスおよび処理バッファインターフェース 136 に提供する。さらに、第 5 のデータバースト 328 では、列 F4 からの 4 バイト（例えば、各々のデータブロック 172、174、176、および 178 からの 1 バイトずつ）を、IR バスおよび処理バッファインターフェース 136 に提供する。同様に、第 6 のデータバースト 330 では、列 F5 からの 4 バイト（例えば、各々のデータブロック 172、174、176、および 178 からの 1 バイトずつ）を、IR バスおよび処理バッファインターフェース 136 に提供する。第 7 のデータバースト 332 では、列 F6 からの 4 バイト（例えば、各々のデータブロック 172、174、176、および 178 からの 1 バイトずつ）を、IR バスおよび処理バッファインターフェース 136 に提供する。さらに、第 8 のデータバースト 334 では、列 F7 からの 4 バイト（例えば、各々のデータブロック 172、174、176、および 178 からの 1 バイトずつ）を、IR バスおよび処理バッファインターフェース 136 に提供する。したがって、データは、データバッファシステム 159 から取り出されて IR バスおよび処理バッファインターフェース 136 に提供される。

10

20

30

40

50

フェース 136 に、データバーストを用いて体系的な内容で提供される。

【0091】

図 18 に目を転じると、データバースト 320、322、324、326、328、330、332、および 334 の複数の論理群 162、164、166、および 168 中へのデータ提供の例が図示されている。具体的には、図示する実施形態では、論理群 A 162 ( 例えば、Fg、Fh ) の処理バッファ 134 は、IR バスおよび処理バッファインターフェース 136 上に提供された各々のデータバースト 320、322、324、326、328、330、332、および 334 の第 1 のバイトをラッチするように構成され得る。同様に、論理群 B 164 ( 例えば、Fe、Ff ) の処理バッファ 134 は、IR バスおよび処理バッファインターフェース 136 上に提供された各々のデータバースト 320、322、324、326、328、330、332、および 334 の第 2 のバイトをラッチするように構成され得る。加えて、論理群 C 166 ( 例えば、Fc、Fd ) の処理バッファ 134 は、IR バスおよび処理バッファインターフェース 136 上に提供された各々のデータバースト 320、322、324、326、328、330、332、および 334 の第 3 のバイトをラッチするように構成され得る。論理群 D 168 ( 例えば、Fa、Fb ) の処理バッファ 134 は、IR バスおよび処理バッファインターフェース 136 上に提供された各々のデータバースト 320、322、324、326、328、330、332、および 334 の第 4 のバイトをラッチするように構成され得る。

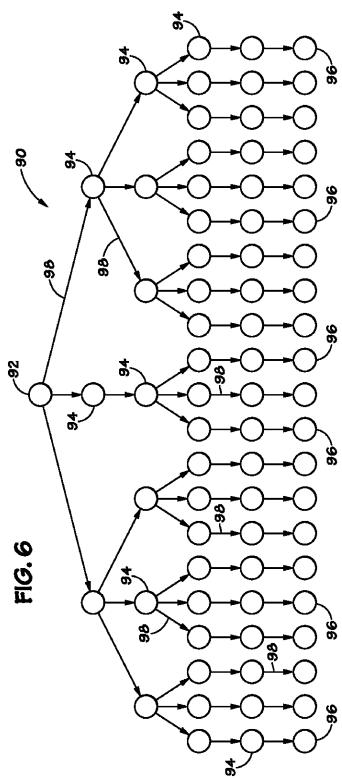
【0092】

理解されるように、論理群 162、164、166、および 168 の処理バッファ 134 は、IR バスおよび処理バッファインターフェース 136 上に提供された任意のバイトまたはバイトの組み合わせをラッチするように構成され得る。さらに、処理バッファ A および処理バッファ B は、同じまたは異なるバイトをラッチするように構成され得る。1 つの実施形態では、状態機械エンジン 14 は、2 つよりも少ないまたは多い処理バッファ 134 を含み得る。このような実施形態では、各々の処理バッファ 134 は、IR バスおよび処理バッファインターフェース 136 上に提供された特定のバイト ( 例えば、バースト ) をラッチするように構成され得る。論理群 162、164、166、および 168 の処理バッファ 134 はまた、データバーストに付随する命令をデータバッファシステム 159 から受信するように構成され得る。命令を用いて、論理群 162、164、166、および 168 の処理バッファ 134 は、データ領域中のバイトの総数とそのデータ領域中の有効なバイトの総数との間の差に対応するデータを無視し得る。

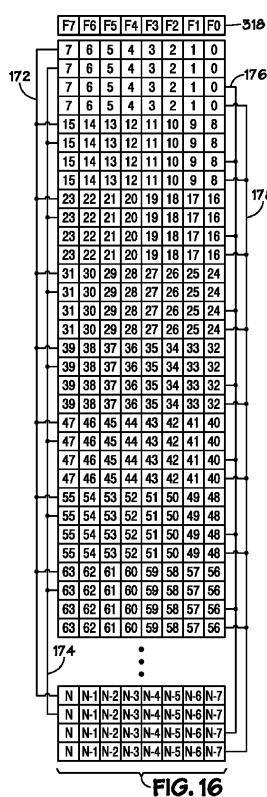
【0093】

本発明は様々な修正および代替の形態の影響を受け得るとはいえ、特定の実施形態を図面中で例として示し、本明細書中で詳細に説明した。しかしながら、本発明は開示する特定の形態に制限されることを意図するものではないことを理解すべきである。むしろ、本発明は、次の添付クレームによって定義される本発明の精神および範囲内の全ての修正例、等価例、および代替例を範囲に収めるものである。

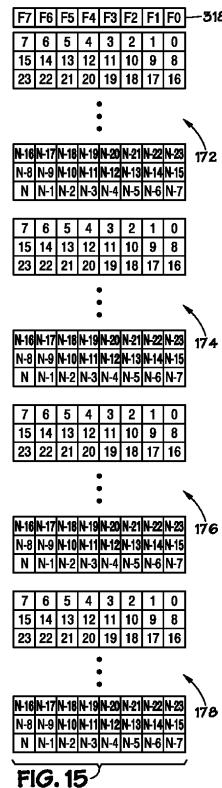
【 四 6 】



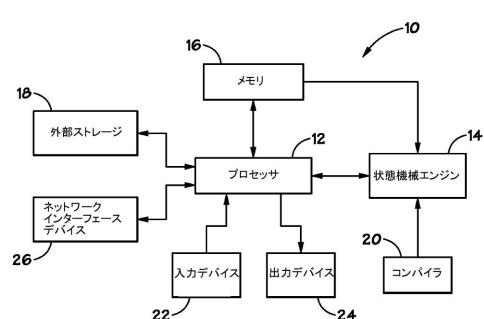
【 16 】



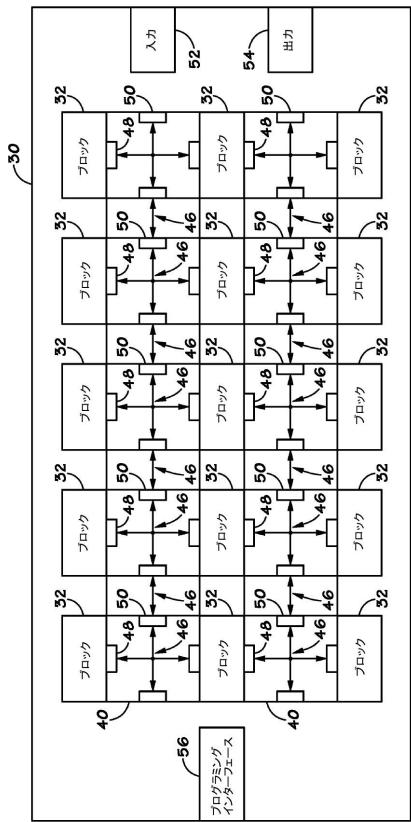
【 図 15 】



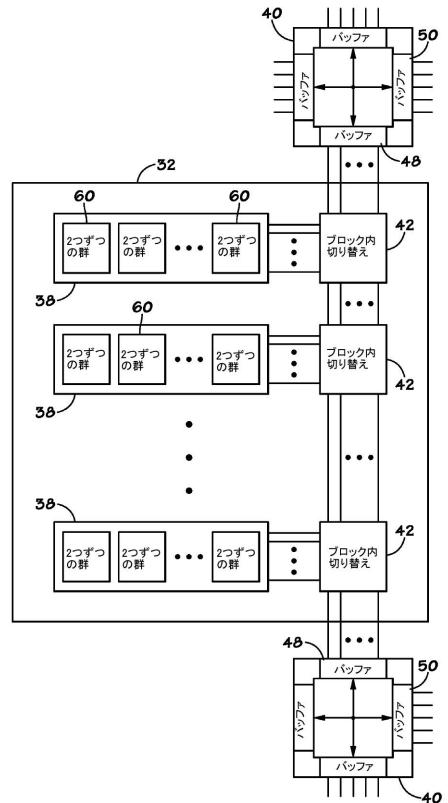
( 1 )



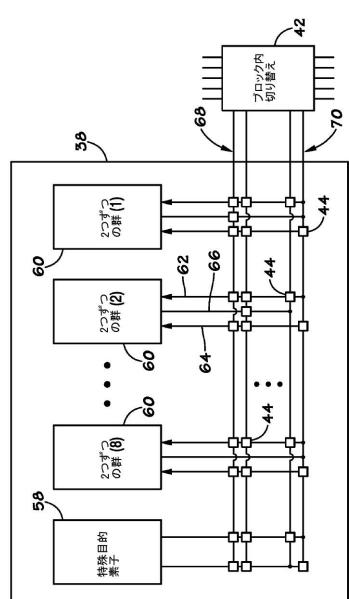
【図2】



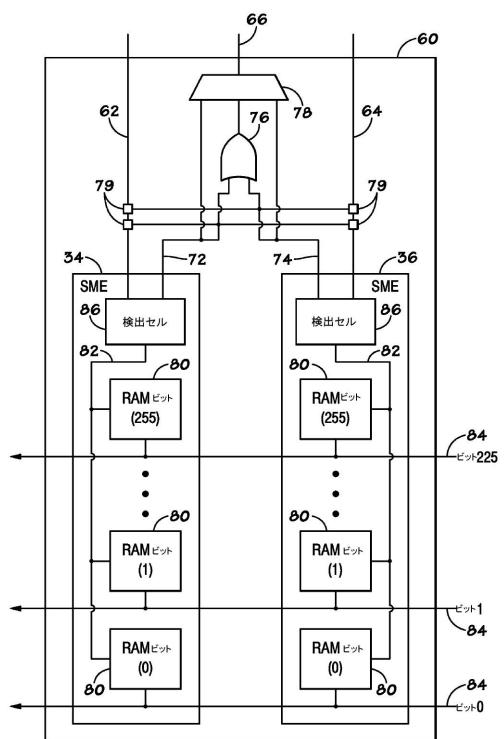
【図3】



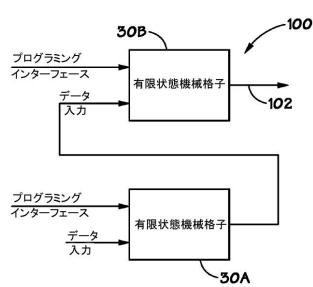
【図4】



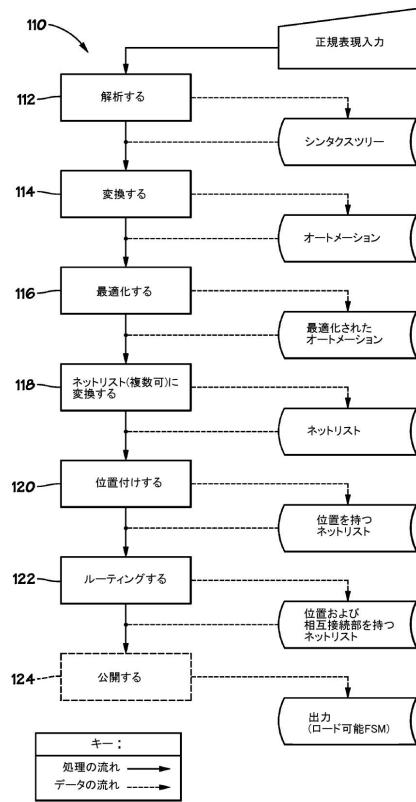
【図5】



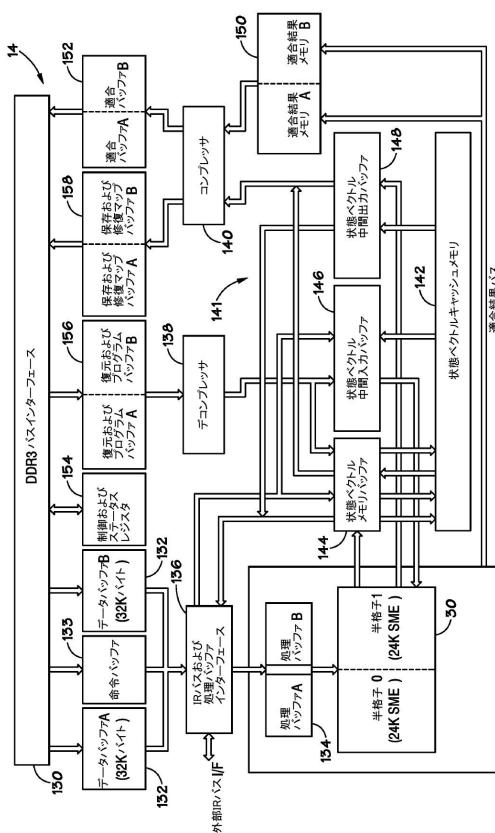
【図7】



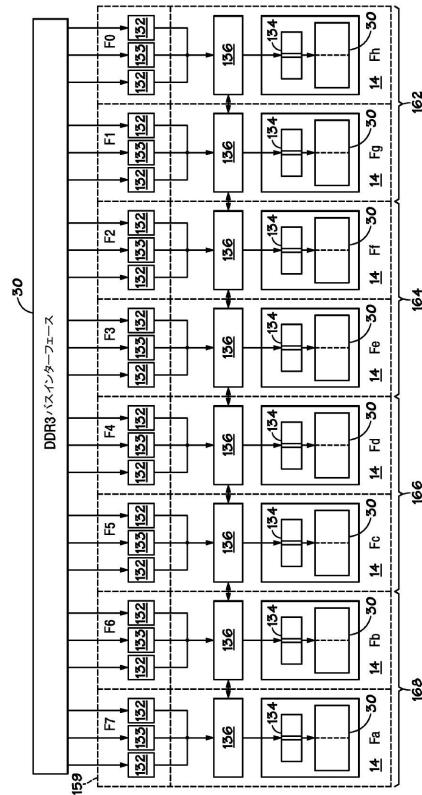
【図8】



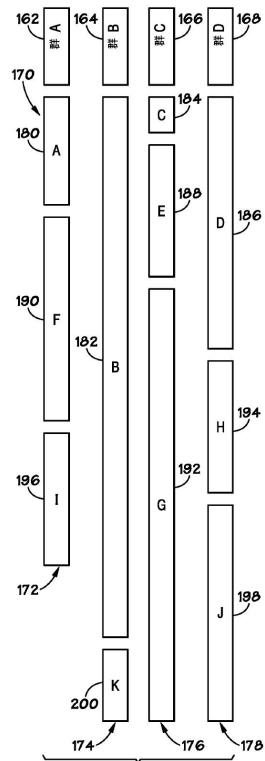
【図9】



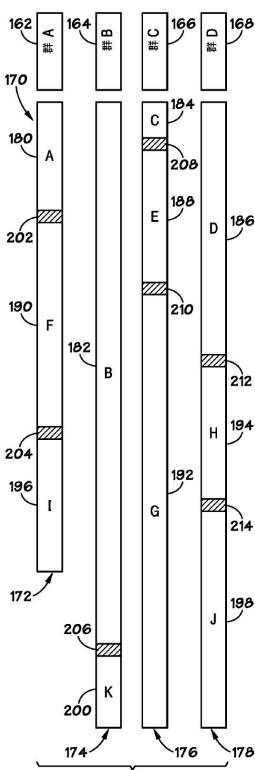
【図10】



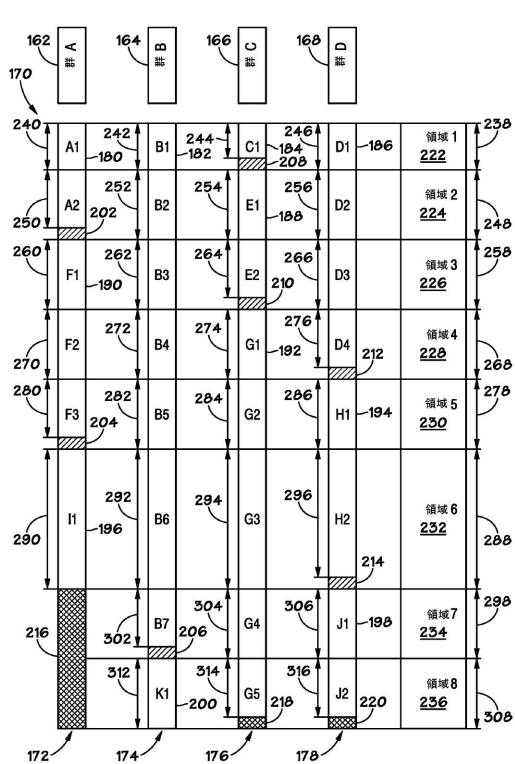
【図11】



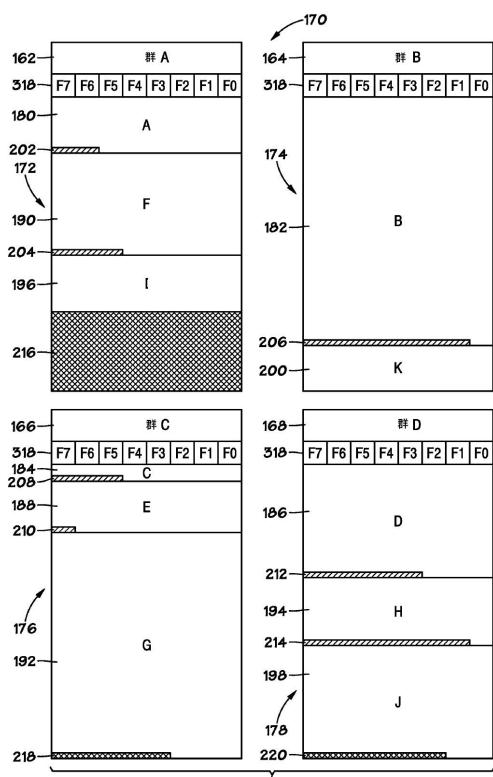
【図12】



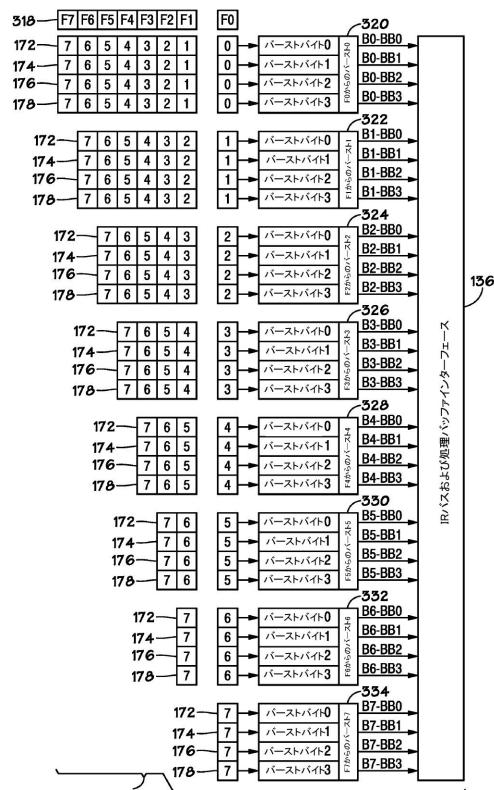
【図13】



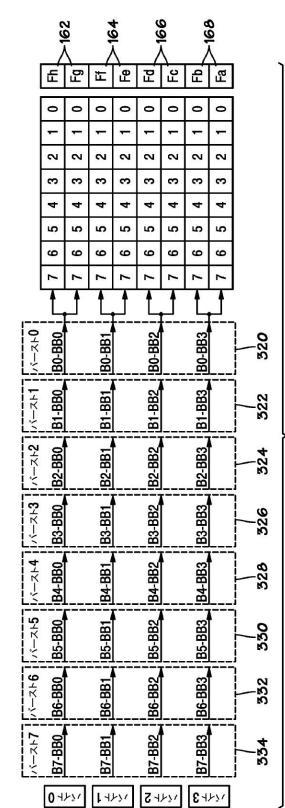
【図14】



【図17】



【図18】



---

フロントページの続き

(72)発明者 ノイズ, ハロルド ピー.

アメリカ合衆国, アイダホ州 83713, ボイズ, ウエスト アルバニー ストリート 108  
36

(72)発明者 ベインズ, インダージット エス.

アメリカ合衆国, アイダホ州 83716, ボイズ, サウス ケルトン プレイス 6291

審査官 樋口 龍弥

(56)参考文献 特表2005-524142 (JP, A)

特開2009-301137 (JP, A)

特表2001-503577 (JP, A)

特開平10-69459 (JP, A)

特開平8-87462 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 06 F 17/30

G 06 F 7/00

G 06 F 9/50