

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>7</sup> H03G 3/30	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년07월07일 10-0499855 2005년06월28일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2002-0079286 2002년12월12일	(65) 공개번호 (43) 공개일자	10-2004-0051365 2004년06월18일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	한국전자통신연구원 대전 유성구 가정동 161번지
(72) 발명자	권중기 대전광역시서구내동롯데아파트101-706  조규형 대전광역시서구둔산동크로바아파트117-201  박문양 대전광역시유성구송강동200-4 한마을아파트109동105호  김종대 대전광역시서구관저동대자연마을아파트108-2105
(74) 대리인	신영무

심사관 : 권호영

(54) 가변 이득 증폭기

요약

본 발명은 가변 이득 증폭기에 관한 것으로, 저전압에서 동작하고, 저왜곡(low distortion), 고선형성(high linearity), 광대역 동작특성을 얻기 위하여, 캐스코드 형태의 차동 입력단(differential pair)으로 제1 및 제2 입력신호를 입력받고, 상기 제1 및 제2 입력신호의 차신호를 증폭하여 제1 및 제2 차동신호를 출력하되, 이득조절전압 신호에 따라 상기 차신호의 가변 전압 이득을 제어하는 입력신호 인가 및 가변 이득 조절부와, 상기 입력신호 인가 및 가변 이득 조절부로부터 출력되는 상기 제1 및 제2 차동신호를 입력받고, 제1 및 제2 바이어스 전압에 따라 상기 제1 및 제2 차동신호를 전압형태의 제1 및 제2 출력전압으로 변환하여 출력하는 전류/전압 변환부를 포함하되, 상기 입력신호 인가 및 가변 이득 조절부는 상기 전류/전압 변환부로부터 부궤환(negative feedback) 접속과 함께 전류 또는 전압입력 형태의 구성을 갖는 것을 특징으로 하는 가변 이득 증폭기를 개시한다.

대표도

도 1

색인어

가변 이득 증폭기, CMOS, 캐스코드, 차동 형태

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 따른 가변 이득 증폭기를 설명하기 위하여 도시한 상세 회로도이다.

도 2는 본 발명의 제2 실시예에 따른 가변 이득 증폭기를 설명하기 위하여 도시한 상세 회로도이다.

도 3은 본 발명의 제3 실시예에 따른 가변 이득 증폭기를 설명하기 위하여 도시한 상세 회로도이다.

<도면의 주요 부분에 대한 부호의 설명>

110 : 입력신호 인가 및 가변 이득 조절부

130 : 전류/전압 변환부

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 가변 이득 증폭기(Variable gain amplifier)에 관한 것으로, 특히 저소비전력 특성을 가지며, 저공급전원에서 동작할 수 있는 가변 이득 CMOS 증폭기에 관한 것이다.

가변 이득 CMOS 증폭기(이하, 'CMOS VGA'라 함) 설계시 고려해야할 사항으로는 원하는 신호크기에 대한 신호대잡음비(Signal to Noise ratio; S/N비)의 극대화, 주파수 대역폭(frequency bandwidth)의 크기, 저왜곡성(low distortion), 저입력잡음(low input noise)특성, 목표치 선형성(linearity)을 보장하는 입력신호의 크기, 잡음특성, 조절전압신호(control voltage) 및 이득조절특성(exponential gain characteristic) 등이 있다.

이에 더해서, CMOS VGA 설계시 고려해야할 사항으로는 CMOS 특성에 의한 온도나 전원전압의 의존성이다. 특히 CMOS 회로는 동작 주파수의 범위가 현재의 소자 기술 특성상 100MHz 이상을 구현하기가 어렵다. 또한, MOS 소자의 문턱전압(threshold)의 크기 감소의 제한성 때문에 입력신호의 크기가 제한되어 저공급전원에 대한 원활한 회로동작을 구현하기가 어렵다. 따라서, 저소비전력의 특성을 가지며, 저전압에서 동작하는 CMOS VGA를 구현하기가 어렵다는 문제점이 있다.

**발명이 이루고자 하는 기술적 과제**

따라서, 본 발명은 상기에서 설명한 종래기술의 문제점을 해결하기 위해 안출된 것으로, 저공급전압에서 외부 조절전압(control voltage) 신호에 의해 넓은 범위를 가지는 입력신호에 대한 가변 이득 증폭 기능을 제공하며 저왜곡(low distortion), 고선형성(high linearity), 광대역 동작특성을 가질 수 있는 가변 이득 증폭기를 제공하는데 그 목적이 있다.

또한, 본 발명은 IC(integrated circuit)로 내장할 수 있는 가변 이득 증폭기를 제공하는데 다른 목적이 있다.

또한, 본 발명은 전력소모가 적은 IC 내장형 CMOS VGA를 제공하는데 또 다른 목적이 있다.

**발명의 구성 및 작용**

본 발명의 일측면에 따르면, 캐스코드 형태의 차동 입력단으로 제1 및 제2 입력신호를 입력받고, 상기 제1 및 제2 입력신호의 차신호를 증폭하여 제1 및 제2 차동신호를 출력하되, 이득조절전압 신호에 따라 상기 차신호의 가변 전압 이득을 제어하는 입력신호 인가 및 가변 이득 조절부와, 상기 입력신호 인가 및 가변 이득 조절부로부터 출력되는 상기 제1 및 제2 차동신호를 입력받고, 제1 및 제2 바이어스 전압에 따라 상기 제1 및 제2 차동신호를 전압형태의 제1 및 제2 출력전압으로 변환하여 출력하는 전류/전압 변환부를 포함하되, 상기 입력신호 인가 및 가변 이득 조절부는 상기 전류/전압 변환부로부터 부계환(negative feedback)되어 전류입력 또는 전압입력 형태의 구성을 갖는 것을 특징으로 하는 가변 이득 증폭기를 제공한다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

도 1은 본 발명의 제1 실시예에 따른 CMOS VGA의 상세 회로도이다. 도 2는 본 발명의 제2 실시예에 따른 CMOS VGA의 상세 회로도이다. 도 3은 본 발명의 제3 실시예에 따른 CMOS VGA의 상세 회로도이다. 여기서, 도 1 내지 도 3에 도시된 참조부호들 중 동일한 참조부호는 동일한 기능을 하는 구성 요소(elements)를 가리킨다.

도 1 내지 도 3을 참조하면, 본 발명의 제1 실시예에 따른 CMOS VGA는 입력신호 인가 및 가변 이득 조절부(input signal provision and variable gain controller; 110)와 전류/전압 변환부(I/V converter; 120)를 포함한다.

[입력신호 인가 및 가변 이득 조절부]

입력신호 인가 및 가변 이득 조절부(110)는 도 1 및 도 2에 도시된 바와 같이 전류입력 형태(current inputted type)로 구성되며, 캐스코드(cascode) 형태의 차동 입력단을 통해 입력신호(Vi+, Vi-)를 차동 입력받아 증폭하여 출력하되, 이득조

절전압(gain control voltage; Vc) 신호에 따라 가변되는 트랜스컨덕턴스(transconductance)를 이용하여 입력신호(Vi+, Vi-)의 가변 이득을 조절한다. 이에 반해, 도 3에 도시된 바와 같이 본 발명의 제3 실시예에 따른 가변 이득 조절부(110)의 경우에는 제1 및 제2 실시예와 달리 전압입력 형태(voltage inputted type)로 구성된다.

구체적으로, 입력신호 인가 및 가변 이득 조절부(110)는 NMOS 트랜지스터(NM1 내지 NM4)로 이루어진다. NMOS 트랜지스터(NM1 내지 NM4)는 밀러효과(miller effect)와 기생 캐패시턴스(parasitic capacitance) 성분을 최소화하기 위해 캐스코드 형태의 차동 형태(differential pair)의 입력단을 구성한다. 도 1 및 도 2에 도시된 바와 같이, NMOS 트랜지스터(NM1)는 노드(Q1)와 NMOS 트랜지스터(NM3)의 소스(source)단과 캐스코드 형태로 접속되며 입력신호(Vi+)에 따라 전류입력 형태로 동작된다. NMOS 트랜지스터(NM2)는 노드(Q2)와 NMOS 트랜지스터(NM4)의 소스단과 캐스코드 형태로 접속되며 입력신호(Vi-)에 따라 전류입력 형태로 동작된다. 한편, 도 3에 도시된 바와 같이, NMOS 트랜지스터(NM1)는 노드(Q7)와 NMOS 트랜지스터(NM3)의 소스(source)단과 캐스코드 형태로 접속되며 입력신호(Vi+)에 따라 동작된다. NMOS 트랜지스터(NM2)는 노드(Q7)와 NMOS 트랜지스터(NM4)의 소스단과 캐스코드 형태로 접속되며 입력신호(Vi-)에 따라 동작된다. 즉, 도 3에서는 NMOS 트랜지스터(NM1 및 NM2)의 소스단이 공동으로 노드(Q7)과 접속되어 전압입력 형태가 된다. 또한, NMOS 트랜지스터(NM3)는 출력노드인 노드(Q3)와 NMOS 트랜지스터(NM1)의 드레인(drain)단과 접속되며 이득조절전압 신호(Vc)에 따라 공동 게이트(common gate) 증폭기로 동작된다. NMOS 트랜지스터(NM4)는 출력노드인 노드(Q4)와 NMOS 트랜지스터(NM2)의 드레인단과 접속되며 이득조절전압 신호(Vc)에 따라 공동 게이트 증폭기로 동작된다.

입력신호 인가 및 가변 이득 조절부(110)의 동작특성을 설명하면, NMOS 트랜지스터(NM1)와 NMOS 트랜지스터(NM3)는 이득조절전압 신호(Vc)에 따라 선형영역(triode region) 또는 포화영역(saturation region)에서 동작된다. 이로써, 입력신호(Vi+, Vi-)의 크기에 무관하게 왜곡 현상을 극소화할 수 있다. 따라서, NMOS 트랜지스터(NM1 및 NM2)에 입력신호(Vi+, Vi-)가 입력되고, NMOS 트랜지스터(NM3 및 NM4)의 게이트(gate)단으로 이득조절전압 신호(Vc)가 입력되면, 캐스코드 형태의 구성을 가지는 NMOS 트랜지스터(NM1 및 NM3) 또는 NMOS 트랜지스터(NM2 및 NM4)의 각 동작점은 이득조절전압 신호(Vc)에 따라 포화영역에서 선형영역으로 또는 그 역으로 선형영역에서 포화영역으로 이동하게 되어 입력신호(Vi+, Vi-)의 크기에 따른 왜곡현상을 줄여준다. 또한, 이 캐스코드 형태의 구성은 출력단자(Vo+ 및 Vo-)에서 큰 출력 임피던스(impedance)를 갖게 되고, 이로 인해 전압 이득을 크게 한다.

예컨대, 큰 입력신호(Vi+, Vi-)가 입력되어 가변 이득을 감소시킬 필요가 있을 경우에는 이득조절전압 신호(Vc)를 작게 하여 NMOS 트랜지스터(NM3 및 NM4)의 각 트랜스컨덕턴스의 크기를 감소시켜 가변 이득을 감소시킨다. 이 경우에는 이득조절전압 신호(Vc)가 게이트단에 입력되는 NMOS 트랜지스터(NM3 및 NM4)와, 입력신호(Vi+, Vi-)가 게이트단에 입력되는 NMOS 트랜지스터(NM1 및 NM2)가 모두 포화영역에서 동작됨에 따라 큰 입력신호(Vi+, Vi-)의 왜곡을 최소화하여 선형을 개선시킬 수 있다.

반면, 작은 입력신호(Vi+, Vi-)가 입력되어 가변 이득을 증가시킬 필요가 있을 경우에는 이득조절전압 신호(Vc)를 크게 하여 NMOS 트랜지스터(NM3 및 NM4)의 각 트랜스컨덕턴스의 크기를 증가시켜 가변 이득을 증가시킨다. 이 경우에는 이득조절전압 신호(Vc)가 게이트단에 입력되는 NMOS 트랜지스터(NM3 및 NM4)는 포화영역에서 동작하고, 입력신호(Vi+, Vi-)가 게이트단에 입력되는 NMOS 트랜지스터(NM1 및 NM2)는 선형영역에서 동작됨에 따라 입력신호(Vi+, Vi-)의 크기와 무관하여 입력신호(Vi+, Vi-)의 왜곡을 최소화할 수 있다.

상기에서와 같이 선형영역과 포화영역에서의 드레인 전류와 트랜스컨덕턴스는 하기의 수학식1 내지 수학식4와 같다

즉, 선형동작영역에서는,

수학식 1

$$i_d = \frac{\mu_o \cdot C_{ox} \cdot W}{L} \left[ (V_{gs} - V_{TH}) - \frac{V_{ds}}{2} \right] \cdot V_{ds}$$

수학식 2

$$g_m = \frac{dI_d}{dV_{gs}} = \frac{\mu_o \cdot C_{ox} \cdot W}{L} \cdot V_{ds}$$

여기서, '0 < V<sub>ds</sub> < (V<sub>gs</sub> - V<sub>TH</sub>)'이고, 'V<sub>TH</sub>'는 트랜지스터의 문턱전압(threshold voltage)이다.

또한, 포화동작영역에서는,

수학식 3

$$i_d = \frac{\mu_o \cdot C_{ox} \cdot W}{L} (V_{gs} - V_{TH})^2$$

수학식 4

$$g_m = \frac{dI_d}{dV_{gs}} \cong \sqrt{\frac{2(\mu_o \cdot C_{ox} \cdot W)}{L}} \cdot I_d$$

여기서  $V_{ds} > (V_{gs} - V_{TH})$ 이다.

[전류/전압 변환부]

도 1 및 도 2에서 전류/전압 변환부(120)는 입력신호 인가 및 가변 이득 조절부(110)로부터 출력되는 전류 형태의 차동 신호를 입력받고, 저항 부하 또는 능동 부하를 이용하여 전류 형태의 상기 차동신호를 전압 형태의 출력전압( $V_{o+}$ ,  $V_{o-}$ )으로 출력한다.

구체적으로, 전류/전압 변환부(120)는 도 1에 도시된 바와 같이 입력신호 인가 및 가변 이득 조절부(110)로부터 입력되는 전류 형태의 차동신호를 전압 형태의 출력전압( $V_{o+}$ ,  $V_{o-}$ )으로 변환하여 출력하기 위하여 저항소자(R1 및 R2)를 포함한다. 그러나, 도 2 및 도 3에 도시된 바와 같이 제2 및 제3 실시예에 따른 전류/전압 변환부(120)에서는 제1 실시예의 저항소자(R1 및 R2) 대신에 능동부하(active load) 회로부(122 및 124)를 포함한다.

본 발명의 제2 및 제3 실시예에 따른 전류/전압 변환부(120)에서 저항소자 대신에 능동부하 회로부(122 및 124)를 포함하는 이유는 CMOS VGA의 주파수 특성을 개선시키기 위함이다. 즉, 도 2 및 도 3에 도시된 바와 같이 PMOS 트랜지스터

1

(PM1 및 PM2)는 그 트랜스컨덕턴스 값의 역수( $g_{m,PMOS}$ )가 대략적인 출력부하이며, NMOS 트랜지스터(NM9 및 NM10), 전류원(Is1 및 Is2)과 함께 저전압 동작을 가능하게 함과 동시에 안정된 바이어스를 공급하고, 주파수 보상 캐패시터(C1 및 C2)에 의해 주파수 특성을 개선시킬 수 있다. 이에 따라, 제2 및 제3 실시예에서는 제1 실시예에서 저항소자(R1 및 R2)로 구성된 부하보다 큰 이득, 저전압 및 광대역(wideband)에서 동작시킬 수 있다. 또한, 주파수 보상 캐패시턴스(frequency compensation capacitance)로 동작하는 캐패시터(C1 및 C2)를 사용함으로써 제1 실시예에서보다 높은 주파수 영역에서 동작시킬 수 있는 장점이 있다.

능동부하 회로부(122)는 PMOS 트랜지스터(PM1), NMOS 트랜지스터(NM9), 전류원(Is1) 및 캐패시터(C1)를 포함한다. PMOS 트랜지스터(PM1)는 전원전압원(Vdd)과 노드(Q4) 사이에 접속되며 노드(Q5)의 전위에 따라 동작된다. NMOS 트랜지스터(NM9)는 전원전압원(Vdd)과 노드(Q5) 사이에 접속되며 노드(Q4)의 전위에 따라 동작된다. 또한, PMOS 트랜지스터(PM1)과 NMOS 트랜지스터(NM9)는 상호 부궤환(negative feedback)을 구성한다. 전류원(Is1)은 접지전압원(Vss)과 노드(Q5) 사이에 접속되며 능동부하 회로부(122)의 전류 바이어스를 잡아준다. 주파수 보상 캐패시터(C1)는 전류원(Is1)과 병렬로 접속되며 주파수 특성을 개선시킨다.

능동부하 회로부(124)는 PMOS 트랜지스터(PM2), NMOS 트랜지스터(NM10), 전류원(Is2) 및 캐패시터(C2)를 포함한다. PMOS 트랜지스터(PM2)는 전원전압원(Vdd)과 노드(Q3) 사이에 접속되며 노드(Q6)의 전위에 따라 동작된다. NMOS 트랜지스터(NM10)는 전원전압원(Vdd)과 노드(Q6) 사이에 접속되며 노드(Q3)의 전위에 따라 동작된다. 또한, PMOS 트랜지스터(PM2)과 NMOS 트랜지스터(NM10)는 상호 부궤환을 구성한다. 전류원(Is2)은 접지전압원(Vss)과 노드(Q6) 사이에 접속되며 능동부하 회로부(124)의 전류 바이어스를 잡아준다. 주파수 보상 캐패시터(C2)는 전류원(Is2)과 병렬로 접속되며 주파수 특성을 개선시킨다.

일례로, 능동부하 회로부(122)의 동작특성을 설명하면, PMOS 트랜지스터(PM1)는 부하로 동작된다. NMOS 트랜지스터(NM9)는 부하로 동작되는 PMOS 트랜지스터(PM1)와 상호 부궤환을 구성한다. 또한, 능동부하 회로부(122)에서는 PMOS 트랜지스터(PM1) 및 NMOS 트랜지스터(NM9)의 크기와 전류원(Is1)에 의해 안정된 바이어스 전류가 결정됨으로써 저항 부하를 사용할 때보다 CMRR(Common Mode Rejection Ratio)이 커지게 된다. 이에 따라, 각 노드(Q3 및 Q4)로 출력되는 출력전압( $V_{o+}$ ,  $V_{o-}$ )이 직류적으로 보다 안정한 전압레벨로 유지된다. 캐패시터(C1)는 각 노드(Q3 및 Q4)에서 들어다 본 출력 임피던스와 함께 영(zero) 주파수( $\sigma_z = \frac{g_{mo}}{C_1 + C_2}$ )를 갖게 되어 캐패시터(C1)의 크기를 조절하면 원하는 동작 주파수에서 원하는 이득을 얻을 수 있다. 이러한 동작은 NMOS 트랜지스터(NM10), PMOS 트랜지스터(PM2), 전류원(Is2) 및 캐패시터(C2)로 이루어진 능동부하 회로부(124)에서도 동일하게 이루어진다.

한편, 전류/전압 변환부(120)는 도 1 및 도 2에 도시된 제1 및 제2 실시예와 같이 직류 동작점, 즉 직류 바이어스를 잡아주기 위하여 NMOS 트랜지스터(NM5 및 NM6)와, NMOS 트랜지스터(NM7 및 NM8)를 더 포함한다. 한편, 도 3에 도시된 제3 실시예에서의 전류/전압 변환부(120)는 NMOS 트랜지스터(NM5 및 NM6)와, NMOS 트랜지스터(NM11)를 더 포함한다.

도 1 및 도 2에 도시된 바와 같이, 전류/전압 변환부(120)의 NMOS 트랜지스터들(NM5 및 NM6)은 외부로부터 입력되는 바이어스 전압( $V_{b1}$ )에 따라 출력전압( $V_{o+}$ ,  $V_{o-}$ )이 풀(full) 스윙(swing)할 수 있도록 직류 바이어스를 잡아준다. NMOS 트랜지스터(NM7 및 NM8)는 바이어스 전압( $V_{b2}$ )에 따라 전류 소스(current mirror)로 동작되며 바이어스 전류를 잡아준다.

상기와 같이 동작되기 위하여, NMOS 트랜지스터(NM5)는 노드(Q4)와 노드(Q1) 사이에 접속되며 바이어스 전압( $V_{b1}$ )에 의해 동작된다. NMOS 트랜지스터(NM6)는 노드(Q3)와 노드(Q2) 사이에 접속되며 바이어스 전압( $V_{b1}$ )에 의해 동작된다. NMOS 트랜지스터(N7)는 노드(Q1)과 접지전압원(Vss) 사이에 접속되며 바이어스 전압( $V_{b2}$ )에 의해 동작된다. NMOS 트랜지스터(NM8)는 노드(Q2)와 접지전압원(Vss) 사이에 접속되며 바이어스 전압( $V_{b2}$ )에 의해 동작된다. 이를 위해서 NMOS 트랜지스터(NM5 내지 NM8)은 포화영역에서 동작하게 된다.

또한, 도 3에 도시된 바와 같이, 제3 실시예에 따른 전류/전압 변환부(120)의 NMOS 트랜지스터들(NM5 및 NM6)은 외부로부터 입력되는 바이어스 전압(Vb1)에 따라 안정된 출력전압(Vo+, Vo-)이 풀(full) 스윙(swing)할 수 있도록 직류 바이어스를 잡아준다. NMOS 트랜지스터(NM11)는 바이어스 전압(Vb2)에 따라 전류 소스로 동작되며 바이어스 전류를 잡아준다. 즉, NMOS 트랜지스터(NM11)는 입력신호 인가 및 가변 이득 조절부(110)의 NMOS 트랜지스터(NM1 및 NM2)의 전류원으로 동작한다. 이러한 구성에 의해 가변 이득 조절부(110)는 전압입력 형태를 갖는다.

상기와 같이 동작되기 위하여, NMOS 트랜지스터(NM5)는 노드(Q4)와 노드(Q7) 사이에 접속되며 바이어스 전압(Vb1)에 의해 동작된다. NMOS 트랜지스터(NM6)는 노드(Q3)와 노드(Q7) 사이에 접속되며 바이어스 전압(Vb1)에 의해 동작된다. NMOS 트랜지스터(N11)는 노드(Q7)과 접지전압원(Vss) 사이에 접속되며 바이어스 전압(Vb2)에 의해 동작된다.

상기에서 설명한 본 발명의 기술적 사상은 바람직한 실시예에서 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명은 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술적 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

**발명의 효과**

이상에서 설명한 바와 같이, 본 발명에서는 저공급전압에서 외부 조절전압 신호에 의해 넓은범위를 가지는 입력신호에 대한 가변 이득 증폭 기능을 제공할 수 있으며, 저왜곡, 고선형성, 광대역 동작특성을 갖는 가변 이득 증폭기를 제공할 수 있다.

또한, 본 발명에서는 가변 이득 증폭기를 MOS 트랜지스터를 이용하여 구성함으로써 다른 소자를 이용하는 가변 이득 증폭기들보다 IC로 내장하는 것이 가능하다.

**(57) 청구의 범위**

**청구항 1.**  
삭제

**청구항 2.**

캐스코드 형태의 차동 입력단을 통해 입력된 제 1 및 제 2 신호의 차신호를 증폭하여 전류 형태의 제 1 및 제 2 차동신호를 출력하되, 이득조절전압 신호에 따라 상기 차신호의 이득이 제어되는 입력신호 인가 및 가변 이득 조절부; 및

제 1 및 제 2 바이어스 전압에 따라 상기 제 1 및 제 2 차동신호를 제 1 및 제 2 전압으로 변환하여 출력하는 전류/전압 변환부를 포함하되,

상기 전류/전압 변환부는 전원전압원 및 상기 제 1 전압 출력단자 간에 접속된 제 1 부하수단;

상기 전원전압원 및 상기 제 2 전압 출력단자 간에 접속된 제 2 부하수단;

상기 제 1 전압 출력단자 및 제 1 노드 간에 접속되며, 상기 제 1 바이어스 전압에 의해 동작되는 제 1 NMOS 트랜지스터;

상기 제 2 전압 출력단자 및 제 2 노드 간에 접속되며, 상기 제 1 바이어스 전압에 의해 동작되는 제 2 NMOS 트랜지스터; 및

상기 제 1 및 제 2 노드와 접지전압원 간에 각각 접속되며, 상기 제 2 바이어스 전압에 의해 동작되는 제 3 및 제 4 NMOS 트랜지스터로 구성되고,

상기 입력신호 인가 및 가변 이득 조절부는 소스가 상기 전류/전압 변환부의 제 2 노드와 접속되고, 게이트를 통해 상기 제 1 신호가 입력되는 제 1 NMOS 트랜지스터;

소스가 상기 전류/전압 변환부의 제 1 노드와 접속되고, 게이트를 통해 상기 제 2 신호가 입력되는 제 2 NMOS 트랜지스터;

소스가 상기 제 1 NMOS 트랜지스터의 드레인과 접속되고, 드레인이 상기 전류/전압 변환부의 제 1 전압 출력단자에 접속되며, 상기 이득조절전압 신호에 따라 동작되는 제 3 NMOS 트랜지스터; 및

소스가 상기 제 2 NMOS 트랜지스터의 드레인과 접속되고, 드레인이 상기 전류/전압 변환부의 제 2 전압 출력단자에 접속되며, 상기 이득조절전압 신호에 따라 동작되는 제 4 NMOS 트랜지스터로 구성된 것을 특징으로 하는 가변 이득 증폭기.

**청구항 3.**

제 2 항에 있어서,

상기 입력신호 인가 및 가변 이득 조절부의 상기 제 1 및 제 3 NMOS 트랜지스터와 제 2 및 제 4 NMOS 트랜지스터는 상기 이득조절전압 신호에 따라 포화영역 또는 선형영역에서 동작되는 것을 특징으로 하는 가변 이득 증폭기.

**청구항 4.**  
삭제

**청구항 5.**  
삭제

**청구항 6.**

제 1 항에 있어서,

상기 전류/전압 변환부의 상기 제 1 및 제 2 부하수단은 저항소자인 것을 특징으로 하는 가변 이득 증폭기.

**청구항 7.**  
삭제

**청구항 8.**  
삭제

**청구항 9.**  
삭제

**청구항 10.**

제 2 항에 있어서,

상기 제 1 부하수단은 상기 전원전압원과 상기 제 1 전압 출력단자 간에 접속되며, 제 3 노드의 전위에 따라 동작되는 PMOS 트랜지스터;

상기 전원전압원과 상기 제 3 노드 간에 접속되며, 상기 제 1 전압 출력단자의 전위에 따라 동작되는 NMOS 트랜지스터;

상기 제 3 노드 및 상기 접지전압원 간에 접속되며, 안정된 바이어스를 공급하는 전류원; 및

상기 제 3 노드 및 상기 접지전압원 간에 접속되며, 주파수 특성을 개선시키기 위한 주파수 보상 캐패시터를 포함하는 것을 특징으로 하는 가변 이득 증폭기.

**청구항 11.**

제 2 항에 있어서,

상기 제 2 부하수단은 상기 전원전압원과 상기 제 2 전압 출력단자 간에 접속되며, 제 4 노드의 전위에 따라 동작되는 PMOS 트랜지스터;

상기 전원전압원과 상기 제 4 노드 간에 접속되며, 상기 제 2 전압 출력단자의 전위에 따라 동작되는 NMOS 트랜지스터;

상기 제 4 노드 및 상기 접지전압원 간에 접속되며, 안정된 바이어스를 공급하는 전류원; 및

상기 제 4 노드 및 상기 접지전압원 간에 접속되며, 주파수 특성을 개선시키기 위한 주파수 보상 캐패시터를 포함하는 것을 특징으로 하는 가변 이득 증폭기.

**청구항 12.**  
삭제

**청구항 13.**  
삭제

**청구항 14.**

캐스코드 형태의 차동 입력단을 통해 입력된 제 1 및 제 2 신호의 차신호를 증폭하여 전압 형태의 제 1 및 제 2 차동신호를 출력하되, 이득조절전압 신호에 따라 상기 차신호의 이득이 제어되는 입력신호 인가 및 가변 이득 조절부; 및

제 1 및 제 2 바이어스 전압에 따라 상기 제 1 및 제 2 차동신호를 제 1 및 제 2 전압으로 변환하여 출력하는 전류/전압 변환부를 포함하되,

상기 전류/전압 변환부는 전원전압원 및 상기 제 1 전압 출력단자 간에 접속된 제 1 능동부하 회로;

상기 전원전압원 및 상기 제 2 전압 출력단자 간에 접속된 제 2 능동부하 회로;

상기 제 1 전압 출력단자 및 노드 간에 접속되며, 상기 제 1 바이어스 전압에 의해 동작되는 제 1 NMOS 트랜지스터;

상기 제 2 전압 출력단자 및 상기 노드 간에 접속되며, 상기 제 1 바이어스 전압에 의해 동작되는 제 2 NMOS 트랜지스터; 및

상기 노드 및 접지전압원 간에 접속되며, 상기 제 2 바이어스 전압에 의해 동작되는 제 3 NMOS 트랜지스터로 구성되고,

상기 입력신호 인가 및 가변 이득 조절부는 소스가 상기 전류/전압 변환부의 노드와 접속되고, 게이트를 통해 상기 제 1 신호가 입력되는 제 1 NMOS 트랜지스터;

소스가 상기 전류/전압 변환부의 상기 노드와 접속되고, 게이트를 통해 상기 제 2 신호가 입력되는 제 2 NMOS 트랜지스터;

소스가 상기 제 1 NMOS 트랜지스터의 드레인과 접속되고, 드레인이 상기 전류/전압 변환부의 제 1 전압 출력단자에 접속되며, 상기 이득조절전압 신호에 따라 동작되는 제 3 NMOS 트랜지스터; 및

소스가 상기 제 2 NMOS 트랜지스터의 드레인과 접속되고, 드레인이 상기 전류/전압 변환부의 제 2 전압 출력단자에 접속되며, 상기 이득조절전압 신호에 따라 동작되는 제 4 NMOS 트랜지스터로 구성된 것을 특징으로 하는 가변 이득 증폭기.

**청구항 15.**

제 14 항에 있어서,

상기 입력신호 인가 및 가변 이득 조절부의 상기 제 1 및 제 3 NMOS 트랜지스터와 제 2 및 제 4 NMOS 트랜지스터는 상기 이득조절전압 신호에 따라 포화영역 또는 선형영역에서 동작되는 것을 특징으로 하는 가변 이득 증폭기.

**청구항 16.**

제 14 항에 있어서,

상기 제 1 능동부하 회로는 상기 전원전압원과 상기 제 1 전압 출력단자 간에 접속되며, 제 3 노드의 전위에 따라 동작되는 PMOS 트랜지스터;

상기 전원전압원과 상기 제 3 노드 간에 접속되며, 상기 제 1 전압 출력단자의 전위에 따라 동작되는 NMOS 트랜지스터;

상기 제 3 노드 및 상기 접지전압원 간에 접속되며, 안정된 바이어스를 공급하는 전류원; 및

상기 제 3 노드 및 상기 접지전압원 간에 접속되며, 주파수 특성을 개선시키기 위한 주파수 보상 캐패시터를 포함하는 것을 특징으로 하는 가변 이득 증폭기.

**청구항 17.**

제 14 항에 있어서,

상기 제 2 능동부하 회로는 상기 전원전압원과 상기 제 2 전압 출력단자 간에 접속되며, 제 4 노드의 전위에 따라 동작되는 PMOS 트랜지스터;

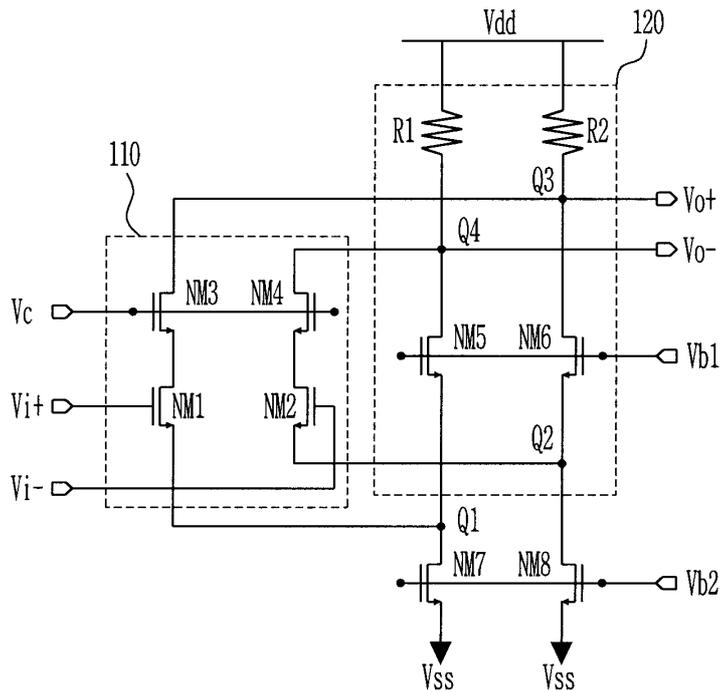
상기 전원전압원과 상기 제 4 노드 간에 접속되며, 상기 제 2 전압 출력단자의 전위에 따라 동작되는 NMOS 트랜지스터;

상기 제 4 노드 및 상기 접지전압원 간에 접속되며, 안정된 바이어스를 공급하는 전류원; 및

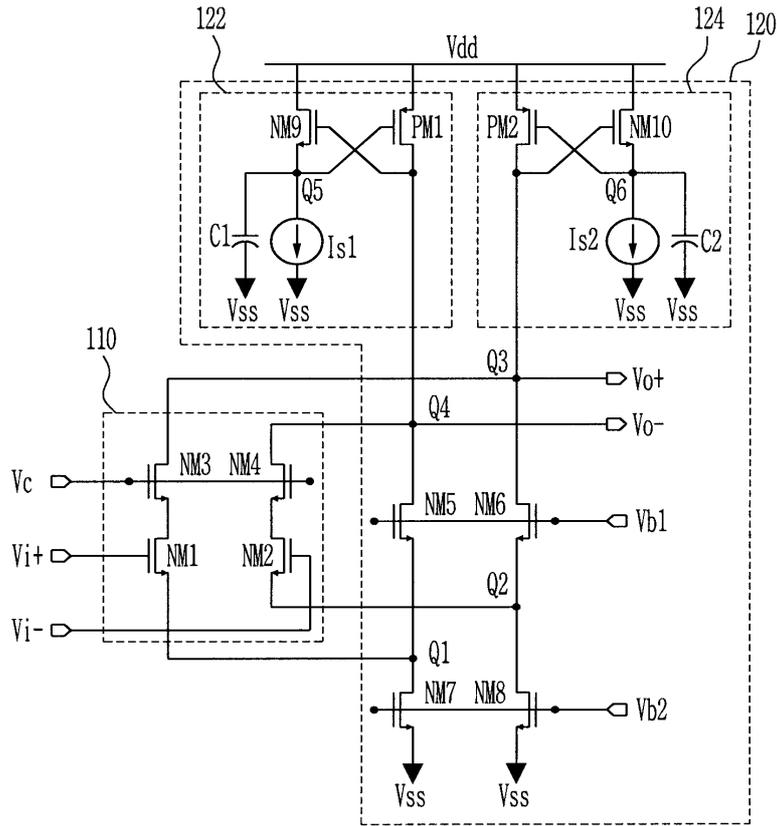
상기 제 4 노드 및 상기 접지전압원 간에 접속되며, 주파수 특성을 개선시키기 위한 주파수 보상 캐패시터를 포함하는 것을 특징으로 하는 가변 이득 증폭기.

도면

도면1



도면2



도면3

