

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成28年5月26日(2016.5.26)

【公表番号】特表2015-521336(P2015-521336A)

【公表日】平成27年7月27日(2015.7.27)

【年通号数】公開・登録公報2015-047

【出願番号】特願2015-503674(P2015-503674)

【国際特許分類】

G 1 1 C 11/22 (2006.01)

G 0 6 F 17/50 (2006.01)

H 0 1 L 21/82 (2006.01)

H 0 1 L 21/8246 (2006.01)

H 0 1 L 27/105 (2006.01)

H 0 1 L 27/10 (2006.01)

【 F I 】

G 1 1 C 11/22 5 0 1 A

G 0 6 F 17/50 6 5 8 A

H 0 1 L 21/82 C

H 0 1 L 27/10 4 4 4 B

H 0 1 L 27/10 4 8 1

G 0 6 F 17/50 6 5 2 C

【手続補正書】

【提出日】平成28年3月30日(2016.3.30)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

装置であって、

第 1 のアレイセグメントであって、

ローの第 1 のセットとコラムの第 1 のセットとに配列される強誘電性メモリセルの第 1 のアレイであって、前記ローの第 1 のセットからの各ローが、ビットラインの第 1 のセットからの少なくとも 1 つのビットラインとプレートラインの第 1 のセットからの少なくとも 1 つのプレートラインとに関連付けられ、前記コラムの第 1 のセットからの各コラムが、ワードラインの第 1 のセットからの少なくとも 1 つのワードラインに関連付けられる、前記強誘電性メモリセルの第 1 のアレイと、

ビットラインセルの第 1 のセットであって、各ビットラインが、前記ビットラインの第 1 のセットの少なくとも 1 つのビットラインに結合される、前記ビットラインセルの第 1 のセットと、

を有する、前記第 1 のアレイセグメントと、

第 2 のアレイセグメントであって、

ローの第 2 のセットとコラムの第 2 のセットとに配列される強誘電性メモリセルの第 2 のアレイであって、前記ローの第 2 のセットからの各ローが、ビットラインの第 2 のセットからの少なくとも 1 つのビットラインとプレートラインの第 2 のセットからの少なくとも 1 つのプレートラインとに関連付けられ、前記コラムの第 2 のセットからの各コラムが、ワードラインの第 2 のセットからの少なくとも 1 つのワードラインに関連付けられる、

前記強誘電性メモリセルの第2のアレイと、

ビットラインセルの第2のセットであって、各ビットラインが、前記ビットラインの第2のセットからの少なくとも1つのビットラインに結合される、前記ビットラインセルの第2のセットと、

を有する、前記第2のアレイセグメントと、

前記第1のアレイセグメントと前記第2のアレイセグメントとの間に位置する感知回路であって、前記感知回路が複数の感知増幅器を含み、各感知増幅器が、前記ビットラインの第1のセットからの少なくとも1つのビットラインに結合され、前記ビットラインの第2のセットからの少なくとも1つのビットラインに結合される、前記感知回路と、

前記プレートラインの第1のセットからの各プレートラインに結合され、前記第1のアレイセグメントに実質的に隣接して位置する第1のプレートドライバと、

前記プレートラインの第2のセットからの各プレートラインに結合され、前記第2のアレイセグメントに実質的に隣接して位置する第2のプレートドライバと、

前記ワードラインの第1のセットからの各ワードラインに結合され、前記第1のプレートラインドライバと前記第1のアレイセグメントとの少なくとも1つに実質的に隣接して位置する第1のローインタフェース回路と、

前記ワードラインの第2のセットからの各ワードラインに結合され、前記第2のプレートラインドライバと前記第2のアレイセグメントとの少なくとも1つに実質的に隣接して位置する第2のローインタフェース回路と、

前記第1及び第2のローインタフェース回路に結合され、前記第1及び第2のローインタフェース回路の間にあるワードラインブースト回路と、

各感知増幅器に結合され、前記第1及び第2のアレイセグメントの少なくとも1つに実質的に隣接して位置する入力／出力（I / O）パスと、

前記 I / Oパスに結合され、前記 I / Oパスに実質的に隣接する誤り訂正符号（E C C）論理回路と、

前記 I / Oパスと前記 E C C 論理回路と前記感知回路と前記第1のローインタフェース回路と前記第2のローインタフェース回路とに結合されるコントローラであって、前記第1及び第2のローインタフェース回路と前記 I / Oパスと前記 E C C 論理回路との少なくとも1つに実質的に隣接する、前記コントローラと、

を含む、装置。

【請求項2】

請求項1に記載の装置であって、

各ビットラインセルがプリチャージ回路を更に含む、装置。

【請求項3】

請求項1に記載の装置であって、

各ビットラインセルが一对のビットラインに結合され、

各ビットラインセルが、

ビットラインのその対に結合される前記プリチャージ回路と、

前記プリチャージ回路とその感知増幅器とに結合されるマルチプレクサであって、前記コントローラにより制御される、前記マルチプレクサと、

を更に含む、装置。

【請求項4】

請求項3に記載の装置であって、

前記ビットラインの第1及び第2のセットからの各ビットラインが、トゥルービットラインとコンプリメントビットラインとを更に含む、

各強誘電性メモリセルが、

そのドレインでそのトゥルービットラインに、そのゲートでそのワードラインに結合される第1のMOSトランジスタと、

前記第1のMOSトランジスタのソースとそのプレートラインとの間に結合される第1の強誘電性キャパシタと、

そのドレインでそのコンプリメントビットラインに、そのゲートでそのワードラインに結合される第2のMOSトランジスタと、

前記第2のMOSトランジスタのソースとそのプレートラインとの間に結合される第2の強誘電性キャパシタと、
を更に含む、装置。

【請求項5】

請求項4に記載の装置であって、

前記ECC論理回路が、

前記感知回路から未訂正読み取りを受け取るように結合される複数のシンドローム生成器と、

複数の誤り訂正回路と、

複数の誤り訂正パリティ回路と、

を更に含む、

前記複数の誤り訂正回路と前記複数の誤り訂正パリティ回路とが、訂正された読み取りを生成するように前記複数のシンドローム生成器に結合される、装置。

【請求項6】

請求項5に記載の装置であって、

前記第1のローインタフェース回路が前記第1のアレイセグメントに隣接し、前記第2のローインタフェース回路が前記第2のアレイセグメントに隣接する、装置。

【請求項7】

非一時的(non-transitory)ストレージ媒体上に埋め込まれ、プロセッサにより実行可能な、強誘電性ランダムアクセスメモリ(FRAM)のためのレイアウトを生成するためのコンピュータプログラムであって、前記コンピュータプログラムが、

FRAM仕様を受け取るためのコンピュータ符号と、

前記非一時的ストレージ媒体からのFRAMフロアプランと設計ルールとをリトリートするためのコンピュータ符号と、

前記FRAM仕様と設計ルールとに基づいて前記FRAMのためのレイアウトをアセンブルするためのコンピュータ符号と、

を含む、コンピュータプログラム。

【請求項8】

請求項7に記載のコンピュータプログラムであって、

前記FRAM仕様が、ワードサイズとビット長とバイトサイズとアレイセグメントレイアウトとを更に含む、コンピュータプログラム。

【請求項9】

請求項8に記載のコンピュータプログラムであって、

前記設計ルールが、

ローインタフェース回路要素を前記レイアウトの一端に沿って置くためのコンピュータ符号と、

コントローラを前記レイアウトの1つのコーナーに置くためのコンピュータ符号と、

を更に含む、

前記コントローラが前記ローインタフェース回路要素に実質的に隣接する、コンピュータプログラム。

【請求項10】

請求項9に記載のコンピュータプログラムであって、

前記フロアプランが、共有回路とスケラブル回路とを更に含む、コンピュータプログラム。

【請求項11】

レイアウトを有する強誘電性ランダムアクセスメモリ(FRAM)であって、

共有回路であって、

前記レイアウトの端部に沿って位置するローインタフェース回路要素と、

前記ローインタフェース回路要素に結合され、前記ローインタフェース回路要素に実質的に隣接し、前記レイアウトのコーナーに位置するコントローラと、

を有する、前記共有回路と、

前記ローインタフェース回路要素に隣接するアレイに配列される複数のスケーラブル回路と、

を含み、

各スケーラブル回路が、

ビットラインの第1のセットと、

ビットラインの第2のセットと、

ワードラインの第1のセットであって、前記ワードラインの第1のセットからの各ワードラインが前記ローインタフェース回路要素に結合される、前記ワードラインの第1のセットと、

ワードラインの第2のセットであって、前記ワードラインの第2のセットからの各ワードラインが前記ローインタフェース回路要素に結合される、前記ワードラインの第2のセットと、

プレートラインの第1のセットと、

プレートラインの第2のセットと、

ローの第1のセットとコラムの第1のセットとに配列されるF R A Mセルの第1のセットであって、前記F R A Mセルの第1のセットからの各F R A Mセルが、前記ビットラインの第1のセットからの少なくとも1つのビットラインと、前記ワードラインの第1のセットからの少なくとも1つのワードラインと、前記プレートラインの第1のセットからの少なくとも1つのプレートラインとに結合される、前記F R A Mセルの第1のセットと、

ローの第2のセットとコラムの第2のセットとに配列されるF R A Mセルの第2のセットであって、前記F R A Mセルの第2のセットからの各F R A Mセルが、前記ビットラインの第2のセットからの少なくとも1つのビットラインと、前記ワードラインの第2のセットからの少なくとも1つのワードラインと、前記プレートラインの第2のセットからの少なくとも1つのプレートラインとに結合される、前記F R A Mセルの第2のセットと、

ビットラインセルの第1のセットであって、各ビットラインが前記ビットラインの第1のセットからの少なくとも1つのビットラインに結合される、前記ビットラインセルの第1のセットと、

ビットラインセルの第2のセットであって、各ビットラインが前記ビットラインの第2のセットからの少なくとも1つのビットラインに結合される、前記ビットラインセルの第2のセットと、

複数の感知増幅器であって、各感知増幅器が前記ビットラインの第1のセットからの少なくとも1つのビットラインに結合され、それが前記ビットラインの第2のセットからの少なくとも1つのビットラインに結合され、各感知増幅器が前記F R A Mセルの第1及び第2のセットの間に位置する、前記複数の感知増幅器と、

第1のプレートドライバであって、前記プレートラインの第1のセットからの各プレートラインに結合され、前記F R A Mセルの第1のセットに実質的に隣接して位置する、前記第1のプレートドライバと、

第2のプレートドライバであって、前記プレートラインの第2のセットからの各プレートラインに結合され、前記F R A Mセルの第2のセットに実質的に隣接して位置する、前記第2のプレートドライバと、

I / Oバスであって、各感知増幅器に結合され、前記F R A Mセルの第1及び第2のセットの少なくとも1つに実質的に隣接して位置する、前記I / Oバスと、

前記I / Oバスに結合され、前記I / Oバスに実質的に隣接する、E C C論理回路と、を含む、F R A M。

【請求項12】

請求項11に記載のF R A Mであって、

前記ビットラインの第1のセットが、トゥルービットラインの第1のセットとコンプリ

メントビットラインの第1のセットとを更に含み、前記ビットラインの第2のセットが、
ツールビットラインの第2のセットとコンプリメントビットラインの第2のセットとを
更に含む、F R A M。

【請求項13】

請求項12に記載のF R A Mであって、

前記F R A Mセルの第1及び第2のセットからの各F R A Mセルが、

そのドレインでそのツールビットラインに、そのゲートでそのワードラインに結合さ
れる第1のN M O Sトランジスタと、

前記第1のM O Sトランジスタのソースとそのプレートラインとの間に結合される第1
の強誘電性キャパシタと、

そのドレインでそのコンプリメントビットラインに、そのゲートでそのワードラインに
結合される第2のN M O Sトランジスタと、

前記第2のM O Sトランジスタのソースとそのプレートラインとの間に結合される第2
の強誘電性キャパシタと、

を更に含む、F R A M。

【請求項14】

請求項13に記載のF R A Mであって、

前記ビットラインセルの第1及び第2のセットからの各ビットラインセルが、

F R A Mセルのその関連するセットにおける2つの隣接するローからのツール及びコ
ンプリメントビットラインに結合されるプリチャージ回路と、

前記プリチャージ回路とその感知増幅器とに結合されるマルチプレクサであって、前記
コントローラにより制御される、前記マルチプレクサと、

を更に含む、F R A M。

【請求項15】

請求項14に記載のF R A Mであって、

前記ローインタフェース回路要素が、

前記アレイのローにおけるF R A Mセルの各第1のセットに結合される第1のロードラ
イバと、

前記第1のロードライバに結合される第1のローデコーダと、

前記アレイの前記ローにおけるF R A Mセルの各第2のセットに結合される第2のロー
ドライバと、

前記第2のロードライバに結合される第2のローデコーダと、

前記第1及び第2のロードライバに結合され、前記第1及び第2のロードライバの間に
位置するワードラインブースト回路と、

を更に含む、F R A M。

【請求項16】

請求項15に記載のF R A Mであって、

前記E C C論理回路が、

その感知回路からの未訂正読み取りを受け取るように結合される複数のシンδροーム生
成器と、

複数の誤り訂正回路と、

複数の誤り訂正パリティ回路と、

を更に含み、

前記複数の誤り訂正回路と前記複数の誤り訂正パリティ回路とが、訂正された読み取り
を生成するように前記複数のシンδροーム生成器に結合される、F R A M。

【請求項17】

請求項16に記載のF R A Mであって、

前記第1及び第2のロードライバの各々がローシフト回路を更に含む、F R A M。

【請求項18】

請求項17に記載のF R A Mであって、

前記 F R A M のためのビット長が 6 4 ビットである、F R A M。

【請求項 1 9】

請求項 1 8 に記載の F R A M であって、

前記アレイが、1 0 2 4、2 0 4 8、2 0 4 8、4 0 9 6、4 0 9 6、4 0 9 6、8 1 9 2、8 1 9 2 及び 1 6 3 8 4 のそれぞれのワードサイズを有し、8 k b、1 6 k b、1 6 k b、3 2 k b、3 2 k b、3 2 k b、6 4 k b、6 4 k b 及び 1 2 8 k b のそれぞれのサイズを有する、スケーラブル回路の 1 × 2 アレイ、スケーラブル回路の 1 × 4 アレイ、スケーラブル回路の 2 × 2 アレイ、スケーラブル回路の 1 × 8 アレイ、スケーラブル回路の 2 × 4 アレイ、スケーラブル回路の 4 × 2 アレイ、スケーラブル回路の 2 × 8 アレイ、スケーラブル回路の 4 × 4 アレイ、及びスケーラブル回路の 4 × 8 アレイの 1 つである、F R A M。