

發明專利說明書公告本

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97130667

※申請日期：97年08月12日

※IPC分類：H01L 21/205 (2006.01)

一、發明名稱：

(中) 顯示裝置的製造方法

(英) Method of manufacturing display device

●二、申請人：(共 1 人)

1. 姓 名：(中) 半導體能源研究所股份有限公司

(英) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.

代表人：(中) 1. 山崎舜平

(英) 1. YAMAZAKI, SHUNPEI

地 址：(中) 日本國神奈川縣厚木市長谷三九八番地

(英) 398, Hase, Atsugi-shi, Kanagawa-ken 243-0036 Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 6 人)

1. 姓 名：(中) 山崎舜平

(英) YAMAZAKI, SHUNPEI

國 籍：(中) 日本

(英) JAPAN

2. 姓 名：(中) 手塚祐朗

(英) TEDUKA, SACHIAKI

國 籍：(中) 日本

(英) JAPAN

3. 姓 名：(中) 古野誠

(英) FURUNO, MAKOTO

國 籍：(中) 日本

(英) JAPAN

4. 姓 名：(中) 鳥海聰志

(英) TORIUMI, SATOSHI

國 籍：(中) 日本

(英) JAPAN

5.姓 名：(中) 神保安弘
(英) JINBO, YASUHIRO
國 籍：(中) 日本
(英) JAPAN

6.姓 名：(中) 大力浩二
(英) DAIRIKI, KOJI
國 籍：(中) 日本
(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本 ; 2007/08/17 ; 2007-212903 ☒ 有主張優先權
2. 日本 ; 2007/08/17 ; 2007-212904 ☒ 有主張優先權

(英) JAPAN

5.姓 名：(中) 神保安弘
(英) JINBO, YASUHIRO
國 籍：(中) 日本
(英) JAPAN

6.姓 名：(中) 大力浩二
(英) DAIRIKI, KOJI
國 籍：(中) 日本
(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本 ; 2007/08/17 ; 2007-212903 ☒ 有主張優先權
2. 日本 ; 2007/08/17 ; 2007-212904 ☒ 有主張優先權

九、發明說明

【發明所屬之技術領域】

本發明係關於一種顯示裝置的製造方法，特別關於將薄膜電晶體使用於像素部的顯示裝置及其製造方法。

【先前技術】

近年來，藉由採用形成在具有絕緣表面的基板上的半導體薄膜（其厚度大約為幾 nm 及幾百 nm）來構成薄膜電晶體（TFT）的技術正受到關注。薄膜電晶體在如 IC 和電光學裝置的電子裝置中獲得了廣泛應用，特別地，正在加快開發作為圖像顯示裝置的開關元件的薄膜電晶體。有的薄膜電晶體利用非晶矽形成通道區域的半導體，有的薄膜電晶體利用多晶矽。

另外，除了上述的兩種半導體之外，已知的還有由微晶矽半導體形成通道區域的 TFT（參照專利檔 1 及專利檔 2）。與非晶矽相同，微晶矽利用電漿 CVD 法製造。例如，作為利用電漿 CVD 法的微晶矽膜的製造方法，公開了利用 30MHz 以上的 VHF（Very High Frequency；甚高頻）帶的高頻的發明（參照專利檔 3）。

一般而言，在形成以微晶半導體膜為通道形成區域的底閘型的薄膜電晶體的情況下，在閘絕緣膜介面上，具有非晶結構的半導體膜被形成得薄，而會影響到薄膜電晶體的電特性。為了解決該問題，例如在專利文件 4 中，提供了如下方法：使半導體膜的成膜速度不同，即在成膜初期

中使成膜速度減慢，然後提高成膜速度。

液晶面板藉由在被稱為母玻璃的大面積基板上加工多個面板之後，最終分斷為適合於電視裝置或個人電腦的螢幕的尺寸來製造。藉由從一個母玻璃提出多個面板，而降低每一個面板的成本。在液晶電視機的市場上急劇地進行螢幕尺寸（面板尺寸）的大型化和銷售價格下降。為了提高生產率以應對螢幕的大型化和價格的下降，近幾年來，母玻璃的大面積化也被推動。

被稱為第一代的 1991 年前後的典型的玻璃基板的尺寸為 300mm×400mm。之後，母玻璃的尺寸一直在擴大，即第二代（400mm×500mm）、第三代（550mm×650mm）、第四代（730mm×920mm）、第五代（1000mm×1200mm）、第六代（2450mm×1850mm）、第七代（1870mm×2200mm）、第八代（2000mm×2400mm）、第九代（2450mm×3050mm）、第十代（2850mm×3050mm）陸續出現。

專利檔 1 日本專利申請公開 H 4-242724 號公報

專利檔 2 美國專利第 5,591,987 號

專利檔 3 日本專利第 3201492 號公報

專利檔 4 日本專利申請公開 H 7-94749 號公報

然而，在減慢成膜速度並形成微晶半導體膜的情況下，導致如下問題：由於成膜速度減慢，在反應室中存在的氧（O）等的雜質元素等容易進入成膜的膜中，而由於氧等的進入妨礙了晶化，由這種微晶半導體膜形成的薄膜電

晶體的電特性降低。

若母玻璃，即玻璃基板大面積化，則在該玻璃基板上形成微晶矽膜，電漿 CVD 裝置的電極面積也大型化。在此情況下，因為反應室的內壁的面積也增大，所以在微晶矽膜的成膜時，雜質元素容易進入膜中。

另外，在玻璃基板的尺寸超過第六代之後，電漿 CVD 裝置的電極的尺寸接近於高頻電源的頻率的波長。例如，當採用 27MHz 的電源頻率時波長為 1100mm，當採用 60MHz 的電源頻率時波長為 500mm，當採用 120MHz 的電源頻率時波長為 250mm。在此情況下，明顯地呈現表面駐波的影響，因此在電漿 CVD 裝置的反應室內的電漿密度分佈不均勻，而導致形成在玻璃基板上的薄膜的膜質或厚度的面內均勻性降低的問題。

【發明內容】

鑒於上述問題，本發明的目的在於提供即使使用大面積的基板，電特性也高並可靠性優越的薄膜電晶體及具有該薄膜電晶體的顯示裝置。

本發明的顯示裝置的製造方法之一，包括如下步驟：在基板上形成閘電極的步驟；在閘電極上形成閘絕緣膜的步驟；在閘絕緣膜上利用電漿 CVD 法形成微晶半導體膜的步驟；以及在微晶半導體膜上形成非晶半導體膜的步驟，其中形成微晶半導體膜的步驟藉由在反應室內生成電漿並在形成在基板上的閘絕緣膜上澱積反應生成物來形成微

晶半導體膜，並且在反應室的壓力為 10^{-5}Pa 或以下之後，將基板的溫度設定為 100°C 以上且 200°C 以下並導入氫及矽氣體，使氫電漿作用到形成在閘絕緣膜表面的反應生成物，一邊進行蝕刻（去除）進行成膜，來形成微晶半導體膜。

另外，本發明的顯示裝置的製造方法之一，包括如下步驟：在基板上形成閘電極的步驟；在閘電極上形成閘絕緣膜的步驟；在閘絕緣膜上利用電漿 CVD 法形成微晶半導體膜的步驟；以及在微晶半導體膜上形成非晶半導體膜的步驟，其中形成微晶半導體膜的步驟藉由在反應室內生成電漿並在形成在基板上的閘絕緣膜上澱積反應生成物來形成微晶半導體膜，並且在反應室的壓力為 10^{-5}Pa 或以下之後，將基板的溫度設定為 100°C 以上且 200°C 以下並導入氫及稀有氣體，在使氫電漿及稀有氣體電漿作用到閘絕緣膜表面之後導入矽氣體，使氫電漿作用到形成在閘絕緣膜表面的反應生成物，一邊進行蝕刻（去除）一邊進行成膜，來形成微晶半導體膜。

另外，本發明的顯示裝置的製造方法之一，包括如下步驟：在基板上形成閘電極的步驟；在閘電極上形成閘絕緣膜的步驟；在閘絕緣膜上利用電漿 CVD 法形成微晶半導體膜的步驟；以及在微晶半導體膜上形成非晶半導體膜的步驟，其中形成微晶半導體膜的步驟藉由在反應室內生成電漿並在形成在基板上的閘絕緣膜上澱積反應生成物來形成微晶半導體膜，並且在反應室的壓力為 10^{-5}Pa 或以下

之後，將基板的溫度設定為 100°C 以上且 200°C 以下並導入氫及矽氣體，並且藉由將 HF 頻帶（ 3MHz 至 30MHz ，典型為 13.56MHz ）的第一高頻電力和 VHF 頻帶（ 30MHz 至 300MHz 左右）的第二高頻電力疊加並施加來生成電漿，使氫電漿作用到形成在閘絕緣膜表面的反應生成物，一邊去除，一邊進行成膜，來形成微晶半導體膜。

另外，本發明的顯示裝置的製造方法之一，包括如下步驟：在基板上形成閘電極的步驟；在閘電極上形成閘絕緣膜的步驟；在閘絕緣膜上利用電漿 CVD 法形成微晶半導體膜的步驟；以及在微晶半導體膜上形成非晶半導體膜的步驟，其中形成微晶半導體膜的步驟藉由在反應室內生成電漿並在形成在基板上的閘絕緣膜上澱積反應生成物來形成微晶半導體膜，並且在反應室的壓力為 10^{-5}Pa 或以下之後，將基板的溫度設定為 100°C 以上且 200°C 以下並導入氫及稀有氣體，並且藉由將 HF 頻帶的第一高頻電力和 VHF 頻帶的第二高頻電力疊加並施加來生成電漿，並且在使氫電漿及稀有氣體電漿作用到閘絕緣膜表面之後導入矽氣體，使氫電漿作用到形成在閘極絕緣表面的反應生成物，一邊去除一邊進行成膜，來形成微晶半導體膜。

另外，本發明的顯示裝置的製造方法之一，其特徵在於在導入矽氣體之前停止導入稀有氣體或減少稀有氣體的流量比。

另外，本發明的顯示裝置的製造方法之一，其特徵在於在導入矽氣體之後，在經過預定的期間之後停止導入稀

有氣體或減少稀有氣體的流量比。

另外，本發明的顯示裝置的製造方法之一，其特徵在於將微晶半導體膜的膜中的氧濃度設定為 $1 \times 10^{17} \text{ atoms/cm}^3$ 或以下。

另外，作為顯示裝置，其範疇中包括發光裝置或液晶顯示裝置。發光裝置包括發光元件，液晶顯示裝置包括液晶元件。發光元件在其範疇中包括由電流或電壓控制亮度的元件，具體而言，包括無機 EL (Electro Luminescence; 電致發光)、有機 EL 等。

另外，顯示裝置包括作為密封有顯示元件的狀態的面板、作為在該面板上安裝有包括控制器的 IC 等的狀態的模組。

根據本發明，可以製造電特性及可靠性高的薄膜電晶體及具有該薄膜電晶體的顯示裝置。

【實施方式】

下面，基於附圖說明本發明的實施方式。但是，本發明可以藉由多種不同的方式來實施，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式和詳細內容在不脫離本發明的宗旨及其範圍下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在本實施方式所記載的內容中。在說明實施方式的所有的附圖中，共同使用相同的附圖標記來表示相同部分或具有相同功能的部分，並且省略其重複說明。

實施方式 1

在本實施方式中，參照附圖對具有底閘型的薄膜電晶體（TFT）的顯示裝置的製造方法進行說明。在以下說明中，對 n 通道型的薄膜電晶體進行說明。

首先，在基板 100 上形成閘電極 101，在該閘電極 101 上形成閘絕緣膜（參照圖 1A、圖 5A）。

基板 100 可以使用藉由熔融法或浮法(float method)製造的無鹼玻璃基板，例如鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋁矽酸鹽玻璃等；或陶瓷基板，還可以使用具有可承受本製造步驟處理溫度的耐熱性的塑膠基板等。此外，還可以使用在不銹鋼合金等金屬基板表面上設置有絕緣膜的基板。

使用鈦、鉬、鉻、鉭、鎢、鋁等金屬材料或它們的合金材料來形成閘電極 101。可以藉由濺射法或真空蒸鍍法在基板 100 上形成導電膜，藉由光刻技術或噴墨法在該導電膜上形成抗蝕劑掩模，使用該掩模蝕刻導電膜來形成閘電極 101。注意，作為提高閘電極 101 的緊貼性並且防止雜質元素擴散到基底的阻擋金屬，可以在基板 100 和閘電極 101 之間設置上述金屬材料的氮化物膜。

閘絕緣膜 102 可以藉由 CVD 法或濺射法等並使用氧化矽膜、氮化矽膜、氧氮化矽膜、或氮氧化矽膜形成。另外，閘絕緣膜 102 可以藉由按順序層疊氧化矽膜或氧氮化矽膜和氮化矽膜或氮氧化矽膜來形成。另外，也可以從基

板一側按順序層疊氮化矽膜或氮氧化矽膜、氧化矽膜或氧氮化矽膜、以及氮化矽膜或氮氧化矽膜的三層來形成閘絕緣膜，而不是層疊兩層。另外，閘絕緣膜也可以由氧化矽膜、氮化矽膜、氧氮化矽膜、或氮氧化矽膜的單層來形成。

注意，氧氮化矽膜在其組成中氧的含量比氮的含量多，並且作為濃度範圍，包含 55 原子%至 65 原子%的氧、1 原子%至 20 原子%的氮、25 原子%至 35 原子%的 Si、0.1 原子%至 10 原子%的氫。另外，氮氧化矽膜在其組成中氮的含量比氧的含量多，作為濃度範圍，其包含 15 原子%至 30 原子%的氧、20 原子%至 35 原子%的氮、25 原子%至 35 原子%的 Si、15 原子%至 25 原子%的氫。

其次，在閘絕緣膜 102 上形成具有微晶結構的微晶半導體膜 103（例如，微晶矽膜）（參照圖 1B）。

微晶半導體膜 103 藉由利用電漿 CVD 法澱積反應生成物而形成。下面，將參照圖 4 對形成微晶矽膜的步驟的實例進行說明。注意，圖 4 的說明表示從對大氣壓下的反應室進行真空排氣的階段 200 開始，按時間系列示出之後進行的預塗敷 201、基板搬入 202、基底預處理 203、成膜處理 204、基板搬出 205、清洗 206 的每個處理。

首先，將反應室內真空排氣到預定的真空度。在本實施方式中，設為超高真空（ 10^{-5} Pa 或以下），來盡可能地減少反應室內的氧（O）等的雜質元素。在作為真空度排氣到低於 10^{-5} Pa 的壓力進行超高真空排氣的情況下，進行

使用渦輪分子泵的排氣，進而利用低溫泵進行真空排氣。另外，最好對反應室進行加熱處理以對內壁進行脫氣處理。另外，藉由使加熱基板的加熱器也工作，使溫度穩定化。基板的加熱溫度為 100°C 以上且 300°C 以下，最好為 100°C 以上且 200°C 以下。

在預塗敷 201 中，最好導入氬等稀有氣體並進行電漿處理，以便去除吸附到反應室的內壁的氣體（氧及氮等大氣成分，或在清洗反應室時使用的蝕刻氣體）。藉由該處理可以提高最終真空度。包括使用與應該在基板上澱積的膜同種的膜覆蓋反應室的內壁的處理。因為本實施方式表示形成微晶矽膜的步驟，進行形成矽膜作為內壁覆蓋膜的處理。在預塗敷 201 中，在導入矽烷氣體之後，施加高頻電力來生成電漿。矽烷氣體和氧、水分等起反應，因此藉由導入矽烷氣體進而生成矽烷電漿，可以去除反應室內的氧、水分。

在預塗敷 201 之後，進行基板搬入 202。由於應該澱積微晶矽膜的基板被保存在真空排氣了的裝載室中，即使搬入基板，真空度也不會明顯地惡化。

在形成微晶矽膜的情況下，基底預處理 203 是特別有效的處理並最好進行該處理。即，在藉由利用電漿 CVD 法在設置在玻璃基板上的閘絕緣膜的表面上形成微晶矽膜的情況下，由於雜質元素或晶格不匹配等，會在澱積初期階段中在澱積的反應生成物（半導體膜）中形成非晶層。最好進行基底預處理 203，以便盡可能地減薄該非晶層的

厚度，有可能的話不形成該非晶層。

作為基底預處理 203 最好進行稀有氣體電漿處理、氬電漿處理或並用該兩種處理。作為稀有氣體電漿處理最好使用氫、氮、氬等質量數大的稀有氣體元素。這是為了以濺射法的效應去除附著於表面的氧、水分、有機物、金屬元素等的緣故。氬電漿處理對於由氬自由基去除吸附於表面的上述雜質、和利用對絕緣膜或非晶矽膜的蝕刻作用形成清潔表面是有效的。另外，藉由並用稀有氣體電漿處理和氬電漿處理，有促進微晶核生成的作用。

形成微晶矽膜的成膜處理 204 是接著基底預處理 203 進行的處理。微晶矽膜藉由混合氬及矽氣體（氬化矽氣體或鹵化矽氣體）並利用電漿而形成。矽氣體以氬稀釋到 10 倍至 2000 倍。

在此，藉由使氬電漿作用到對在成膜的初期階段中形成在閘絕緣膜 102 表面的半導體膜，一邊去除（蝕刻）一邊進行成膜，來形成微晶半導體膜。即，將由於 SiH_3 自由基的澱積的膜成長反應和由於氬自由基的蝕刻反應競爭地起反應，而形成包含微晶結構的半導體膜。

另外，為了提高微晶半導體膜的結晶性，最好以使微晶半導體膜的膜中的氧濃度為 $1 \times 10^{17} \text{ atoms/cm}^3$ 或以下的方式形成。可以利用二次離子質譜法（SIMS：Secondary Ion Mass Spectrometry）測定膜中的氧濃度。

在本實施方式中，藉由一邊利用氬電漿處理去除（蝕刻）在成膜的初期階段中澱積在閘絕緣膜 102 上的半導體

膜一邊進行成膜，促進形成在閘絕緣膜 102 上的晶核生成，並且利用該晶核形成微晶半導體膜。由此，即使由於雜質元素或晶格不匹配等的原因，在澱積初期階段中澱積的半導體膜包括非晶層的情況下，也盡可能地減薄該非晶層的厚度，並且更近於閘絕緣膜 102 地形成微晶半導體膜。

另外，在本實施方式中，一邊去除形成在閘絕緣膜 102 表面的半導體膜一邊進行成膜，因此成膜速度減慢。然而，藉由在成膜之前將反應室的壓力設為超高真空（ 10^{-5} Pa 或以下），而在減少了反應室內的水分或氧（O）等的附著雜質的雜質元素之後進行成膜，從而即使在成膜速度減慢的情況下，也減少氧（O）等的雜質元素進入到膜中（半導體膜的氧化等），而可以抑制對晶化的障礙。其結果，可以更近於閘絕緣膜 102 地形成結晶性高的半導體膜。

注意，氬電漿處理藉由調節對於矽氣體流量的氬流量比而進行。例如，隨著成膜的進行，以使對於矽氣體流量的氬流量比變小的方式使矽氣體的流量增加。開始成膜時氬的流量：矽氣體的流量設定為 2000:1 左右，以在結束成膜時變為 50:1 左右的方式，逐漸地使矽氣體的流量增加（減少氬的流量），來可以形成微晶半導體膜。

另外，也可以藉由反復增減對於矽氣體流量的氬流量比，反復進行氬電漿處理。在此情況下，藉由反復進行半導體膜的澱積和半導體膜的去除（蝕刻），可以促進形成在閘絕緣膜 102 上的晶核生成。

另外，如圖 4 中的虛線 207 所示那樣，可以設置在微晶矽膜的成膜初期階段中繼續供給氫等的稀有氣體的期間。藉由使氫電漿作用到在成膜的初期階段中在閘絕緣膜 102 表面澱積的半導體膜來改質其表面，去除吸著於表面的水分或雜質，從而可以促進微晶核的生成。

另外，基板的加熱溫度為 100°C 以上且 300°C 以下，最好為 100°C 以上且 200°C 以下。最好以 100°C 以上且 200°C 以下的加熱溫度進行成膜，以便使用氫使微晶矽膜的成長表面惰性化，並促進微晶矽的生長。

微晶半導體膜 103 可以藉由利用幾十 MHz 至幾百 MHz 的頻率的高頻電漿 CVD 裝置或 1GHz 以上的頻率的微波電漿 CVD 裝置而形成。

另外，也可以藉由將 HF 頻帶（3MHz 至 30MHz，典型為 13.56MHz）和 VHF 頻帶（30MHz 至 300MHz 左右）的高頻電力疊加並施加來生成電漿，並利用該電漿進行成膜或電漿處理。藉由供給不引起表面駐波的第一高頻電力來生成電漿，與此同時供給屬於 VHF 頻帶的第二高頻電力來實現電漿的高密度化，因此可以在長邊超過 2000mm 的大面積基板上形成均勻且膜質優良的薄膜。

當進行電漿處理時，預先進行預塗敷 201 的處理，可以防止以構成反應室的金屬作為雜質元素進入到微晶矽膜中。即，藉由以矽覆蓋反應室內，可以防止由電漿蝕刻反應室內，並且降低包含在微晶矽膜中的雜質濃度。

在成膜處理 204 中可以添加氮用作反應氣體。氮具有

在所有的氣體中最高的離子化能量即 24.5eV ，並且在稍微低於該離子化能量的大約為 20eV 的能級中具有亞穩狀態。因此在維持放電時，離子化的能量只需要其差即大約為 4eV 。因此，關於放電開始電壓，氦也示出在所有的氣體中最低的值。根據如上所述的特性，氦可以穩定地維持電漿。另外，因為可以形成均勻的電漿，即使澱積微晶矽膜的基板的面積變大，也可以實現電漿密度的均勻化。

在完了微晶矽的成膜之後，停止矽烷、氦等的反應氣體及高頻電力的供給，而進行基板搬出 205。在繼續對其他基板進行成膜處理的情況下，回到基板搬入 202 的階段而進行相同的處理。為了去除附著於反應室內的被膜或粉末，進行清洗 206。

在清洗 206 中導入以 NF_3 、 SF_6 為代表的蝕刻氣體進行電漿蝕刻。另外，導入即使不利用電漿也可以蝕刻的氣體如 ClF_3 來進行蝕刻。在清洗 206 中，最好關斷用來加熱基板的加熱器並降低溫度來進行。這是為了抑制由於蝕刻的反應副生成物的生成的緣故。完了清洗 206 之後回到預塗敷 201，之後進行相同的處理即可。

另外，在本實施方式中成膜的微晶半導體膜 103 是包含非晶與結晶結構（包括單晶、多晶）之間的中間結構的半導體的膜。該半導體是具有在自由能方面上很穩定的第三狀態的半導體，是具有短程有序的晶格畸變的晶質半導體，並且可以以粒徑為 0.5nm 至 20nm 分散存在於非單晶半導體中。在作為微晶半導體的典型例子的微晶矽中，其

拉曼光譜轉移到比表示單晶矽的 520.6cm^{-1} 低的波數一側。換言之，微晶矽的拉曼光譜的峰值位於 481cm^{-1} 以上且 520.6cm^{-1} 以下的範圍內。

另外，藉由在與成膜同時或成膜之後將賦予 p 型的雜質元素添加到用作薄膜電晶體的通道形成區的微晶半導體膜，可以控制閾值電壓。作為賦予 p 型的雜質元素，典型有硼，並且藉由以 1ppm 至 1000ppm、最好為 1ppm 至 100ppm 的比例將三甲基硼 $(\text{CH}_3)_3\text{B}$ 、 B_2H_6 、 BF_3 等雜質氣體混入氫化矽來形成即可。將硼的濃度設定為例如 $1 \times 10^{14}\text{atoms/cm}^3$ 至 $1 \times 10^{16}\text{atoms/cm}^3$ 即可。三甲基硼即使附著於反應室的內壁等，也可以藉由清洗而容易地去除，因此最好使用三甲基硼。藉由控制硼的濃度，可以形成 i 型或 p 型的微晶半導體膜。

另外，以厚度為厚於 0nm 且 50nm 以下，最好為厚於 0nm 且 20nm 以下地形成微晶半導體膜 103。微晶半導體膜 103 用作之後形成的薄膜電晶體的通道形成區域。藉由將微晶半導體膜的厚度設定為上述的範圍內，可以使之後形成的薄膜電晶體為完全耗盡型。

另外，微晶半導體膜 103 的成膜速度慢，即為非晶半導體的成膜速度的 1/10 至 1/100，因此可以藉由使該膜厚減薄提高生產率。

其次，在微晶半導體膜 103 上按順序層疊用作緩衝層的非晶半導體膜 104（例如，非晶矽膜）、添加有賦予一種導電類型的雜質元素的半導體膜 105（參照圖 1C）。

注意，連續地形成閘絕緣膜 102、微晶半導體膜 103 以及非晶半導體膜 104 是最好的。另外，連續地形成閘絕緣膜 102、微晶半導體膜 103、非晶半導體膜 104、以及添加有賦予一種導電類型的雜質元素的半導體膜 105 是最好的。藉由在不接觸大氣的狀態下連續地形成閘絕緣膜 102、微晶半導體膜 103、以及非晶半導體膜 104，可以形成各個疊層介面而不被大氣成分及懸浮在大氣中的污染雜質元素污染，因此可以減少薄膜電晶體特性的不均勻。

另外，在形成微晶半導體膜 103 之後，可以藉由進一步控制氫及矽氣體的流量，減少氫並增加矽氣體，而減少對於矽氣體流量的氫流量比，來在微晶半導體膜上連續地形成非晶半導體膜 104。可以藉由進一步減少氫的流量而僅使用矽氣體（氫化矽氣體、或鹵化矽氣體）進行形成非晶半導體膜 104 的步驟。在此情況下，可以在不使微晶半導體膜 103 的成長表面接觸大氣的情況下，在微晶半導體膜 103 上形成非晶半導體膜 104。

另外，可以使用如 SiH_4 或 Si_2H_6 等氫化矽藉由電漿 CVD 法形成用作緩衝層的非晶半導體膜 104。另外，可以使用選自氫、氫、氮及氬中的一種或多種稀有氣體元素稀釋上述氫化矽來形成非晶半導體膜。藉由使用氫，可以形成包含氫的非晶半導體膜，該氫的流量為氫化矽的流量的 1 倍以上 20 倍以下，最好為 1 倍以上 10 倍以下，更最好為 1 倍以上 5 倍以下。另外，藉由使用上述氫化矽以及氮或氬，可以形成包含氮的非晶半導體膜。藉由使用上述氫

化矽以及包含氟、氯、溴、或碘的氣體（ F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等），可以形成包含氟、氯、溴、或碘的非晶半導體膜。另外，可以使用 SiH_2Cl_2 、 $SiHCl_3$ 、 $SiCl_4$ 、 SiF_4 等代替氫化矽。

作為非晶半導體膜 104，也可以藉由將非晶半導體用作靶並使用氫或稀有氣體進行濺射來形成非晶半導體膜。此時，藉由將氯、氮、或 N_2O 包含在氣氛中，可以形成包含氮的非晶半導體膜。另外，藉由將包含氟、氯、溴、或碘的氣體（ F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等）包含在氣氛中，可以形成包含氟、氯、溴、或碘的非晶半導體膜。

非晶半導體膜 104 最好由不包含晶粒的非晶半導體構成。因此，在藉由使用頻率為幾十 MHz 至幾百 MHz 的高頻電漿 CVD 法或微波電漿 CVD 法形成非晶半導體膜 104 的情況下，最好調節成膜條件，以形成不包含晶粒的非晶半導體。另外，非晶半導體膜 104 也可以使用呈現 n 型導電性的非晶半導體（例如非晶矽膜）而形成。

在之後的形成源區域及汲區域的步驟中，有時非晶半導體膜 104 的一部分被蝕刻，因此非晶半導體膜 104 的厚度最好形成為在上述情況下其一部分也殘留的厚度。典型地說，非晶半導體膜 104 最好形成為具有 100nm 以上 500nm 以下，最好為 200nm 以上 300nm 以下的厚度。在對薄膜電晶體施加高電壓（例如大約為 15V）的顯示裝置，典型為液晶顯示裝置中，藉由將用作緩衝層的非晶半導

體膜 104 的厚度設定為上述範圍內，可以提高耐壓，從而即使高電壓施加到薄膜電晶體也可以避免薄膜電晶體的劣化。藉由將非晶半導體膜 104 設定為上述厚度的範圍內，可以將非晶半導體膜 104 形成為厚於微晶半導體膜 103。

藉由在微晶半導體膜 103 表面上形成非晶半導體膜，進而形成包含氫、氮、或鹵素的非晶半導體膜，可以防止包含在微晶半導體膜 103 中的晶粒表面的自然氧化。尤其是在非晶半導體和微晶粒接觸的區域中，容易因晶格的畸變而產生龜裂。當該龜裂與氧接觸時晶粒被氧化，而形成氧化矽。但是，藉由將用作緩衝層的非晶半導體膜 104 形成在微晶半導體膜 103 表面上，可以防止包含在微晶半導體膜 103 中的微晶粒的氧化。另外，藉由形成緩衝層，可以防止在之後形成源區域及汲區域時產生的蝕刻殘渣混入微晶半導體。

另外，由於非晶半導體膜 104 是使用非晶半導體或使用包括氫、氮、或鹵素的非晶半導體形成的，因此非晶半導體的能隙比微晶半導體大（非晶半導體的能隙為 1.6 至 1.8 eV，而微晶半導體的能隙為 1.1 至 1.5 eV），其電阻高而遷移率低。因此，在之後形成的薄膜電晶體中，形成在源區域及汲區域和微晶半導體膜 103 之間的非晶半導體膜 104 用作高電阻區域，而構成微晶半導體膜 103 的微晶半導體用作通道形成區域。

在形成 n 通道型的薄膜電晶體的情況下，添加有賦予一種導電類型的雜質元素的半導體膜 105 可以添加作為典

型雜質元素的磷，可以對氫化矽添加 PH_3 等的雜質氣體。另外，在形成 p 通道型薄膜電晶體的情況下，添加硼作為典型的雜質元素，可以將三甲基硼 $(\text{CH}_3)_3\text{B}$ 、 B_2H_6 等的雜質氣體添加到氫化矽中。添加有賦予一種導電類型的雜質元素的半導體膜 105 可以由微晶半導體或非晶半導體構成。添加有賦予一種導電類型的雜質元素的半導體膜 105 的厚度為 2nm 以上 50nm 以下。藉由減薄添加有賦予一種導電類型的雜質元素的半導體膜的厚度，可以提高生產率。

其次，在添加有賦予一種導電類型的雜質元素的半導體膜 105 上形成掩模 121，藉由使用該掩模 121 對微晶半導體膜 103、非晶半導體膜 104、以及添加有賦予一種導電類型的雜質元素的半導體膜 105 進行蝕刻（參照圖 1D、圖 5B）。然後去除掩模 121。

利用光刻技術或噴墨法形成掩模 121。

接下來，在藉由蝕刻而殘留的半導體膜 105 及閘絕緣膜 102 上形成導電膜 106，在該導電膜 106 上形成掩模 122（參照圖 2A）。

導電膜 106 最好由鋁、銅、或添加有矽、鈦、釹、鎢、鉬等用於提高耐熱性的元素或防止小丘的元素的鋁合金的單層或疊層構成。還可以採用如下疊層結構：藉由使用鈦、鉍、鉬、鎢或這些元素的氮化物形成與半導體膜 105 接觸一側的膜，並在其上形成鋁或鋁合金。再者，可以採用如下疊層結構：鋁或鋁合金的上表面及下表面由鈦、鉍、鉬、鎢或這些元素的氮化物夾住。例如，作為導電膜

106，可以採用按順序層疊鉬膜、鋁膜、鉬膜的三層的結構。另外，作為導電膜 106，還可以採用按順序層疊鈦膜、鋁膜、鈦膜的三層的結構。

導電膜 106 藉由濺射法或真空蒸鍍法而形成。另外，導電膜 106 可以藉由使用銀、金、銅等導電奈米膏並且利用絲網印刷法、噴墨法等噴射並焙燒而形成。

掩模 122 可以與掩模 121 同樣地形成。

注意，在本實施方式中，在圖 1C 中示出在對微晶半導體膜 103、非晶半導體膜 104、以及半導體膜 105 進行構圖之後形成導電膜 106 的情況，也可以採用省略圖 1C 的步驟，在按順序連續地層疊微晶半導體膜 103、非晶半導體膜 104、半導體膜 105、以及導電膜 106 之後形成掩模 122。在此情況下，因為無須形成掩模 121，可以簡化步驟。

接下來，藉由使用掩模 122 蝕刻導電膜 106 並分離，形成源電極 106a 及汲電極 106b（參照圖 2B、圖 5C）。

接下來，藉由使用掩模 122 蝕刻添加有賦予一種導電類型的雜質元素的半導體膜 105 及用作緩衝層的非晶半導體膜 104，形成源區域 105a 及汲區域 105b、源電極 106a 及汲電極 106b（參照圖 2C、圖 6A）。注意，用作緩衝層的非晶半導體膜 104 僅其一部分被蝕刻，它覆蓋著微晶半導體膜 103 的表面。在此，在位於源區域 105a 和汲區域 105b 之間的非晶半導體膜 104 的表面形成有凹部。此時，源區域 105a 及汲區域 105b 的端部和源電極 106a 及汲電

極 106B 的端部大略一致。

接下來，蝕刻源電極 106a 及汲電極 106b 的一部分（參照圖 3A、圖 6B）。

在此，當使用掩模 122 進行濕法蝕刻時，選擇性地蝕刻源電極 106a 及汲電極 106b 的端部。結果，源電極 106a 及汲電極 106b 的端部和源區域 105a 及汲區域 105b 的端部分別不一致而錯開，在源電極 106a 及汲電極 106b 的端部的外側形成源區域 105a 及汲區域 105b 的端部。

然後，去除掩模 122。另外，源電極 106a 或汲電極 106b 一邊分別用作源佈線或汲佈線。

藉由使源區域 105a 和源電極 106a 的端部、以及汲區域 105b 和汲電極 106b 的端部分別不一致而成爲錯開的形狀，源電極 106a 和汲電極 106b 的端部的距離遠離，因此可以防止源電極 106a 和汲電極 106b 之間的洩漏電流或短路。另外，藉由使源區域 105a 和源電極 106a 的端部、以及汲區域 105b 和汲電極 106b 的端部分別不一致而成爲錯開的形狀，電場不會集中到源電極 106a 及汲電極 106b、以及源區域 105a 及汲區域 105b 的端部，因此可以防止在閘電極 101、源電極 106a 及汲電極 106b 之間的洩漏電流。由此，可以製造可靠性高且耐壓性高的薄膜電晶體。

藉由上述步驟，可以形成通道蝕刻型的薄膜電晶體 110。

在本實施方式所示的薄膜電晶體中，非晶半導體膜 104 的一部分形成有凹部（溝槽），由源區域 105a 及汲區

域 105b 覆蓋上述凹部以外的區域。即，由於形成在非晶半導體膜 104 中的凹部 123，源區域 105a 及汲區域 105b 的距離遠離，因此可以減少源區域 105a 及汲區域 105b 之間的洩漏電流。另外，藉由蝕刻非晶半導體膜 104 的一部分形成凹部 123，可以去除在形成源區域 105a 及汲區域 105b 的步驟中產生的蝕刻殘渣，因此，可以避免通過殘渣在源區域 105a 及汲區域 105b 中產生洩漏電流（寄生通道）。

另外，在用作通道形成區域的微晶半導體與源區域 105a 及汲區域 105b 之間形成有緩衝層。另外，以緩衝層覆蓋微晶半導體的表面。因為與微晶半導體相比高電阻的緩衝層延伸在微晶半導體和源區域 105a 及汲區域 105b 之間，所以可以減少在薄膜電晶體中產生洩漏電流並且減少因施加高電壓導致的劣化。另外，因為在微晶半導體表面上形成有以氫終端了表面的非晶半導體作為緩衝層，可以防止微晶半導體的氧化，並且可以防止在形成源區域 105a 及汲區域 105b 的步驟中產生的蝕刻殘渣混入微晶半導體。

另外，藉由源電極及汲電極的端部和源區域及汲區域的端部不一致而成為錯開的形狀，源電極及汲電極的端部的距離遠離，因此可以防止源電極及汲電極之間的洩漏電流或短路。

接著，在源電極 106a 及汲電極 106b、源區域 105a 及汲區域 105b、非晶半導體膜 104 及閘絕緣膜 102 上形成絕

緣膜 107 (參照圖 3B) 。絕緣膜 107 可以與閘絕緣膜 102 同樣地形成。另外，絕緣膜 107 是爲了防止懸浮在大氣中的有機物、金屬物、或水蒸氣等的污染雜質的侵入而提供的，因此最好爲緻密的膜。

接著，在絕緣膜 107 中形成接觸孔，形成由該接觸孔與汲電極 106b 相接觸的像素電極 108 (參照圖 3C、圖 7) 。

作爲像素電極 108，可以使用具有透光性的導電材料，如包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦錫氧化物 (下麵稱爲 ITO)、銦鋅氧化物、添加有氧化矽的銦錫氧化物等。

此外，也可以使用包含導電高分子 (也稱爲導電聚合物) 的導電組成物形成像素電極 108。使用導電組成物形成的像素電極最好具有如下條件：薄層電阻爲 $10000\ \Omega/\square$ 或以下，在波長爲 550nm 的透光率爲 70% 以上。另外，包含在導電組成物中的導電高分子的電阻率最好爲 $0.1\ \Omega\cdot\text{cm}$ 或以下。

作爲導電高分子，可以使用所謂的 π 電子共軛類導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者由上述物質中的兩種以上而構成的共聚體等。

藉由上述步驟，可以形成在像素部中具有薄膜電晶體 110 的顯示裝置。注意，雖然在本實施方式中示出形成 n

通道型薄膜電晶體的情況，但不侷限於此，藉由使添加有賦予一種導電類型雜質元素的半導體膜 105 成為 p 型，可以同樣地形成 p 通道型的薄膜電晶體。

本實施方式所示的薄膜電晶體 110 的製造步驟少，而可以降低成本。另外，藉由由微晶半導體構成用作通道形成區域的微晶半導體膜 103，可以獲得 $1\text{cm}^2/\text{V}\cdot\text{sec}$ 至 $20\text{cm}^2/\text{V}\cdot\text{sec}$ 的電場效應遷移率。因此，雖然在本實施方式中示出使用薄膜電晶體 110 作為像素部的像素的開關元件的實例，但是不侷限於此，可以用作形成掃描線（閘極線）一側的驅動電路等的元件。

本實施方式可以與在其他實施方式所記載的結構或製造方法組合而實施。

實施方式 2

在本實施方式中，將參照圖 11 對在上述實施方式 1 中使用於微晶半導體膜的成膜的電漿 CVD 裝置的一個構成例進行說明。具體而言，在本實施方式中，對被施加了多個高頻電力的電漿 CVD 裝置的一個構成例進行說明。

反應室 300 由鋁或不銹鋼等具有剛性的材料形成，並其內部構成為可以真空排氣。反應室 300 具備有第一電極 301 和第二電極 302。

第一電極 301 聯結有高頻電力供給裝置 303，並且第二電極 302 被施加接地電位，且可以裝載基板。第一電極 301 由絕緣材料 316 與反應室 300 的內壁絕緣分離，並構

成爲不漏失高頻電力。注意，在圖 11 中表示採用電容耦合型（平行平板型）結構的第一電極 301 和第二電極 302，但是只要是藉由施加兩種以上的不同高頻電力可以在反應室 300 內部生成電漿的結構，就可以採用感應耦合型等其他結構。

高頻電力供給裝置 303 包括第一高頻電源 304 和第二高頻電源 305、以及分別對應於它們的第一匹配器 306 和第二匹配器 307。從第一高頻電源 304 和第二高頻電源 305 輸出的高頻電力一起供給給第一電極 301。也可以在第一匹配器 306 或第二匹配器 307 的輸出一側設置帶通濾波器，以便防止導入一方的高頻電力。

第一高頻電源 304 所供給的高頻電力適用波長約 10m 以上的高頻，適用 HF 頻帶的 3MHz 至 30MHz，典型爲 13.56MHz 的頻率。第二高頻電源 305 所供給的高頻電力適用 VHF 頻帶的 30MHz 至 300MHz，即其波長小於約 10m（不包括 10m）的高頻。

即，第一高頻電源 304 所供給的高頻電力的波長具有第一電極 301 的一邊的長度 3 倍以上的長度，第二高頻電源 305 所供給的高頻電力的波長短於第一高頻電源 304 所供給的高頻電力的波長。藉由將不引起表面駐波的高頻電力供給到第一電極 301 而生成電漿，同時供給屬於 VHF 頻帶的高頻電力，來實現電漿的高密度化。其結果，可以在長邊超過 2000mm 的大面積基板上形成具有均勻性並膜質優越的薄膜。

第一電極 301 也聯結到氣體供給單元 308。氣體供給單元 308 由填充反應氣體的圓柱型容器 310、壓力調節閥 311、停止閥 312、質量流量控制器 313 等構成。在反應室 300 內第一電極 301 的相對於基板的面被加工為簇射板狀，設有多個孔。反應氣體從第一電極 301 的內部的空心結構經過該孔而供給到反應室 300 內。

圖 12 表示第一電極 301 的其他結構。第一電極 301 分成為由第一高頻電源 304 供給高頻電力的第一電極 301a 和由第二高頻電源 305 供給高頻電力的第一電極 301b。第一電極 301a 和第一電極 301b 在與基板相對的面上設有細孔並形成為彼此咬合的梳齒狀，並且為了防止彼此接觸，鄰接的部件由絕緣材料 316 彼此分離。圖 12 所示的結構可以代替圖 11 所示的第一電極 301，並可以獲得相同的效果。

連接到反應室 300 的排氣單元 309 具備進行真空排氣和在導入反應氣體的情況下進行控制以使反應室 300 內保持預定的壓力的功能。作為排氣單元 309 的結構包括蝶閥 317、導氣閥（conductance valve）318、渦輪分子泵 319、乾燥泵 320 等。在配置蝶閥 317 和導氣閥 318 並聯的情況下，通過關閉蝶閥 317 而使導氣閥 318 工作，可以控制反應氣體的排氣速度而將反應室 300 的壓力保持為預定的範圍。另外，藉由使導通性高的蝶閥 317 開啓，可以進行高真空排氣。

在進行作為真空度低於 10^{-5} Pa 的壓力的超高真空排氣

的情況下，最好並用低溫泵 321。另外，在作為最終真空度進行排氣到超高真空的程度的情況下，可以對反應室 300 的內壁進行鏡面加工，並設置用於烘烤的加熱器以減少來源於內壁的氣體釋放。

由加熱控制器 315 控制溫度的基板加熱器 314 設置於第二電極 302。在基板加熱器 314 設置在第二電極 302 中的情況下，採用熱傳導加熱方式，由護鞘加熱器等構成。具有可動式結構，以可以適當地改變第一電極 301 和第二電極 302 的間隔並可以調節第二電極 302 的高度。

藉由利用根據本實施方式的電漿 CVD 裝置的反應室，可以形成以氧化矽膜和氮化矽膜為代表的絕緣膜、以微晶矽膜和非晶矽膜為代表的半導體膜、其他適用於 TFT 及光電轉換裝置等的各種薄膜。尤其是在長邊超過 2000mm 的大面積基板上形成上述薄膜的情況下有效。

注意，雖然在上述實施方式 1 中，說明了將本實施方式所示的電漿 CVD 裝置使用於微晶半導體膜 103 的形成的情況，但是不侷限於此，若更換反應氣體，則可以形成各種薄膜。本實施方式所示的電漿裝置可以適用於形成非晶矽膜、非晶矽鍺膜、非晶碳化矽膜、微晶矽鍺膜、微晶碳化矽膜等的膜作為半導體膜。作為絕緣膜，本實施方式所示的電漿裝置可以適用於形成氧化矽、氮化矽、氧氮化矽、氮氧化矽等的膜。

本實施方式可以與在其他實施方式所記載的結構和製造方法組合而實施。

實施方式 3

在本實施方式中，作為應用上述實施方式 2 所示的反應室的電漿 CVD 裝置的實例，對適合於多個膜（在此，構成 TFT 的閘絕緣膜及半導體膜）的成膜的構成的實例，將參照圖 18 進行說明。

圖 18 表示具備多個反應室的多室電漿 CVD 裝置的實例。該裝置具備公共室 323、裝載/卸載室 322、第一反應室 300a、第二反應室 300b、第三反應室 300c。裝填於裝載/卸載室 322 的盒子（cassette）324 中的基板具有利用公共腔 323 的搬送機構 326 搬入/搬出到各反應室的板料送進方式的結構。公共腔 323 和各室之間設置有閘門閥 325，以便各反應室內進行的處理互不干涉。

各反應室根據所形成的薄膜的種類區分。例如，第一反應室 300a 是用作形成閘絕緣膜等絕緣膜的反應室，第二反應室 300b 是用作形成構成通道的微晶半導體層的反應室，第三反應室 300c 是用作形成構成源極及汲極的包括賦予一種導電類型的雜質元素的半導體膜的反應室而分別利用。當然，反應室的個數不侷限於此，根據需要可以任意增減。另外，既可以在一個反應室內形成一種膜，又可以採用在一個反應室內形成多種膜的結構。

各反應室連接有渦輪分子泵 319 和乾燥泵 320 作為排氣單元。排氣單元不侷限於這些真空泵的組合，只要是能夠排氣到大約為 10^{-1}Pa 至 10^{-5}Pa 的真空度，就可以應用

其他真空泵。另外，形成微晶半導體膜的第二反應室 300b 聯結有低溫泵 321 以真空排氣到超高真空的程度。另外，若在排氣單元和各反應室之間設置有蝶閥 317，則由此可以遮斷真空排氣，並且藉由使用導氣閥 318 控制排氣速度而可以調節各反應室的壓力。

氣體供給單元 308 由填充半導體材料氣體或稀有氣體等的使用於步驟的氣體的圓柱型容器 310、停止閥 312、質量流量控制器 313 等構成。氣體供給單元 308g 連接到第一反應室 300a 並供給用來形成閘絕緣膜的氣體。氣體供給單元 308i 連接到第二反應室 300b 並供給用來形成微晶半導體膜的氣體。氣體供給單元 308n 連接到第三反應室 300c 並供給例如用來形成 n 型半導體膜的氣體。氣體供給單元 308a 供給氫，並且氣體供給單元 308f 供給用於反應室內的清洗的蝕刻氣體，這些單元作為各反應室公共管線而構成。

各反應室聯結著用來生成電漿的高頻電力供給單元。高頻電力供給單元 303 包括高頻電源和匹配器。在此情況下，與實施方式 2 相同，藉由由第一高頻電源 304 和第二高頻電源 305、第一匹配器 306 和第二匹配器 307 構成，可以形成均勻性優良的薄膜。電漿 CVD 裝置的結構只要與各種玻璃基板的尺寸（稱為第一代的 300mm×400mm，第三代的 550mm×650mm、第四代的 730mm×920mm、第五代的 1000mm×1200mm、第六代的 2450mm×1850mm、第七代的 1870mm×2200mm、第八代的 2000mm×2400mm、第九

代的 2450mm×3050mm、第十代的 2850mm×3050mm 等) 相適合即可，就可以在各種尺寸的基板上形成均勻性優良的薄膜。

如本實施方式所示那樣，藉由利用圖 18 所示的多個反應室並且在公共腔中彼此聯結，來可以在不接觸於大氣的狀態下連續地層疊多個不同的層。

本實施方式可以與在其他實施方式所記載的結構和製造方法組合而實施。

實施方式 4

在本實施方式中，將參照附圖對與上述實施方式不同的具有薄膜電晶體的顯示裝置的製造方法進行說明。具體而言，對使用多灰度掩模的製造方法進行說明。

首先，在基板 100 上按順序層疊閘電極 101、閘絕緣膜 102、具有微晶結構的微晶半導體膜 103、用作緩衝層的非晶半導體膜 104、添加有賦予一種導電類型的雜質元素的第三半導體膜 105、以及導電膜 106，然後在導電膜 106 上形成抗蝕劑 131。接著，使用多灰度掩模 132 對抗蝕劑 131 照射光，以對該抗蝕劑 131 進行曝光（參照圖 8A）。

抗蝕劑 131 可以使用正型抗蝕劑或負型抗蝕劑。這裏，使用正型抗蝕劑。

在此，對使用多灰度掩模 132 的曝光，將參照圖 15A 至 15D 進行說明。

多灰度掩模是指能夠設定三個曝光水準的掩模，該三個曝光水準分別為曝光部分、中間曝光部分、以及未曝光部分。藉由進行一次的曝光及顯影步驟，可以形成具有多個（典型為兩種）厚度區域的抗蝕劑掩模。因此，藉由使用多灰度掩模，可以減少光掩模個數。

作為多灰度掩模的典型例子，可以舉出圖 15A 所示的灰度掩模 132a、以及圖 15C 所示的半色調掩模 132b。

如圖 15A 所示，灰度掩模 132a 由具有透光性的基板 133、形成在其上的遮光部 134、以及衍射光柵 135 構成。在遮光部 134 中，光的透過量為 0%。另一方面，衍射光柵 135 可以藉由將狹縫、點、網眼等的光透過部的間隔設定為用於曝光的光的解析度限度以下的間隔來控制光的透過量。週期性狹縫、點、網眼、以及非週期性狹縫、點、網眼都可以用於衍射光柵 135。

作為具有透光性的基板 133，可以使用石英等的具有透光性的基板。遮光部 134 及衍射光柵 135 可以由鉻或氧化鉻等的吸收光的遮光材料構成。

將光照射到灰度掩模 132a 的情況下，如圖 15B 所示，在遮光部 134 中，光透過量 136 為 0%，而在不設置有遮光部 134 及衍射光柵 135 的區域中，光透過量 136 為 100%。另外，在衍射光柵 135 中，可以將光透過量調整為 10%至 70%的範圍內。衍射光柵 135 中的光透過量可以藉由調整衍射光柵的狹縫、點、或網眼的間隔及節距而控制。

如圖 15C 所示，半色調掩模 132b 由具有透光性的基板 133、形成在其上的半透過部 137、以及遮光部 138 構成。半透過部 137 可以使用 MoSiN、MoSi、MoSiO、MoSiON、CrSi 等。遮光部 138 可以由鉻或氧化鉻等的吸收光的遮光材料構成。

將光照射到半色調掩模 132b 的情況下，如圖 15D 所示，在遮光部 138 中，光透過量 139 為 0%，而在不設置有遮光部 138 及半透過部 137 的區域中，光透過量 139 為 100%。另外，在半透過部 137 中，可以將光透過量調整為 10%至 70%的範圍內。半透過部 137 中的光透過量可以根據半透過部 137 的材料而調整。

藉由在使用多灰度掩模進行曝光之後進行顯影，可以如圖 8B 所示那樣形成具有不相同的厚度區域的抗蝕劑掩模 141。

接著，藉由使用抗蝕劑掩模 141 將微晶半導體膜 103、用作緩衝層的非晶半導體膜 104、添加有賦予一種導電類型的雜質元素的第三半導體膜 105、以及導電膜 106 蝕刻並分離（參照圖 9A）。

然後，對抗蝕劑掩模 141 進行灰化處理。其結果是，抗蝕劑的面積縮小，其厚度變薄。此時，厚度薄的區域的抗蝕劑（與閘電極 101 的一部分重疊的區域）被去除，由此如圖 9B 所示，可以形成被分離的抗蝕劑掩模 142。

接著，藉由使用抗蝕劑掩模 142 並蝕刻添加有賦予一種導電類型的雜質元素的半導體膜 105 及用作緩衝層的非

晶半導體膜 104，形成源區域 105a 及汲區域 105b、源電極 106a 及汲電極 106b（參照圖 9C）。注意，用作緩衝層的非晶半導體膜 104 是只一部分被蝕刻，它覆蓋微晶半導體膜 103 的表面。在此，在位於源區域 105a 和汲區域 105b 之間的非晶半導體膜 104 的表面上形成凹部。

接著，在源電極 106a 及汲電極 106b、源區域 105a 及汲區域 105b、非晶半導體膜 104、以及閘絕緣膜 102 上形成絕緣膜 107。接下來，在絕緣膜 107 中形成接觸孔，形成在該接觸孔中與汲電極 106b 接觸的像素電極 108（參照圖 10）。

藉由上述步驟，可以形成在像素部中具有薄膜電晶體 110 的顯示裝置。

本實施方式可以與在其他實施方式所記載的構成和製造方法組合而實施。

實施方式 5

在本實施方式中，作為上述實施方式所示出的顯示裝置的一個方式，對液晶顯示面板參照圖 16A 和 16B 進行說明。圖 16A 是形成在第一基板 4001 上的薄膜電晶體 4010 及液晶元件 4013 在與第二基板 4006 之間由密封劑 4005 密封的面板的俯視圖，圖 16B 示出沿圖 16A 的 C-D 的截面。

在本實施方式所示的液晶顯示面板中，以圍繞設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004

的方式設置有密封劑 4005。另外，在像素部 4002 和掃描線驅動電路 4004 上設置有第二基板 4006。因此，由第一基板 4001、密封劑 4005 和第二基板 4006 將像素部 4002 和掃描線驅動電路 4004 與液晶 4008 一起密封起來。

另外，在與由第一基板 4001 上的密封劑 4005 圍繞的區域不同的區域安裝有信號線驅動電路 4003，該信號線驅動電路 4003 具備有在另行預備的基板上由多晶半導體膜形成的薄膜電晶體 4009。在本實施方式中，關於將具有使用多晶半導體膜的薄膜電晶體 4009 的信號線驅動電路 4003 貼合在第一基板 4001 上的一個實例進行說明。但是也可以由使用單晶半導體的電晶體形成信號線驅動電路 4003 並貼合。

在第一基板 4001 上設置的像素部 4002 和掃描線驅動電路 4004 具有多個薄膜電晶體，圖 16B 例示包含在像素部 4002 中的薄膜電晶體 4010。薄膜電晶體 4010 相當於上述實施方式 1 和 2 所示的薄膜電晶體。另外，可以以與薄膜電晶體 4010 相同的結構設置構成掃描線驅動電路 4004 的電晶體。

另外，像素電極 4030 與薄膜電晶體 4010 電連接。構成液晶元件 4013 的對置電極 4031 形成在第二基板 4006 上。像素電極 4030、對置電極 4031 和液晶 4008 重疊的部分相當於液晶元件 4013。

注意，作為第一基板 4001、第二基板 4006，可以使用玻璃、金屬（典型為不銹鋼）、陶瓷、塑膠。作為塑膠

，可以使用 FRP (Fiberglass-Reinforced Plastics，即玻璃纖維增強塑膠) 板、PVF (聚氟乙烯) 膜、聚酯膜或丙烯酸樹脂膜。另外，也可以採用具有由 PVF 膜或聚酯膜夾著鋁箔的結構的薄板。

另外，球狀的隔離件 4035 用來控制像素電極 4030 和對置電極 4031 之間的距離 (單元間隙) 而設置。注意，也可以使用藉由選擇性地蝕刻絕緣膜而獲得的隔離件而代替球狀的隔離件 4035。

此外，供給給另行形成的信號線驅動電路 4003 和掃描線驅動電路 4004 或像素部 4002 的各種信號及電位，通過導入佈線 4014 及導入佈線 4015 從 FPC 4018 提供。

在本實施方式中，連接端子 4016 由與像素電極 4030 相同的導電膜形成。另外，導入佈線 4014、導入佈線 4015 由與薄膜電晶體 4010 的源電極及汲電極相同的導電膜形成。

連接端子 4016 通過各向異性導電膜 4019 與 FPC 4018 所具有的端子電連接。

注意，雖然未圖示，本實施方式所示的液晶顯示裝置具有定向膜、偏振片，進而也可以具有顏色濾光片、遮罩膜。

注意，圖 16A 和 16B 示出另行形成信號線驅動電路 4003 並安裝到第一基板 4001 上的實例，但是本實施方式不侷限於該結構。既可以另行形成掃描線驅動電路並安裝，又可以另行僅形成信號線驅動電路的一部分或掃描線驅

動電路的一部分並安裝。

作為本實施方式所說明的液晶顯示裝置可以採用 TN(Twisted Nematic，扭曲向列)型、VA(Vertical Alignment，垂直取向)型或橫向電場方式的液晶顯示裝置。

VA 型液晶顯示裝置是控制液晶面板的液晶分子的排列的方式中的一種。VA 型液晶顯示裝置是當沒有施加電壓時液晶分子取向垂直於面板表面的方向的方式。在本實施方式中，特別地，將像素(pixel)分成幾個區域(子像素)，並將分子分別向不同的方向傾斜。這稱為多疇(multi domain)化或多疇設計。

橫向電場方式是指藉由對單元內的液晶分子向水準方向施加電場來驅動液晶且顯示灰度的方式。藉由該方式，視角可以擴大到約 180 度。

本實施方式可以藉由與其他實施方式所記載的構成組合來實施。

實施方式 6

在本實施方式中，參照圖 17A 和 17B 對作為上述實施方式所示出的顯示裝置的一個方式對發光顯示面板進行說明。圖 17A 是形成在第一基板 4001 上的薄膜電晶體 4010 及發光元件 4011 在與第二基板 4006 之間由密封劑 4005 密封的面板的俯視圖，圖 17B 示出沿圖 17A 的 E-F 的截面。

在本實施方式中，使用利用電致發光的發光元件。利用電致發光的發光元件按其發光材料是有機化合物還是無機化合物而區別，一般而言，前者稱為有機 EL 元件，後者稱為無機 EL 元件。

在本實施方式所示的發光顯示面板中，以圍繞設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 的方式設置有密封劑 4005。另外，在像素部 4002 和掃描線驅動電路 4004 上設置有第二基板 4006。因此，由第一基板 4001、密封劑 4005 和第二基板 4006 將像素部 4002 和掃描線驅動電路 4004 與填充劑 4007 一起密封起來。

另外，在與由第一基板 4001 上的密封劑 4005 圍繞的區域不同的區域安裝有信號線驅動電路 4003，該信號線驅動電路 4003 具備有在另行預備的基板上由多晶半導體膜形成的薄膜電晶體 4009。在本實施方式中，關於將具有使用多晶半導體膜的薄膜電晶體 4009 的信號線驅動電路 4003 貼合在第一基板 4001 上的一個實例進行說明。但是也可以由使用單晶半導體的電晶體形成信號線驅動電路並貼合。

在第一基板 4001 上設置的像素部 4002 和掃描線驅動電路 4004 具有多個薄膜電晶體，圖 17B 例示包含在像素部 4002 中的薄膜電晶體 4010。薄膜電晶體 4010 相當於上述實施方式 1 和 2 所示的薄膜電晶體。另外，可以以與薄膜電晶體 4010 相同的結構設置構成掃描線驅動電路 4004 的電晶體。

構成發光元件 4011 的像素電極 4017 與薄膜電晶體 4010 的源電極或汲電極電連接。發光元件 4011 的構成可以根據從發光元件 4011 取出的光的方向和薄膜電晶體 4010 的極性等適當地改變。

另外，雖然在圖 17B 所示的截面圖中未圖示供給給另行形成的信號線驅動電路 4003 和掃描線驅動電路 4004 或像素部 4002 的各種信號及電位，但是通過導入佈線 4014、導入佈線 4015，從 FPC 4018 供給。

在本實施方式中，連接端子 4016 由與構成發光元件 4011 的像素電極 4017 相同的導電膜形成。另外，導入佈線 4014、導入佈線 4015 由與薄膜電晶體 4010 的源電極及汲電極相同的導電膜形成。

連接端子 4016 與 FPC 4018 所具有的端子通過各向異性導電膜 4019 電連接。

位於從發光元件 4011 取出光的方向的基板由具有透光性的材料而設置。在本實施方式中，爲了從第二基板 4006 一側取出光，藉由使用如玻璃板、塑膠板、聚酯膜或丙烯酸膜等具有透光性的材料來形成第二基板 4006。

另外，作爲填料 4007 除了氮或氬等惰性氣體之外，還可以使用紫外線固化樹脂或熱固化樹脂，可以使用 PVC（聚氯乙烯）、丙烯酸、聚醯亞胺、環氧樹脂、矽酮樹脂、PVB（聚乙烯醇縮丁醛）、或 EVA（ethylene vinyl acetate，即乙烯－乙酸乙烯酯）。

另外，若有需要，也可以在發光元件的出射表面上適

當地提供諸如偏振片、圓偏振片（包括橢圓偏振片）、相位差板（ $\lambda/4$ 片、 $\lambda/2$ 片）、或顏色濾光片等的光學膜。另外，也可以在偏振片或圓偏振片上提供抗反射膜。例如，可以執行抗眩光處理，該處理是利用表面的凹凸來擴散反射光並降低眩光的。

注意，圖 17A 和 17B 示出另行形成信號線驅動電路 4003 並安裝到第一基板 4001 上的實例，但是本實施方式不侷限於該結構。既可以另行形成掃描線驅動電路並安裝，又可以另行僅形成信號線驅動電路的一部分或掃描線驅動電路的一部分並安裝。

本實施方式可以與其他實施方式所記載的結構組合而實施。

實施方式 7

根據本發明而獲得的顯示裝置等可以用於主動矩陣型顯示裝置模組。換句話說，在顯示部分安裝有上述模組的所有電子產品均可以實施本發明。

作為這種電子產品，可以舉出攝像機、數位照相機、頭戴式顯示器（護目鏡型顯示器）、汽車導航系統、投影機、汽車音響、個人電腦、可攜式資訊終端（行動電腦、行動電話或電子書籍等）等。圖 13A 至 13D 示出了其一例。

圖 13A 表示電視裝置。如圖 13A 所示，可以將顯示模組組裝在框體中來完成電視裝置。將安裝了 FPC 為止的

顯示面板還稱為顯示模組。由顯示模組形成主畫面 2003，作為其他附屬裝置還具有揚聲器部分 2009、操作開關等。如上所述，可以完成電視裝置。

如圖 13A 所示，在框體 2001 中組裝利用顯示元件的顯示用面板 2002，並且可以由接收機 2005 接收普通的電視廣播，而且藉由數據機 2004 連接到有線或無線方式的通訊網絡，從而還可以進行單向（從發送者到接收者）或雙向（在發送者和接收者之間，或者在接收者之間）的資訊通訊。電視裝置的操作可以由組裝在框體中的開關或另外的遙控裝置 2006 進行，並且該遙控裝置 2006 也可以設置有顯示輸出資訊的顯示部分 2007。

另外，電視裝置還可以附加有如下結構：除了主畫面 2003 以外，使用第二顯示用面板形成輔助畫面 2008，並顯示頻道或音量等。在這種結構中，也可以採用視角優良的液晶顯示面板形成主畫面 2003，並且採用能夠以低耗電量進行顯示的發光顯示面板形成輔助畫面 2008。另外，為了優先地減小耗電量，也可以採用如下結構：使用發光顯示面板形成主畫面 2003，使用發光顯示面板形成輔助畫面 2008，並且輔助畫面 2008 能夠點亮和熄滅。

圖 14 是電視裝置的主要結構的框圖。像素部 921 形成在顯示面板 900 上。也可以採用 COG 方法將信號線驅動電路 922 和掃描線驅動電路 923 安裝在顯示面板 900 上。

作為其他外部電路的結構，在視頻信號的輸入一側具

有視頻信號放大電路 925、視頻信號處理電路 926、控制電路 927 等。其中，視頻信號放大電路 925 放大而調諧器 924 所接收的信號中的視頻信號，視頻信號處理電路 926 將從視頻信號放大電路 925 輸出的信號轉換成對應於紅、綠和藍各種顏色的色信號，控制電路 927 將該視頻信號轉換成驅動器 IC 輸入規格。控制電路 927 將信號輸出到掃描線一側和信號線一側。在進行數位驅動的情況下，可以採用如下結構：在信號線一側設置信號分割電路 928，並將輸入數位信號劃分成 m 個而供給。

由調諧器 924 接收的信號中的音頻信號發送到音頻信號放大電路 929，並經音頻信號處理電路 930 供給到揚聲器 933。控制電路 931 從輸入部 932 接收接收站（接收頻率）或音量的控制資訊，並將信號傳送到調諧器 924 和音頻信號處理電路 930。

當然，本發明不侷限於電視裝置，還可以應用於各種用途如個人電腦的監視器、鐵路的車站或飛機場等中的資訊顯示幕、街頭上的廣告顯示幕等大面積顯示媒體。

圖 13B 表示可攜式電話機 2301 的實例。該可攜式電話機 2301 包括顯示部 2302、操作部 2303 等而構成。在顯示部 2302 中，應用上述實施方式所說明的顯示裝置，從而可以提高批量生產性。

另外，圖 13C 所示的便攜型電腦包括主體 2401、顯示部 2402 等。藉由對顯示部 2402 應用上述實施方式所示的顯示裝置，可以提高批量生產性。

圖 13D 是臺燈，其包括照明部分 2501、燈罩 2502、可變臂 2503、支柱 2504、基座 2505 和電源 2506。藉由將本發明的發光裝置使用於照明部分 2501 來製造臺燈。注意，照明燈包括固定到天花板上的照明燈和壁掛照明燈等。藉由應用上述實施方式所示的顯示裝置，可以提高批量生產性，並可以提供廉價的臺燈。

本申請基於 2007 年 8 月 17 日在日本專利局提交的日本專利申請序列號 2007-212904 及 2007-212903，在此引用其全部內容作為參考。

【圖式簡單說明】

圖 1A 至 1D 是表示本發明的顯示裝置的製造方法的實例的圖；

圖 2A 至 2C 是表示本發明的顯示裝置的製造方法的實例的圖；

圖 3A 至 3C 是表示本發明的顯示裝置的製造方法的實例的圖；

圖 4 是表示本發明的顯示裝置的製造方法的實例的圖；

圖 5A 至 5C 是表示本發明的顯示裝置的製造方法的實例的圖；

圖 6A 和 6B 是表示本發明的顯示裝置的製造方法的實例的圖；

圖 7 是表示本發明的顯示裝置的製造方法的實例的圖

；

圖 8A 和 8B 是表示本發明的顯示裝置的製造方法的實例的圖；

圖 9A 至 9C 是表示本發明的顯示裝置的製造方法的實例的圖；

圖 10 是表示本發明的顯示裝置的製造方法的實例的圖；

圖 11 是表示使用於本發明的顯示裝置的製造的電漿 CVD 裝置的實例的圖；

圖 12 是表示使用於本發明的顯示裝置的製造的電漿 CVD 裝置的實例的圖；

圖 13A 至 13D 是表示本發明的顯示裝置的使用方式的實例的圖；

圖 14 是表示本發明的顯示裝置的使用方式的實例的圖；

圖 15A 至 15D 是表示本發明的顯示裝置的製造方法的實例的圖；

圖 16A 和 16B 是表示本發明的顯示裝置的使用方式的實例的圖；

圖 17A 和 17B 是表示本發明的顯示裝置的使用方式的實例的圖；

圖 18 是表示使用於本發明的顯示裝置的製造的電漿 CVD 裝置的實例的圖。

【 主 要 元 件 符 號 說 明 】

100：基板

101：閘電極

102：閘絕緣膜

103：微晶半導體膜

104：非晶半導體膜

105：半導體膜

106：導電膜

107：絕緣膜

108：像素電極

110：薄膜電晶體

121：掩模

122：掩模

123：凹部

131：抗蝕劑

132：多灰度掩模

133：基板

134：遮光部

135：衍射光柵

136：光透過量

137：半透過部

138：遮光部

139：光透過量

141：抗蝕劑掩模

- 142 : 抗蝕劑掩模
- 200 : 真空排氣
- 201 : 預塗敷
- 202 : 基板搬入
- 203 : 基底預處理
- 204 : 成膜處理
- 205 : 基板搬出
- 206 : 清洗
- 207 : 虛線
- 300 : 反應室
- 301 : 電極
- 302 : 電極
- 303 : 高頻電力供給裝置
- 304 : 高頻電源
- 305 : 高頻電源
- 306 : 匹配器
- 307 : 匹配器
- 308 : 氣體供給單元
- 309 : 排氣單元
- 310 : 圓柱型容器
- 311 : 壓力調節閥
- 312 : 停止閥
- 313 : 質量流量控制器
- 314 : 基板加熱器

- 315：加熱控制器
- 316：絕緣材料
- 317：蝶閥
- 318：導氣閥
- 319：渦輪分子泵
- 320：乾燥泵
- 321：低溫泵
- 322：裝載/卸載室
- 323：公共腔
- 324：盒子
- 325：閘門閥
- 326：搬送機構
- 900：顯示面板
- 921：像素部
- 922：信號線驅動電路
- 923：掃描線驅動電路
- 924：調諧器
- 925：視頻信號放大電路
- 926：視頻信號處理電路
- 927：控制電路
- 928：信號分割電路
- 929：音頻信號放大電路
- 930：音頻信號處理電路
- 931：控制電路

932：輸入部

933：揚聲器

105a：源區域

105b：汲區域

106a：源電極

106b：汲電極

132a：灰度掩模

132b：半色調掩模

2001：框體

2002：顯示用面板

2003：主畫面

2004：數據機

2005：接收機

2006：遙控裝置

2007：顯示部分

2008：輔助畫面

2009：揚聲器部分

2301：可攜式電話機

2302：顯示部

2303：操作部

2401：主體

2402：顯示部

2501：照明部分

2502：燈罩

2503：可變臂
2504：支柱
2505：基座
2506：電源
300a：反應室
300b：反應室
300c：反應室
301a：電極
301b：電極
302：電極
308a：氣體供給單元
308f：氣體供給單元
308g：氣體供給單元
308i：氣體供給單元
308n：氣體供給單元
4001：基板
4002：像素部
4003：信號線驅動電路
4004：掃描線驅動電路
4005：密封劑
4006：基板
4007：填充劑
4008：液晶
4009：薄膜電晶體

4010：薄膜電晶體

4011：發光組件

4013：液晶組件

4014：佈線

4016：連接端子

4017：像素電極

4018：FPC

4019：各向異性導電膜

4030：像素電極

4031：對置電極

4035：隔離物

五、中文發明摘要

發明之名稱：顯示裝置的製造方法

在形成底閘型薄膜電晶體時，進行在閘絕緣膜上利用電漿 CVD 法形成微晶半導體膜的步驟，以及在微晶半導體膜上形成非晶半導體膜的步驟。在形成微晶半導體膜的步驟中，將反應室的壓力設定為 10^{-5} Pa 或以下，將基板的溫度設定為 120°C 至 220°C 的範圍內，藉由導入氫及矽氣體來生成電漿，在進行成膜時，使氫電漿作用到形成在閘絕緣膜表面的反應生成物來進行去除。另外，藉由將 HF 頻帶的第一高頻電力和 VHF 頻帶的第二高頻電力彼此疊加並施加來生成電漿。

六、英文發明摘要

發明之名稱：METHOD OF MANUFACTURING DISPLAY DEVICE

In a case of forming a bottom-gate thin film transistor, a step of forming a microcrystalline semiconductor film over a gate insulating film by a plasma CVD method, and a step of forming an amorphous semiconductor film over the microcrystalline semiconductor film are performed. In the step of forming the microcrystalline semiconductor film, the pressure in the reaction chamber is set at or below 10^{-5} Pa once, the substrate temperature is set in the range of 120°C to 220°C , plasma is generated by introducing hydrogen and a silicon gas, hydrogen plasma is made to act on a reaction product formed on a surface of the gate insulating film to perform removal while performing film formation. Moreover, the plasma is generated by applying a first high-frequency electric power of an HF band a second high-frequency electric power of a VHF band superimposed on each other.

圖 1A

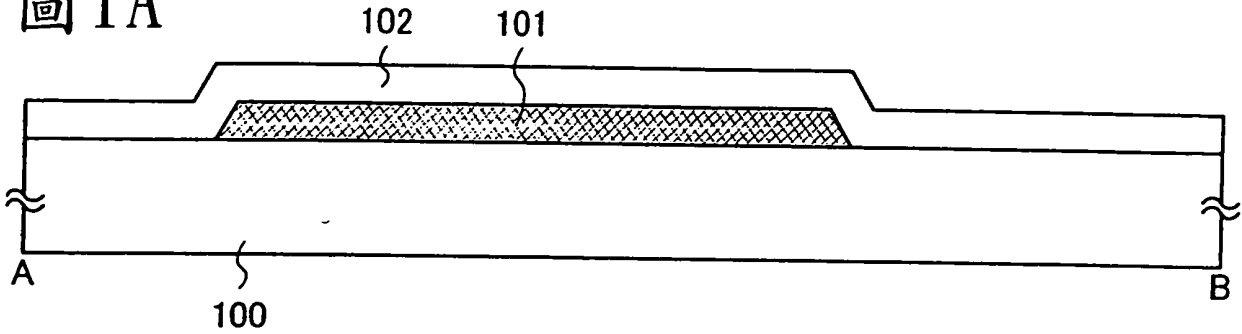


圖 1B

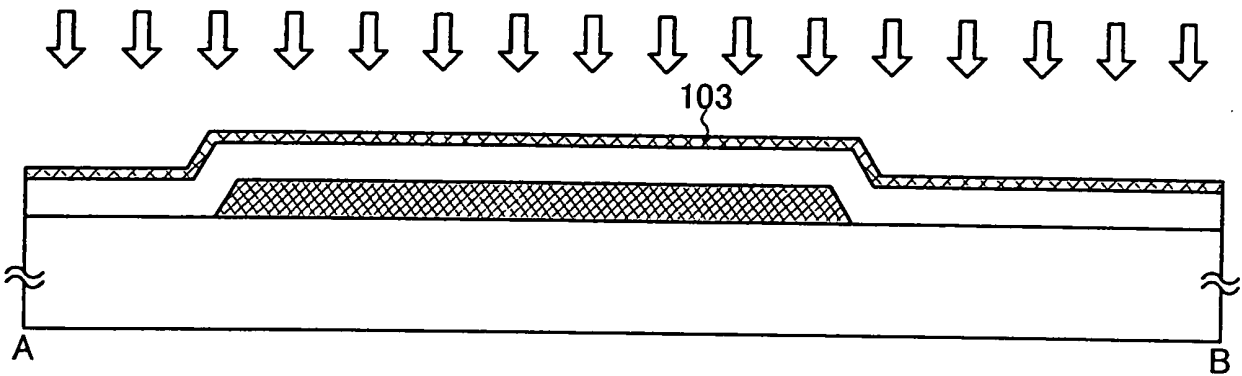


圖 1C

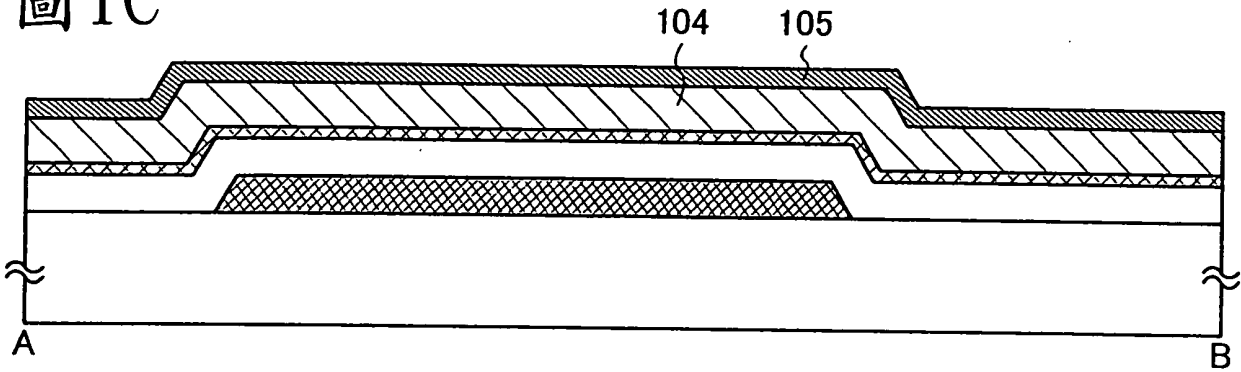


圖 1D

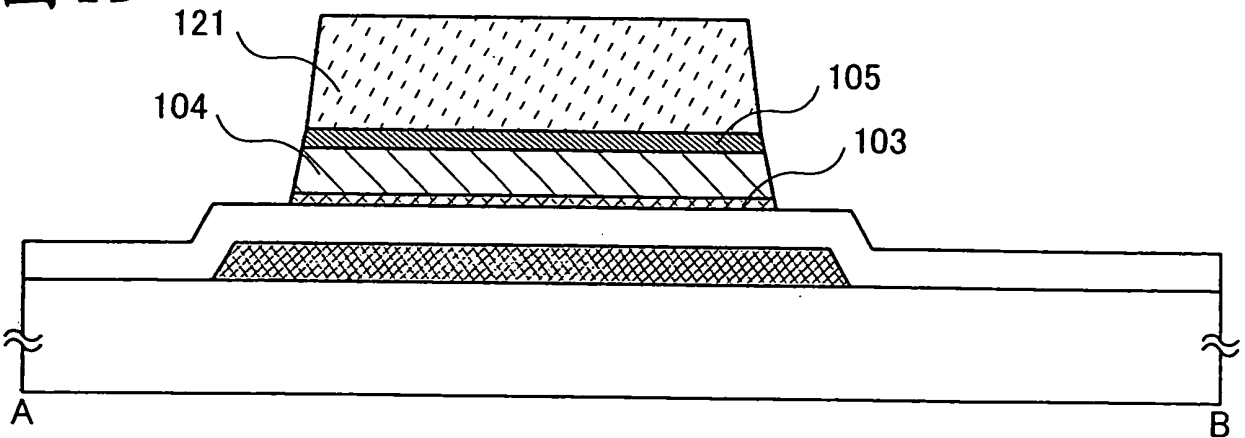


圖 2A

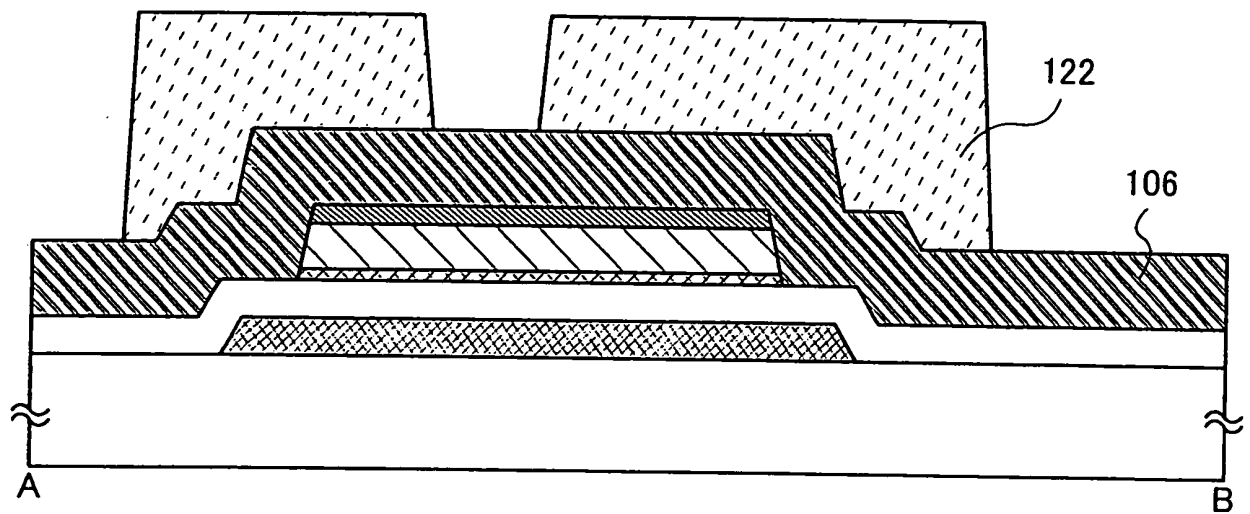


圖 2B

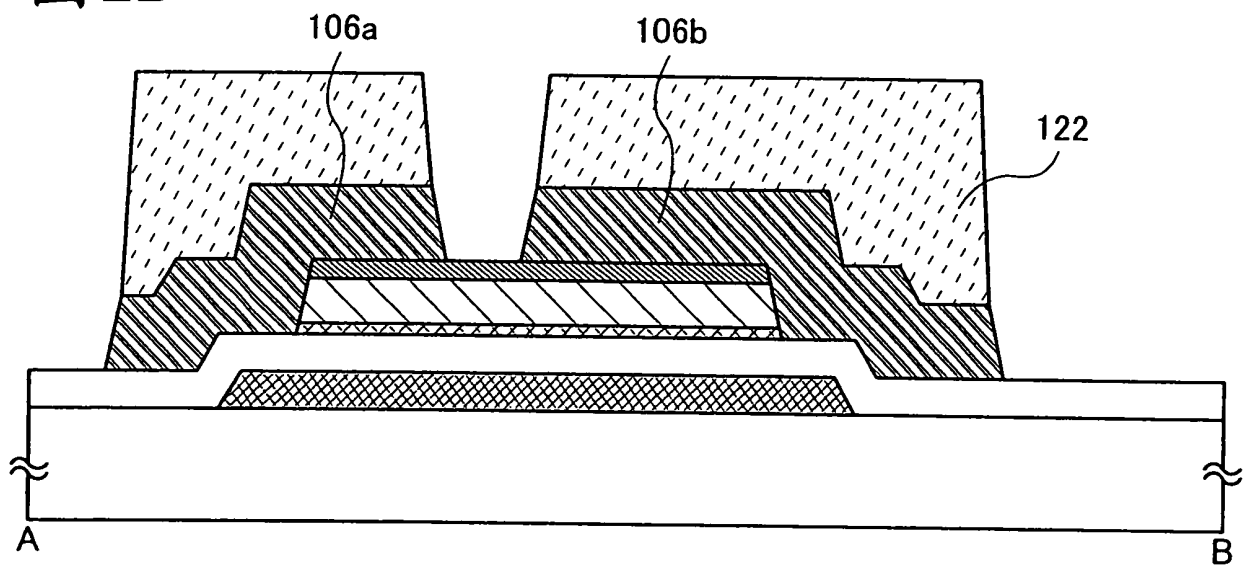


圖 2C

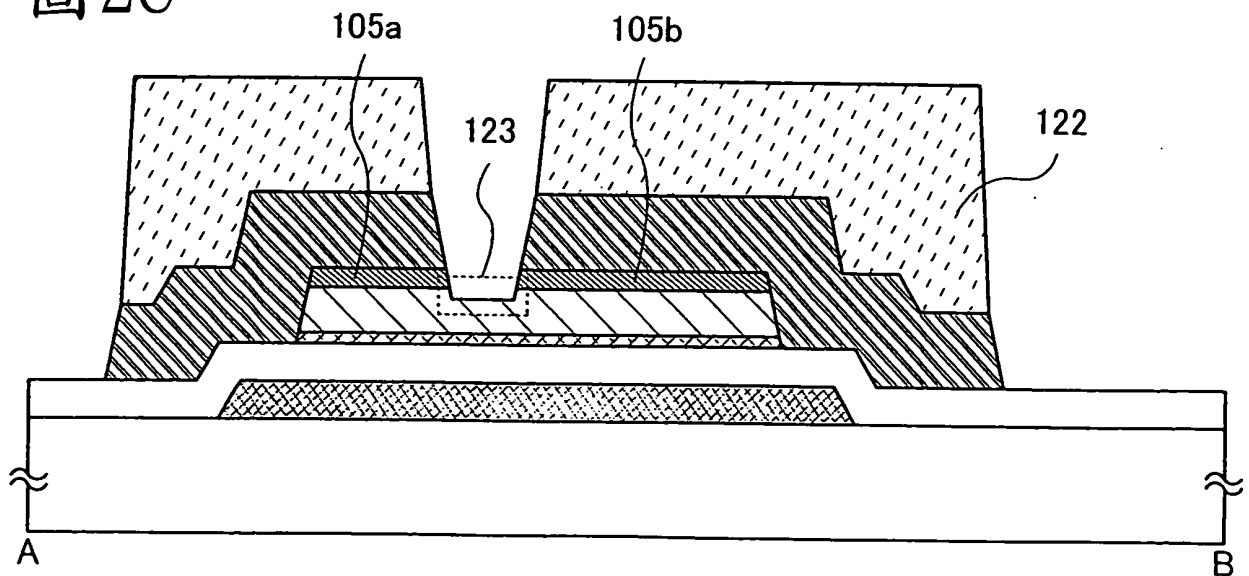


圖 3A

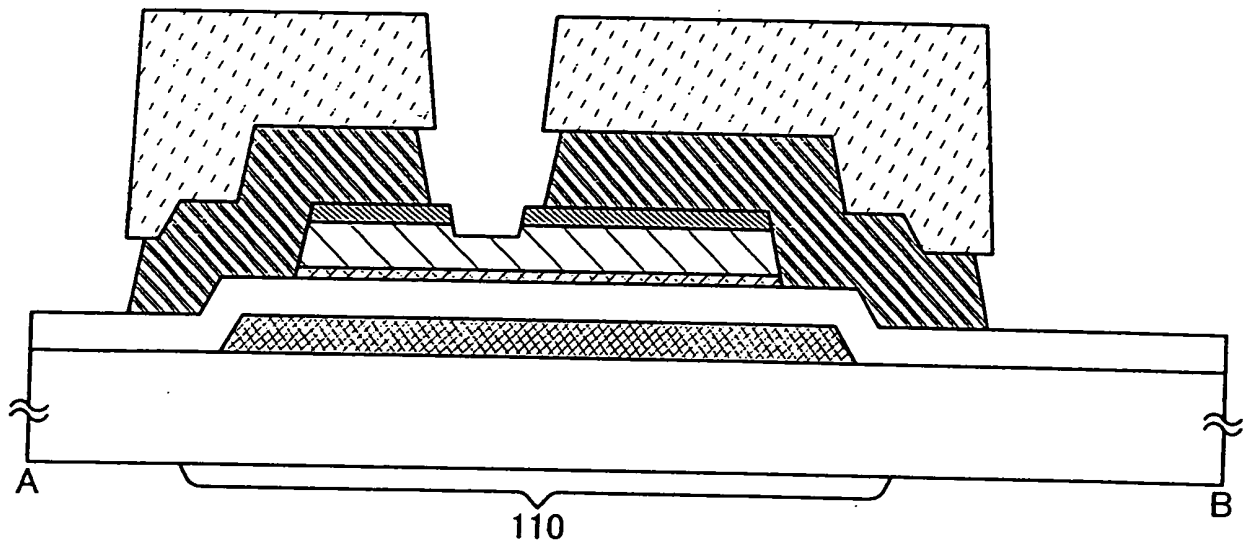


圖 3B

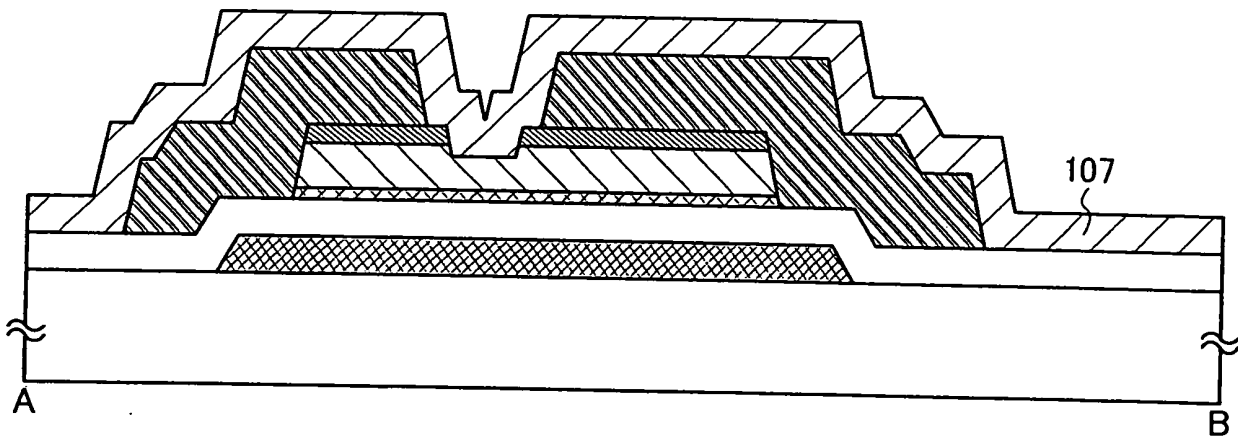


圖 3C

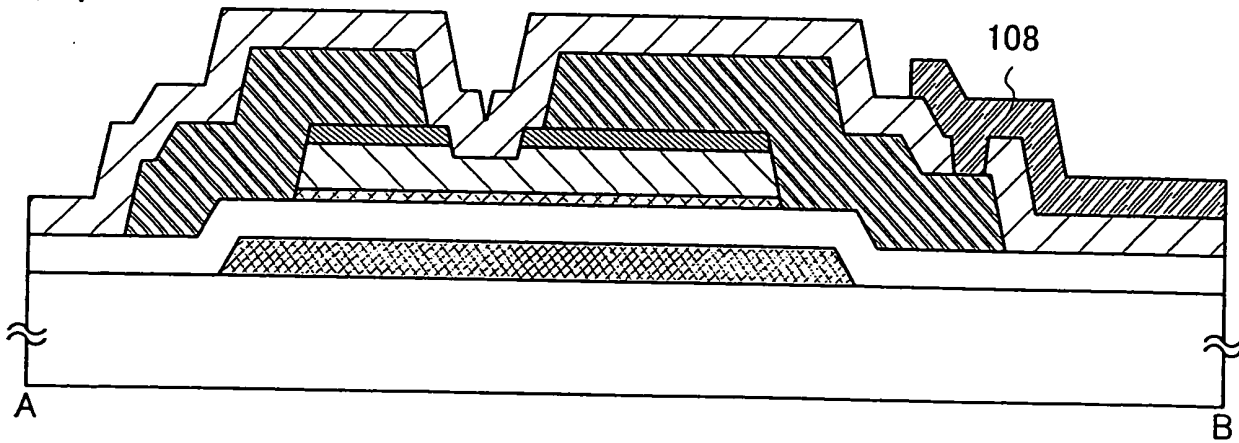


圖4

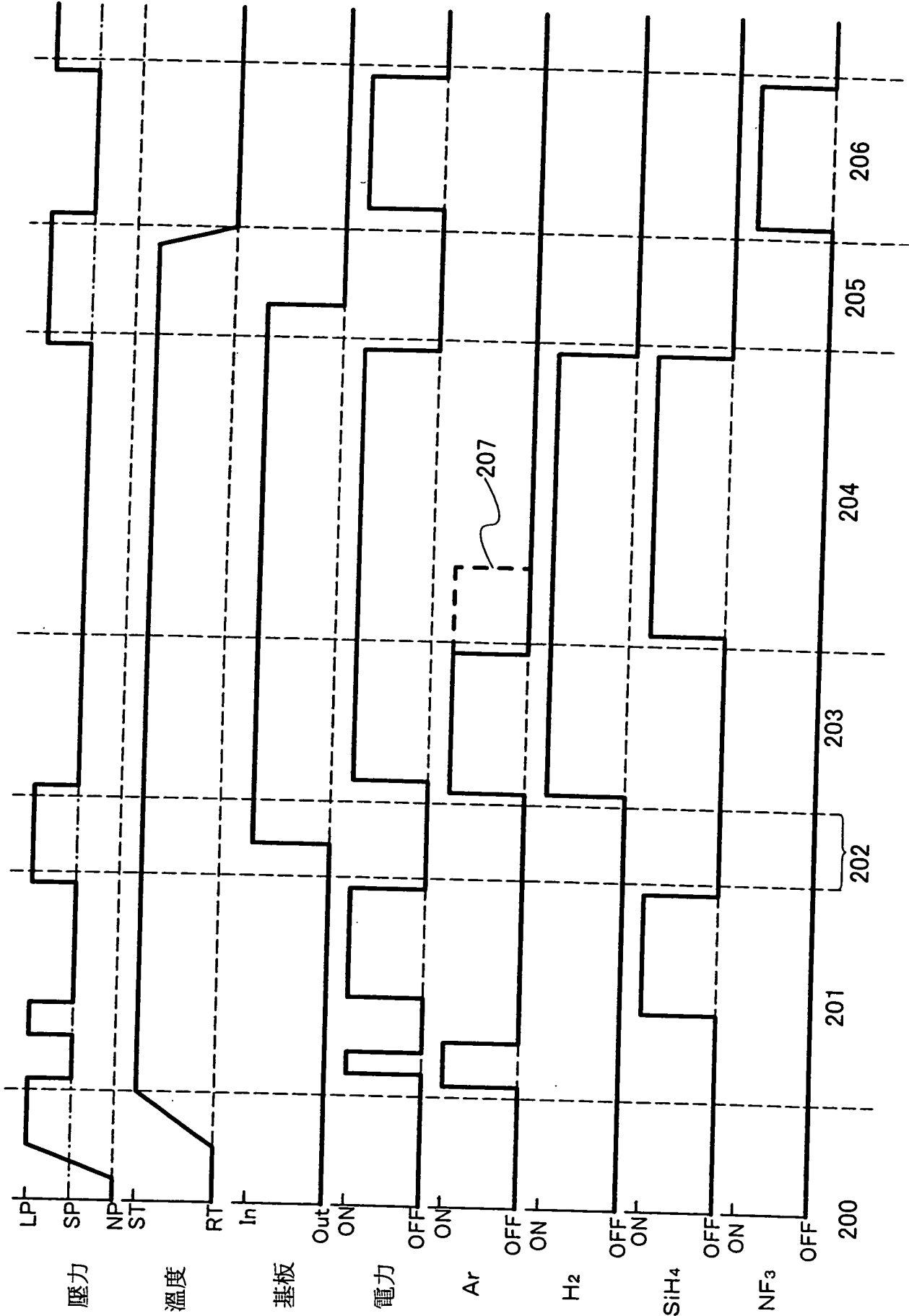


圖 5A

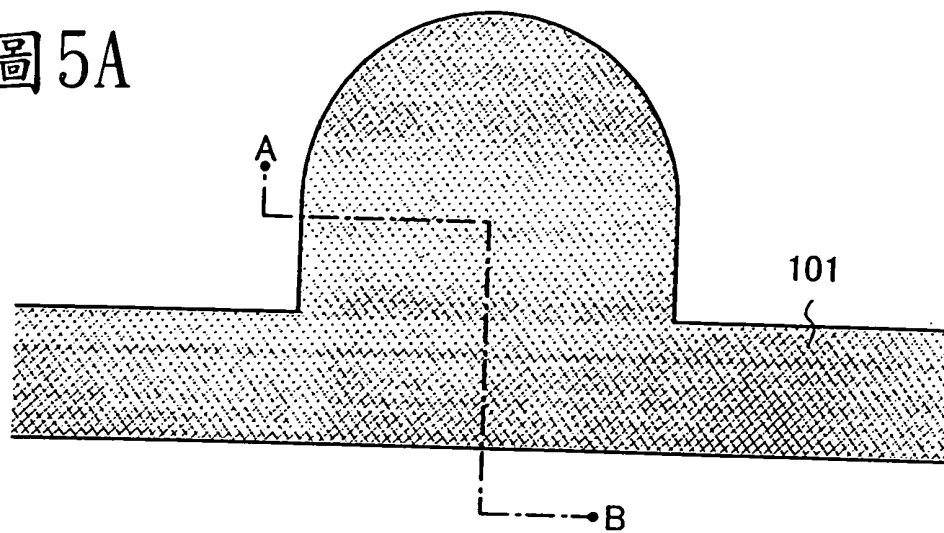


圖 5B

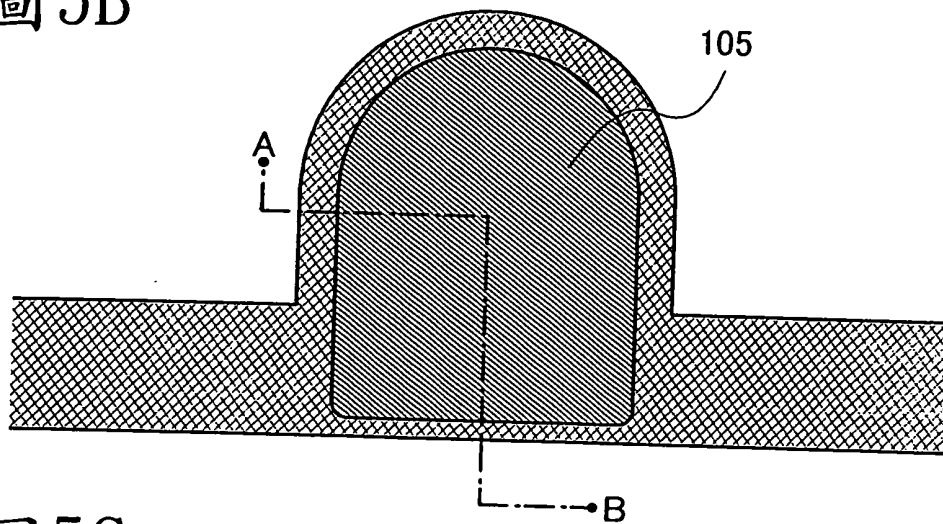


圖 5C

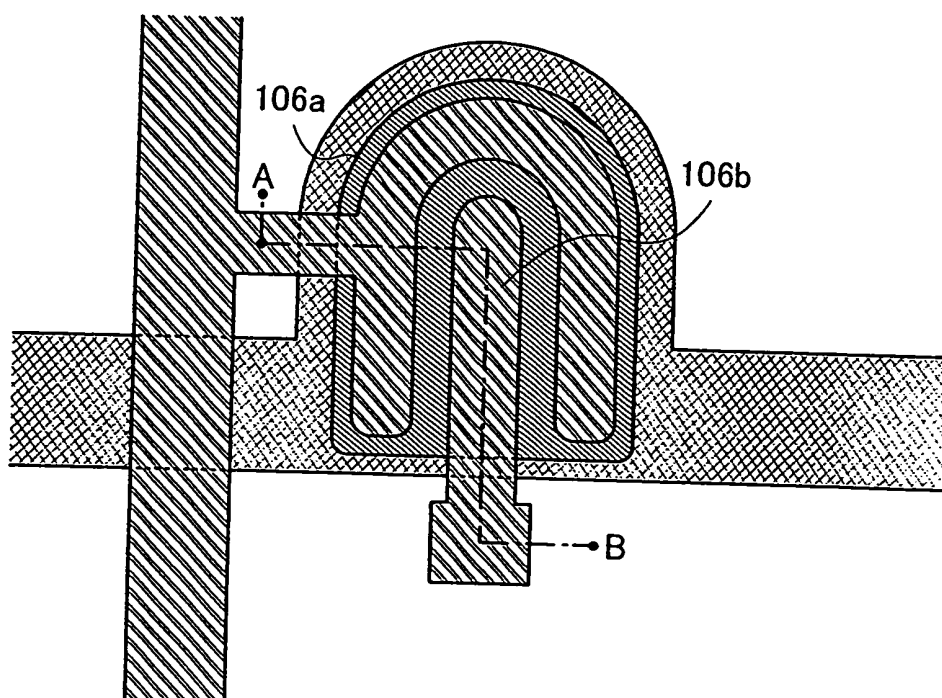


圖6A

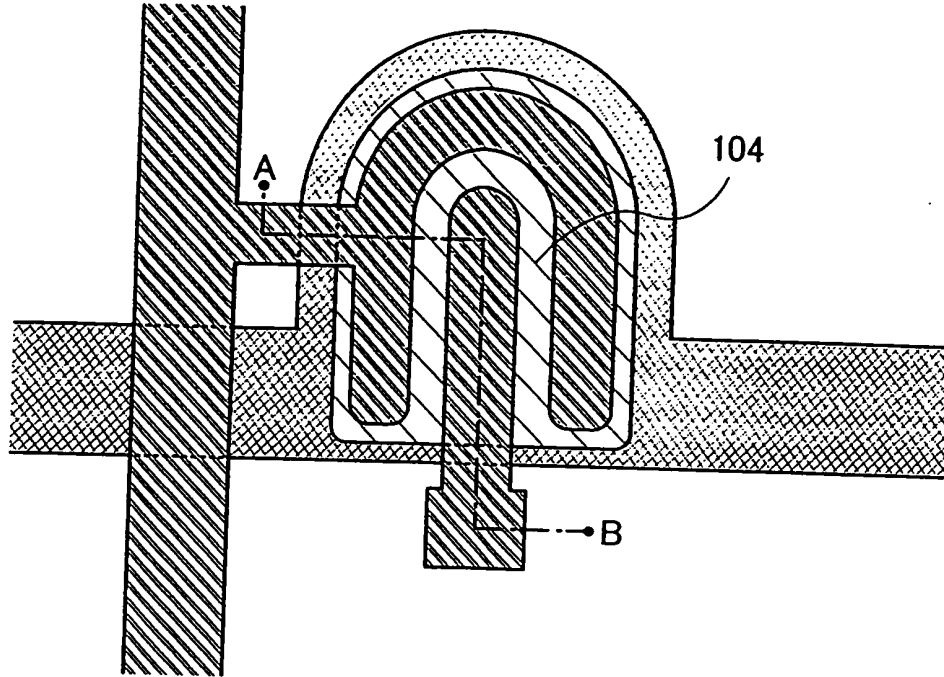


圖6B

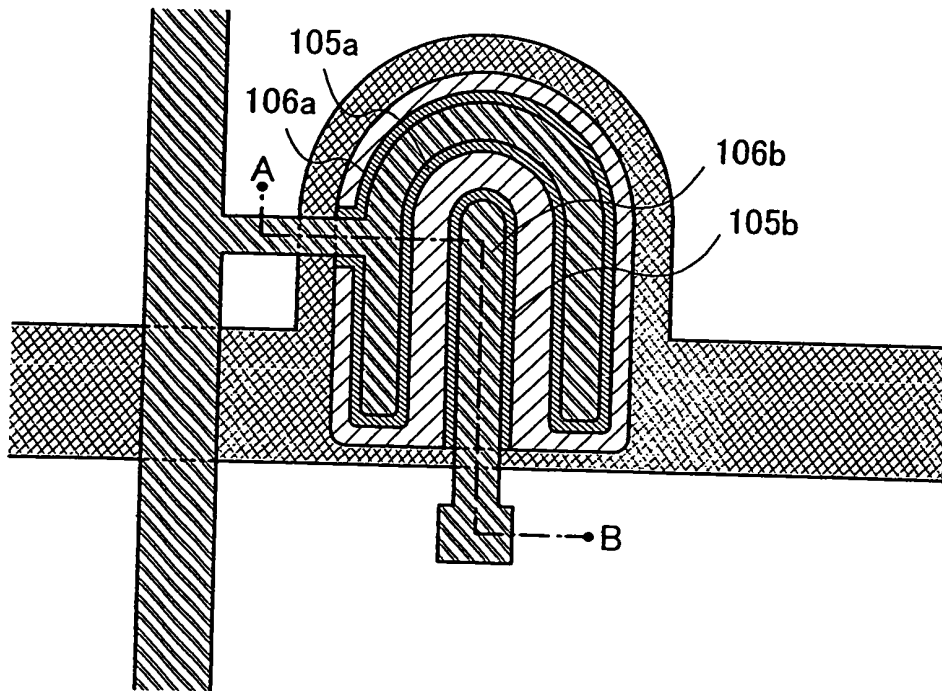


圖 7

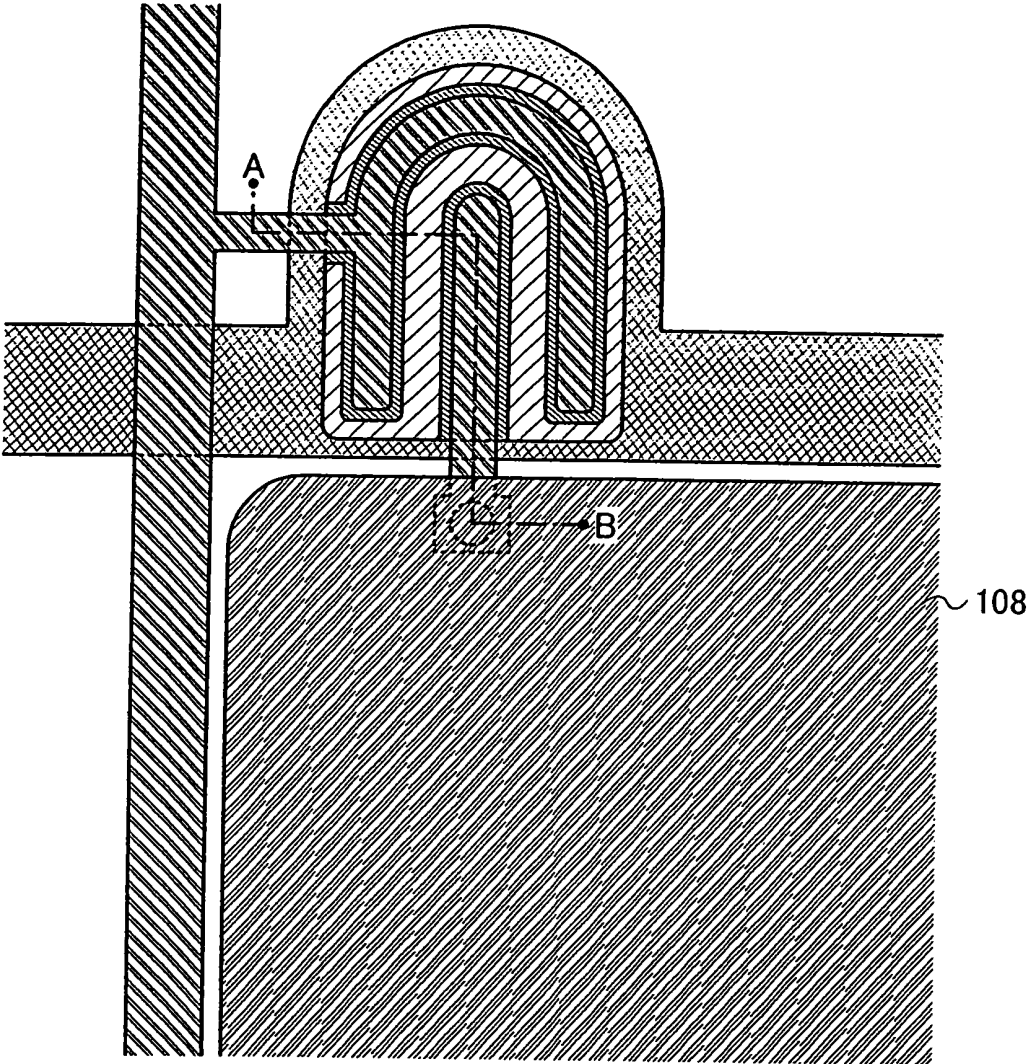


圖 8A

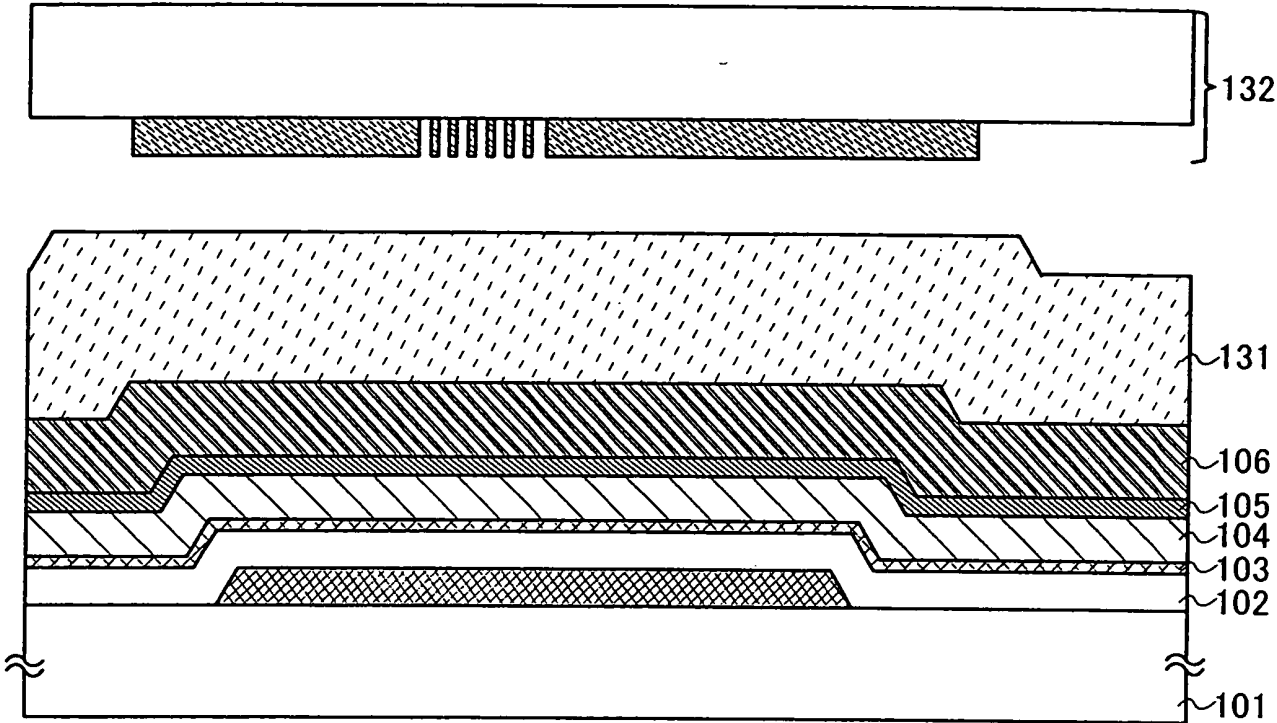


圖 8B

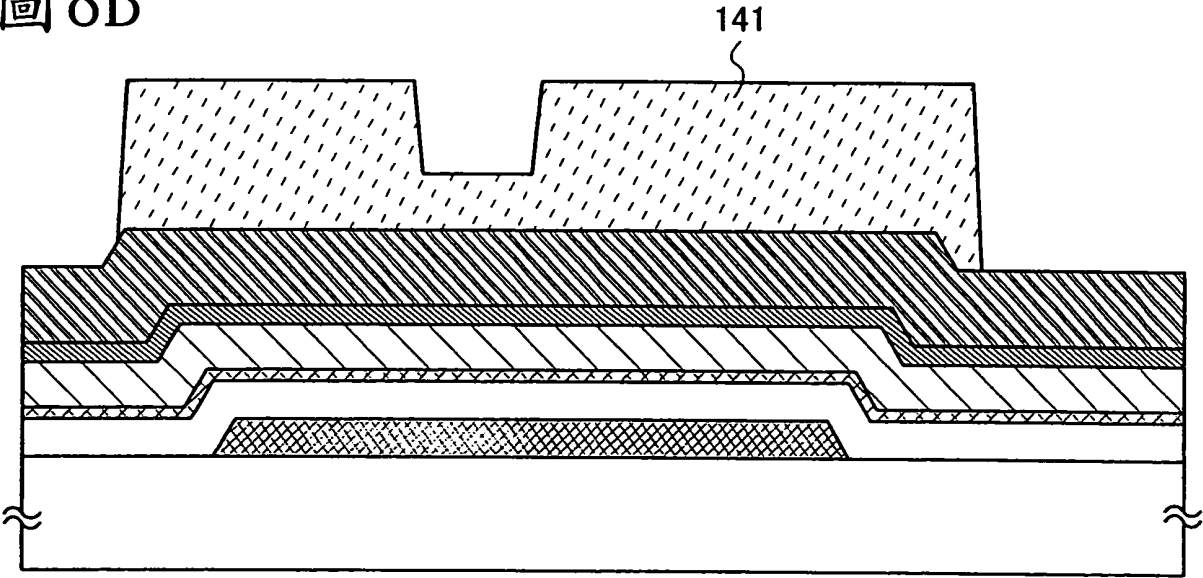


圖 9A

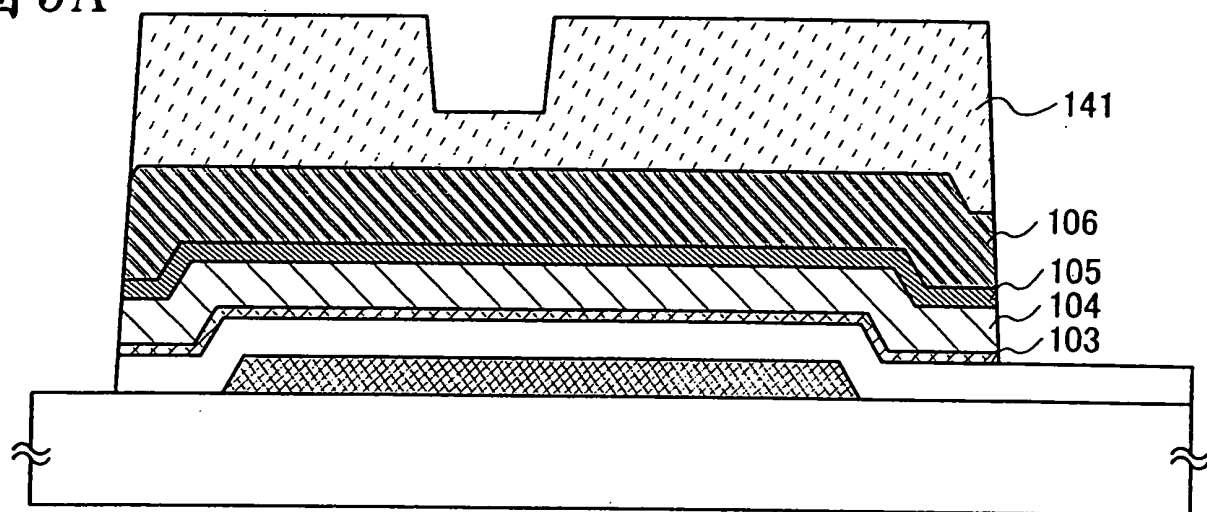


圖 9B

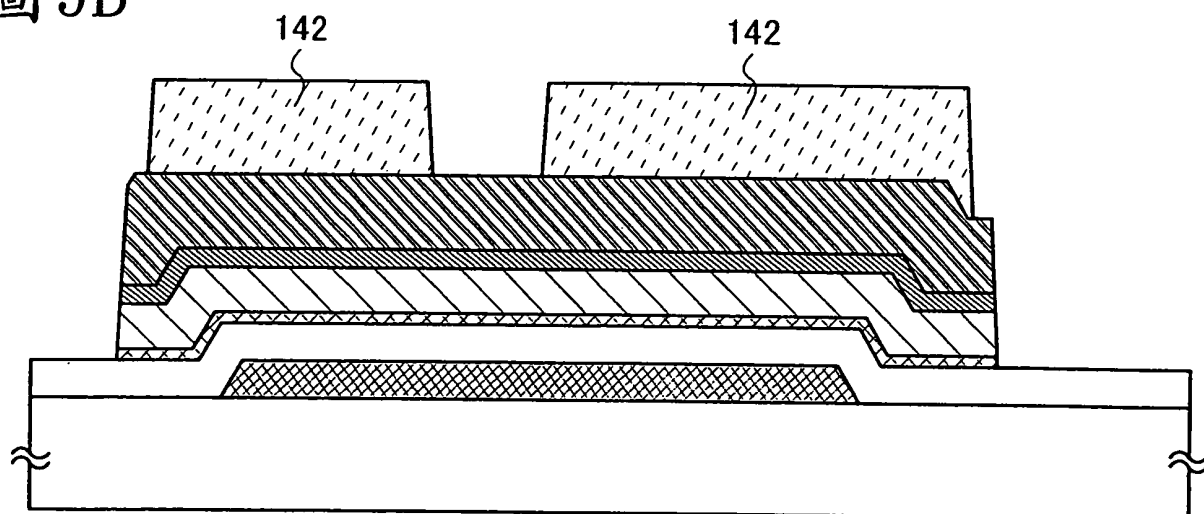


圖 9C

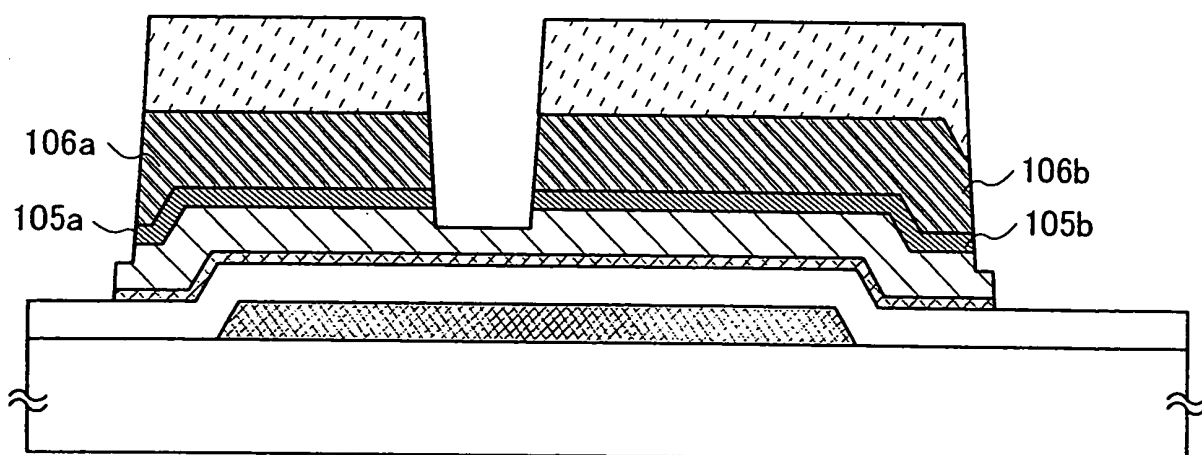


圖 10

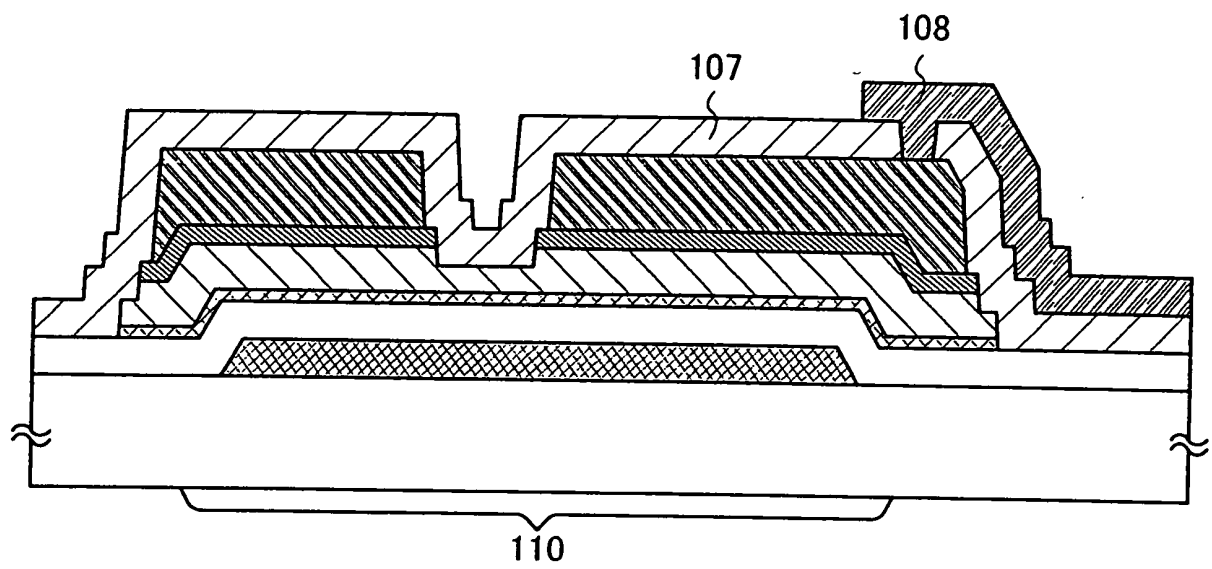


圖 11

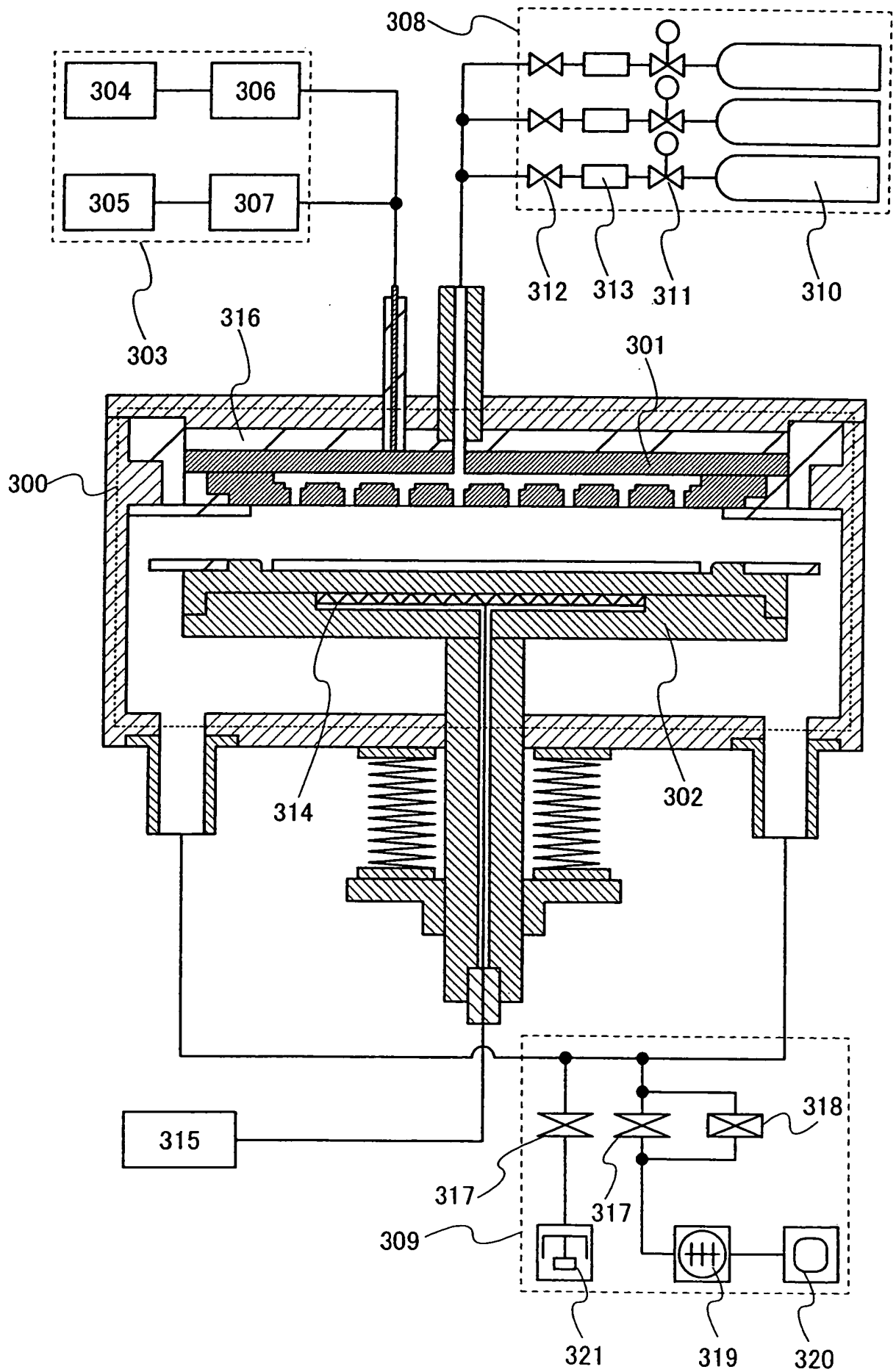


圖 12

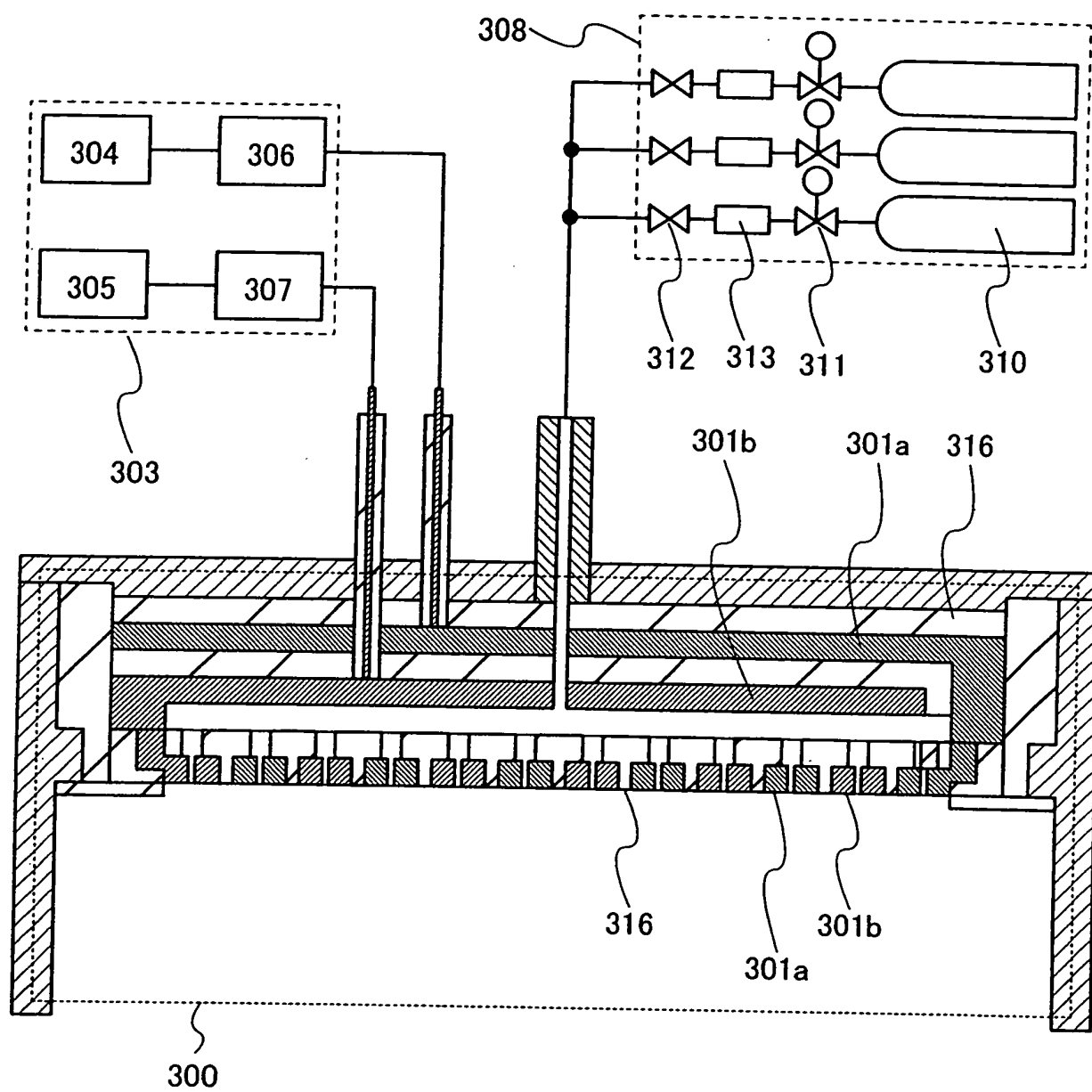


圖 13A

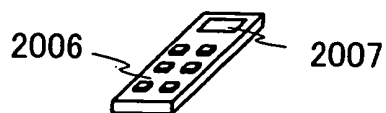
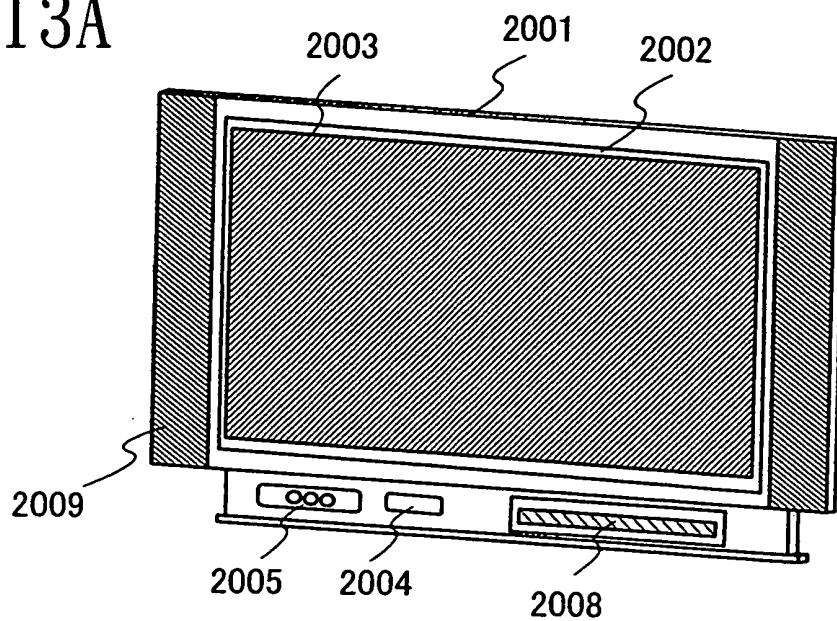


圖 13B

圖 13C

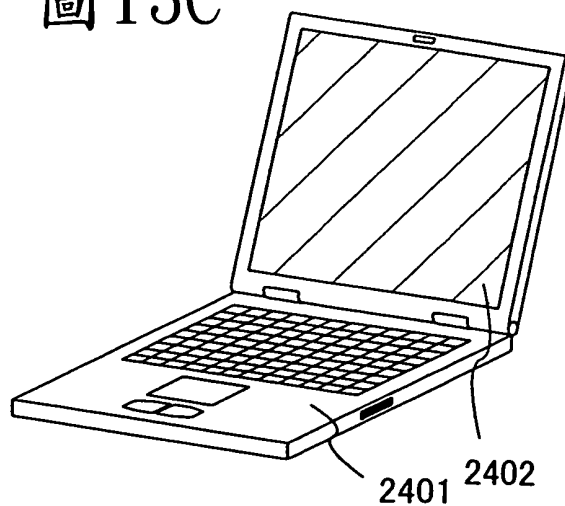
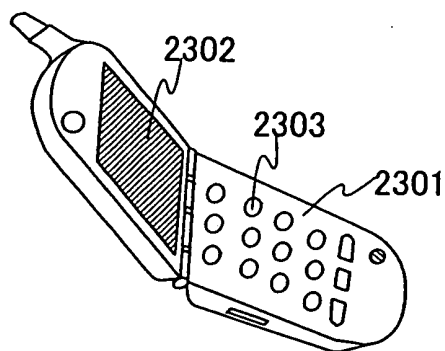


圖 13D

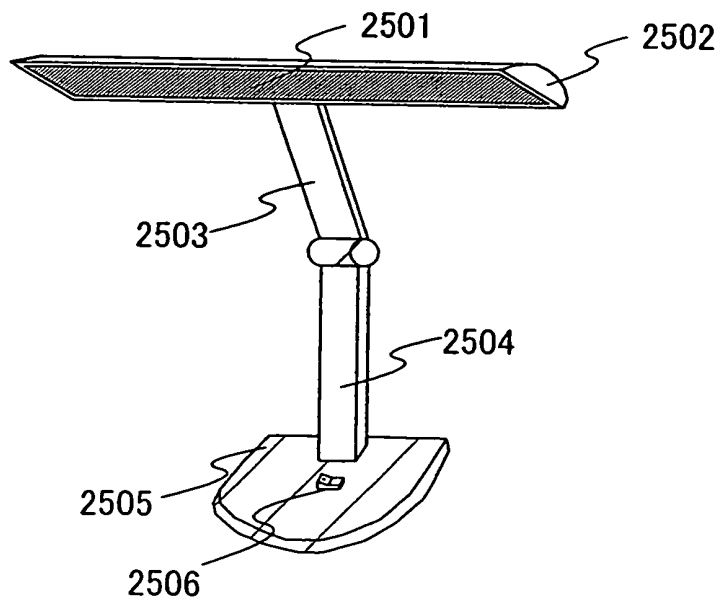


圖14

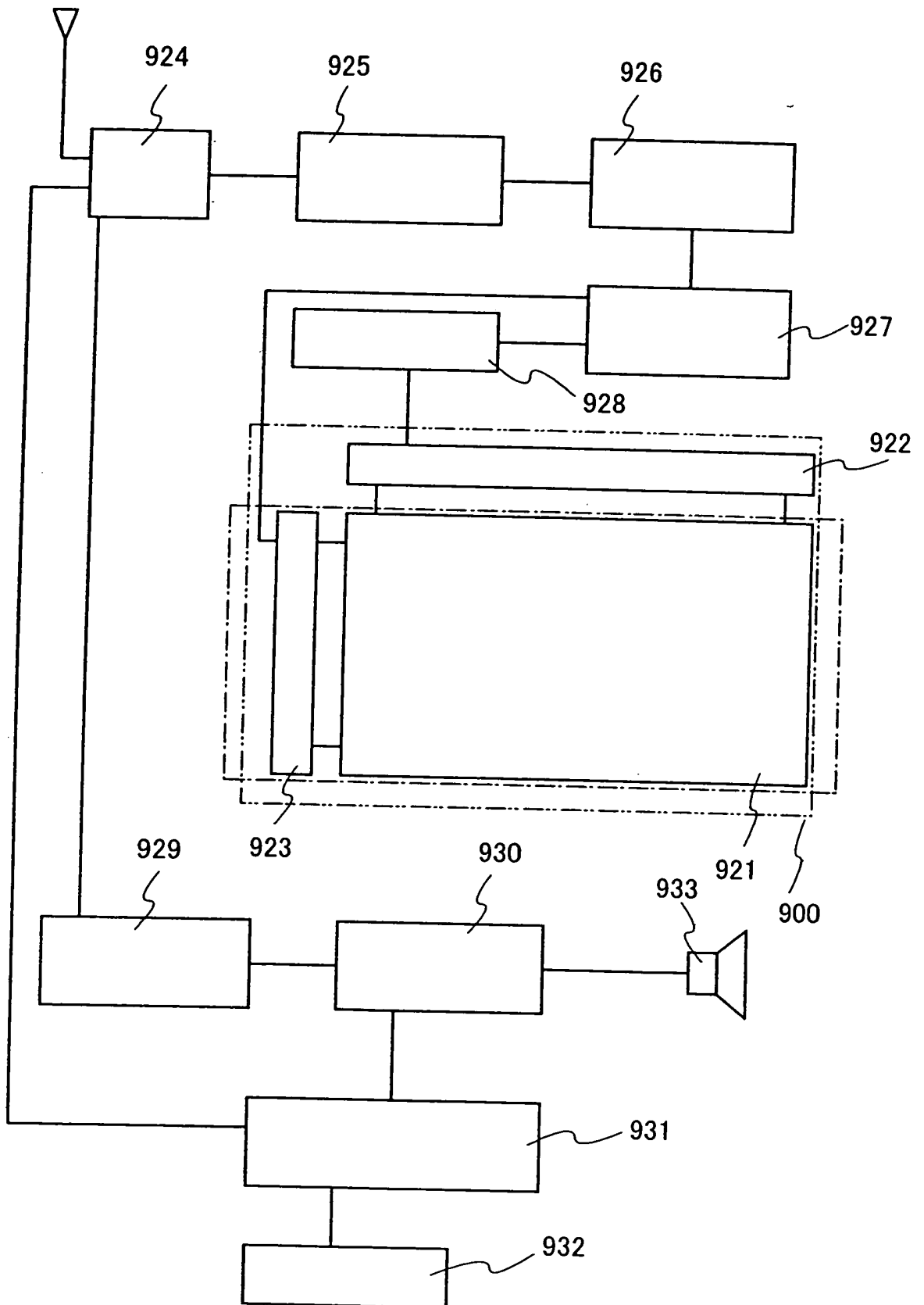


圖 15A

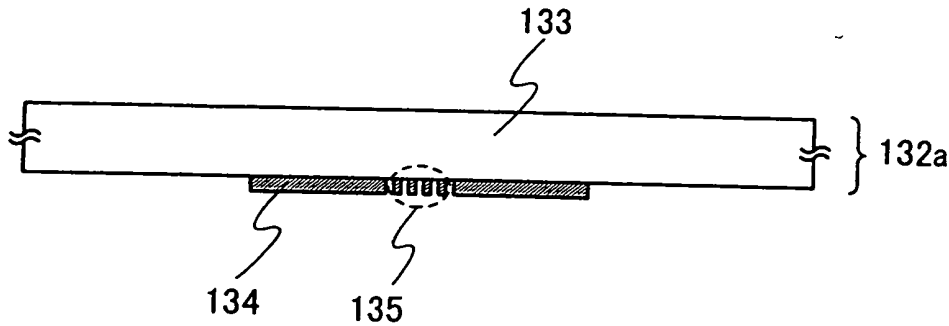


圖 15B

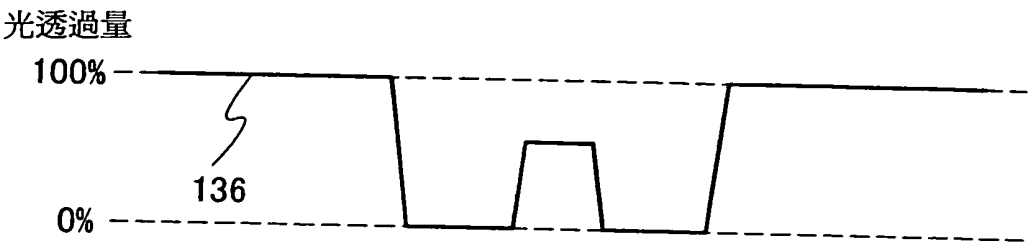


圖 15C

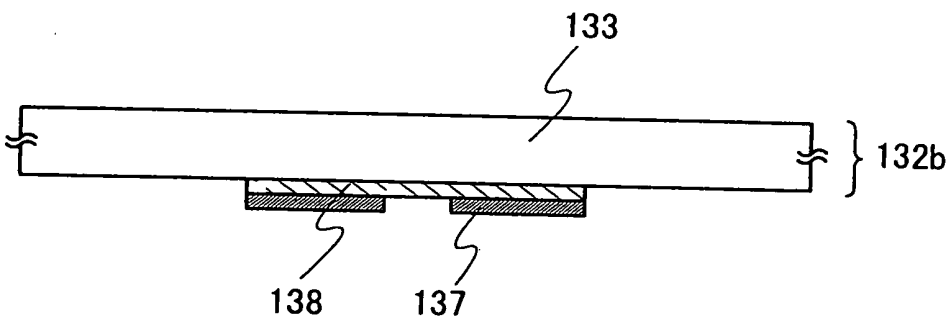


圖 15D

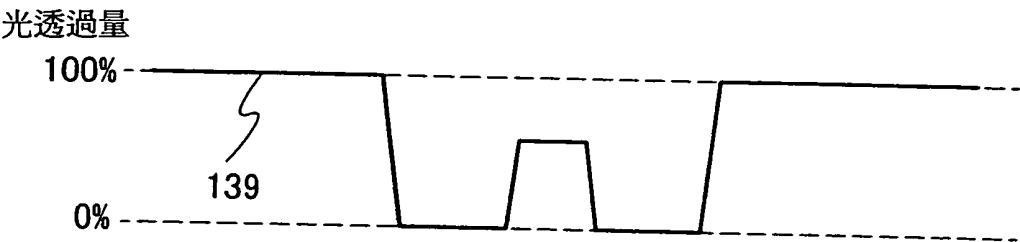


圖16A

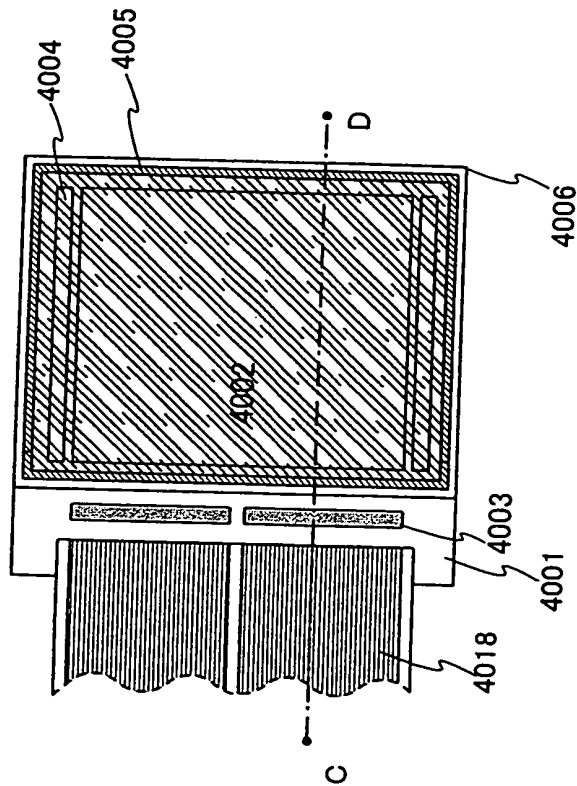


圖16B

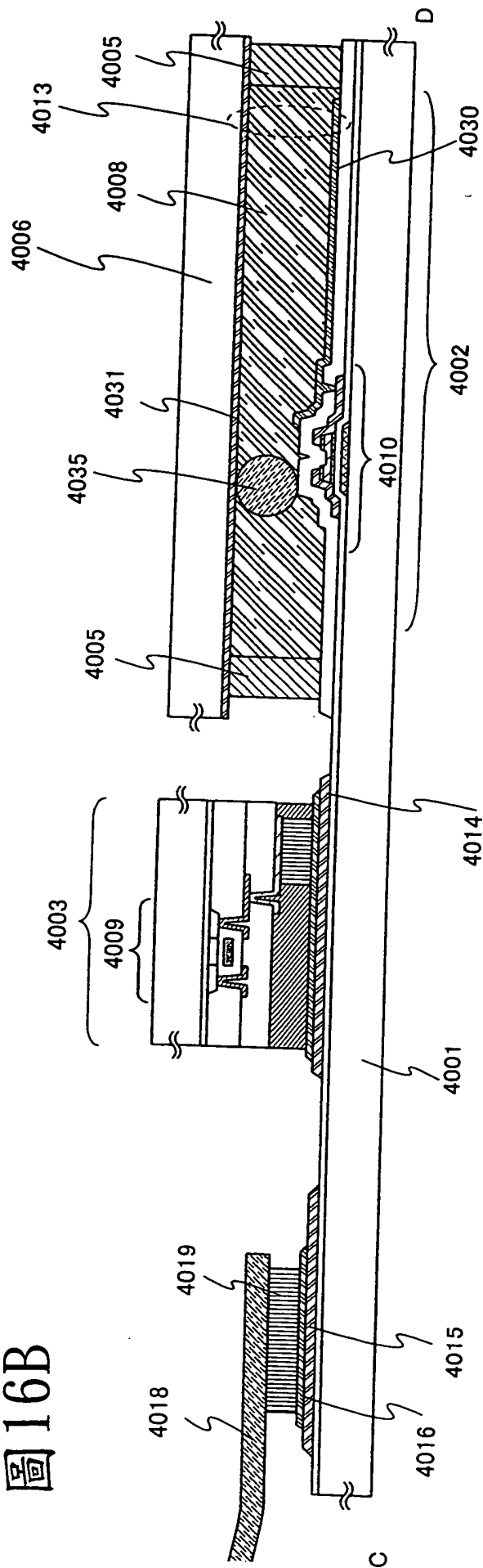


圖17A

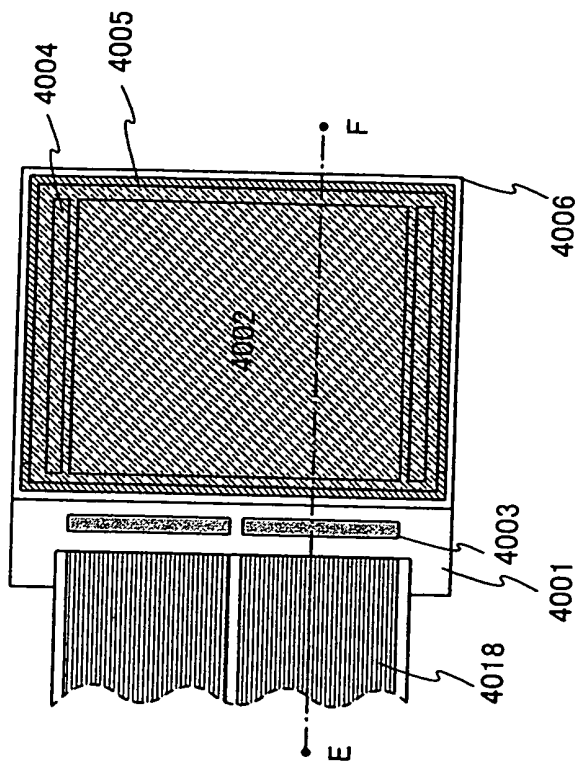


圖17B

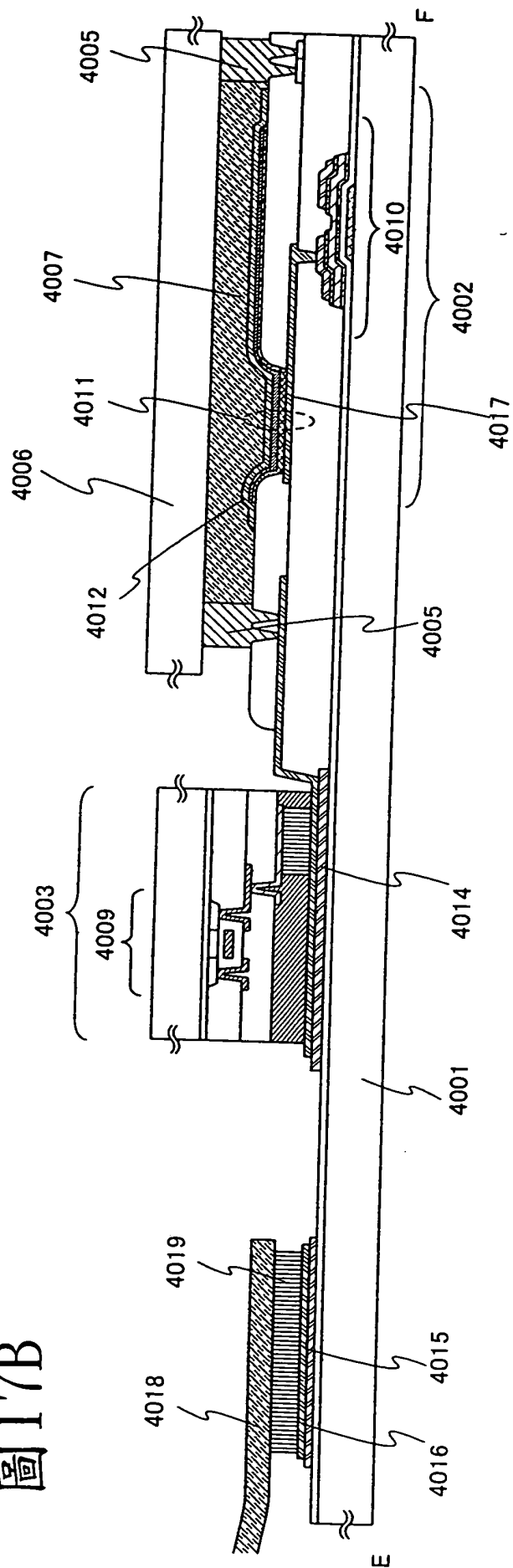
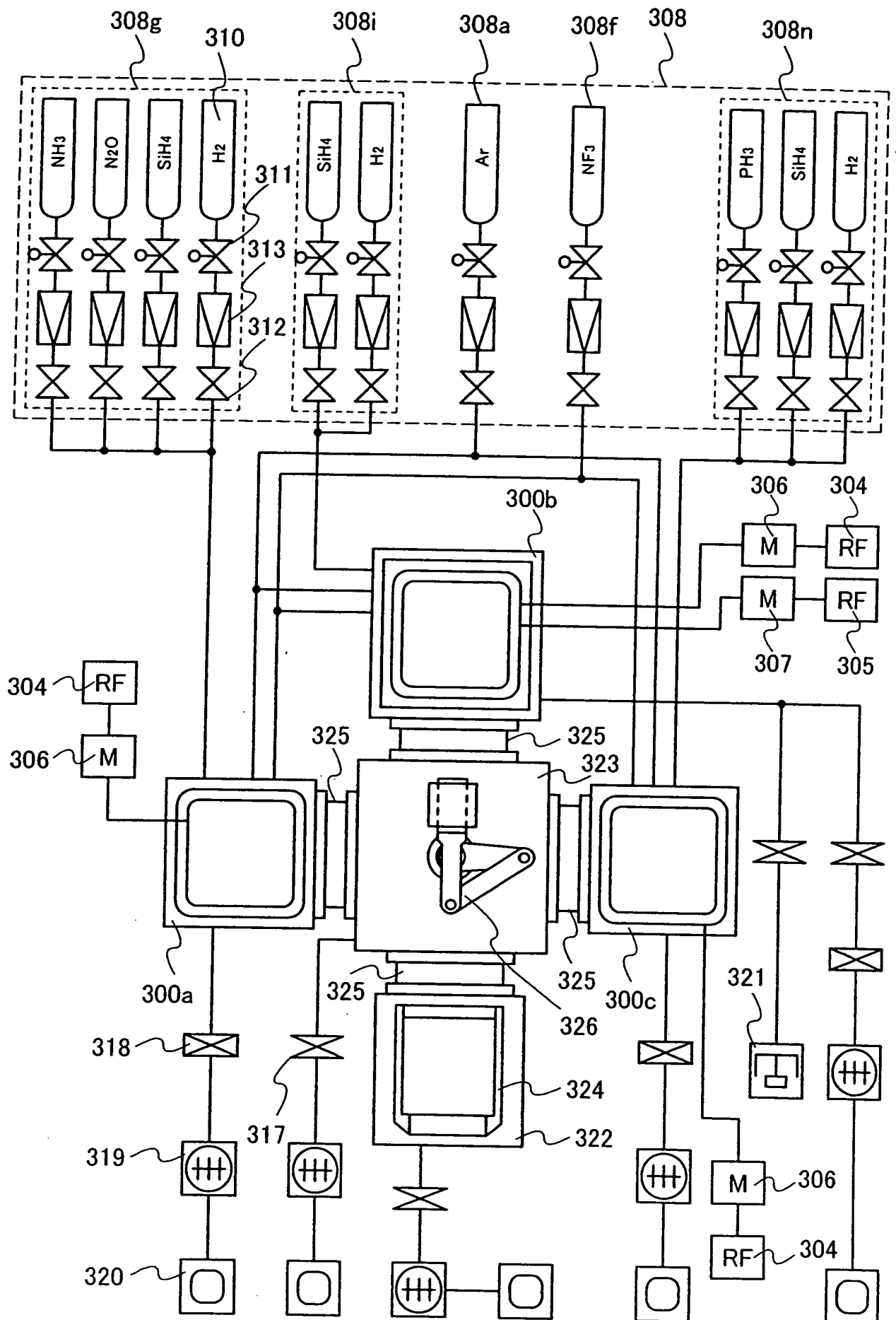


圖 18



七、指定代表圖：

(一)、本案指定代表圖為：第(1B)圖。

(二)、本代表圖之元件代表符號簡單說明：

103：微晶半導體膜

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

十、申請專利範圍

1. 一種顯示裝置的製造方法，包括如下步驟：

在基板上形成閘電極；

在該閘電極上形成閘絕緣膜；

在該閘絕緣膜上利用電漿 CVD 法形成微晶半導體膜；以及

在該微晶半導體膜上形成非晶半導體膜，

其中該微晶半導體膜具有 $1 \times 10^{17} \text{ atoms/cm}^3$ 或更少的氧濃度。

2. 一種顯示裝置的製造方法，包括如下步驟：

在基板上形成閘電極；

在該閘電極上形成閘絕緣膜；

在該閘絕緣膜上利用電漿 CVD 法形成微晶半導體膜；以及

在該微晶半導體膜上形成非晶半導體膜，

其中，該形成微晶半導體膜的步驟包括：

導入氫及稀有氣體來生成電漿；以及

在導入矽氣體來形成該微晶半導體膜時，使氫電漿及稀有氣體電漿作用到形成在該閘絕緣膜表面的反應生成物來蝕刻該反應生成物；以及

在形成該微晶半導體膜時，該氫對該矽氣體的流量比被減少。

3. 一種顯示裝置的製造方法，包括如下步驟：

在基板上形成閘電極；

在該閘電極上形成閘絕緣膜；

在該閘絕緣膜上利用電漿 CVD 法形成微晶半導體膜；以及

在該微晶半導體膜上形成非晶半導體膜，

其中，該形成微晶半導體膜的步驟包括：

將反應室的壓力設定為 10^{-5} Pa 或更少；

將該基板的溫度設定為 100°C 至 200°C 的範圍內；

藉由導入氫及矽氣體並且將 HF 頻帶的第一高頻電力和 VHF 頻帶的第二高頻電力彼此疊加並施加來生成電漿；以及

在形成該微晶半導體膜時，使氫電漿作用到形成在該閘絕緣膜表面的反應生成物來蝕刻該反應生成物。

4. 一種顯示裝置的製造方法，包括如下步驟：

在基板上形成閘電極；

在該閘電極上形成閘絕緣膜；

在該閘絕緣膜上利用電漿 CVD 法形成微晶半導體膜；以及

在該微晶半導體膜上形成非晶半導體膜，

其中該形成微晶半導體膜的步驟，包括：

將反應室的壓力設定為 10^{-5} Pa 或更少；

將該基板的溫度設定為 100°C 至 200°C 的範圍內；

藉由導入氫及稀有氣體並且將 HF 頻帶的第一高頻電力和 VHF 頻帶的第二高頻電力彼此疊加並施加來生成電漿；以及

在導入矽氣體來形成該微晶半導體膜時，使氫電漿及稀有氣體電漿作用到形成在該閘絕緣膜表面的反應生成物來蝕刻該反應生成物。

5. 如申請專利範圍第 2 至 4 項中之任一項之顯示裝置的製造方法，其中該微晶半導體膜具有 $1 \times 10^{17} \text{ atoms/cm}^3$ 或更少的氧濃度。

6. 如申請專利範圍第 1 至 4 項中之任一項之顯示裝置的製造方法，其中藉由將三甲基硼導入該微晶半導體膜中，來形成 i 型或 p 型的微晶半導體膜。

7. 如申請專利範圍第 1 至 4 項中之任一項之顯示裝置的製造方法，其中在使該微晶半導體膜的表面不接觸於大氣的情況下，在該微晶半導體膜上形成該非晶半導體膜。

8. 如申請專利範圍第 2 或 4 項之顯示裝置的製造方法，其中在導入該矽氣體之前停止導入該稀有氣體。

9. 如申請專利範圍第 2 或 4 項之顯示裝置的製造方法，其中在導入該矽氣體之後停止導入該稀有氣體，並且在該矽氣體的導入和該稀有氣體的停止之間插入預定的期間。

10. 如申請專利範圍第 2 或 4 項之顯示裝置的製造方法，其中使用氫作為該稀有氣體。