

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4869688号
(P4869688)

(45) 発行日 平成24年2月8日(2012.2.8)

(24) 登録日 平成23年11月25日(2011.11.25)

(51) Int.Cl.

F 1

G09G	3/30	(2006.01)	G09G	3/30	J
G09G	3/20	(2006.01)	G09G	3/20	6 1 1 A
H01L	51/50	(2006.01)	G09G	3/20	6 1 2 D
			G09G	3/20	6 7 O L
			G09G	3/20	6 7 O J

請求項の数 3 (全 17 頁) 最終頁に続く

(21) 出願番号

特願2005-335195 (P2005-335195)

(22) 出願日

平成17年11月21日 (2005.11.21)

(65) 公開番号

特開2006-178429 (P2006-178429A)

(43) 公開日

平成18年7月6日 (2006.7.6)

審査請求日

平成20年10月31日 (2008.10.31)

(31) 優先権主張番号

特願2004-339684 (P2004-339684)

(32) 優先日

平成16年11月24日 (2004.11.24)

(33) 優先権主張国

日本国 (JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 岩淵 友幸

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 三宅 博之

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

審査官 福村 拓

最終頁に続く

(54) 【発明の名称】アクティブマトリクス型発光装置

(57) 【特許請求の範囲】

【請求項 1】

オペアンプ、第1の抵抗、第2の抵抗、第3の抵抗、第4の抵抗、バッファ、及び画素部を有し、

前記画素部は、ソース信号線、ゲート信号線、トランジスタ、及び発光素子を有し、

前記バッファは、前記ソース信号線の充放電を行う機能を有し、

前記オペアンプの反転入力端子は、前記第1の抵抗の一方の端子と、前記第2の抵抗の一方の端子とに電気的に接続され、

前記オペアンプの非反転入力端子は、前記第3の抵抗の一方の端子と、前記第4の抵抗の一方の端子とに電気的に接続され、

前記オペアンプの出力端子は、前記第2の抵抗の他方の端子と、前記バッファの低電源電位が供給される第4の配線とに電気的に接続され、

前記第1の抵抗の他方の端子は、高電源電位が供給される第1の配線に電気的に接続され、

前記第3の抵抗の他方の端子は、前記バッファの高電源電位が供給される第2の配線に電気的に接続され、

前記第4の抵抗の他方の端子は、低電源電位が供給される第3の配線に電気的に接続され、

前記バッファの高電源電位が供給される前記第2の配線は、前記発光素子のアノードに電気的に接続されていることを特徴とするアクティブマトリクス型発光装置。

10

20

【請求項 2】

オペアンプ、第1の抵抗、第2の抵抗、第3の抵抗、第4の抵抗、バッファ、画素部、及びバイポーラトランジスタを有し、

前記画素部は、ソース信号線、ゲート信号線、トランジスタ、及び発光素子を有し、
前記バッファは、前記ソース信号線の充放電を行う機能を有し、

前記オペアンプの反転入力端子は、前記第1の抵抗の一方の端子と、前記第2の抵抗の一方の端子とに電気的に接続され、

前記オペアンプの非反転入力端子は、前記第3の抵抗の一方の端子と、前記第4の抵抗の一方の端子とに電気的に接続され、

前記オペアンプの出力端子は、前記バイポーラトランジスタのベースに電気的に接続され、

前記バイポーラトランジスタのコレクタは、低電源電位が供給される第4の配線に電気的に接続され、

前記バイポーラトランジスタのエミッタは、前記第2の抵抗の他方の端子と、前記バッファの低電源電位が供給される第5の配線とに電気的に接続され、

前記第1の抵抗の他方の端子は、高電源電位が供給される第1の配線に電気的に接続され、

前記第3の抵抗の他方の端子は、前記バッファの高電源電位が供給される第2の配線に電気的に接続され、

前記第4の抵抗の他方の端子は、低電源電位が供給される第3の配線に電気的に接続され、

前記バッファの高電源電位が供給される前記第2の配線は、前記発光素子のアノードに電気的に接続されることを特徴とするアクティブマトリスク型発光装置。

【請求項 3】

請求項1又は請求項2において、

前記画素部は、前記発光素子を複数有し、

前記複数の発光素子のうち互いに発光色が異なる発光素子は、アノードの電位の値が互いに異なることを特徴とするアクティブマトリクス型発光装置。

【発明の詳細な説明】**【技術分野】**

30

【0001】

本発明は、発光素子を備えた発光装置に関する。

【背景技術】**【0002】**

自発光型の発光素子を有したアクティブマトリクス型の発光装置の研究が活発化している。このような自発光型の発光装置の代表例として、EL表示装置があげられる。

【0003】

また、近年、中、大型のディスプレイ装置のみならず、携帯情報端末の表示部にも広く用いられるようになったフラットパネル型の表示装置は、その高精細化に伴って、画素数が増加している。画素数の増加に対応するため、各画素毎に薄膜トランジスタ(TFT)を設け画像データを保持することができるアクティブマトリクス構造の画素が採用されている。

【0004】

アクティブマトリクス構造のEL表示装置の階調方式には大きく分けてアナログ階調方式とデジタル階調方式の2つがある。このうちデジタル階調方式には時分割階調方式と、面積階調方式と、時分割階調方式と面積階調方式の混合した方式等がある。時分割階調方式、面積階調方式のいずれのデジタル階調方式においても、各画素あるいはサブ画素をon状態あるいはoff状態の2値で駆動する。

【0005】

このため画素に配された薄膜トランジスタ(TFT)のしきい値電圧Vthのばらつきに

50

より画質の劣化をアナログ階調方式に比べて低減させることができる利点がある。時分割方式でデジタル階調表示を行うことが、特許文献1に開示されている。

【0006】

また、多数の画素に迅速に映像信号を各画素に書き込むために、1行ごと同時にデータ入力をする線順次方式を採用することが望まれる。図9を用いて、アクティブマトリクス型のEL表示装置を線順次方式のデジタル階調表示により駆動することを説明する。

【0007】

図9は、アクティブマトリクス構造の画素に2値のデータを入力するデジタル階調方式型の表示装置の構成を示している。画素部501には、EL素子に代表される発光素子、発光素子の発光を制御するためのTFTが設けられる。画素部501の周辺部には、シフトレジスタ504と、第1のラッチ回路505と、第2のラッチ回路506と、レベルシフタ507とバッファ群回路508を有するソース信号線駆動回路502と、シフトレジスタ509と、レベルシフタ510と、バッファ群回路511を有するゲート信号線駆動回路503が配置されている。図10はバッファ群回路508の等価回路を示している。

【0008】

図10(A)に示すようにバッファ群回路508は、各列に設けられた複数のバッファ601である。そして、図10(B)はバッファ601の等価回路図であり、2つのインバータである。入力はレベルシフタ507に接続され、出力は画素部501に接続されている。また、信号線602によりバッファ高電源電位(VBH)が与えられ、信号線603によりバッファ低電源電位(VBL)が与えられている。

10

20

【0009】

図9のアクティブマトリクス型表示装置を線順次方式によりデジタル階調表示で駆動する方法を説明する。まず、シフトレジスタ509は、クロック信号(GCK)、スタートパルス(GSP)にしたがって、1段目から順次選択パルスを出力する。その後、レベルシフタ510によって振幅変換をし、バッファ群回路511により1行目から順次ゲート線が選択される。

【0010】

ゲートが選択される行において、シフトレジスタ504は、クロック信号(SCK)、スタートパルスにしたがって、1段目から順次サンプリングパルスを出力する。第1のラッチ回路505は、サンプリングパルスが入力されるタイミングで、映像信号(Video)の取り込みを行い、各段で取り込まれた映像信号は第1のラッチ回路505において保持される。

30

【0011】

1行分の映像信号の取り込みが完了した後、ラッチパルス(LAT)が入力されると、第1のラッチ回路505において保持されていた映像信号は、一斉に第2のラッチ回路506へと転送され、全てのソース信号が一斉に充放電される。

【0012】

このとき、ソース信号線を充放電するバッファの高電源電位(VBH)は、発光素子高電源電位(ANODE)と同期し、低電源電位(VBL)は固定である。本明細書において発光素子高電源電位(ANODE)とは、発光素子の陽極(アノード)に与えられる電位をいう。

40

【0013】

以上の動作が1行目から最終行まで繰り返され、全画素への書き込みが完了する。1フレーム分の映像が表示される。同様の動作を繰り返し、映像の表示を行う。

【特許文献1】特開2001-5426号公報

【発明の開示】

【発明が解決しようとする課題】

【0014】

アナログ階調方式では1フレームに最低1回のソース信号線へのデータ書き込みを行えば階調表現が可能である。

50

【 0 0 1 5 】

これに対して、各画素を *o n* 状態あるいは *o f f* 状態の 2 値で駆動する時間階調方式や面積階調方式や時間階調方式と面積階調方式を複合化した方式等、デジタル階調方式においては、階調表現をするためには 1 フレームに複数回のソース信号線へのデータ書き込みが必要となる。

【 0 0 1 6 】

E L 表示装置においてソース信号線は、画素部に設けられた複数の T F T や寄生容量により、バッファに対する負荷になっている。デジタル階調方式において、ソース信号線へ書き込まれるデータが L o w 電位から H i g h 電位に変化するときには、高電源電位 (V B H) を与える外部の高電位電源は前記バッファ 6 0 1 の P チャネル型 T F T を通じて L o w 電位から H i g h 電位まで、ソース信号線による負荷容量に電荷を充電する。逆に、ソース信号線へ書き込まれるデータが H i g h 電位から L o w 電位に変化するときには低電源電位 (V B L) を与える外部の低電位電源は前記バッファ 6 0 1 の N チャネル型 T F T を通じて H i g h 電位から L o w 電位までソース信号線による負荷容量から電荷を放電する。10

【 0 0 1 7 】

これらの電力はソース信号線の電圧の変化時に消費されるので、ソース信号線の出力の変化がたびたび起これば、外部電源の電力消費は大きくなる。このためデジタル階調方式においては、自然画のように多くの階調数が必要な画像や 1 d o t チェック（ここでは、マトリクス状に並べられた画素において、点灯、非点灯が交互に並んだ表示画素のことを意味する）のように 1 行ごとに論理が頻繁に逆転するような画像では、ソース信号線の電位の変化が多くなるため、外部電源の消費電力が増大してしまう。20

【 0 0 1 8 】

また、画素部の発光素子に流れる電流の大きさは、温度によっても左右される。特に発光素子に有機化合物を用いた場合、温度特性の問題が顕著になる。E L 素子の電極間にかかる電圧が同じであっても、E L 素子が有する温度特性によって、温度が高くなれば高くなるほど、E L 素子を流れる電流は大きくなる。よって E L 素子の温度が高ければ高いほど、表示装置の消費電力が大きくなり、発光素子の輝度も上昇してしまう。

【 0 0 1 9 】

カラー表示の場合、発光素子高電源電位 (A N O D E) は、発光材料によって、E L 素子ごとに異なる電位が設定されている。発光材料が、赤 (R) で発光する E L 素子、緑 (G) で発光する E L 素子、青 (B) で発光する E L 素子では、経時劣化や温度による特性の変化が異なる。30

【 0 0 2 0 】

また、例えば、ユーザーが好んで赤表示をした場合、R の E L 素子だけが他の E L 素子に比べ先行して劣化することも想定される。したがって、様々な発光素子高電源電位 (A N O D E) の電位変化に対応できる表示装置が求められている。

【 0 0 2 1 】

バッファの高電源電位 (V B H) は、発光素子高電源電位 (A N O D E) と等しいかそれ以上の電位である必要がある。バッファの高電源電位 (V B H) は、ソース信号線の充電の役割を担っているため、充電する電位が小さいほど、バッファの高電源電位 (V B H) が必要とする電力が少なくなる。従って、バッファの高電源電位 (V B H) は、発光素子高電源電位 (A N O D E) と等しいことが望ましい。40

【 0 0 2 2 】

また、前述の通り、発光素子高電源電位 (A N O D E) は、経時劣化や温度変化、ユーザーの使用状況などにより変化する。このため、バッファの高電源電位 (V B H) は、発光素子高電源電位 (A N O D E) に追従する必要があり、任意の発光素子高電源電位 (A N O D E) で充電に要する電力を低減させるためには、発光素子高電源電位 (A N O D E) と同期させる必要がある。

【 0 0 2 3 】

50

このため、従来の表示装置では、ソース信号線を充放電するバッファの高電源電位（V_{BH}）は、発光素子高電源電位（ANODE）と同期し、低電源電位（V_{BL}）は固定であった。

【0024】

その結果、上述したように、従来のバッファー回路では消費電力が大きくなり易いため、バッファの温度が上昇しやすい。そしてバッファの発熱に伴い、その結果、画素部に温度分布が生じるため、輝度のバラツキが生じてしまう。

【0025】

あるいは、EL素子の経時劣化や温度上昇により、発光素子高電源電位（ANODE）が上昇してしまうため、その結果ソース信号線を充放電する電位差、すなわち高電源電位（V_{BH}）と低電源電位（V_{BL}）との差分が大きくなるため、ソース信号線を充放電するバッファ601による消費電力が大きくなり、バッファ601を発熱させしまい、その結果、画素部の輝度のバラツキを生じさせてしまうという問題点もある。10

【0026】

このためデジタル階調方式において、ソース信号線ヘデータの書き込みに要する消費電力は、低消費電力を必要とする携帯端末向けの小型表示装置には大きな問題となっている。また、テレビ等の表示装置においても大型化に伴うソース信号線の寄生容量の増加は避けることは困難であり、小型表示装置同様、消費電力の減少が課題となっている。

【0027】

本発明は、以上のような課題に鑑みてなされたものであり、インバータを用いたバッファなどの回路の省電力化を目的とする。また、発光素子を用いたアクティブマトリクス型表示装置のソース信号線の充放電に要する消費電力を低減することを目的とする。20

【課題を解決するための手段】

【0028】

本発明では、ソース信号線の充放電を行うバッファ（インバータ）の低電源電位（V_{BL}）を高電源電位（V_{BH}）に追従させる。特に、発光装置においては、この低電源電位（V_{BL}）を発光素子高電源電位（ANODE）に追従させることを特徴とする。

【0029】

本発明はに係る発光装置は、オペアンプ、第1の抵抗、第2の抵抗、第3の抵抗、及び第4の抵抗を有する回路と、バッファを有する駆動回路とを有し、オペアンプは、出力端子、第1の入力端子、及び第2の入力端子を有し、第1の抵抗は、一方の端子が第1の高電源電位に接続され、他方の端子がオペアンプの第1の入力端子に接続され、第2の抵抗は、一方の端子がオペアンプの第1の入力端子に接続され、他方の端子は、オペアンプの出力端子に接続され、第3の抵抗は、一方の端子が第2の高電源電位に接続され、他方の端子がオペアンプの第2の入力端子に接続され、第4の抵抗は、一方の端子がオペアンプの第2の入力端子に接続され、他方の端子が低電源電位に接続され、第2の抵抗の他方の端子の電位は、バッファの低電源電位と等しく、第2の高電源電位は、バッファの高電源電位と等しいことを特徴とする。30

【0030】

本発明はに係る発光装置は、ベース端子、コレクタ端子、及びエミッタ端子を有するバイポーラトランジスタと、オペアンプ、第1の抵抗、第2の抵抗、第3の抵抗、及び第4の抵抗を有する回路と、バッファを有する駆動回路とを有し、オペアンプは、出力端子、第1の入力端子、及び第2の入力端子を有し、バイポーラトランジスタのベース端子はオペアンプの出力端子と電気的に接続され、バイポーラトランジスタのコレクタ端子は低電源電位と電気的に接続され、第1の抵抗は、一方の端子が第1の高電源電位に接続され、他方の端子がオペアンプの第1の入力端子に接続され、第2の抵抗は、一方の端子がオペアンプの第1の入力端子に接続され、他方の端子がバイポーラトランジスタのエミッタ端子に接続され、第3の抵抗は、一方の端子が第2の高電源電位に接続され、他方の端子がオペアンプの第2の入力端子に接続され、第4の抵抗は、一方の端子がオペアンプの第2の入力端子に接続され、他方の端子が低電源電位に接続され、バイポーラトランジスタのエ40
50

ミッタ端子及び第2の抵抗の他方の端子からの電位は、駆動回路のバッファの低電源電位と等しく、第2の高電源電位は、バッファの高電源電位と等しいことを特徴とする。

【0031】

本発明に係る他の発光装置は、発光素子、オペアンプ、第1の抵抗、第2の抵抗、第3の抵抗、及び第4の抵抗を有し、第1の抵抗は、一方の端子が第1の高電源電位に接続され、他方の端子がオペアンプの第1の入力端子に接続され、第2の抵抗は、一方の端子がオペアンプの第1の入力端子に接続され、他方の端子は、オペアンプの出力端子に接続され、第3の抵抗は、一方の端子が第2の高電源電位に接続され、他方の端子がオペアンプの第2の入力端子に接続され、第4の抵抗は、一方の端子がオペアンプの第2の入力端子に接続され、他方の端子が低電源電位に接続され、第2の抵抗の他方の端子の電位がバッファの低電源電位として供給され、第2の高電源電位がバッファの高電源電位として供給されることを特徴とする。 10

【0032】

本発明はに係る発光装置は、発光素子、バイポーラトランジスタ、オペアンプ、駆動回路、第1の抵抗、第2の抵抗、第3の抵抗、及び第4の抵抗を有し、バイポーラトランジスタは、ベース端子がオペアンプの出力端子に接続され、コレクタ端子が低電源電位に接続され、第1の抵抗は、一方の端子が第1の高電源電位に接続され、他方の端子がオペアンプの第1の入力端子に接続され、他方の端子がバイポーラトランジスタのエミッタ端子に接続され、第3の抵抗は、一方の端子が第2の高電源電位に接続され、他方の端子がオペアンプの第2の入力端子に接続され、第4の抵抗は、一方の端子がオペアンプの第2の入力端子に接続され、他方の端子が低電源電位に接続され、バイポーラトランジスタのエミッタ端子及び第2の抵抗の他方の端子からの電位が、駆動回路のバッファの低電源電位として供給され、第2の高電源電位がバッファの高電源電位として供給されることを特徴とする。 20

【0033】

本発明において、発光装置の発光素子は画素に配置される。また発光素子としてEL素子が用いられる。EL素子は一対の電極（陽極と陰極）間に、電場を加えることでルミネッセンスが発生する層（以下、EL層と記す）が挟まれた構造となっている。EL層として、有機化合物が使用されるが、EL層は通常、積層構造となっている。代表的には、「正孔輸送層、発光層、電子輸送層」という積層構造が挙げられる。 30

【0034】

また、EL層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とがあるが、本発明の発光装置は、上述した発光のうちのいずれか一方の発光を用いても良いし、または両方の発光を用いても良い。

【0035】

また他にも、陽極上に正孔注入層、正孔輸送層、発光層、電子輸送層の順に積層する構造、または正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

【0036】

本明細書において陰極と陽極の間に設けられる全ての層を総称してEL層と呼ぶ。よって上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全てEL層に含まれる。 40

【0037】

また、本発明の発光装置は、半導体基板上に設けられていてもよいし、ガラス基板上に設けられていてもよい。また、可撓性基板上に設けられていてもよいし、SOI基板上に設けたれていても良い。

【0038】

なお、発光装置は薄膜トランジスタを含んで構成されていてもよい。

【0039】

また、上記構成の発明の発光装置は、電子機器等に用いることができる。

【発明の効果】

【0040】

本発明では、高電源電位（V B H又はA N O D E）の上昇が生じても、バッファの低電源電位が高電源電位に追従して上昇するため、バッファー（インバータ）に供給されている高電源電位と低電源電位との電位差の上昇を小さくすることができる。その結果、少ない電力でソース信号線のデータ書き換えが可能になる。それに伴い、バッファの発熱も抑えられ、発熱による画素部の輝度のバラツキが低減される。

【0041】

よって、本発明は、線順次方式のデジタル階調駆動を行うE L表示装置のような発光装置に非常に好適である。10

【発明を実施するための最良の形態】

【0042】

以下に、本発明の実施の形態を図面に基づいて説明する。但し、本発明は多くの異なる様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

【0043】

(実施の形態1)

図1及び図2を用いて、本実施形態を説明する。

【0044】

図1は、本実施形態の電位発生回路の回路図である。図1に示すように、電位発生回路は、抵抗R1～R4、オペアンプ（O P 1）1002、及びバイポーラトランジスタ（B i 1）1007で構成される。20

【0045】

オペアンプ（O P 1）の2つの電源接続端子には、それぞれ高電源電位（V D D 1）、低電源電位（G N D）が入力される。また、オペアンプ（O P 1）の出力端子c1に、バイポーラトランジスタ（B i 1）のベース端子Bが接続されている。バイポーラトランジスタ（B i 1）は、ベース端子Bがオペアンプ（O P 1）の出力端子c1に、コレクタ端子Cが低電源電位（G N D）に接続されている。30

【0046】

抵抗R1は、一方の端子が高電源電位（V 1）に接続され、他方の端子がオペアンプ（O P 1）の入力端子a1に接続されている。抵抗R2は、一方の端子がオペアンプ（O P 1）の入力端子a1に、他方の端子がバイポーラトランジスタ（B i 1）のエミッタ端子Eに接続されている。抵抗R3は、一方の端子が高電源電位（V B H）に、他方の端子がオペアンプ（O P 1）の入力端子b1に接続されている。抵抗R4は、一方の端子がオペアンプ（O P 1）の入力端子b1に、他方の端子が低電源電位（G N D）に接続されている。バイポーラトランジスタ（B i 1）のエミッタ端子E及び抵抗R2の他方の端子の電位が低電源電位（V B L）として取り出される。この低電源電位（V B L）は、高電源電位（V B H）と高電源電位V1との差分になる。40

【0047】

図2（A）に、図1の回路が用いられた発光装置を示す。図2（A）において図9と同じ符号は同じ構成要素を示す。

【0048】

図2（A）において、画素部501には、発光素子、代表的にはE L素子、発光素子の発光を制御するためのT F Tが設けられ、アクティブマトリクス構造の画素となっている。画素部501の周辺部には、画素部501と同一基板500上に、T F Tを用いて構成されたソース信号線駆動回路502及びゲート信号線駆動回路503が配置されている。50

【 0 0 4 9 】

ソース信号線駆動回路 502 はシフトレジスタ 504 と、第1のラッチ回路 505 と、第2のラッチ回路 506 と、レベルシフタ 507 とバッファ群回路 508 を有する。ゲート信号線駆動回路 503 はシフトレジスタ 509 と、レベルシフタ 510 と、バッファ群回路 511 を有する。

【 0 0 5 0 】

図2(A)においても、バッファ群回路 508 は図10(A)に示すように、列ごとにバッファ 601 が配置されている。バッファ 601 の等価回路は図10(B)に示されている。バッファ群回路 508 には、バッファ高電源電位 (V BH) を供給する信号線 (電源線) 1003 及びバッファ低電源電位 (V BL) を供給する信号線 (電源線) 1004 が接続されている。さらに、信号線 1003 はバッファ群回路 508 のバッファ高電源電位 (V BH) を供給する信号線 602 に接続され、信号線 1004 は、バッファの低電源電位 (V BL) を供給する信号線 603 に接続されている (図10(B)参照)。その結果、バッファ群回路 508 には、信号線 1003 によりバッファの高電源電位 (V BH) が供給され、信号線 1004 によりバッファ低電源電位 (V BL) が供給される。

10

【 0 0 5 1 】

また、画素部には、発光素子の陽極に電源を供給する電源供給線が設けられており、この電源供給線は、バッファ高電源電位 (V BH) を与えている外部電源に接続される。したがって、バッファ高電源電位 (V BH) は発光素子高電源電位 (ANODE) と等しくなる。なお、バッファ高電源電位 (V BH) と発光素子高電源電位 (ANODE) が同じであっても、異なる外部電源を設けてもよい。電源を共通にすることにより、電源の削減、接続部の削減につながる。

20

【 0 0 5 2 】

本実施形態では、信号線 1004 には図1に示す電位発生回路が接続されている。この電位発生回路は、抵抗 R1 ~ R4、オペアンプ (OP1) 1002 によって構成された回路 1001、及びバイポーラトランジスタ (Bi1) 1007 で構成される。本実施形態の発光装置において、バイポーラトランジスタ (Bi1) 1007 以外は、同一基板 500 上に、画素部 501、ソース信号線駆動回路 502 及びゲート信号線駆動回路 503 と共に、TFT を用いて形成することを特徴とする。バイポーラトランジスタ (Bi1) 1007 は、ICチップを用いて形成され、例えばCOG法により基板 500 上に実装される。

30

【 0 0 5 3 】

図2(B)に回路 1001 の回路図を示す。オペアンプ (OP1) 1002 の2つの電源接続端子には、それぞれ高電源電位 (V DD1)、低電源電位 (GND) が入力される。また、オペアンプ (OP1) 1002 の出力端子 c1 に、バイポーラトランジスタ (Bi1) 1007 のベース端子 B が接続されている。

【 0 0 5 4 】

バイポーラトランジスタ (Bi1) 1007 は、ベース端子 B がオペアンプ (OP1) 1002 の出力端子 c1 に、コレクタ端子 C が低電源電位 (GND) に、エミッタ端子 E が抵抗 R2 及び低電源電位 (V BL) を供給する信号線 1004 に接続されている。

40

【 0 0 5 5 】

抵抗 R1 は、一方の端子が高電源電位 (V1) を供給する信号線 (電源線) 1005 に接続され、他方の端子がオペアンプ (OP1) 1002 の入力端子 a1 に接続されている。抵抗 R2 は、一方の端子がオペアンプ (OP1) 1002 の入力端子 a1 に、他方の端子がバイポーラトランジスタ (Bi1) 1007 のエミッタ端子 E に接続されている。抵抗 R3 は、一方の端子がバッファ高電源電位 (V BH) 及び発光素子高電源電位 (ANODE) を供給する信号線 1003 に、他方の端子がオペアンプ (OP1) 1002 の入力端子 b1 に接続されている。抵抗 R4 は、一方の端子がオペアンプ (OP1) 1002 の入力端子 b1 に、他方の端子が低電源電位 (GND) に接続されている。

【 0 0 5 6 】

50

高電源電位 (V1) は、バッファ高電源電位 (VBH) 及び発光素子高電源電位 (ANODE) よりも、電位が低いものとする。また、本実施形態ではバッファ高電源電位 (VBH) は発光素子高電源電位 (ANODE) と等しいものとしたが、バッファ高電源電位 (VBH) の方を大きくしてもよい。この場合は、発光素子高電源電位 (ANODE) とバッファ高電源電位 (VBH) に対応して、異なる外部電源が用意される。

【0057】

本実施形態では、オペアンプ (OP1) 1002の増幅比を1とし、抵抗R1～R4の抵抗値は等しくなるようにする。なお、バッファ高電源電位 (VBH) 、発光素子高電源電位 (ANODE) 、バッファの低電源電位 (VBL) 、高電源電位 (V1) を設計者が要求する値にするため、抵抗R1～R4の抵抗値を必要に応じて変更できることはいうまでもない。また、オペアンプ (OP1) 1002は、消費電力の小さなものを設計するのが好みしい。

10

【0058】

本実施形態のオペアンプ (OP1) 1002等でなる電位発生回路により、バッファの低電源電位 (VBL) は、発光素子高電源電位 (ANODE) から高電源電位 (V1) を減算したものとなる。

【0059】

よって、バッファの低電源電位 (VBL) は、発光素子高電源電位 (ANODE) に追従して上昇することになり、バッファの消費電力の増加を抑えることができる。

【0060】

本実施形態の電位発生回路は、バイポーラトランジスタ (Bi1) の以外の回路1001を同一基板上に、画素部501、ソース信号線駆動回路502及びゲート信号線駆動回路503と共に形成しているため、外付けの部品点数を減らすことが可能となる。なお、図1に示す電位発生回路を全てICで形成し、例えばCOG法などにより基板500上に実装しても良い。

20

【0061】

また、本実施形態では、ソース信号線駆動回路502、ゲート信号線駆動回路503を画素部501と共にTFTで形成したが、それぞれの回路の一部又は全てをICで形成し、COG法やTAB法により実装しても良い。

【0062】

30

(実施の形態2)

図3は、本実施形態の電位発生回路の回路図である。図3に示すように、電位発生回路は、抵抗R1～R4、オペアンプ (OP1) で構成される。

【0063】

オペアンプ (OP1) の2つの電源接続端子には、それぞれ高電源電位 (VDD1) 、低電源電位 (GND) が入力される。

【0064】

抵抗R1は、一方の端子が高電源電位 (V1) に接続され、他方の端子がオペアンプ (OP1) 1102の入力端子a1に接続されている。抵抗R2は、一方の端子がオペアンプ (OP1) 1102の入力端子a1に、他方の端子がオペアンプ (OP1) 1102の出力端子c1に接続されている。抵抗R3は、一方の端子が高電源電位 (VBH) に、他方の端子がオペアンプ (OP1) 1102の入力端子b1に接続されている。抵抗R4は、一方の端子がオペアンプ (OP1) 1102の入力端子b1に、他方の端子が低電源電位 (GND) に接続されている。オペアンプ (OP1) 1102の出力端子c1の電位が低電源電位 (VBL) として取り出される。この低電源電位 (VBL) は、高電源電位 (VBH) と高電源電位 (V1)との差分になる。

40

【0065】

図4(A)に、図3の電位発生回路を用いた発光装置を示す。なお、図4において、図9及び図2と同じ符号は同じ構成要素を示す。また、本実施形態の発光装置は電位発生回路1101の他は、実施形態1の図2と同様である。

50

【0066】

本実施形態の電位発生回路1101は全て同一基板500上に、画素部501、ソース信号線駆動回路502及びゲート信号線駆動回路503と共に、TFTを用いて形成することを特徴とする。

【0067】

図4(B)に示すように、電位発生回路1101において、オペアンプ(OP1)1102の2つの電源接続端子に、それぞれ、高電源電位(VDD1)、低電源電位(GND)が接続されている。また、オペアンプ(OP1)1102の出力端子c1に、抵抗R2の一方の端子、及びバッファ群回路508に低電源電位(VBL)を供給する信号線(電源線)1104が接続されている。10

【0068】

抵抗R1は、一方の端子が高電源電位(V1)を供給する信号線(電源線)1105に接続され、他方の端子がオペアンプ(OP1)1102の入力端子a1に接続されている。抵抗R2は、一方の端子がオペアンプ(OP1)1102の入力端子a1に、他方の端子がオペアンプ(OP1)1102の出力端子c1に接続されている。抵抗R3は、一方の端子がバッファ高電源電位(VBH)及び発光素子高電源電位(ANODE)を供給する信号線(電源線)1103に接続され、他方の端子がオペアンプ(OP1)1102の入力端子b1に接続されている。抵抗R4は、一方の端子がオペアンプ(OP1)1102の入力端子b1に接続され、他方の端子が低電源電位(GND)に接続されている。20

【0069】

ここでは、オペアンプ(OP1)1102の増幅比を1とし、抵抗R1～R4の抵抗値を等しくする。もちろん、バッファ高電源電位(VBH)、発光素子高電源電位(ANODE)、バッファの低電源電位(VBL)、高電源電位(V1)を設計者が要求する値にするため、抵抗R1～R4の抵抗値を必要に応じて変更できることはいうまでもない。また、オペアンプ(OP1)1102は、消費電力の小さなものを設計するのが好ましい。20

【0070】

バッファ群回路508には、信号線1103及び1104が接続され、信号線1103はバッファ群回路508のバッファ高電源電位(VBH)を供給する信号線602に接続され、信号線1104はバッファの低電源電位(VBL)を供給する信号線603に接続されている(図10(B)参照)。その結果、信号線1104により、バッファの高電源電位(VBH)が供給され、信号線1104により、バッファ低電源電位(VBL)が供給される。30

【0071】

また、画素部501には、発光素子の陽極に電源を供給する電源供給線が設けられており、この電源供給線はバッファ高電源電位(VBH)を与えている外部電源に接続される。したがって、本実施形態では、バッファ高電源電位(VBH)は発光素子高電源電位(ANODE)と等しくなる。なお、バッファ高電源電位(VBH)と発光素子高電源電位(ANODE)が同じであっても、異なる外部電源を設けてもよい。電源を共通にすることにより、電源の削減、接続部の削減につながる。

【0072】

高電源電位(V1)は、バッファ高電源電位(VBH)及び発光素子高電源電位(ANODE)よりも、電位が低いものとする。また、ここではバッファ高電源電位(VBH)は発光素子高電源電位(ANODE)と等しくしたが、もしくは発光素子高電源電位(ANODE)よりも大きい電位とすることができます。40

【0073】

電位発生回路1101により、バッファの低電源電位(VBL)は、発光素子高電源電位(ANODE)から高電源電位(V1)を減算したものとなる。したがって、発光素子高電源電位(ANODE)が上昇しても、バッファの低電源電位(VBL)は、発光素子高電源電位(ANODE)に追従して上昇させることができる。

【0074】

10

20

30

40

50

本実施の形態では、電位発生回路 1101 を同一基板 500 上に、画素部 501、ソース信号線駆動回路 502、及びゲート信号線駆動回路 503 と共に形成することにより、外付けの部品点数を減らすことが可能となる。なお、電位発生回路 1101 を全て I C で形成し、例えば COG 法などにより基板 500 上に実装しても良いことはいうまでもない。

【0075】

また、本実施形態では、ソース信号線駆動回路 502、ゲート信号線駆動回路 503 を画素部 501 と共に TFT で形成しているが、それぞれの回路の一部又は全てを I C で形成し、COG 法でや TAB 法により実装しても良い。

【0076】

また、実施形態 1 及び 2 において、赤 (R) で発光する EL 素子、緑 (G) で発光する EL 素子、青 (B) で発光する EL 素子など、EL 材料が異なる複数種類の発光素子を画素部 501 に設ける場合は、R, G, B など発光素子の種類ごとに、発光素子高電源電位 (ANODE) の値を異ならせることができるので好ましい。そのため、発光素子高電源電位 (ANODE) とバッファの低電源電位 (VBL) が、発光素子の種類ごとに設けるとよい。

10

【0077】

(実施の形態 3)

実施形態 1、2 で説明したように、本発明は、画素の高精細化に伴う、EL 表示装置の消費電力を抑え、かつ画素部の輝度のバラツキをおさえることができるため、高精細な表示部が必要とされる電子機器に好適である。例えば、テレビジョン装置 (テレビ、テレビジョン受信機)、デジタルカメラ、デジタルビデオカメラ、携帯電話装置 (携帯電話機)、PDA 等の携帯情報端末、携帯型ゲーム機、モニター、コンピュータ、カーオーディオ等の音響再生装置、家庭用ゲーム機等の記録媒体を備えた画像再生装置等が挙げられる。その具体例について、図 11 を参照して説明する。

20

【0078】

例えば、図 11 (A) の携帯情報端末、図 11 (B) のデジタルビデオカメラ、図 11 (C) の携帯電話、図 11 (D) に示す携帯型のテレビジョン装置、図 11 (E) に示すノート型のコンピュータ、図 11 (F) に示すテレビジョン装置である。それぞれの表示部 2001 ~ 2006 に、本発明を用いた発光装置が用いられる。

【0079】

本発明により、図 11 (A) ~ (E) に示すようなバッテリーを用いているものは、消費電力を削減した分、電子機器の使用時間を長持ちさせることができる。

30

【0080】

また、図 11 (F) にテレビジョン装置のような大型の表示部であっても、ソース信号線駆動回路の発熱が抑えられるため、長時間使用しても発熱による輝度のバラツキが生じにくい。

【実施例 1】

【0081】

実施例 1 に、図 2 に示す実施形態 1 の発光装置を作製した例を示す。なお、実施形態 1 と異なり、図 1 の回路には全て I C を使用した。本実施例の画素部の等価回路構成を図 5 に示す。なお、本発明の画素構造は、図 5 の回路に限定されないことはいうまでもない。

40

【0082】

図 5 に示すように、ソース信号線 112 は、N チャネル型 TFT 120 のソース端子に接続されており、N チャネル型 TFT 120 のドレイン端子は、N チャネル型 TFT 117 のソース端子と接続されている。N チャネル型 TFT 120 と N チャネル型 TFT 117 のゲート端子は、ゲート信号線 114 に接続されている。なお、N チャネル型 TFT 120 と N チャネル型 TFT 117 は、直列に接続された 2 つの TFT として記されているが、作製するときは、チャネルが設けられる半導体層を共有するダブルゲート TFT として、2 つの N チャネル型 TFT 117、120 とを 1 つの TFT で作製されている。

【0083】

画素容量 Cp 116 は、一方の端子が発光素子高電源電位 (ANODE) を与える信号線

50

(電源線) 113 に接続され、他方の端子が N チャネル型 TFT 117 のドレイン端子及び P チャネル型 TFT 118 のゲート端子に接続されている。

【 0084 】

P チャネル型 TFT 118 は、ソース端子が発光素子高電源電位 (ANODE) を与える信号線 113 と接続されており、ドレイン端子が発光素子 119 の陽極に接続されている。

【 0085 】

発光素子 119 は、EL 素子でなり、陽極が P チャネル型 TFT 118 のドレイン端子と接続されており、陰極には、発光素子低電源電位 (CATHODE) に接続されている。

【 0086 】

図 6、図 7 に本実施例の効果を示す測定データを示す。図 6、図 7 とも、バッファの高電源電位 (V BH) を発光素子高電源電位 (ANODE) と等しくなるように同期させたときのデータである。

【 0087 】

図 6 には、発光素子高電源電位 (ANODE) の変化に対する、バッファの低電源電位 (V BL) の変化を示す。図 7 には、発光素子高電源電位 (ANODE) の変化に対する、バッファの低電源電位 (V BL) を供給する信号線 1004 に流れる電流の変化を示す。それぞれ、オペアンプ (OP1) の高電源電位 (V DD1) = 15V、低電源電位 (GND) = 0V とし、発光素子高電源電位 (ANODE) を 5V から 12V まで変化させ、高電源電位 (V1) を 3V、4V、5V とし、発光装置を線順次方式のデジタル階調駆動した。

【 0088 】

図 6 においてバッファの低電源電位 (V BL) = 0V に固定されているデータは、図 1 の回路を備えていない比較例の発光装置のデータに該当する。図 7、図 8 の比較例についても同様である。

【 0089 】

図 6 に示すように、従来の構成では、バッファの低電源電位 (V BL) が 0V に固定されているため、発光素子高電源電位 (ANODE) が上昇すると、バッファのインバータに供給される高電源電位 (V BH) と低電源電位 (V BL) の電位差が大きくなっていることがわかる。

【 0090 】

一方、本実施例では、発光素子高電源電位 (ANODE) の上昇に追従してバッファの低電源電位 (V BL) が上昇することで、比較例に比べて、高電源電位 (V BH) と低電源電位 (V BL) の電位差が小さくなることが、図 6 によって確認できる。

【 0091 】

図 7 から、比較例の表示装置では、バッファの低電源電位 (V BL) が固定されている場合、電流値が発光素子高電源電位 (ANODE) と比例関係であり、発光素子高電源電位 (ANODE) が上昇すると、電流値が大きくなっていたことがわかる。

【 0092 】

一方、本実施例では、発光素子高電源電位 (ANODE) の上昇に比例することなく、発光素子高電源電位 (ANODE) が 7V 以上では、バッファの低電源電位 (V BL) が 3V のときは約 5.6mA、4V のときは約 7mA、5V のときは約 9mA となり、電流値がほぼ一定になっていることが確認できる。

【 0093 】

すなわち、本実施例により、経時変化や温度によって、発光素子高電源電位 (ANODE) が上昇しても、消費電力の上昇が抑えられ、またソース信号線回路の発熱をおさえることができる事が理解できる。

【 0094 】

また、実施例の効果をさらに確認するため発光装置を 1 時間駆動後に測定した、ソース信号線駆動回路の温度、及び画素部の輝度を測定した。図 8 (A)、(B) は、それぞれ、

10

20

30

40

50

実施例、比較例のソース信号線の温度であり、図8(C)、(D)は、それぞれ、実施例、比較例の発光素子の輝度を示す。実施例の発光装置は、発光素子高電源電位(ANODE) = 10V、高電源電位(V1) = 4Vにて固定して、駆動させた。また、比較例の発光装置は発光素子高電源電位(ANODE) = 10Vにて固定し、測定を行った。

【 0 0 9 5 】

図8(A)、(B)から、ソース信号線駆動回路の温度は、本実施例の発光装置が比較例よりも低くなっていることがわかる。図から(A)の実施例は(B)の比較例より平均温度が約5℃低くなる。環境温度による輝度の劣化は2~3℃で影響を受けるため、本発明による5℃の低下は大きな影響と考えられる。すなわち、本実施例により発熱が抑えられ、発熱による輝度のバラツキが抑えられたことがわかる。

10

【 0 0 9 6 】

また、図8(C)に示す実施例では、ソース信号線駆動回路の発熱が抑えられているため、画素部のソース信号線駆動回路付近と中央付近とで、輝度はほぼ等しくなっているのに対し、図8(D)から、比較例は、ソース信号線駆動回路の発熱の影響を受け、ソース信号線駆動回路側の部分の輝度が高くなり、輝度のバラツキが生じていることがわかる。すなわち、本実施例により、発熱による画素部の輝度のバラツキが抑えられていることがわかる。

【 0 0 9 7 】

なお、本実施例では、実施形態1の回路の効果を実証したが、実施形態2の回路も同様の効果が得られることは、以上の実験結果から容易に推測される。

20

【 図面の簡単な説明 】

【 0 0 9 8 】

【図1】実施形態1を説明する図である。

【図2】実施の形態1を説明する図である。

【図3】実施の形態2を説明する図である。

【図4】実施の形態2を説明する図である。

【図5】実施例1の画素部を説明する図である。

【図6】発光素子高電源電位(ANODE)に対する、バッファの低電源電位(VBL)である。

【図7】発光素子高電源電位(ANODE)に対する、バッファの低電源電位(VBL)を供給する信号線に流れる電流である。

30

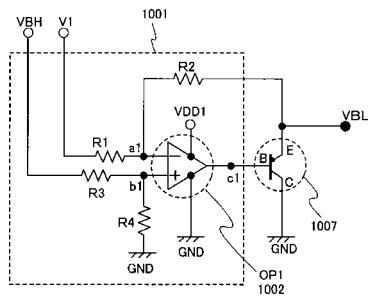
【図8】実施例1、比較例のソース信号線駆動回路の温度分布、及び画素部の輝度分布である。

【図9】デジタル階調方式型のEL表示装置である。

【図10】バッファの等価回路である。

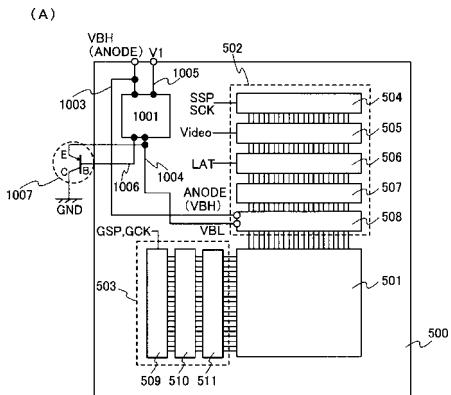
【図11】電子機器の説明である。

【図1】

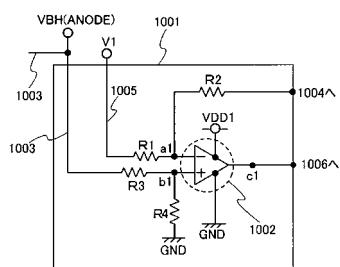


VBH:パッファ高電源電位
VBL:パッファ低電源電位
VDD1:高電源電位

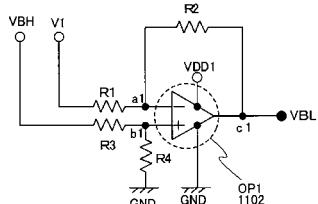
【図2】



(A)

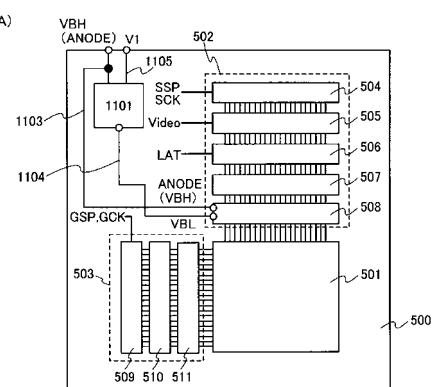


【図3】

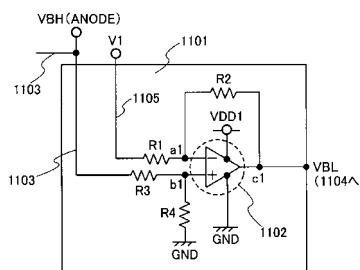


VBH:パッファ高電源電位
VBL:パッファ低電源電位
V1:高電源電位

【図4】

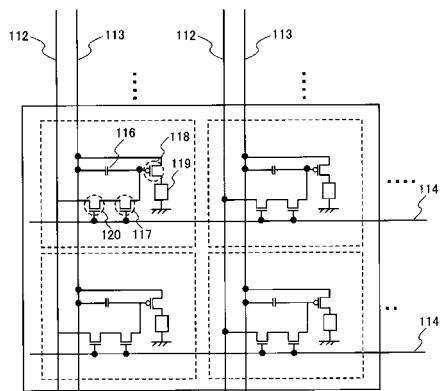


(A)

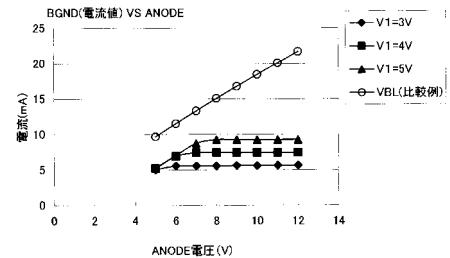


VBH(パッファ高電源電位)
=ANODE(発光素子高電源電位)
VBL:パッファ低電源電位
V1:高電源電位

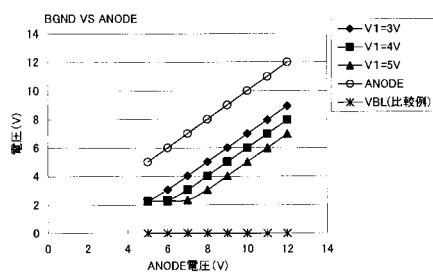
【図5】



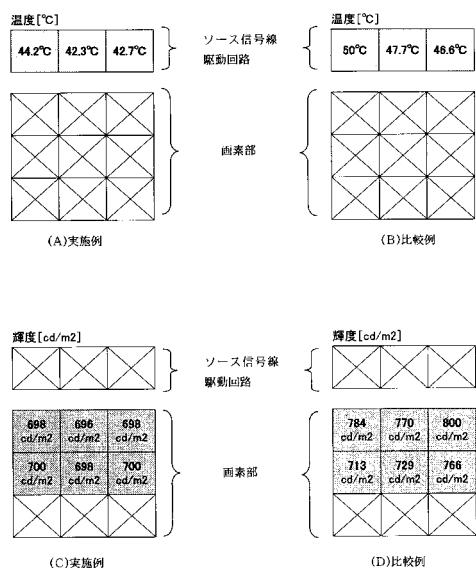
【図7】



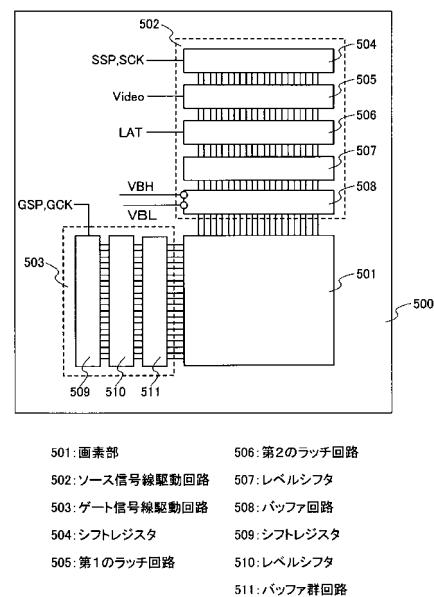
【図6】



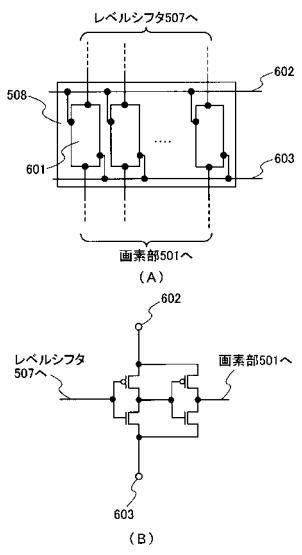
【図8】



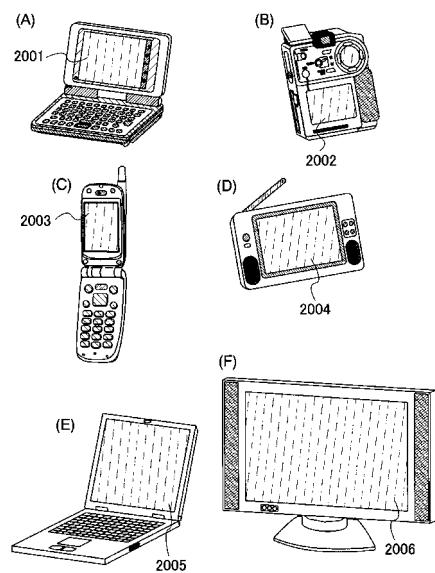
【図9】



【図10】



【図11】



フロントページの続き

(51)Int.Cl.

F I

H 05B 33/14

A

(56)参考文献 特開2002-311898 (JP, A)

特開2005-122076 (JP, A)

特開2003-58106 (JP, A)

特開2004-325568 (JP, A)

特開2005-107003 (JP, A)

特開2003-216105 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 09 G 3 / 3 0

G 09 G 3 / 2 0