

公告

申請日期	P1. 7. 2
案 號	P1114626
類 別	H01L 21/00

A4
C4

(以上各欄由本局填註)

558740

發明專利說明書

一、發明名稱	中 文	突出特徵界定電極間隔之單電子電晶體及製造方法
	英 文	SINGLE-ELECTRON TRANSISTORS AND FABRICATION METHODS IN WHICH A PROJECTING FEATURE DEFINES SPACING BETWEEN ELECTRODES
二、發明人	姓 名	路易斯 C. 布勞希歐 三世 LOUIS C. BROUSSEAU, III
	國 籍	美國 U.S.A.
	住、居所	美國德州奧斯汀市橡木鐘道11400號 11400 OAK KNOIL DRIVE, AUSTIN, TX 78759, U.S.A.
三、申請人	姓 名 (名稱)	美商量子邏輯設計公司 QUANTUM LOGIC DEVICES, INC.
	國 籍	美國 U.S.A.
	住、居所 (事務所)	美國德州奧斯汀市北拉馬路7801號 7801 NORTH LAMAR BLVD, SUITE R-161 AUSTIN, TX 78752, U.S.A.
	代 表 人 姓 名	路易斯 C. 布勞希歐 三世 LOUIS C. BROUSSEAU, III

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
美國 2001年07月13日 09/905,471 ☒有 ☐無 主張優先權

有關微生物已寄存於：

寄存日期：

，寄存號碼：

裝

訂

線

五、發明說明 (1)

發明領域

本發明關於微電子裝置及其製造方法，更特定而言，係關於一單電子電晶體及其製造方法。

發明背景

單電子電晶體(SET)裝置及其製造方法目前正廣泛地為高密度及/或高效能微電子裝置所研究中。如本技藝之專業人士所熟知，單電子電晶體使用單電子奈米電子，其可基於單電子通過奈米級的粒子之流動來運作，其亦稱之為奈米粒子、奈米叢集或量子點。雖然一單電子電晶體在一般性原理中係類似一習用的場效電晶體(FET)，例如一習用的金氧半導體FET(MOSFET)，在一單電子電晶體中，電子的轉移係基於通過該奈米粒子的單電子穿隧而發生。單電子電晶體係揭示於例如美國專利編號 5,420,746; 5,646,420; 5,844,834; 6,057,556及6,159,620，及本發明人Brousseau, III等人的公開文獻中，名為「化學修正的金奈米叢集中pH閘極化的單電子穿隧」(“pH-Gated Single-Electron Tunneling in Chemically Modified Gold Nanoclusters”)，發表於Journal of the American Chemical Society, Vol. 120, No. 30, 1998, 頁7645-7646，及Feldheim等人的文獻，名為「單電子電晶體及相關裝置的自我組裝」(“Self-Assembly of Single Electron Transistors and Related Devices”)，發表於Chemical Society Reviews, Vol. 27, 1998, 頁1-12，及在Klein等人的文獻中，名為「由亞硒酸鎘奈米晶體製成的單電子電晶體」(“A Single-Electron Transistor Made From a

五、發明說明 (2)

Cadmium Selenide Nanocrystal”), 發表於Nature, 1997, 頁699-701, 其揭示內容皆在此完整引用做為參考。

在單電子電晶體技術中的主要突破係揭示於美國專利申請編號09/376,695中, 其名稱為「使用化學閘極化的單電子電晶體之感應裝置」(“Sensing Devices Using Chemically-Gated Single Electron Transistors”), 由Daniel L. Feldheim及本發明人Louis C. Brousseau, III提出, 其係出版成國際申請編號WO 01/13432 A1, 其內容在此完整引用做為參考。此處所述的為一化學閘極化單電子電晶體, 其可調整用於一化學或生物感應器。這些化學閘極化的單電子電晶體的具體實施例包含在一基板上的源極與汲極電極, 及該源極與汲極電極之間的一奈米粒子, 其具有大約12 nm或更小的大小之空間尺寸。一特定分析結合劑係置於該奈米粒子的表面上。一發生在該目標分析物及該結合劑之間的結合事件可造成該單電子電晶體之特徵的一可偵測的改變。

雖然這些及其它單電子電晶體的組態, 其包含化學閘極化的單電子電晶體, 其很難使用習用微影蝕刻來製造這些裝置, 其係用來製造微電子裝置。特別是, 為了提供具有奈米粒子的量子機械效應, 其有需要來提供一單電子電晶體的該源極及汲極電極之間的間隔, 其係小於約20 nm, 或小於約12 nm或約10 nm。但是, 其很難使用習用的微影來以低成本及/或可接受的裝置良率來提供這些間隔。

發明概要

本發明的具體實施例提供單電子電晶體及其製造方法,

五、發明說明(3)

其中一突出特徵，例如一錐體，由一基板的一面突出。一第一電極係提供在延伸到該突出特徵的該基板面上。一第二電極係提供在延伸到該突出特徵上的該基板面上，其相間隔於該第一電極。至少一奈米粒子提供在該第一及第二電極之間的該突出特徵上。因此，該突出特徵的該幾何組態可界定該第一及第二電極之間的間隔。因此該第一及第二電極之間所想要的間隔可不需要高解析度微影蝕刻而得到。

本發明的具體實施例可使用習用微電子製造技術，實現突出特徵，例如錐體，其可製造在一基板上。該突出特徵，例如一錐體，其可具有一小頂點。因此，形成在該突出特徵上的第一及第二電極，其相鄰於該頂點，可在其間具有小間隔，例如小於約20 nm或小於約12 nm，或約10 nm，藉此其很難微影地蝕刻界定在一疊層中的區域，其為例如10 nm寬。因此，單電子電晶體裝置可使用習用微電子技術來製造，其具有低成本及/或高良率的能力。其將可瞭解到，如此處所使用的該術語「頂點」可應用在一錐體表面上的一區域，其中該錐體的側面係相交或彼此接近。該頂點不需要為該錐體的最高或最低點。

根據本發明的其它具體實施例之單電子電晶體包含一基板，其包含由其一面突出的錐體。該錐體包含複數個側面及一頂點。一第一電極係提供在該錐體的一第一側面上，其包含延伸相鄰該頂點之第一電極端點。一第二電極提供在該錐體的第二側面上，並包含延伸相鄰該頂點的一第二

五、發明說明(4)

電極端點，其係相間隔於該第一電極端點。至少一個奈米粒子提供在該頂點上。在一些具體實施例中，該第一電極端點及該第二電極端點係彼此相隔離，其距離該頂點小於約20 nm。在其它具體實施例中，該第一電極端點及該第二電極端點係彼此相隔離，其距離該頂點約10 nm。在一些具體實施例中，該頂點為一點，藉以在其它具體實施例中，該頂點為一平台(即平坦)。

在一些具體實施例中，例如一錐體的該特徵向外突出，其遠離於該基板的面，以提供像是一錐體的特徵，其由該基板面升高。在其它具體實施例中，該特徵，例如一錐體，其由該基板面向內突出到該基板中，以提供一溝渠，例如一錐體形的溝渠，其延伸到該基板中。在一些具體實施例中，該錐體包含四面，及該第一及第二側面，其上提供有該個別的第一及第二電極，其係彼此相對。

在一些具體實施例中，該第一及第二電極在其上並無奈米粒子。在其它具體實施例中，該至少一個奈米粒子包含在該頂點上、該第一電極端點上，及/或在該第二電極端點上的複數個奈米粒子。

在本發明的其它具體實施例中，多個單電子電晶體可提供在一基板上，其包含複數個特徵，例如錐體、複數個第一電極，及複數個第二電極。至少一個奈米粒子可提供在該錐體的該頂點上。該相鄰電晶體的第一及第二電極可電性連接在一起。不同描述地是，一電極可提供為由一錐體的側面延伸到一相鄰錐體的一側面。

五、發明說明(5)

在又一個其它具體實施例中，一自我組裝的單層、一聚合物層及/或其它錨定層，其可提供在該頂點上，而該至少一個奈米粒子可提供在該錨定層上，相對於該頂點。在其它具體實施例中，該錨定層亦可提供在該第一電極端點上及該第二電極端點上。在仍然其它的具體實施例中，一絕緣層可提供在該頂點上。

本發明一些具體實施例可用來形成一電性閘極的單電子電晶體，其中一閘極電極提供在相對於該頂點的該至少一個奈米粒子上。在其它具體實施例中，一化學閘極化的單電子電晶體可藉由在該至少一奈米粒子的表面上一特定分析物結合劑來提供。

根據本發明的方法具體實施例，該單電子電晶體之製造可藉由形成一突出特徵在一基板上，自其一面上突出，形成一第一電極在延伸在該突出特徵上的該基板面上，形成一第二電極在延伸在該突出特徵上的該基板面上，其係相間隔於該第一電極，並放置至少一奈米粒子在該第一及第二電極之間的該突出特徵上。在一些具體實施例中，該突出特徵為一包含一頂點之錐體。一第一電極係形成在該錐體的一第一側面上，其包含延伸相鄰該頂點之第一電極端點。一第二電極形成在該錐體的第二側面上，並包含延伸相鄰該頂點的一第二電極端點，其係相間隔於該第一電極。至少一個奈米粒子放置在該頂點上。

在任何的方法具體實施例中，該突出特徵及/或錐體可向外突出離開該基板面，及/或向內突出來在該基板面中形成

五、發明說明 (6)

一溝渠。在一些方法具體實施例中，該第一及第二電極可由方向性地沉積一導電層來提供。舉例而言，一第一方向性沉積可在該錐體的第一側面上形成一導電層，而一第二方向性沉積可在該錐體的第二側面上形成一導電層。再者，複數個相間隔的突出特徵，例如錐體、複數個第一電極及複數個第二電極，其可製作於一基板上。其亦可製造自我組裝的單層、絕緣層、特定分析物的結合劑及/或閘極電極。因此，一特徵的幾何組態可決定第一及第二電極之間的間距；並藉此允許一單電子電晶體使用習用的微電子處理步驟來製造，而允許高效能及/或高良率。

圖式簡單說明

圖1A, 1B, 2A, 2B, 3A, 3B, 4A, 4B, 5-8, 9A及10-11為根據本發明之具體實施例之單電子電晶體的側橫截面圖。

圖1C, 2C, 3C, 4C及9B為根據本發明之具體實施例的單電子電晶體之俯視圖。

圖12A-12E; 13A-13F及14A-14E為根據本發明之具體實施例的單電子電晶體之側橫截面圖，其係在根據本發明之具體實施例的中間製造步驟期間。

較佳具體實施例之詳細說明

現在將在以下參考所附圖面來更為完整地說明本發明，其中顯示有本發明之具體實施例。但是，此發明可實施於許多不同的形式，其並不必要限制於此處所提出的具體實施例中。而是，所提供的這些具體實施例使得此揭示內容將更為詳盡及完整，並將可完全傳達本發明之範圍給本技

五、發明說明（ 7 ）

藝之專業人士。在圖面中，為了清楚起見，會誇大疊層及區域的厚度。相同的編號在所有圖面中代表相同的元件。

圖1A及1B為側橫截面圖，而圖1C為一俯視圖，其分別針對根據本發明之具體實施例的單電子電晶體。如圖1A及1C所示，該單電子電晶體的這些具體實施例包含一基板100，其具有一表面100a。如本技藝之專業人士所熟知，該基板可包含一習用的單結晶矽基板、一絕緣體上半導體(SOI)基板、一碳化矽、砷化鎵、氮化鎵、鑽石薄膜及/或其它基板，並也可在該基板上包含一或多個異質磊晶及/或同質磊晶層。該基板面100a可為平面或非平面(三度空間)。

請仍參考圖1A及1C，該基板包含一突出特徵，例如一錐體150，其由其表面100a突出。該突出特徵也可視為一地形特徵，其改變了該基板的地形。該錐體150包含複數個側面，其包含有側面150a及150b，及其間的一頂點150c。其將可瞭解到，如此處所使用的該術語「頂點」可應用在一錐體表面上的一區域，其中該錐體的側面係相交或彼此接近。該頂點不需要為該錐體的最高或最低點。

在圖1A中，該錐體150由該基板100的該表面100a向外突出。一第一電極110提供在該錐體的一第一側面150a上，其包含延伸相鄰於該頂點150c之第一電極端點110a。一第二電極120提供在該錐體150的第二側面150b上，並包含延伸相鄰該頂點150c的一第二電極端點120a，其係相間隔於該第一電極端點110a。該第一及第二電極110及120可分別為導電，或可包含其一部份為導電，至少相鄰於該端點110a

五、發明說明 (8)

及120a。該第一及第二電極可包含任何材料，如上述對於該基板100之說明，並亦可包含其它導電材料，例如導電多晶矽、金屬及/或其它導電材料。

雖然該錐體150係示於圖1A及1C中具有四個相同形狀及大小的側面，其可具有不同數目的側面，而該側面在形狀或面積上不需要相等。該側面亦不需要為平面。最後，雖然圖1A及1C所示為一錐體，其它特徵，例如圓錐形端點及/或多面體固體，其由該基板100突出，其亦可使用。

請仍參考圖1A及1C，至少一奈米粒子140係提供在該頂點150c上。該至少一個奈米粒子140之製造係說明於例如上述的Brousseau等人、Feldheim等人及Klein等人的出版文獻，其不需要在此進一步說明。

如圖1A所示，在一些具體實施例中，一自我組裝的單層130係提供在該至少一奈米粒子140及該頂點150c之間。化學交互作用可用於錨定一表面上的一奈米粒子，例如依據Ulman之公開文獻中所說明，其名稱為「自我組裝的單層之形成與結構」(“Formation and Structure of Self-Assembled Monolayers”)，其發表於Chemical Review，1996，頁1533-1554。使用自我組裝奈米層用於附著分子受體探針到表面之處理係描述於Lenigk等人之「一矽晶片為主的DNA微陣列之表面特徵化」(“Surface Characterization of a Silicon-Chip-Based DNA Microarray”)，發表於Langmuir，2001，頁2497-2501。在此引用的這兩個出版文獻的揭示內容係於此完整引用做為參考，其不需要在此處進一步說明。同時，

五、發明說明(9)

一些聚合物已顯示出奈米粒子黏著性的親和性，或可化學地修正來具有一強親和性，其可做為一錨定層。

如圖1A及1C所示，該錐體150的幾何組態可用來控制該第一電極端點110a及該第二電極端點120a之間的間隔，藉以提供其間的量子機械穿隧通過該至少一奈米粒子140。因為該錐體的尺寸可使用習用微電子技術來良好控制在一奈米等級，例如用來製造原子力顯微鏡(AFM)尖端的技術，單電子電晶體所想要的間隔，其可相當便宜地及/或以相當高的良率來得到。

在圖1A及1C的具體實施例中，該突出(地形)特徵，例如該錐體150，向外突出於該基板面。相反地，在圖1B的具體實施例中，該突出(地形)特徵，例如由該基板100的表面100a向內突出的一錐體150'，藉此形成一溝渠，例如一錐體形溝渠。圖1C之俯視圖亦應用於圖1B的具體實施例，其中該突出特徵向內突出到該基板中。其將可瞭解到，向內及向外突出的特徵之組合，例如錐體，其可用於一單一基板上。該溝渠相對於向外突出的結構可具有不同的大小及/或形狀，如上所述。

由尺寸的觀點，該頂點150c可約距離該基板100的面100a有0.05 μm ，而該頂點150c可形成一約70.6°的角度。該錐體一側面的長度可約為3 μm 。該第一及第二電極110及120可約為20 nm厚。但是，這些尺寸僅為說明用，其可使用許多其它尺寸的組合。在一些具體實施例中，該第一端點110a

五、發明說明 (10)

及該第二端點120a之間的間隔可小於約20 nm。在其它具體實施例中，該間隔可小於約12 nm。在另外其它的具體實施例中，該間隔約為10 nm。其它尺寸可用來提供量子-機械性穿隧效應。

該自我組裝的單層130可維持該至少一個奈米粒子140，其同時距離該第一電極端點110a及該第二電極端點120a為約1 nm。但是，在其它具體實施例中亦可使用距離約在0.5 nm到約5 nm之間。其亦可使用其它距離。

在圖1A-1C之具體實施例中，至少一奈米粒子140提供在該頂點150c上，藉此該第一電極端點110a及該第二電極端點110b在其上沒有奈米粒子140。但是，在本發明其它具體實施例中，如圖2A-2C所示，複數個奈米粒子240提供在該頂點150c上、該第一電極端點110a上，及/或在該第二電極端點120a上。再者，該複數個奈米粒子240可隨機地相隔開及/或可間隔在一線性及/或非線性、正交及/或非正交陣列之相等及或非相等(非週期性及/或隨機)將隔開的奈米粒子。該奈米粒子240可具有與該底部層一預定的關係，及/或與其有一隨機的關係。

圖3A-3C及4A-4C為根據本發明其它具體實施例之單電子電晶體的橫截面圖。在這些具體實施例中，一平坦頂點150c'提供例如一Aztec式的錐體，而非圖1-2的埃及式的錐體。其它平頂的突出特徵亦可提供，例如一削去的圓錐體及/或一多面形固體。

再者，於圖3A-3C中，該第一及第二電極為延伸的第一

五、發明說明(11)

及第二電極110'及120'，其亦沿著該基板面100a延伸。延伸的第一及/或第二電極可提供在此處所述的任何具體實施例中。

圖4A-4C描述了具有一平坦頂點150c'之錐體、延伸的電極110'及120'，及在該平頂150c上的一奈米粒子240陣列，在該第一延伸的電極110'之端點上，及/或在該第二延伸的電極120'之端點上。在該第一及/或第二電極端點上的奈米粒子亦可用於此處所述的任何具體實施例中。

圖5及6所示為根據本發明其它具體實施例之單電子電晶體的橫截面圖。在這些具體實施例中，一種包含二氧化矽、氮化矽及/或其它習用絕緣材料之絕緣層或次疊層530, 630，其係提供在該至少一奈米粒子140, 240及該頂點150'、該第一電極端點110a及/或該第二電極端點120a之間。同時，一些聚合物已顯示出奈米粒子黏著性的親和性，或可化學地修正來具有一強親和性，其可做為一錨定層。使用一絕緣層來錨定一奈米粒子係描述於例如 Andres 等人所發表的「庫侖樓梯，在一自我組裝的分子奈米結構中室溫下的單電子穿隧」("Coulomb Staircase" Single Electron Tunneling at Room Temperature in a Self Assembled Molecular Nanostructure)，發表於Science, 1996, Vol. 272, 頁1323-1325，在此引用的這兩個出版文獻的揭示內容係於此完整引用做為參考，其不需要在此處進一步說明。在另外其它具體實施例中，圖5及6之絕緣層530, 630，及此處所述的一自我組裝單層，其可組合來使用。其亦可使用其它

五、發明說明(12)

中間層。

圖7所示為本發明之另外其它具體實施例的橫截面圖，其中一特定分析物結合劑760係提供在該至少一奈米粒子140之表面上，以提供一化學閘極化的單電子電晶體。圖7的該特定分析物結合劑760亦可具有此處所述的任何具體實施例，以提供一化學閘極化的單電子電晶體。特定分析物結合劑係揭示於例如先前引用的Ulman，Lenigk等人，Feldheim等人及Brousseau等人的公開文獻；其不需要在此進一步說明。

圖8所示為本發明其它具體實施例的一橫截面圖，其中一閘極電極860係提供在相對於該頂點150c之至少一個奈米粒子140上，以提供一單電子場效電晶體。其可提供單一層及/或多重層閘極電極。一閘極電極亦可提供在此處所述的任何其它具體實施例中。一絕緣層亦可提供在該閘極電極860及該至少一奈米粒子之間，以提供一絕緣閘極電極。

在所有上述的具體實施例中，僅說明一單電子電晶體。但是，如圖9A-9B所示，在該基板上可提供一單電子電晶體910a-910n之陣列。一維及/或二維、線性及/或非線性、正交及/或非正交陣列可提供為在該單電子電晶體之間の間隔為相等(週期性)及/或非相等(非週期性及/或隨機)。每個單電子電晶體910a-910n可為相等，或至少一些單電子電晶體可為不相似。再者，此處所述的任何具體實施例可用於任何的單電子電晶體910a-910n。

圖9A-9B亦顯示出在一些具體實施例中，在相鄰單電子電

五、發明說明 (13)

晶體之間的該第一及第二電極110及120可電性地彼此連接。該第一及第二電極之這些組態亦可用於此處所述的任何本發明具體實施例中。

圖10所示為一單電子電晶體1010a-1010n之陣列的橫截面圖，其中該第一及第二電極1100及1120並非共形的電極，而是至少部份填入在相鄰錐體150之間的區域。在此處所述的任何具體實施例中亦可提供一或多個非共形的電極。

圖10亦顯示出，在其它具體實施例中，共用的背面接點可由導電通道1030及導電墊1040所提供。適當的絕緣區域可提供來電性絕緣該導電墊1040之間，及/或來絕緣該導電通道1030之間，及/或來自使用來自本技藝專業人士所熟知技術的其它區域。焊料凸塊及/或其它內連線技術可用來電性及/或機械性連接該導電墊1040到一外部裝置。這些及其它外部接點方案可用於此處所述的任何本發明之具體實施例中。藉由提供共用接點，用於定址個別單電子電晶體在一單電子電晶體之陣列中的該接點數目可以降低。圖10的該共用接點及/或接點方案可用於此處所述的任何具體實施例中。

圖11所示為本發明之其它具體實施例的橫截面圖。在圖11中，延伸的第一及第二電極110'及120'係利用一背面接點方案來提供，其包含導電通道1030及接點墊1040，其係配合圖10來說明。

再者，圖11亦說明在該延伸的第一及第二電極110'及120'上的一絕緣層1160的使用，其相對於該基板100。該絕

五、發明說明 (14)

緣層 1160 可包含一疊層或多重次疊層，其含有二氧化矽、氮化矽、一或多個自我組裝單層、一或多個聚合物膜，及/或其它材料可用來保護一裝置來隔離一外部(週遭)環境。該絕緣層 1160 可為一特殊化層，其可根據正使用一化學閘極化的單電子電晶體之週遭環境。該絕緣層 1160 可利用或不利用圖 11 之該延伸的第一及第二電極 110' 及 120' 來使用，及/或此處所述的任何其它具體實施例。

圖 12A-12E 為根據本發明之具體實施例的單電子電晶體之橫截面圖，其係在根據本發明之具體實施例的中間製造步驟期間。這些方法具體實施例可用來製造如圖 11 所示的單電子電晶體。但是，類似的方法具體實施例可用來製造此處所述的其它單電子電晶體。

現在請參考圖 12A，一遮罩區域 1210 係形成在一基板 1200 上，例如藉由在一習用基板上形成包含氮化矽的一習用遮罩，然後使用習用微影蝕刻技術來圖案化。其將可瞭解到，因為該遮罩區域 1210 之寬度不需要決定後續形成的該第一及第二電極之間的間隔，其可使用習用的微影蝕刻技術。其將可瞭解到，該基板 1200 可為一習用的基板，如配合圖 1A 中所述，例如一摻雜多晶矽層，及/或其它在一單晶矽基板上的導電材料。

然後，請參考圖 12B，其可使用該遮罩區域 1210 做為一蝕刻遮罩來執行一非等向性(濕)蝕刻，一等向性蝕刻，例如一反應離子蝕刻(RIE)，及/或其它習用的蝕刻處理，以在一基板 100 上形成像是該錐體 150 的該特徵。其可使用其它習用

五、發明說明 (15)

蝕刻技術及/或其它尖端形成技術，例如選擇性磊晶成長。

現在請參考圖 12C，移除該遮罩區域 1210。該第一電極 110' 之形成例如藉由執行一方向性(有角度)蒸鍍及/或其它方向性沉積，其方向如箭頭 1220 所示。在方向 1220 上的方向性蒸鍍可在該錐體 150 的該第一側面 150a 上形成一第一電極 110'。其將可瞭解到，該基板的部份可適當地遮罩，以在該基板面上提供導電連接。

然後，請參考圖 12D，在一方向 1230 上的一第二方向性(有角度)沉積及/或蒸鍍可執行來在該錐體 150 的該第二側面 150b 上形成該第二電極 120'。其將可瞭解到，該基板的部份可適當地遮罩，以在該基板面上提供導電連接。其亦將可瞭解到，圖 12C 及 12D 的角度化蒸鍍期間及/或之後，可施加充份的熱量，所以在冷卻時，表面張力可拉回該第一及第二電極 110' 及 120' 之第一及第二端點 110a 及 120a 充份遠離該頂點 150c；藉以不會結合在該頂點 150a。因此，可形成兩個緊密相隔的電極。

最後，請參考圖 12E，可執行該錨定自我組裝單層 130 之吸收，例如使用前述的技術。然後至少一奈米粒子 140 即附著於該錨定的自我組裝單層 130、一聚合物層及/或其它錨定層，例如使用前述的技術。通道及/或墊可在圖 12A-12E 中所述的任何步驟之前、期間及/或之後來形成。

圖 13A-13F 為根據本發明之具體實施例的其它單電子電晶體之橫截面圖，其係在根據本發明之具體實施例的中間製造步驟期間。這些方法具體實施例可用於製造單電子電晶

五、發明說明 (16)

體，如圖11所示。但是，類似的方法具體實施例可用於製造其它單電子電晶體，如此處所述。

如圖12A-12D所示，第一及第二電極係形成在一錐體上，或其它類似於圖12A-12D之突出特徵上。然後，請參考圖13E，一凹陷層1310係形成在該錐體150之間。該凹陷層1310可包含一或多個次疊層，其含有二氧化矽、氮化矽、聚醯胺及/或其它材料，其係相容於一後續選擇性蝕刻及/或化學機械研磨處理。該凹陷層1310可由該頂點凹入一距離，其可由該第一及第二電極110'及120'之間所想要的間距所決定。

現在請參考圖13F，化學機械研磨及/或其它習用的技術可用來極性化該結構，並藉此界定該平坦頂點150c'。然後該凹陷層1310可移除，並形成至少一奈米粒子140及一視需要的自我組裝單層130、聚合物層及/或其它錨定層，如配合於圖12E所述。其亦可製造通道及/或墊，其如上所述。

最後，圖14A-14E為根據本發明之其它具體實施例的單電子電晶體之橫截面圖，其係在根據本發明之其它具體實施例的中間製造步驟期間。這些方法具體實施例可用來製造單電子電晶體，如圖7所示。但是，類似的方法具體實施例可用來製造其它單電子電晶體，如此處所述。

現在請參考圖14A，一遮罩區域1410形成在一基板1400上，例如配合圖10A所述。然後，請參考圖14B，其可使用該遮罩區域1410做為一蝕刻遮罩來執行像是一非等向性及/或等向性蝕刻的一種蝕刻，以在該基板100中形成該錐體形的

五、發明說明(17)

溝渠150'。其亦可使用其它習用蝕刻技術及/或其它凹陷的特徵形成技術。

現在請參考圖14C，該遮罩區域1410可移除，並形成該第二電極120'，例如藉由執行該方向1420中的方向性(有角度)沉積，其類似於配合圖12C之說明。然後，請參考圖14D，其可執行一第二方向性沉積；例如沿著方向1430，其方式類似於配合圖12D之說明，並藉此形成該第一電極110'。

最後，請參考圖14E，可執行該錨定自我組裝單層130、聚合物層及/或其它錨定層之吸收，例如使用前述的技術。至少一奈米粒子140，其係附著於該錨定自我組裝的單層130，例如使用前述的技術。其亦可製造通道及/或墊，其如上所述。

因此，本發明的具體實施例可提供陣列，包含緊密相間隔的電極之大陣列。這些電極可允許在每個錐體及/或其它突出特徵的頂點處監測電化學反應。該電極可變化來包含化學特定物於發生在表面處的反應。增進的感應性可能藉由附著奈米級的膠狀粒子到該電極之間的區域來構成，其可產生單電子電晶體。該膠體可利用特定化學受體及/或分子來功能化，以引入特定性到這些反應中。

根據本發明具體實施例，單電子電晶體或其陣列，其可例如做為在生物測定之微滴定板之井中的感應平台。然後，相較於習用較大的電極即具有增進的感應性，其可有利於藥物發展及/或生物化學。其小尺寸亦可提供直接插入該陣列到活細胞中，其可允許活有機體化學研究及/或直接映

四、中文發明摘要（發明之名稱： 突出特徵界定電極間隔之單電子電晶體及製造方法)

本發明揭示一種單電子電晶體，其包含一突出特徵，例如一錐體，其可由一基板的一面上突出。一第一電極提供於該基板面上，其延伸到該突出特徵上。一第二電極提供在該基板面上，其延伸到該突出特徵上，並相間隔於該第一電極。至少一奈米粒子提供在該第一及第二電極之間的突出特徵上。因此，該突出特徵的幾何組態可界定該第一及第二電極之間的間隔。該單電子電晶體之製造可藉由形成一突出特徵在一基板上，自其一面上突出，形成一第一電極在延伸在該突出特徵上的基板面上，形成一第二電極在延伸在該突出特徵上的基板面上，其係相間隔於該第一電極，並放置至少一奈米粒子在該第一及第二電極之間的突出特徵上。

英文發明摘要（發明之名稱： SINGLE-ELECTRON TRANSISTORS AND FABRICATION METHODS IN WHICH A PROJECTING FEATURE DEFINES SPACING BETWEEN ELECTRODES)

A single-electron transistor includes a projecting feature, such as a pyramid, that projects from a face of a substrate. A first electrode is provided on the substrate face that extends onto the projecting feature. A second electrode is provided on the substrate face that extends onto the projecting feature and that is spaced apart from the first electrode. At least one nanoparticle is provided on the projecting feature between the first and second electrodes. Accordingly, the geometric configuration of the projecting feature can define the spacing between the first and second electrodes. The single-electron transistors may be fabricated by forming a projecting feature on a substrate that projects from a face thereof, forming a first electrode on the substrate face that extends onto the projecting feature, forming a second electrode on the substrate face that extends onto the projecting feature and that is spaced apart from the first electrode, and placing at least one nanoparticle on the projecting feature between the first and second electrodes.

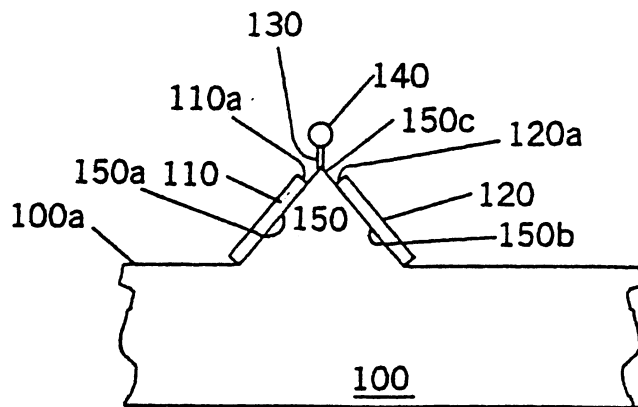


圖 1A

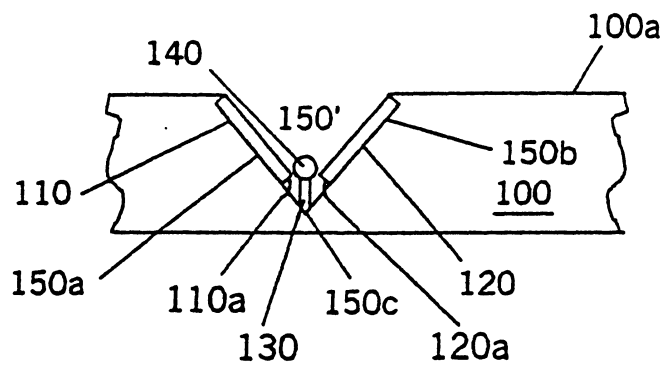


圖 1B

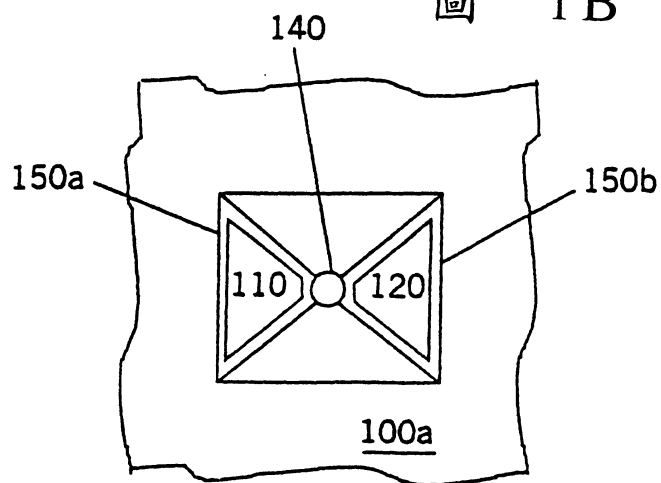


圖 1C

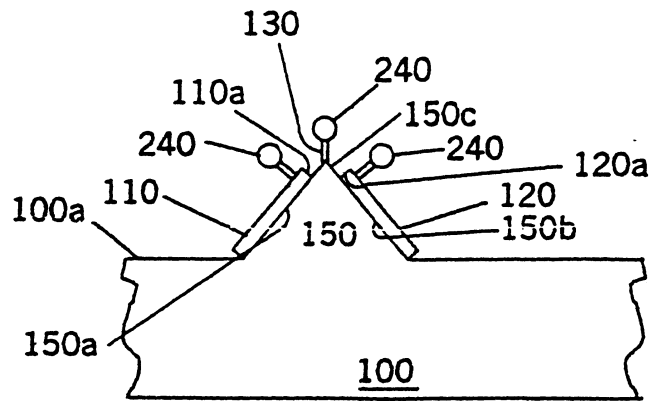


圖 2A

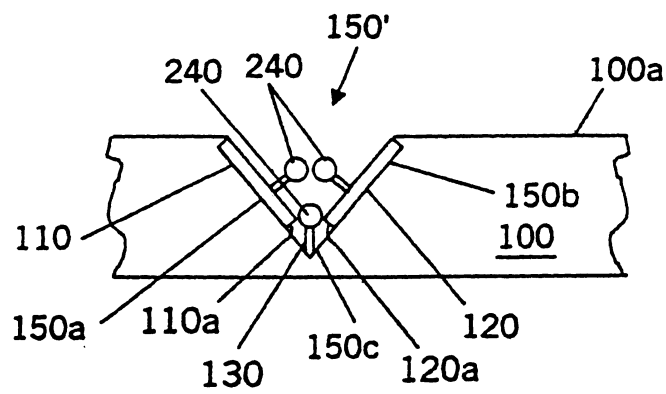


圖 2B

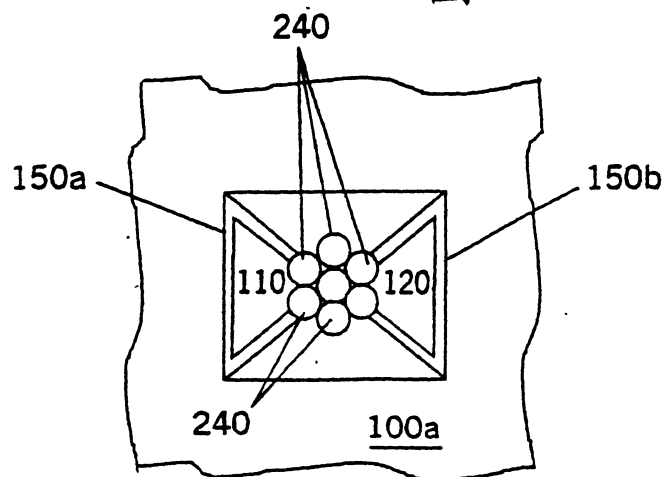


圖 2C

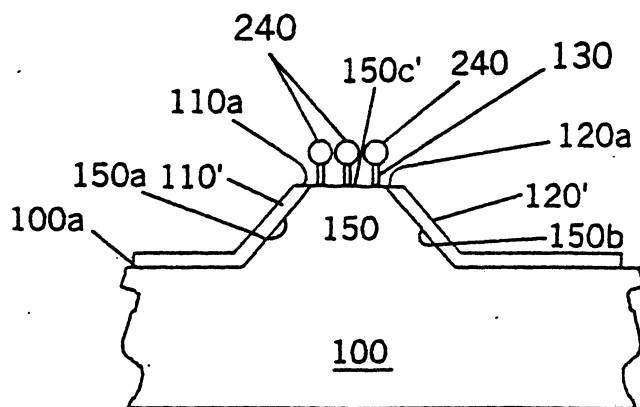


圖 3A

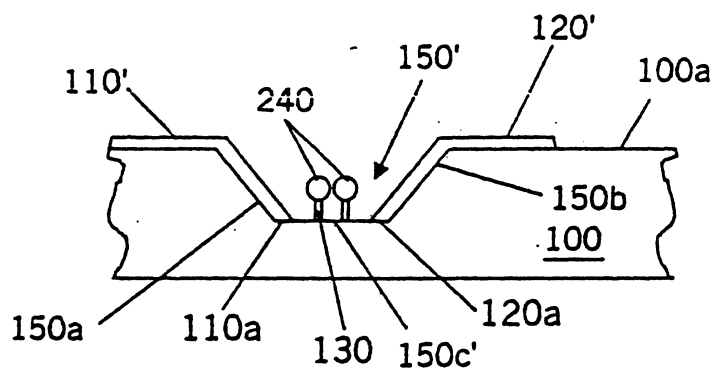


圖 3B

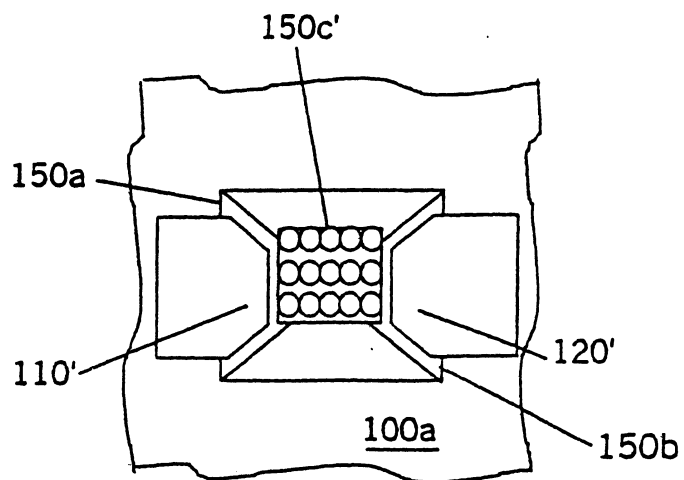


圖 3C

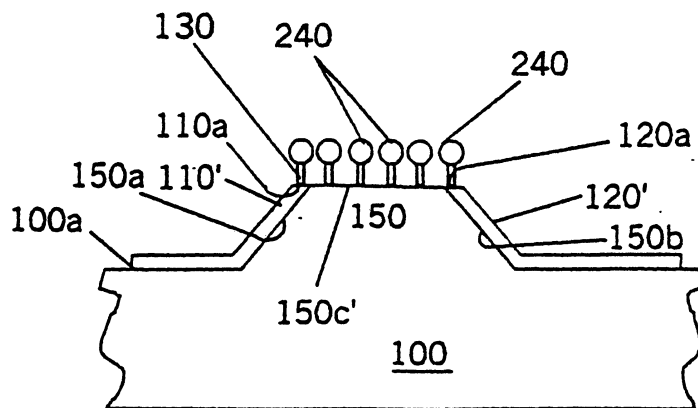


圖 4A

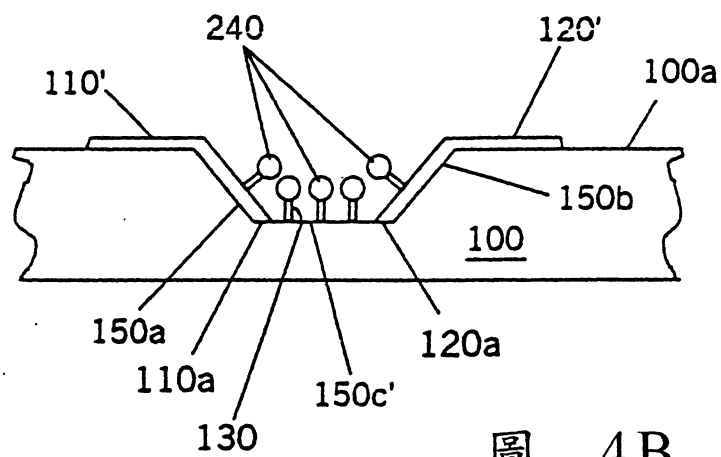


圖 4B

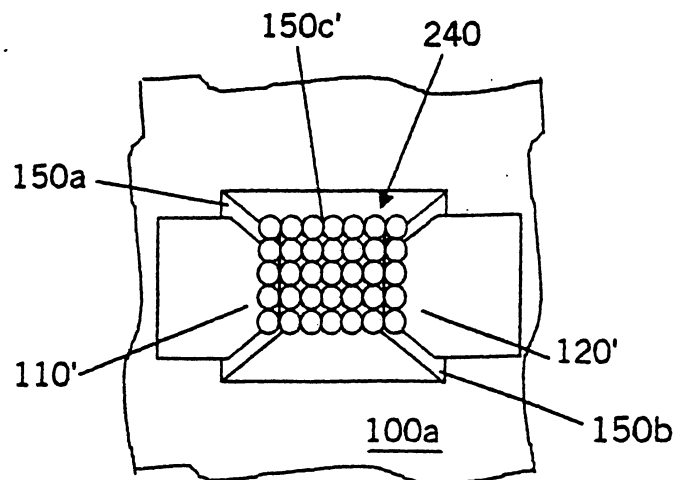


圖 4C

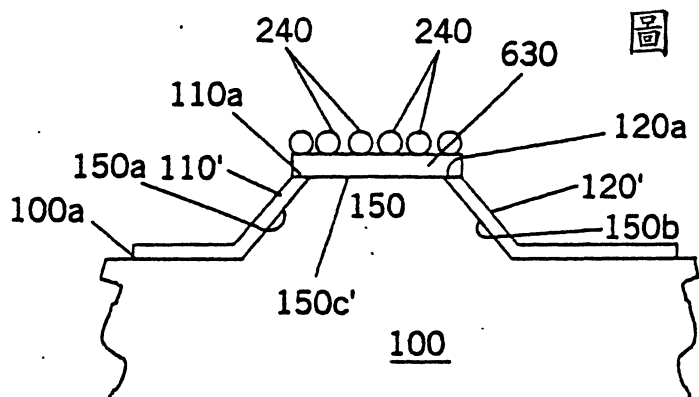
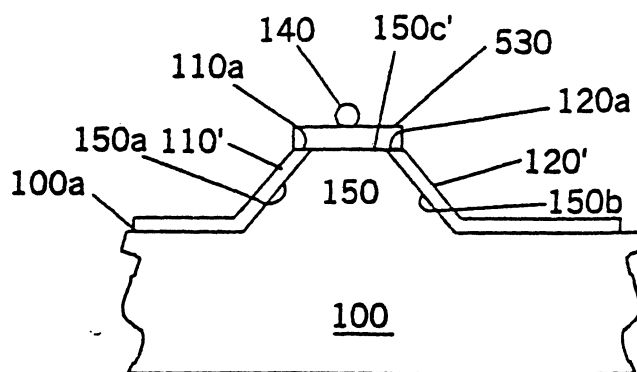


圖 6

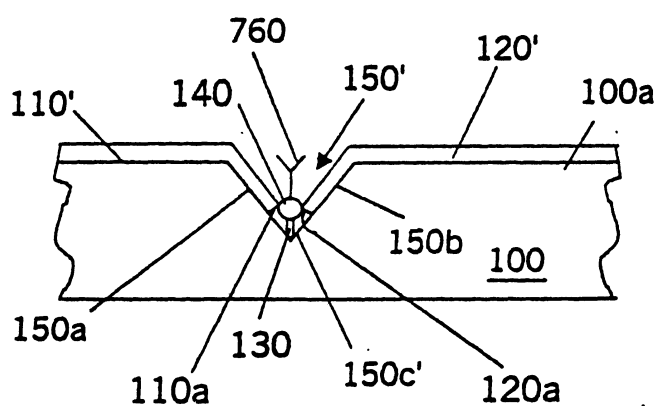


圖 7

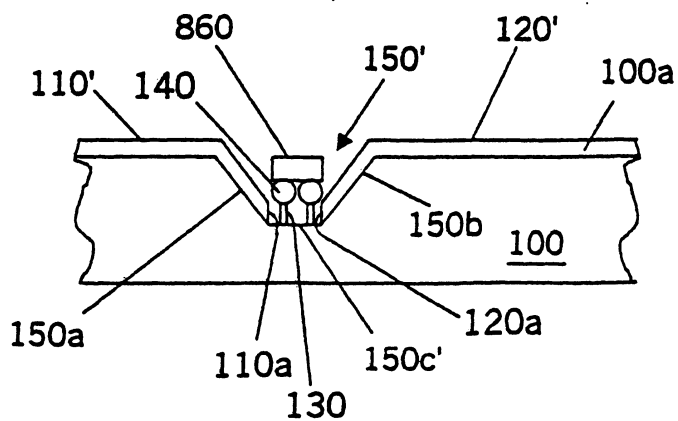


圖 8

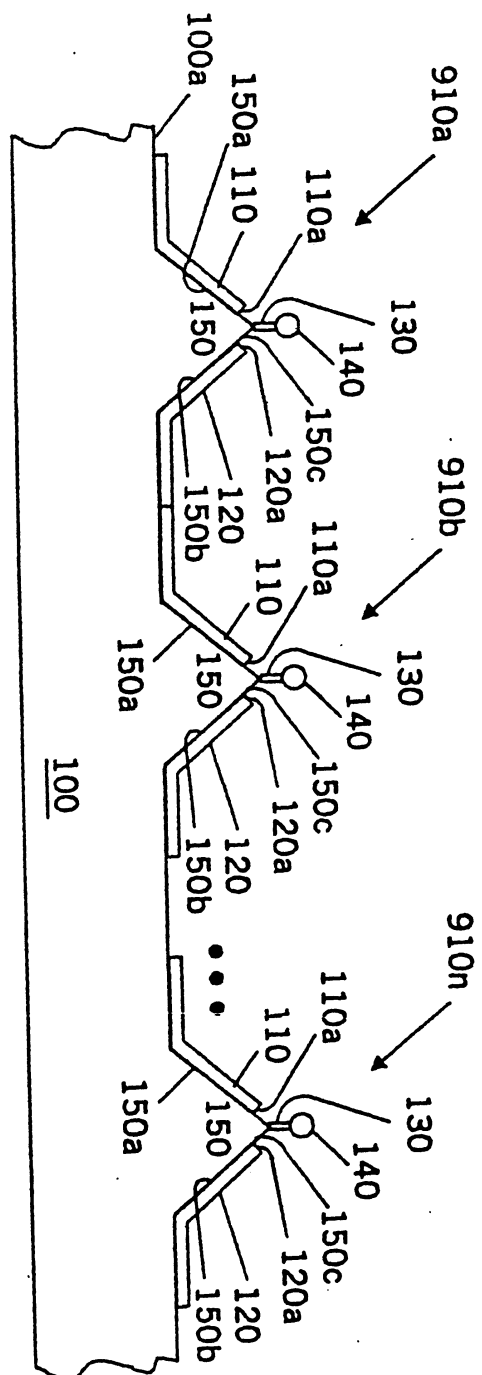


圖 9A

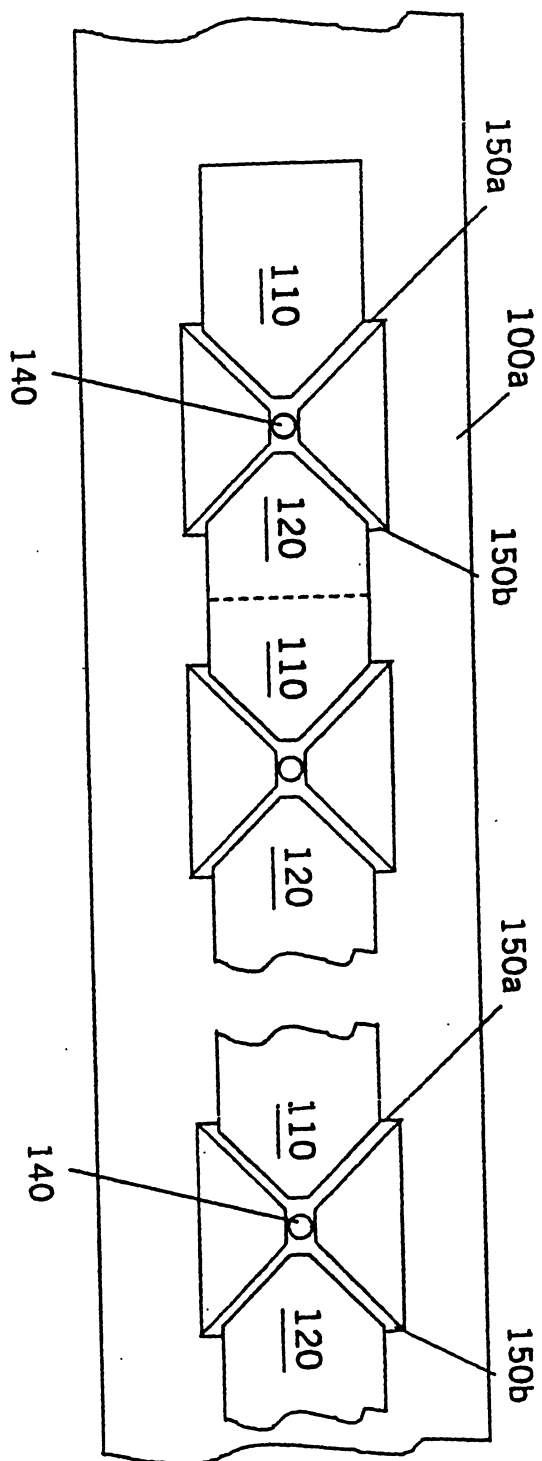


圖 9B

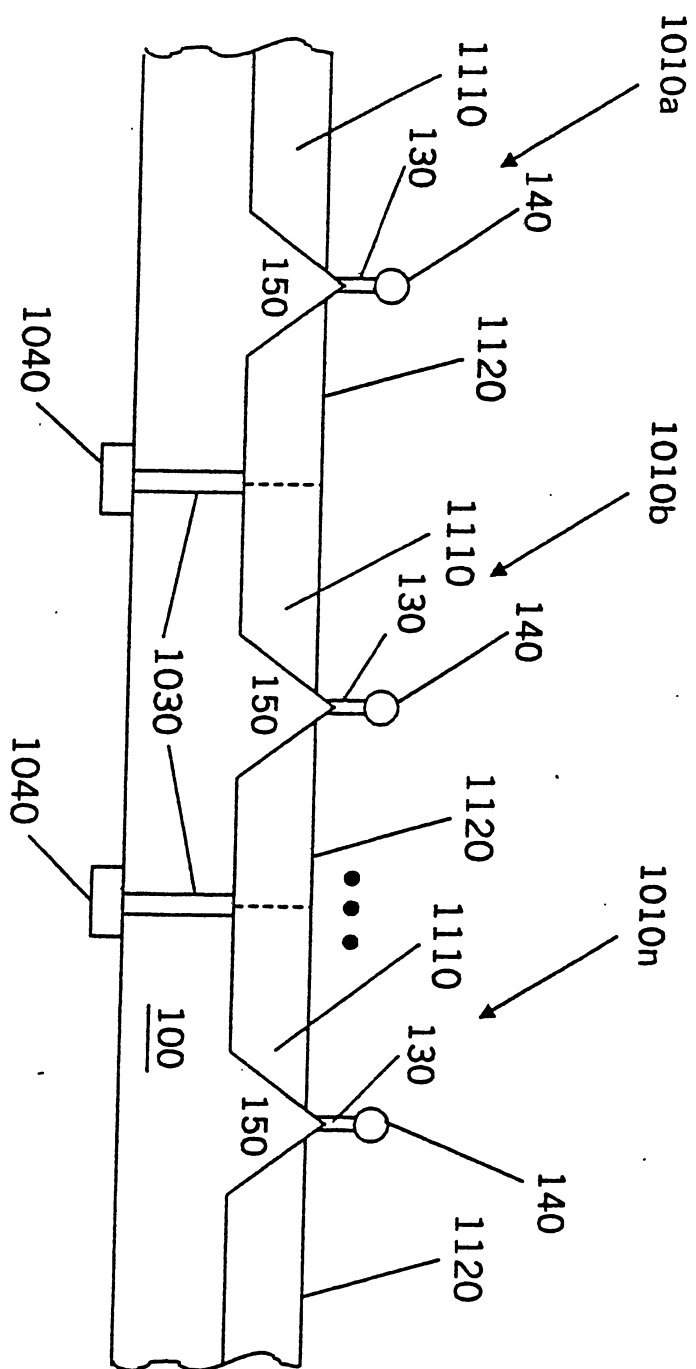


圖 10

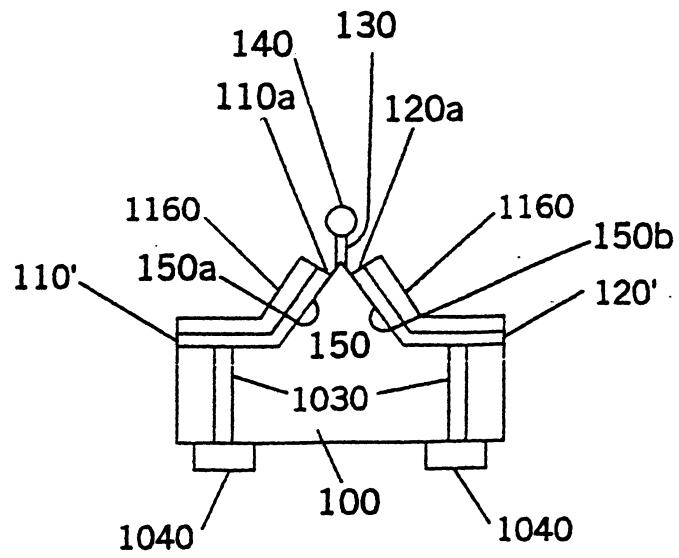


圖 11

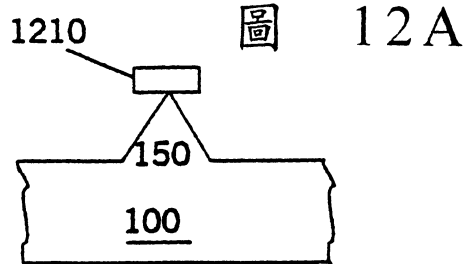
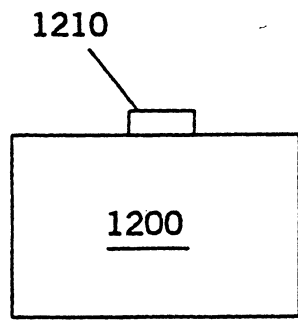


圖 12B

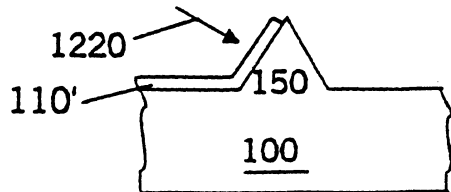


圖 12C

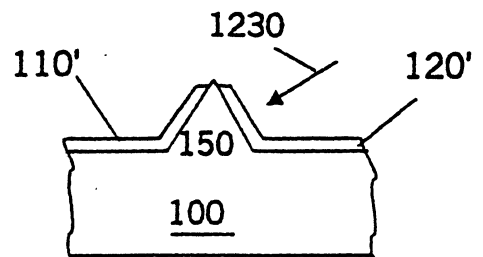


圖 12D

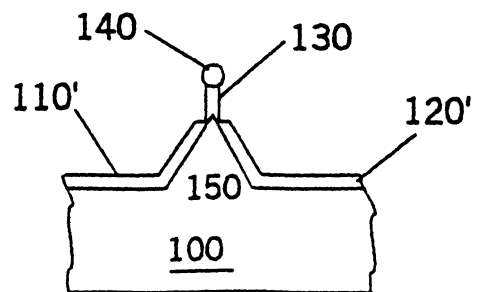


圖 12E

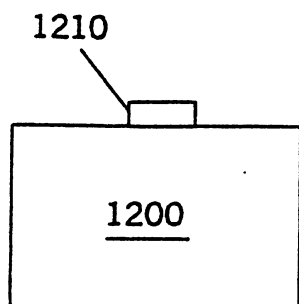


圖 13A

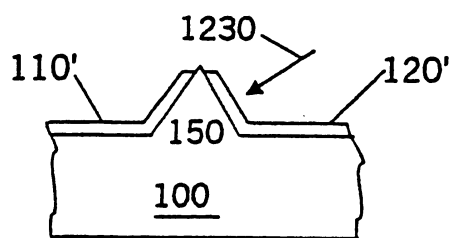


圖 13D

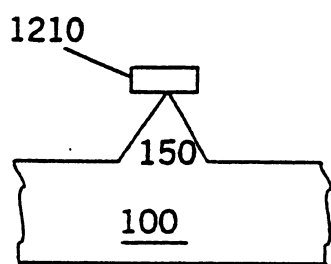


圖 13B

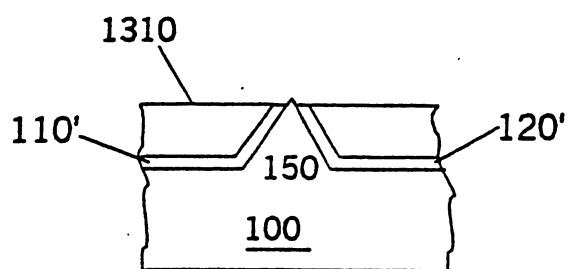


圖 13E

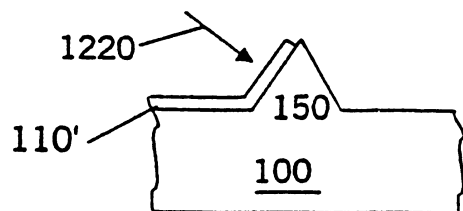


圖 13C

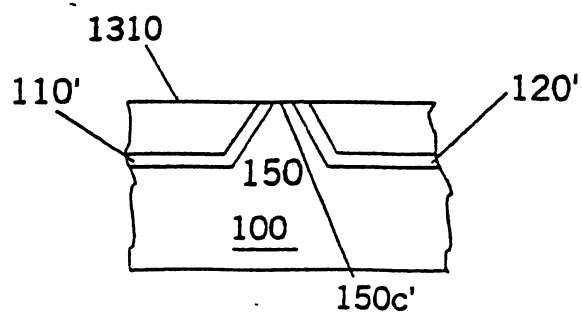


圖 13F

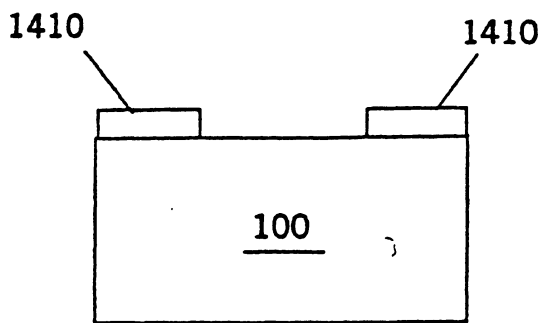


圖 14A

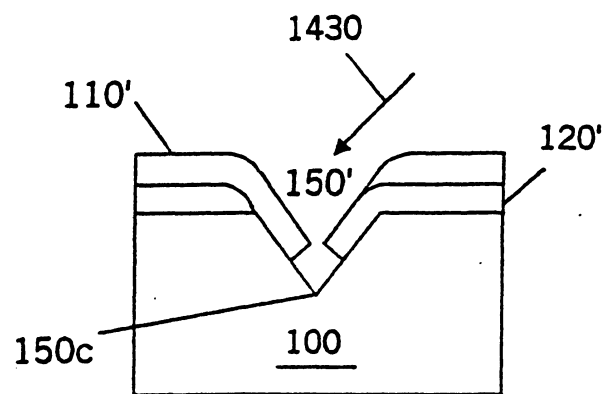


圖 14D

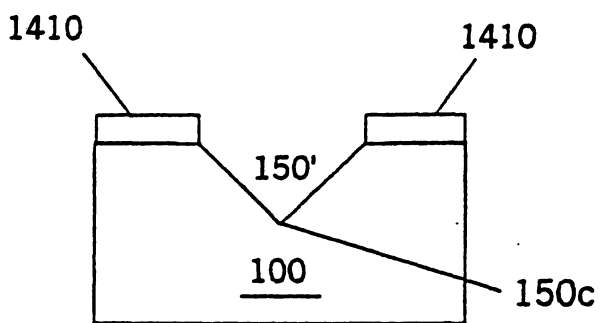


圖 14B

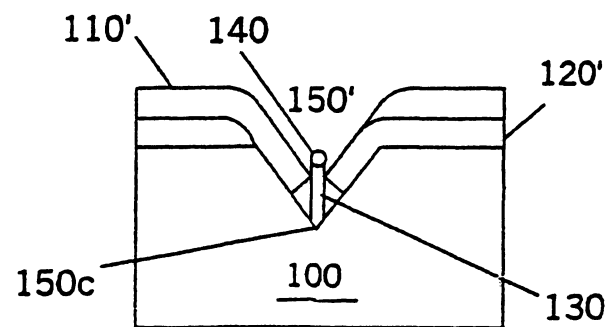


圖 14E

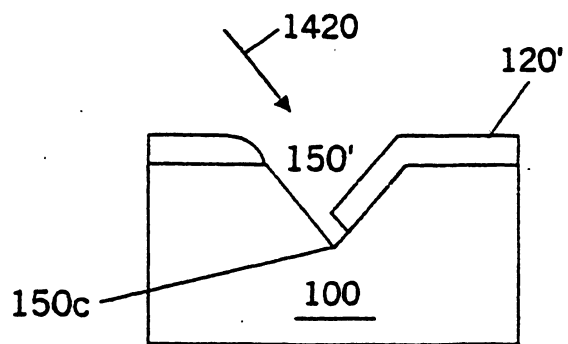


圖 14C

五、發明說明 (18)

射該細胞內的化學路徑及或濃度。

在圖面及說明文件中，其已經揭示典型的本發明之較佳具體實施例，其雖然使用特定的術語，其係僅做為原始及說明性的意義，並非做為限制之用，本發明之範圍係提出在以下的申請專利範圍中。

元件符號說明

100	基板	910a-910n	單電子電晶體
100a	面	1010a-1010n	單電子電晶體
110	第一電極	1100, 1120	電極
110a	第一電極端點	1030	導電通道
120	第二電極	1040	導電墊
120a	第二電極端點	1160	絕緣層
130	自我組裝單層	1210	遮罩區域
140	奈米粒子	1310	凹陷層
150	錐體	1410	遮罩區域
150a	第一面	SET	單電子電晶體
150b	第二面	FET	場效電晶體
150c	頂點	MOSFET	金氧半導體FET
240	奈米粒子	SOI	絕緣體上半導體
530, 630	次疊層	AFM	原子力顯微鏡
760	特定分析物結合劑	RIE	反應離子蝕刻
860	閘極電極		

六、申請專利範圍

1. 一種單電子電晶體，其包含：

一基板，其包含由其一面突出之一錐體，該錐體包含複數個側面及一頂點；

位在該錐體之一第一側面上之一第一電極，並包含延伸相鄰於該頂點之一第一電極端點；

一位在該錐體的一第二側面上的第二電極，並包含延伸相鄰於該頂點之一第二電極端點，且此相間隔於該第一電極端點；及

至少一個奈米粒子在該頂點上。

2. 如申請專利範圍第1項之單電子電晶體，其中該錐體由該基板的面向外突出。
3. 如申請專利範圍第1項之單電子電晶體，其中該錐體包含一錐體形溝渠，其由該基板的面向內突出到該基板中。
4. 如申請專利範圍第1項之單電子電晶體，其中該第一電極端點及該第二電極端點之相鄰於該頂點之間隔小於約20 nm。
5. 如申請專利範圍第1項之單電子電晶體，其中該第一電極端點及該第二電極端點之相鄰於該頂點之間隔小於約10 nm。
6. 如申請專利範圍第1項之單電子電晶體，其中該頂點係一點。
7. 如申請專利範圍第1項之單電子電晶體，其中該頂點係一平台。
8. 如申請專利範圍第1項之單電子電晶體，其中該錐體包含四側面，而其中該第一及第二側面在該錐體上彼此

六、申請專利範圍

相對。

9. 如申請專利範圍第1項之單電子電晶體，其中該第一及第二電極上並無奈米粒子。

10. 如申請專利範圍第1項之單電子電晶體，其中該至少一奈米粒子包含在該頂點上、該第一電極端點上及在該第二電極端點上之複數個奈米粒子。

11. 如申請專利範圍第1項之單電子電晶體，其結合於：

由該基板的該面突出之一第二錐體，該第二錐體包含複數個側面及一頂點；

在該第二錐體之一第一側面上之一第三電極，並包含延伸相鄰於該第二錐體的頂點之一第三電極端點；

位在該第二錐體之一第二側面上之一第四電極，並包含延伸相鄰於該第二錐體的頂點之一第四電極端點，且此相間隔於該第三電極端點；及

在該第二錐體的頂點上至少一奈米粒子。

12. 如申請專利範圍第11項之單電子電晶體，其中該第三電極係相鄰於該第二電極。

13. 如申請專利範圍第11項之單電子電晶體，其中該第三電極及該第二電極係彼此電連接。

14. 如申請專利範圍第1項之單電子電晶體，其結合於：

由該基板的面突出之一第二錐體，該第二錐體包含複數個側面及一頂點，該第二電極延伸在該第二錐體之一第一側面上，並包含延伸相鄰於該第二錐體的頂點之一第二電極端點；

位在該第二錐體之一第二側面上之一第三電極，並包

六、申請專利範圍

含延伸相鄰於該第二錐體的頂點之一第二電極端點，且此相間隔於該第二電極端點；及

在該第二錐體的頂點上至少一奈米粒子。

15. 如申請專利範圍第1項之單電子電晶體，其進一步包含：

在該頂點上之一自我組裝單層，其中該至少一奈米粒子係在該自我組裝單層上，其相對於該頂點。

16. 如申請專利範圍第1項之單電子電晶體，其進一步包含：

在該頂點上，在該第一電極端點及在該第二電極端點上之一自我組裝單層，其中該至少一奈米粒子係在該自我組裝單層上，其相對於該頂點、該第一電極端點及該第二電極端點。

17. 如申請專利範圍第1項之單電子電晶體，其進一步包含：

在該頂點上之一錨定層，其中該至少一奈米粒子係在相對於該頂點之錨定層上。

18. 如申請專利範圍第1項之單電子電晶體，其進一步包含：

一特定分析物結合劑，其在該至少一奈米粒子之一表面上，以提供一化學閘極化之單電子電晶體。

19. 如申請專利範圍第1項之單電子電晶體，其進一步包含：

一閘極電極，其在該至少一奈米粒子上，以提供一單電子場效電晶體。

20. 一種單電子電晶體，其包含：

一基板，其包含由其一面突出之一突出特徵；

一第一電極，其位在延伸於該突出特徵上的基板面上；

一第二電極，其位在延伸於該突出特徵上的基板面上

六、申請專利範圍

，並相間隔於該第一電極；及

至少一奈米粒子，其在該第一及第二電極之間的突出特徵上。

21. 如申請專利範圍第20項之單電子電晶體，其中該突出特徵由該基板的面向外突出。
22. 如申請專利範圍第20項之單電子電晶體，其中該突出特徵包含一溝渠，其由該基板的面向內突出到該基板中。
23. 如申請專利範圍第20項之單電子電晶體，其中該第一電極及該第二電極在該突出特徵上相隔小於約20 nm。
24. 如申請專利範圍第20項之單電子電晶體，其中該第一電極及該第二電極在該突出特徵上相隔小於約10 nm。
25. 如申請專利範圍第20項之單電子電晶體，其進一步包含：

一自我組裝之單層，其位在該相隔開的第一及第二電極之間的突出特徵上，其中該至少一奈米粒子係在該自我組裝之單層上，其相對於該突出特徵。
26. 如申請專利範圍第20項之單電子電晶體，其進一步包含：

一自我組裝之單層，其位在該相隔開的第一及第二電極之間之突出特徵上，該第一電極上及該第二電極上，其中該至少一奈米粒子係在該自我組裝之單層上，其相對於該相隔開的第一及第二電極、該第一電極及該第二電極之間的突出特徵。
27. 如申請專利範圍第20項之單電子電晶體，其進一步包含：

六、申請專利範圍

一錨定層，其位在該相隔開的第一及第二電極之間之突出特徵上，其中該至少一奈米粒子係在該錨定層上，其相對於該相隔開的第一及第二電極之間的突出特徵。

28. 如申請專利範圍第20項之單電子電晶體，其進一步包含：

一特定分析物結合劑，位在該至少一奈米粒子之一表面上，以提供一化學閘極化之單電子電晶體。

29. 如申請專利範圍第20項之單電子電晶體，其進一步包含：

一閘極電極，其在該至少一奈米粒子上，以提供一單電子場效電晶體。

30. 一種製造一單電子電晶體之方法，其包含：

形成一錐體在一基板上，其突出於其一面，該錐體包含複數個側面及一頂點；

形成位在該錐體之一第一側面上之一第一電極，並包含延伸相鄰於該頂點之一第一電極端點；

形成位在該錐體之一第二側面上之一第二電極，並包含延伸相鄰於該頂點之一第二電極端點，且此相間隔於該第一電極；及

在該頂點上放置至少一奈米粒子。

31. 如申請專利範圍第30項之方法，其中形成一錐體包含形成由該基板的面向外突出之一錐體。
32. 如申請專利範圍第30項之方法，其中形成一錐體包含一錐體形溝渠，其由該基板的面向內突出到該基板中。
33. 如申請專利範圍第30項之方法，其中形成一第一電極包

六、申請專利範圍

- 含方向性沉積一導電層在該錐體的第一側面上。
34. 如申請專利範圍第30項之方法，其中形成一第二電極包含方向性沉積一導電層在該錐體的第二側面上。
35. 如申請專利範圍第30項之方法，其中形成一錐體包含平坦化該頂點。
36. 如申請專利範圍第30項之方法，其中該錐體包含四側面，而其中該第一及第二側面在該錐體上彼此相對。
37. 如申請專利範圍第30項之方法，其中放置至少一奈米粒子在該頂點上包含放置至少一奈米粒子在該頂點上，但並未在該第一及第二電極上。
38. 如申請專利範圍第30項之方法，其中放置至少一奈米粒子在該頂點上包含放置至少一奈米粒子在該頂點上，且在至少該第一及第二電極之一部份上。
39. 如申請專利範圍第30項之方法，其中形成一錐體包含形成複數個相隔開的錐體在一基板上，其突出於其一面，各錐體包含複數個側面及一頂點；其中形成一第一電極包含形成複數個第一電極在該錐體之相對應第一側面上，各第一電極包含延伸相鄰於該相對應的頂點之一第一電極端點；其中形成一第二電極包含形成複數個第二電極在該錐體之相對應第二側面上，各第二電極包含延伸相鄰於該相對應的頂點之一第二電極端點，並且相間隔於該相對應之第一電極；及其中放置至少一奈米粒子包含在各頂點上放置至少一奈米粒子。
40. 如申請專利範圍第30項之方法，其中以下步驟係在該放置之前執行：

六、申請專利範圍

形成一自我組裝單層在該頂點上；及

其中放置包含放置該至少一奈米粒子在該自我組裝的單層上，其相對於該頂點。

41. 如申請專利範圍第30項之方法，其中以下步驟係在該放置之前執行：

形成一錨定層在該頂點上；及

其中放置包含放置該至少一奈米粒子在該錨定層上，其相對於該頂點。

42. 如申請專利範圍第30項之方法，該方法進一步包含：

形成一特定分析物結合劑在該至少一奈米粒子之一表面上，以提供一化學閘極化之單電子電晶體。

43. 如申請專利範圍第30項之方法，該方法進一步包含：

形成一閘極電極在該至少一奈米粒子上，以提供一單電子場效電晶體。

44. 一種製造一單電子電晶體之方法，其包含：

形成一突出特徵在一基板上，其係突出於其一面；

形成一第一電極在該基板面上，其延伸到該突出特徵上；

形成一第二電極在延伸於該突出特徵上的基板面上，並相間隔於該第一電極；及

放置至少一奈米粒子在該第一及第二電極之間的突出特徵上。

45. 如申請專利範圍第44項之方法，其中形成一突出特徵包含形成由該基板的面向外突出之一突出特徵。

46. 如申請專利範圍第44項之方法，其中形成一突出特徵包

六、申請專利範圍

- 含形成一溝渠，其由該基板的面向內突出到該基板中。
47. 如申請專利範圍第44項之方法，其中形成一第一電極包含方向性沉積一導電層在該突出特徵上。
48. 如申請專利範圍第44項之方法，其中形成一第二電極包含方向性沉積一導電層在該突出特徵上。
49. 如申請專利範圍第44項之方法，其中放置至少一奈米粒子在該突出特徵上包含在第一及第二電極之間放置至少一奈米粒子在突出特徵上，但並未在該第一及第二電極上。
50. 如申請專利範圍第44項之方法，其中放置至少一奈米粒子在該突出特徵上包含放置至少一奈米粒子在該第一及第二電極之間的突出特徵上，且在該第一及第二電極上。
51. 如申請專利範圍第44項之方法，其中放置至少一奈米粒子在該頂點上包含放置至少一奈米粒子在該頂點上，且在至少該第一及第二電極之一部份上。
52. 如申請專利範圍第44項之方法，其中形成一突出特徵包含形成複數個相隔開的突出特徵在一基板上，並突出於其一面；其中形成一第一電極包含形成複數個第一電極在該基板面上，其各延伸在各突出特徵上；其中形成一第二電極包含形成複數個第二電極在該基板面上，其各延伸在各突出特徵上，並相間隔於該相對應的第一電極；及其中放置至少一奈米粒子包含放置至少一奈米粒子在該第一及第二電極之間的各突出特徵上。
53. 如申請專利範圍第44項之方法，其中以下步驟係在該放

六、申請專利範圍

置之前執行：

形成一自我組裝的單層在該第一及第二電極之間的突出特徵上；及

其中放置包含放置該至少一奈米粒子在該自我組裝的單層上，其相對於該第一及第二電極之間的突出特徵。

54. 如申請專利範圍第44項之方法，其中以下步驟係在該放置之前執行：

形成一錨定層在該第一及第二電極之間的突出特徵上；及

其中該放置包含放置該至少一奈米粒子在該錨定層上，其相對於該第一及第二電極之間的突出特徵。

55. 如申請專利範圍第44項之方法，該方法進一步包含：

形成一特定分析物結合劑在該至少一奈米粒子之一表面上，以提供一化學閘極化之單電子電晶體。

56. 如申請專利範圍第44項之方法，該方法進一步包含：

形成一閘極電極在該至少一奈米粒子上，以提供一單電子場效電晶體。