

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6979939号
(P6979939)

(45) 発行日 令和3年12月15日(2021.12.15)

(24) 登録日 令和3年11月18日(2021.11.18)

(51) Int.Cl. F I
G O 1 R 31/26 (2020.01) G O 1 R 31/26 B

請求項の数 16 (全 15 頁)

(21) 出願番号	特願2018-233999 (P2018-233999)	(73) 特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(22) 出願日	平成30年12月14日(2018.12.14)	(74) 代理人	100088672 弁理士 吉竹 英俊
(65) 公開番号	特開2020-94951 (P2020-94951A)	(74) 代理人	100088845 弁理士 有田 貴弘
(43) 公開日	令和2年6月18日(2020.6.18)	(72) 発明者	古家 敏幸 東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内
審査請求日	令和3年1月7日(2021.1.7)	(72) 発明者	竹田 健 東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置の試験装置

(57) 【特許請求の範囲】

【請求項1】

正極側入力端子と負極側入力端子との間に直列接続した正極側スイッチング素子および負極側スイッチング素子を含むハーフブリッジ回路を試験対象とする半導体装置の試験装置であって、

前記ハーフブリッジ回路の前記正極側入力端子と前記負極側入力端子との間に電圧を印加する電源回路と、

前記ハーフブリッジ回路の前記正極側スイッチング素子および前記負極側スイッチング素子を交互にオンさせる駆動回路と、

前記ハーフブリッジ回路から絶縁されており、前記ハーフブリッジ回路に流れる電流を検出する電流センサと、

前記電流センサにより検出された電流を測定する電流測定回路と、

前記電流測定回路により測定された電流に基づいて、前記正極側スイッチング素子および前記負極側スイッチング素子それぞれの主電極間電圧の時間変化量である dv/dt 値を算出する演算回路と、

を備え、

前記演算回路は、

前記電源回路が前記正極側入力端子と前記負極側入力端子との間に電圧を印加し、且つ、前記正極側スイッチング素子と前記負極側スイッチング素子との接続ノードである交流出力端子に負荷が接続されていない状態で、前記駆動回路が前記負極側スイッチング素子

10

20

をオンさせたときに前記電流測定回路により測定される前記正極側スイッチング素子のリカバリ電流のピーク値に基づいて前記正極側スイッチング素子の dv/dt 値を算出し、前記駆動回路が前記正極側スイッチング素子をオンさせたときに前記電流測定回路により測定される前記負極側スイッチング素子のリカバリ電流のピーク値に基づいて前記負極側スイッチング素子の dv/dt 値を算出する第 1 の演算回路を備える、
半導体装置の試験装置。

【請求項 2】

前記第 1 の演算回路により算出される前記正極側スイッチング素子または前記負極側スイッチング素子の dv/dt 値とその設定値との差を小さくするように、前記電源回路の出力電圧または前記駆動回路の出力電圧を制御する第 1 のフィードバック制御回路をさらに備える、
請求項 1 に記載の半導体装置の試験装置。

10

【請求項 3】

前記演算回路は、

前記電源回路が前記正極側入力端子と前記負極側入力端子との間に電圧を印加し、且つ、前記交流出力端子に負荷が接続されていない状態で、前記駆動回路が前記負極側スイッチング素子をオンさせたときに前記電流測定回路により測定される前記正極側スイッチング素子のリカバリ電流の波形から求めたリカバリ時間に基づいて前記正極側スイッチング素子の dv/dt 値を算出し、前記駆動回路が前記正極側スイッチング素子をオンさせたときに前記電流測定回路により測定される前記負極側スイッチング素子のリカバリ電流の波形から求めたリカバリ時間に基づいて前記負極側スイッチング素子の dv/dt 値を算出する第 2 の演算回路と、

20

前記第 1 の演算回路により算出される前記正極側スイッチング素子の dv/dt 値と前記第 2 の演算回路により算出される前記正極側スイッチング素子の dv/dt 値との平均値を、前記正極側スイッチング素子の dv/dt 値として算出し、前記第 1 の演算回路により算出される前記負極側スイッチング素子の dv/dt 値と前記第 2 の演算回路により算出される前記負極側スイッチング素子の dv/dt 値との平均値を、前記負極側スイッチング素子の dv/dt 値として算出する平均値演算回路と、

をさらに備える、

請求項 1 に記載の半導体装置の試験装置。

30

【請求項 4】

前記平均値演算回路により算出される前記正極側スイッチング素子または前記負極側スイッチング素子の dv/dt 値とその設定値との差を小さくするように、前記電源回路の出力電圧または前記駆動回路の出力電圧を制御する第 1 のフィードバック制御回路をさらに備える、

請求項 3 に記載の半導体装置の試験装置。

【請求項 5】

前記ハーフブリッジ回路の温度を測定する温度センサと、

前記温度センサにより測定される前記ハーフブリッジ回路の温度が予め定められた閾値を超えないように、前記電源回路の出力電圧または前記駆動回路の出力電圧を制御する第 2 のフィードバック制御回路をさらに備える、

40

請求項 1 から請求項 4 のいずれか一項に記載の半導体装置の試験装置。

【請求項 6】

正極側入力端子と負極側入力端子との間に直列接続した正極側スイッチング素子および負極側スイッチング素子を含むハーフブリッジ回路を試験対象とする半導体装置の試験装置であって、

前記ハーフブリッジ回路の前記正極側入力端子と前記負極側入力端子との間に電圧を印加する電源回路と、

前記ハーフブリッジ回路の前記正極側スイッチング素子および前記負極側スイッチング素子を交互にオンさせる駆動回路と、

50

前記ハーフブリッジ回路から絶縁されており、前記ハーフブリッジ回路に流れる電流を検出する電流センサと、

前記電流センサにより検出された電流を測定する電流測定回路と、

前記電流測定回路により測定された電流に基づいて、前記正極側スイッチング素子および前記負極側スイッチング素子それぞれの主電極間電圧の時間変化量である $d v / d t$ 値を算出する演算回路と、

を備え、

前記演算回路は、

前記電源回路が前記正極側入力端子と前記負極側入力端子との間に電圧を印加し、且つ、前記正極側スイッチング素子と前記負極側スイッチング素子との接続ノードである交流出力端子に負荷が接続されていない状態で、前記駆動回路が前記負極側スイッチング素子をオンさせたときに前記電流測定回路により測定される前記正極側スイッチング素子のリカバリー電流の波形から求めたりカバリー時間に基づいて前記正極側スイッチング素子の $d v / d t$ 値を算出し、前記駆動回路が前記正極側スイッチング素子をオンさせたときに前記電流測定回路により測定される前記負極側スイッチング素子のリカバリー電流の波形から求めたりカバリー時間に基づいて前記負極側スイッチング素子の $d v / d t$ 値を算出する、

半導体装置の試験装置。

【請求項 7】

前記演算回路により算出される前記正極側スイッチング素子または前記負極側スイッチング素子の $d v / d t$ 値とその設定値との差を小さくするように、前記電源回路の出力電圧または前記駆動回路の出力電圧を制御する第 1 のフィードバック制御回路をさらに備える、

請求項 6 に記載の半導体装置の試験装置。

【請求項 8】

前記ハーフブリッジ回路の温度を測定する温度センサと、

前記温度センサにより測定される前記ハーフブリッジ回路の温度が予め定められた閾値を超えないように、前記電源回路の出力電圧または前記駆動回路の出力電圧を制御する第 2 のフィードバック制御回路をさらに備える、

請求項 6 または請求項 7 に記載の半導体装置の試験装置。

【請求項 9】

正極側入力端子と負極側入力端子との間に直列接続した正極側スイッチング素子および負極側スイッチング素子を含むハーフブリッジ回路を試験対象とする半導体装置の試験装置であって、

前記ハーフブリッジ回路の前記正極側入力端子と前記負極側入力端子との間に電圧を印加する電源回路と、

前記ハーフブリッジ回路の前記正極側スイッチング素子および前記負極側スイッチング素子を交互にオンさせる駆動回路と、

前記ハーフブリッジ回路から絶縁されており、前記ハーフブリッジ回路に流れる電流を検出する電流センサと、

前記電流センサにより検出された電流を測定する電流測定回路と、

前記電流測定回路により測定された電流に基づいて、前記正極側スイッチング素子および前記負極側スイッチング素子それぞれの主電極間電流の時間変化量である $d i / d t$ 値を算出する演算回路と、

を備え、

前記演算回路は、

前記電源回路が前記正極側入力端子と前記負極側入力端子との間に電圧を印加し、且つ、前記正極側スイッチング素子と前記負極側スイッチング素子との接続ノードである交流出力端子に負荷が接続されていない状態で、前記駆動回路が前記負極側スイッチング素子をオンさせたときに前記電流測定回路により測定される前記正極側スイッチング素子のリ

10

20

30

40

50

カバリー電流のピーク値に基づいて前記正極側スイッチング素子の d_i / d_t 値を算出し、前記駆動回路が前記正極側スイッチング素子をオンさせたときに前記電流測定回路により測定される前記負極側スイッチング素子のリカバリー電流のピーク値に基づいて前記負極側スイッチング素子の d_i / d_t 値を算出する第 1 の演算回路を備える、
半導体装置の試験装置。

【請求項 10】

前記第 1 の演算回路により算出される前記正極側スイッチング素子または前記負極側スイッチング素子の d_i / d_t 値とその設定値との差を小さくするように、前記電源回路の出力電圧または前記駆動回路の出力電圧を制御する第 1 のフィードバック制御回路をさらに備える、

10

請求項 9 に記載の半導体装置の試験装置。

【請求項 11】

前記演算回路は、

前記電源回路が前記正極側入力端子と前記負極側入力端子との間に電圧を印加し、且つ、前記交流出力端子に負荷が接続されていない状態で、前記駆動回路が前記負極側スイッチング素子をオンさせたときに前記電流測定回路により測定される前記正極側スイッチング素子のリカバリー電流の波形から求めたリカバリー時間に基づいて前記正極側スイッチング素子の d_i / d_t 値を算出し、前記駆動回路が前記正極側スイッチング素子をオンさせたときに前記電流測定回路により測定される前記負極側スイッチング素子のリカバリー電流の波形から求めたリカバリー時間に基づいて前記負極側スイッチング素子の d_i / d_t 値を算出する第 2 の演算回路と、

20

前記第 1 の演算回路により算出される前記正極側スイッチング素子の d_i / d_t 値と前記第 2 の演算回路により算出される前記正極側スイッチング素子の d_i / d_t 値との平均値を、前記正極側スイッチング素子の d_i / d_t 値として算出し、前記第 1 の演算回路により算出される前記負極側スイッチング素子の d_i / d_t 値と前記第 2 の演算回路により算出される前記負極側スイッチング素子の d_i / d_t 値との平均値を、前記負極側スイッチング素子の d_i / d_t 値として算出する平均値演算回路と、

をさらに備える、

請求項 9 に記載の半導体装置の試験装置。

【請求項 12】

30

前記平均値演算回路により算出される前記正極側スイッチング素子または前記負極側スイッチング素子の d_i / d_t 値とその設定値との差を小さくするように、前記電源回路の出力電圧または前記駆動回路の出力電圧を制御する第 1 のフィードバック制御回路をさらに備える、

請求項 11 に記載の半導体装置の試験装置。

【請求項 13】

前記ハーフブリッジ回路の温度を測定する温度センサと、

前記温度センサにより測定される前記ハーフブリッジ回路の温度が予め定められた閾値を超えないように、前記電源回路の出力電圧または前記駆動回路の出力電圧を制御する第 2 のフィードバック制御回路をさらに備える、

40

請求項 9 から請求項 12 のいずれか一項に記載の半導体装置の試験装置。

【請求項 14】

正極側入力端子と負極側入力端子との間に直列接続した正極側スイッチング素子および負極側スイッチング素子を含むハーフブリッジ回路を試験対象とする半導体装置の試験装置であって、

前記ハーフブリッジ回路の前記正極側入力端子と前記負極側入力端子との間に電圧を印加する電源回路と、

前記ハーフブリッジ回路の前記正極側スイッチング素子および前記負極側スイッチング素子を交互にオンさせる駆動回路と、

前記ハーフブリッジ回路から絶縁されており、前記ハーフブリッジ回路に流れる電流を

50

検出する電流センサと、

前記電流センサにより検出された電流を測定する電流測定回路と、

前記電流測定回路により測定された電流に基づいて、前記正極側スイッチング素子および前記負極側スイッチング素子それぞれの主電極間電流の時間変化量である $d i / d t$ 値を算出する演算回路と、

を備え、

前記演算回路は、

前記電源回路が前記正極側入力端子と前記負極側入力端子との間に電圧を印加し、且つ、前記正極側スイッチング素子と前記負極側スイッチング素子との接続ノードである交流出力端子に負荷が接続されていない状態で、前記駆動回路が前記負極側スイッチング素子をオンさせたときに前記電流測定回路により測定される前記正極側スイッチング素子のリカバリー電流の波形から求めたりカバリー時間に基づいて前記正極側スイッチング素子の $d i / d t$ 値を算出し、前記駆動回路が前記正極側スイッチング素子をオンさせたときに前記電流測定回路により測定される前記負極側スイッチング素子のリカバリー電流の波形から求めたりカバリー時間に基づいて前記負極側スイッチング素子の $d i / d t$ 値を算出する、

半導体装置の試験装置。

【請求項 15】

前記演算回路により算出される前記正極側スイッチング素子または前記負極側スイッチング素子の $d i / d t$ 値とその設定値との差を小さくするように、前記電源回路の出力電圧または前記駆動回路の出力電圧を制御する第 1 のフィードバック制御回路をさらに備える、

請求項 14 に記載の半導体装置の試験装置。

【請求項 16】

前記ハーフブリッジ回路の温度を測定する温度センサと、

前記温度センサにより測定される前記ハーフブリッジ回路の温度が予め定められた閾値を超えないように、前記電源回路の出力電圧または前記駆動回路の出力電圧を制御する第 2 のフィードバック制御回路をさらに備える、

請求項 14 または請求項 15 に記載の半導体装置の試験装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の試験装置に関し、特に、ハーフブリッジ回路を試験対象 (DUT; Device Under Test) とする試験装置に関するものである。

【背景技術】

【0002】

例えば MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) や IGBT (Insulated Gate Bipolar Transistor) など、電力制御用の半導体装置 (パワー半導体装置) が知られている。例えば、MOSFET をスイッチングさせる場合、スイッチング時のドレイン・ソース間電圧の時間変化量 ($d v / d t$) がある値を超えると、MOSFET 内部の寄生トランジスタがオンすることにより、予期せぬ損失が発生したり、MOSFET の破壊が生じたりすることがある。素子の破壊が生じない $d v / d t$ の限界値は「 $d v / d t$ 耐量」と呼ばれる。一般に、 $d v / d t$ 耐量をスペックに規定している MOSFET は、その製造の過程で、スペックの $d v / d t$ 耐量に相当する $d v / d t$ を実際に印加して破壊が生じないことを確認する試験が行われ、それによって $d v / d t$ 耐量を保証している。以下、この試験を「 $d v / d t$ 試験」と称し、 $d v / d t$ 試験を行う試験装置を「 $d v / d t$ 試験装置」と称する。

【0003】

また、下記の特許文献 1 には、ハーフブリッジ回路を構成する 2 つのパワートランジスタの特性を、単一のメイン電流測定回路を用いて測定する技術が開示されている。

10

20

30

40

50

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開平11-304873号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

ハーフブリッジ回路を試験対象(DUT)とする従来の dv/dt 試験装置は、ハーフブリッジ回路に電圧を供給して駆動させながら、P側(正極側)MOSFETおよびN側(負極側)MOSFETそれぞれのドレイン・ソース間に電圧プローブを接触させ、オシロスコープを用いてドレイン・ソース間電圧を測定し、ドレイン・ソース間電圧の測定データを演算回路が時間軸で差分することで、P側MOSFETおよびN側MOSFETそれぞれに印加された dv/dt 値を算出している。P側MOSFETのドレイン・ソース間電圧とP側MOSFETのドレイン・ソース間電圧とは基準電位が異なるため、従来の dv/dt 試験装置には、P側用およびN型用の2つのオシロスコープが必要であり、さらに2つのオシロスコープと演算回路との間に絶縁回路を設ける必要があった。

10

【0006】

また、高圧差動プローブを使用すれば、1台のオシロスコープでP側MOSFETのドレイン・ソース間電圧とP側MOSFETのドレイン・ソース間電圧との両方を測定できる。しかし、高圧差動プローブは一般の電圧プローブに比べて周波数特性が低い、外来ノイズを受けて測定精度が低下しやすい、などの問題がある。さらに、DUTの破壊が生じたときに発生するサージ電圧によって高圧差動プローブやオシロスコープが類焼することを防止するためには、高圧差動プローブに用いた場合でも絶縁回路は必要とされる。

20

【0007】

このように、従来の従来の dv/dt 試験装置には、 dv/dt 値の測定系とDUTとの絶縁を確保するための付加回路が必要とされ、それがコスト上昇の要因となっていた。

【0008】

本発明は以上のような課題を解決するためになされたものであり、絶縁回路を用いる必要がなく、DUTであるハーフブリッジ回路のスイッチング素子に印加された dv/dt 値を測定可能な半導体装置の試験装置を提供することを目的とする。

30

【課題を解決するための手段】

【0009】

本発明に係る半導体装置の試験装置は、正極側入力端子と負極側入力端子との間に直列接続した正極側スイッチング素子および負極側スイッチング素子を含むハーフブリッジ回路を試験対象とする半導体装置の試験装置であって、前記ハーフブリッジ回路の前記正極側入力端子と前記負極側入力端子との間に電圧を印加する電源回路と、前記ハーフブリッジ回路の前記正極側スイッチング素子および前記負極側スイッチング素子を交互にオンさせる駆動回路と、前記ハーフブリッジ回路から絶縁されており、前記ハーフブリッジ回路に流れる電流を検出する電流センサと、前記電流センサにより検出された電流を測定する電流測定回路と、前記電流測定回路により測定された電流に基づいて、前記正極側スイッチング素子および前記負極側スイッチング素子それぞれの主電極間電圧の時間変化量である dv/dt 値を算出する演算回路と、を備え、前記演算回路は、前記電源回路が前記正極側入力端子と前記負極側入力端子との間に電圧を印加し、且つ、前記正極側スイッチング素子と前記負極側スイッチング素子との接続ノードである交流出力端子に負荷が接続されていない状態で、前記駆動回路が前記負極側スイッチング素子をオンさせたときに前記電流測定回路により測定される前記正極側スイッチング素子のリカバリー電流のピーク値に基づいて前記正極側スイッチング素子の dv/dt 値を算出し、前記駆動回路が前記正極側スイッチング素子をオンさせたときに前記電流測定回路により測定される前記負極側スイッチング素子のリカバリー電流のピーク値に基づいて前記負極側スイッチング素子の dv/dt 値を算出する第1の演算回路を備える。

40

50

【発明の効果】

【0010】

本発明によれば、ハーフブリッジ回路から絶縁された電流センサを用いて測定したリカバリ電流に基づいて dv/dt 値が算出されるため、 dv/dt 値の測定系に絶縁回路を負荷する必要がない。

【図面の簡単な説明】

【0011】

【図1】実施の形態1に係る dv/dt 試験装置の構成を示す図である。

【図2】電流プローブの例を示す図である。

【図3】実施の形態1に係る dv/dt 試験装置の動作を説明するための図である。

10

【図4】実施の形態1に係る dv/dt 試験装置の動作を説明するための図である。

【図5】MOSFETの dv/dt 値とピーク逆回復電流との相関の例を示すグラフである。

【図6】MOSFETの dv/dt 値とリカバリ時間との相関の例を示すグラフである。

【図7】実施の形態3に係る dv/dt 試験装置が備える演算回路の構成を示す図である。

【図8】5つのサンプルに対して同一条件の dv/dt 試験を行ったときの、リカバリ電流のピーク値および dv/dt 値の測定結果の例を示す図である。

【図9】実施の形態4に係る dv/dt 試験装置の構成を示す図である。

20

【図10】実施の形態5に係る dv/dt 試験装置の構成を示す図である。

【図11】実施の形態5に係る dv/dt 試験装置の構成を示す図である。

【発明を実施するための形態】

【0012】

<実施の形態1>

図1は、実施の形態1に係る半導体装置の試験装置である dv/dt 試験装置の構成を示す図である。この dv/dt 試験装置は、ハーフブリッジ回路100をDUTとする。

【0013】

DUTとなるハーフブリッジ回路100は、正極側スイッチング素子であるP側MOSFET101と、負極側スイッチング素子であるN側MOSFET102と、P側入力端子103と、N側入力端子104と、交流出力端子105とを備えている。P側MOSFET101は、P側入力端子103と交流出力端子105との間に接続され、N側MOSFET102は、交流出力端子105とN側入力端子104との間に接続される。すなわち、P側MOSFET101とN側MOSFET102は、P側入力端子103とN側入力端子104との間に直列接続しており、交流出力端子105は、P側MOSFET101とN側MOSFET102との接続ノードに接続されている。

30

【0014】

図1のように、 dv/dt 試験装置は、電源回路1、駆動回路2、電流プローブ3、オシロスコープ4および演算回路5を備えている。

【0015】

電源回路1は、ハーフブリッジ回路100のP側入力端子103（P側MOSFET101のドレイン）とN側入力端子104（N側MOSFET102のソース）との間に電圧を印加する直流高圧電源である。駆動回路2は、ハーフブリッジ回路100のP側MOSFET101およびN側MOSFET102を交互にオンにする。

40

【0016】

また、駆動回路2は、図1に示すように、駆動制御回路10、P側ゲート絶縁回路11a、P側ゲートドライバ11、N側ゲート絶縁回路12aおよびN側ゲートドライバ12から構成されている。駆動制御回路10は、P側MOSFET101およびN側MOSFET102の制御信号を生成する。駆動制御回路10が生成したP側MOSFET101の制御信号は、P側ゲート絶縁回路11aを介してP側ゲートドライバ11に入力され、

50

P側ゲートドライバ11により交流出力端子105の電位を基準とする駆動信号に変換された後、P側MOSFET101のゲートに入力される。また、駆動制御回路10が生成したN側MOSFET102の制御信号は、N側ゲート絶縁回路12aを介してN側ゲートドライバ12に入力され、N側ゲートドライバ12によりN側入力端子104の電位を基準とする駆動信号に変換された後、N側MOSFET102のゲートに入力される。

【0017】

電流プローブ3は、ハーフブリッジ回路100から絶縁された構成を有し、ハーフブリッジ回路100と電源回路1とを接続する配線(母線)を流れる電流を検出する電流センサである。電流プローブ3としては、例えば図2のように、母線の配線バーから物理的に離間することによって、ハーフブリッジ回路100との絶縁が確保されたものを用いることができる。このような電流プローブ3としては、例えば、Pearson社のカレントトランス(CT)や、PEM社のロゴスキーコイルなどがある。

10

【0018】

オシロスコープ4は、電流プローブ3により検出される電流の波形を観察するものであるが、電流プローブ3により検出される電流を測定する電流測定回路としても機能する。オシロスコープ4が測定した電流の測定値のデータは、演算回路5へ送られる。

【0019】

演算回路5は、オシロスコープ4により測定された電流に基づいて、P側MOSFET101およびN側MOSFET102それぞれのドレイン・ソース間電圧(主電極間電圧)の時間変化量である dv/dt 値を算出する。

20

【0020】

次に、実施の形態1に係る dv/dt 試験装置の動作について説明する。当該 dv/dt 試験装置を用いた dv/dt 試験は、DUTであるハーフブリッジ回路100の交流出力端子105に負荷が接続されていない状態、つまり、交流出力端子105に何も接続されていない状態で行われる。また、 dv/dt 試験においては、電源回路1がハーフブリッジ回路100のP側入力端子103とN側入力端子104との間に電圧を印加し、駆動回路2が、P側MOSFET101およびN側MOSFET102を交互にオンにする。

【0021】

図3に、 dv/dt 試験の実施時における、P側MOSFET101のゲート・ソース間電圧(P-Vgs)、N側MOSFET102のゲート・ソース間電圧(N-Vgs)、P側MOSFET101のドレイン・ソース間電圧(P-Vds)、N側MOSFET102のドレイン・ソース間電圧(N-Vds)、および、ハーフブリッジ回路100を流れる電流(母線を流れる電流)の各波形を示す。また、図4は、図3に示したP側MOSFET101あるいはN側MOSFET102のドレイン・ソース電圧の波形と、ハーフブリッジ回路100を流れる電流の波形とを拡大した図である。

30

【0022】

駆動回路2は、P側MOSFET101のゲート・ソース間電圧(P-Vgs)と、N側MOSFET102のゲート・ソース間電圧(N-Vgs)とを、交互に活性レベルにすることで、P側MOSFET101とP側MOSFET101とを交互にオンにする。

【0023】

この場合、P側MOSFET101がオンするタイミングで、P側MOSFET101のドレイン・ソース間電圧が立ち下がり、N側MOSFET102のドレイン・ソース間電圧が立ち上がる。P側MOSFET101がオフするタイミングでは、P側MOSFET101のドレイン・ソース間電圧およびN側MOSFET102のドレイン・ソース間電圧は維持される。

40

【0024】

また、N側MOSFET102がオンするタイミングで、N側MOSFET102のドレイン・ソース間電圧が立ち下がり、P側MOSFET101のドレイン・ソース間電圧が立ち上がる。N側MOSFET102がオフするタイミングでは、P側MOSFET101のドレイン・ソース間電圧およびN側MOSFET102のドレイン・ソース間電圧

50

は維持される。

【0025】

P側MOSFET101およびN側MOSFET102では、オンからオフに移行するときにドレイン・ソース間のボディダイオードが耐圧回復する。そのため、P側MOSFET101がオンするときには、N側MOSFET102のリカバリー電流が流れ、N側MOSFET102がオンするときには、P側MOSFET101のリカバリー電流が流れる。これらのリカバリー電流は全て、電源回路1とハーフブリッジ回路100との間を接続する配線(母線)を流れるので、電流プローブ3に検出され、オシロスコープ4によって測定される。

【0026】

よって、演算回路5は、N側MOSFET102がオンしたときにオシロスコープ4により測定された電流を、P側MOSFET101のリカバリー電流と判断し、P側MOSFET101がオンしたときにオシロスコープ4により測定された電流を、N側MOSFET102のリカバリー電流と判断する。

【0027】

ここで、MOSFETの dv/dt 値とリカバリー電流のピーク値(「ピーク逆回復電流 I_{rr} 」ともいう)との間には相関がある。図5に、MOSFETの dv/dt 値とピーク逆回復電流 I_{rr} との相関の例を示す。図5では、 dv/dt 値とピーク逆回復電流 I_{rr} との相関を表す関数を近似直線で表している。演算回路5は、この相関を表す変換式を用いて、P側MOSFET101のピーク逆回復電流 I_{rr} から、P側MOSFET101の dv/dt 値を算出し、N側MOSFET102のピーク逆回復電流 I_{rr} から、N側MOSFET102の dv/dt 値を算出する。

【0028】

なお、 dv/dt 値とピーク逆回復電流 I_{rr} との相関は、直線近似以外の方法で求めてもよい。例えば、 dv/dt 試験装置の内部インダクタンスがピーク逆回復電流 I_{rr} に影響する場合などには、2次近似によって相関を求めるのが好ましいこともある。

【0029】

このように、実施の形態1に係る dv/dt 試験装置では、DUTであるハーフブリッジ回路100に生じるリカバリー電流を、ハーフブリッジ回路100から絶縁された電流プローブ3を用いて測定し、その測定結果から、ハーフブリッジ回路100のP側MOSFET101およびN側MOSFET102に印加された dv/dt 値が算出される。よって、 dv/dt 値の測定系とDUTとの絶縁を確保するための付加回路が必要なく、 dv/dt 試験装置のコスト上昇を抑えることができる。

【0030】

<実施の形態2>

MOSFETの dv/dt 値は、リカバリー電流が消滅するまでの時間、すなわちリカバリー時間(「逆回復時間 t_{rr} 」ともいう)の間にも相関がある。図6に、MOSFETの dv/dt 値と逆回復時間 t_{rr} との相関の例を示すグラフである。

【0031】

そこで、実施の形態2では、演算回路5が、P側MOSFET101の逆回復時間 t_{rr} に基づいてP側MOSFET101の dv/dt 値を算出し、N側MOSFET102の逆回復時間 t_{rr} に基づいてN側MOSFET102の dv/dt 値を算出する。その他の構成および動作は、実施の形態1の dv/dt 試験装置と同様である。

【0032】

すなわち、実施の形態2の dv/dt 試験装置が行う dv/dt 試験は、実施の形態1と同様に、電源回路1がP側入力端子103とN側入力端子104との間に電圧を印加し、且つ、P側MOSFET101とN側MOSFET102との接続ノードである交流出力端子に負荷が接続されていない状態で実施される。演算回路5は、駆動回路2がN側MOSFET102をオンさせたときにオシロスコープ4により測定されるP側MOSFET101のリカバリー電流の波形から、P側MOSFET101の逆回復時間 t_{rr} を求

10

20

30

40

50

め、その逆回復時間 t_{rr} に基づいて P 側 MOSFET 101 の dv/dt 値を算出する。また、演算回路 5 は、駆動回路 2 が P 側 MOSFET 101 をオンさせたときにオシロスコープ 4 により測定される N 側 MOSFET 102 のリカバリー電流の波形から N 側 MOSFET 102 の逆回復時間 t_{rr} を求め、その逆回復時間 t_{rr} に基づいて N 側 MOSFET 102 の dv/dt 値を算出する。

【0033】

実施の形態 2 に係る dv/dt 試験装置においても、DUT であるハーフブリッジ回路 100 に生じるリカバリー電流を、ハーフブリッジ回路 100 から絶縁された電流プローブ 3 を用いて測定し、その測定結果から、P 側 MOSFET 101 および N 側 MOSFET 102 に印加された dv/dt が算出される。よって、実施の形態 1 と同様に、 dv/dt 値の測定系と DUT との絶縁を確保するための付加回路が必要なく、 dv/dt 試験装置のコスト上昇を抑えることができる。

10

【0034】

< 実施の形態 3 >

実施の形態 3 では、演算回路 5 が、実施の形態 1 のように MOSFET のピーク逆回復電流 I_{rr} から算出される dv/dt 値と、実施の形態 2 のように MOSFET の逆回復時間 t_{rr} から算出される dv/dt 値とを求め、両者の平均値を最終的な MOSFET の dv/dt 値として算出する。

【0035】

具体的には、実施の形態 3 の演算回路 5 は、図 7 のように、第 1 の演算回路 51 と、第 2 の演算回路 52 と、平均値演算回路 53 とを備える。

20

【0036】

第 1 の演算回路 51 は、 dv/dt 試験において、駆動回路 2 が N 側 MOSFET 102 をオンさせたときにオシロスコープ 4 により測定される P 側 MOSFET 101 のピーク逆回復電流 I_{rr} に基づいて P 側 MOSFET 101 の dv/dt 値を算出し、駆動回路 2 が P 側 MOSFET 101 をオンさせたときにオシロスコープ 4 により測定される N 側 MOSFET 102 のピーク逆回復電流 I_{rr} に基づいて N 側 MOSFET 102 の dv/dt 値を算出する。

【0037】

第 2 の演算回路 52 は、 dv/dt 試験において、駆動回路 2 が N 側 MOSFET 102 をオンさせたときにオシロスコープ 4 により測定される P 側 MOSFET 101 のリカバリー電流の波形から求めた逆回復時間 t_{rr} に基づいて P 側 MOSFET 101 の dv/dt 値を算出し、駆動回路 2 が P 側 MOSFET 101 をオンさせたときにオシロスコープ 4 により測定される N 側 MOSFET 102 のリカバリー電流の波形から求めた逆回復時間 t_{rr} に基づいて N 側 MOSFET 102 の dv/dt 値を算出する。

30

【0038】

平均値演算回路 53 は、第 1 の演算回路 51 により算出された P 側 MOSFET 101 の dv/dt 値と第 2 の演算回路 52 により算出された P 側 MOSFET 101 の dv/dt 値との平均値を、最終的な P 側 MOSFET 101 の dv/dt 値として算出し、第 1 の演算回路 51 により算出される N 側 MOSFET 102 の dv/dt 値と第 2 の演算回路 52 により算出される N 側 MOSFET 102 の dv/dt 値との平均値を、最終的な N 側 MOSFET 102 の dv/dt 値として算出する。

40

【0039】

例えば、P 側 MOSFET 101 および N 側 MOSFET 102 のスイッチングにより生じたパルスノイズがリカバリー電流の測定値に重畳して測定誤差を生じさせることがあるが、逆回復電流 I_{rr} から計算した dv/dt 値と逆回復時間 t_{rr} から計算した dv/dt 値との平均をとることで、パルスノイズに起因する誤差を小さくすることができる。それにより、 dv/dt 値の測定結果の精度および信頼性が向上する。

【0040】

< 実施の形態 4 >

50

dv/dt 試験を同一の条件で行っても、MOSFETの素子ごとの特性のバラツキにより、DUTのMOSFETに印加される dv/dt にはバラツキが生じる。例えば図8は、5つのサンプルに対して同一条件の dv/dt 試験を行ったときの、ピーク逆回復電流 I_{rr} および dv/dt の測定結果であるが、測定値にバラツキが見られる。

【0041】

全てのDUTに目標値の dv/dt を印加するためには、個々のMOSFETの特性に合わせてテスト条件を補正すればよい。しかし、そのためには、事前にDUTのMOSFETの特性を測定し、さらに、DUTごとに条件を変更する必要がある、作業負担の増大、コストの上昇、生産性の低下を招く。

【0042】

実施の形態4では、この問題を解決するために、 dv/dt 試験装置が、 dv/dt の測定値と設定値(目標値)との差を小さくするように、電源回路1の出力電圧または駆動回路2の出力電圧に対するフィードバック制御を行う。

【0043】

図9は、実施の形態4に係る dv/dt 試験装置の構成を示す図である。図9の dv/dt 試験装置の構成は、図1の構成に対し、第1のフィードバック制御回路としてのフィードバック制御回路6を追加したものである。フィードバック制御回路6は、演算回路5により算出されるP側MOSFET101またはN側MOSFET102の dv/dt 値と dv/dt の設定値との差を小さくするように、駆動回路2がハーフブリッジ回路100に供給する駆動信号の電圧(P側MOSFET101およびN側MOSFET102のゲート・ソース間電圧)または電源回路1がハーフブリッジ回路100に供給する電圧を制御する。

【0044】

実施の形態4に係る dv/dt 試験装置によれば、 dv/dt の測定値と設定値との差を小さくするように、電源回路1の出力電圧または駆動回路2の出力電圧が自動的に制御されるため、バラツキの少ない dv/dt 試験の実施が可能になる。

【0045】

本実施の形態のフィードバック制御回路6は、実施の形態2, 3にも適用可能である。実施の形態3に適用する場合、フィードバック制御回路6は、演算回路5の平均値演算回路53により算出されるP側MOSFET101またはN側MOSFET102の dv/dt 値と、 dv/dt の設定値との差を小さくするように、電源回路1の出力電圧または駆動回路2の出力電圧に対するフィードバック制御を行う。

【0046】

<実施の形態5>

dv/dt 試験中にDUTが異常なモードになると、DUTの温度が上昇して破壊にいたる場合がある。そこで、実施の形態5では、 dv/dt 試験装置が、DUTの温度を測定して、その温度が予め定められた閾値を超えないように、ゲート・ソース間電圧または電源電圧のフィードバック制御を行うことで、DUTの破壊を防止する。

【0047】

図10は、実施の形態5に係る dv/dt 試験装置の構成を示す図である。図10の dv/dt 試験装置の構成は、図1の構成に対し、第2のフィードバック制御回路としてのフィードバック制御回路6と、温度センサ7とを追加したものである。温度センサ7は、DUTであるハーフブリッジ回路100の温度を測定し、その測定値をフィードバック制御回路6に入力する。フィードバック制御回路6は、温度センサ7が測定したハーフブリッジ回路100の温度に基づいて、ハーフブリッジ回路100の温度が予め定められた閾値を超えないように、電源回路1の出力電圧または駆動回路2の出力電圧に対するフィードバック制御を行う。

【0048】

実施の形態5に係る dv/dt 試験装置によれば、DUTの温度が予め定められた閾値を超えないように、電源回路1の出力電圧または駆動回路2の出力電圧が自動的に制御さ

10

20

30

40

50

れるため、DUTの破壊を防止できる。

【0049】

本実施の形態のフィードバック制御回路6は、実施の形態2～4にも適用可能である。実施の形態4に適用する場合、図11のようにフィードバック制御回路6には、演算回路5が算出した dv/dt 値と、温度センサ7が測定したハーフブリッジ回路100の温度とが入力され、フィードバック制御回路6は、P側MOSFET101またはN側MOSFET102の dv/dt 値と、 dv/dt の設定値との差を小さくし、且つ、ハーフブリッジ回路100の温度が予め定められた閾値を超えないように、電源回路1の出力電圧または駆動回路2の出力電圧を制御する。

【0050】

<変形例>

以上の実施の形態では、 dv/dt 試験装置について説明したが、試験装置は、DUTであるハーフブリッジ回路100のP側MOSFET101およびN側MOSFET102のスイッチング時に生じるドレイン・ソース間電流（主電極間電流）の時間変化量（ di/dt ）に対する耐量を試験する試験装置（ di/dt 試験装置）でもよい。MOSFETの di/dt 値とリカバリー電流のピーク値（ピーク逆回復電流 I_{rr} ）およびリカバリー時間（逆回復時間 t_{rr} ）との間にも相関がある。 di/dt 試験装置の場合には、演算回路5が、その相関を表す変換式を用いて、P側MOSFET101のピーク逆回復電流 I_{rr} または逆回復時間 t_{rr} から、P側MOSFET101の di/dt 値を算出し、N側MOSFET102のピーク逆回復電流 I_{rr} または逆回復時間 t_{rr} から、N側MOSFET102の di/dt 値を算出すればよい。また、実施の形態3と同様に、演算回路5が、MOSFETのピーク逆回復電流 I_{rr} から算出される di/dt 値と、MOSFETの逆回復時間 t_{rr} から算出される di/dt 値とを求め、両者の平均値を最終的なMOSFETの di/dt 値として算出してもよい。さらに、実施の形態4、5で説明したフィードバック制御は、 di/dt 試験装置に対しても適用可能である。

【0051】

また、各実施の形態では、DUTのハーフブリッジ回路100を構成するスイッチング素子として、MOSFETを代表的に示した。ところで、スイッチング素子としてIGBTを用いた製品では、IGBTにFWD（Free Wheeling Diode）が逆並列に接続されていることが多い。また、FWDの機能をIGBTチップに内蔵させたRC-IGBT（Reverse-conducting IGBT）と呼ばれるスイッチング素子もある。ハーフブリッジ回路100を構成するスイッチング素子がこれらのIGBTの場合にも、MOSFETの場合と同様に、各実施の形態は適用可能である。また、スイッチング素子の半導体材料は、シリコンの他、SiCやGaNなどのワイドバンドギャップ半導体でもよい。

【0052】

なお、本発明は、その発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略したりすることが可能である。

【符号の説明】

【0053】

1 電源回路、2 駆動回路、3 電流プローブ、4 オシロスコープ、5 演算回路、6 フィードバック制御回路、7 温度センサ、10 駆動制御回路、11 P側ゲートドライバ、12 N側ゲートドライバ、11a P側ゲート絶縁回路、12a N側ゲート絶縁回路、51 第1の演算回路、52 第2の演算回路、53 平均値演算回路、100 ハーフブリッジ回路、101 P側MOSFET、102 N側MOSFET、103 P側入力端子、104 N側入力端子、105 交流出力端子。

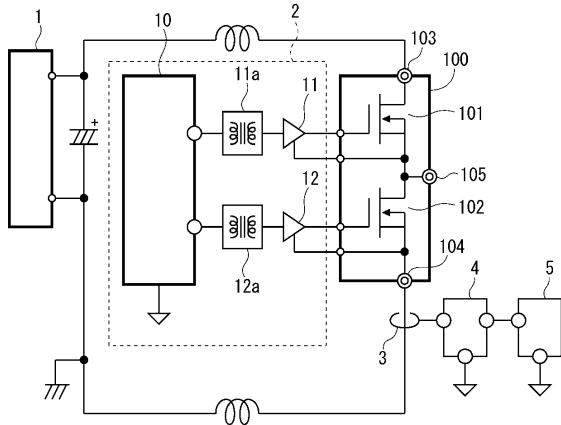
10

20

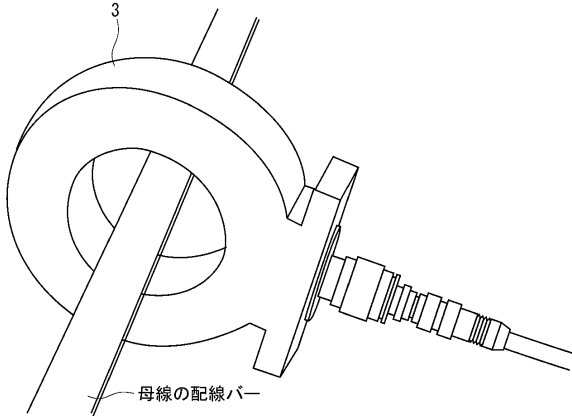
30

40

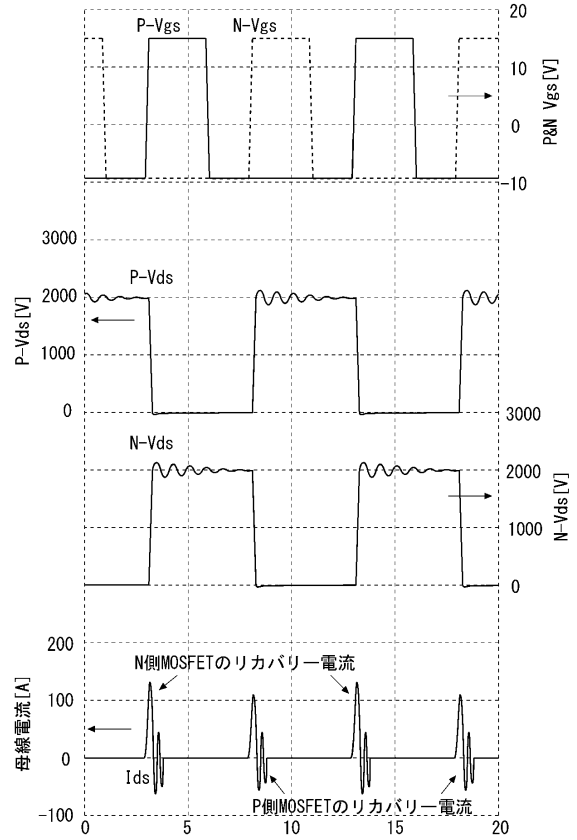
【図1】



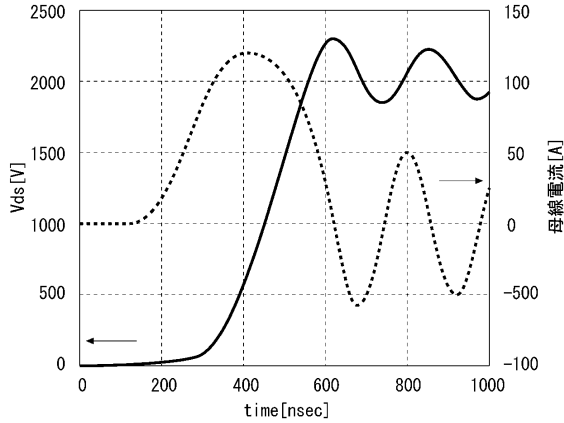
【図2】



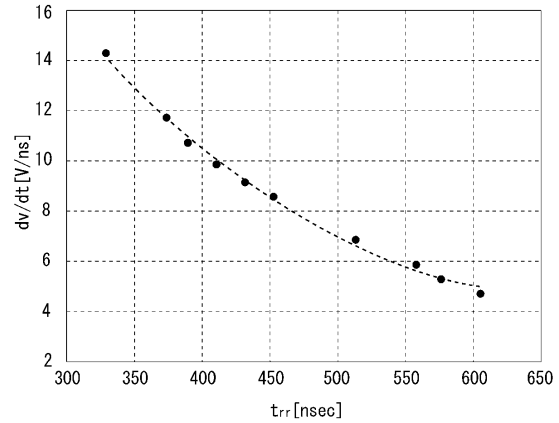
【図3】



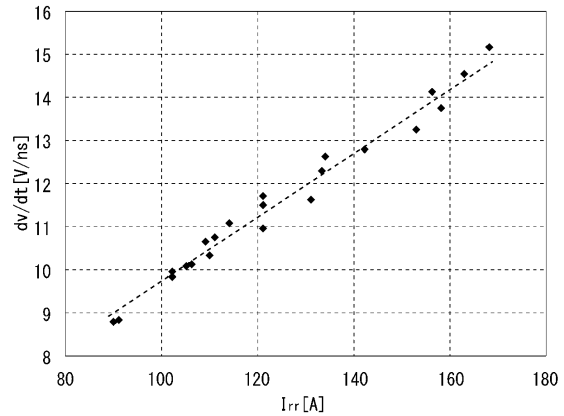
【図4】



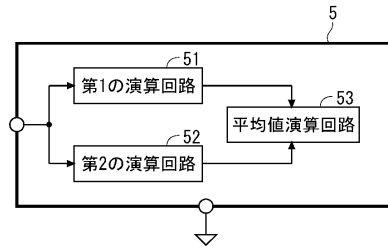
【図6】



【図5】



【図7】



フロントページの続き

(72)発明者 南松 尊博
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 島 崎 純一

(56)参考文献 特開2019-95946(JP,A)
特開2015-33149(JP,A)
特開2013-162590(JP,A)
特開2018-141633(JP,A)
特開2012-235378(JP,A)

(58)調査した分野(Int.Cl., DB名)
G01R 31/26