

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3917518号

(P3917518)

(45) 発行日 平成19年5月23日(2007.5.23)

(24) 登録日 平成19年2月16日(2007.2.16)

(51) Int. Cl.

H03M 3/02 (2006.01)

F I

H03M 3/02

請求項の数 37 (全 40 頁)

(21) 出願番号	特願2002-540316 (P2002-540316)	(73) 特許権者	595020643
(86) (22) 出願日	平成13年10月31日(2001.10.31)		クゥアルコム・インコーポレイテッド
(65) 公表番号	特表2004-529518 (P2004-529518A)		QUALCOMM INCORPORATED
(43) 公表日	平成16年9月24日(2004.9.24)		ED
(86) 国際出願番号	PCT/US2001/046188		アメリカ合衆国、カリフォルニア州 92
(87) 国際公開番号	W02002/037686		121-1714、サン・ディエゴ、モア
(87) 国際公開日	平成14年5月10日(2002.5.10)		ハウス・ドライブ 5775
審査請求日	平成16年9月29日(2004.9.29)	(74) 代理人	100058479
(31) 優先権主張番号	09/703,647		弁理士 鈴江 武彦
(32) 優先日	平成12年11月1日(2000.11.1)	(74) 代理人	100091351
(33) 優先権主張国	米国 (US)		弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 多段回路の段を制御するための方法及び装置

(57) 【特許請求の範囲】

【請求項 1】

入力信号を受信し、そしてデータ標本を提供するように構成され、カスケード接続された複数の _____ 段を含むシグマ・デルタ・アナログ対デジタル変換器 (ADC) と、ADC に接続され、複数の _____ 段のゼロ以上を選択的に不作動にする制御信号を提供するように構成された制御回路とを含み、制御回路は

入力信号を受信し、検出された信号を提供する一以上の検出器段であって、一つの検出器段が _____ 段の一つの複製 (レプリカ) として実施される検出器段、

一以上の検出器段に接続され、検出された信号を受信するように構成され、そして調整された標本を提供する調整回路、及び、

調整回路に接続され、調整された標本を受信するように構成され、そして制御信号を提供する信号処理器を含む、データ変換回路。

【請求項 2】

検出器段が 4 次のバンドパス _____ 変調器として実施される、請求項 1 の回路。

【請求項 3】

検出器段が 2 次のローパス _____ 変調器として実施される、請求項 1 の回路。

【請求項 4】

少なくとも一つの検出器段が _____ 段の一つの複製として実施される、請求項 1 の回路。

【請求項 5】

少なくとも一つの検出器段が複製される _____ 段の一部である次元を持つ部品で実施され

10

20

る、請求項 4 の回路。

【請求項 6】

少なくとも一つの検出器段が複製される 段のバイアス電流の一部でバイアスされる、請求項 4 の回路。

【請求項 7】

検出された信号が入力信号の振幅を表す、請求項 1 の回路。

【請求項 8】

一以上の検出器段はさらに検出器基準電圧を受信し、検出された信号が検出器基準電圧に比例した入力信号の振幅に関する、請求項 1 の回路。

【請求項 9】

ゼロ以上の 段が一部分入力信号の検出された振幅に基づき不作動にされる、請求項 1 の回路。

10

【請求項 10】

検出された振幅が第一の信号レベル以下になれば第一の 段が不作動にされる、請求項 9 の回路。

【請求項 11】

検出された振幅が第二の信号レベル以下になれば第二の 段が不作動にされる、請求項 10 の回路。

【請求項 12】

検出された振幅が第三の信号レベルを越えれば全ての 段が作動にされる、請求項 9 の回路。

20

【請求項 13】

段は一部分 A D C 内の 段の位置に基づいて不作動にされる、請求項 9 の回路。

【請求項 14】

調整回路は、
検出された信号及び比較信号を受信し、
検出された信号及び比較信号を比較し、
比較の結果に基づいて調整された標本を提供するように構成された比較回路を含む、請求項 1 の回路。

30

【請求項 15】

比較回路はスイッチド・キャパシタ回路を用いて実施される、請求項 14 の回路。

【請求項 16】

A D C は二つの 段を含み、各 段は 4 次のバンドパス 変調器を含む、請求項 1 の回路。

【請求項 17】

A D C は二つの 段を含み、各 段は 2 次のローパス 変調器を含む、請求項 1 の回路。

【請求項 18】

A D C は二重標本化 A D C である、請求項 1 の回路。

40

【請求項 19】

A D C は四重標本化 A D C である、請求項 1 の回路。

【請求項 20】

制御回路は少なくとも一つの基準信号を提供するように構成された基準発生器をさらに含む、請求項 1 の回路。

【請求項 21】

請求項 1 のデータ変換回路を含む C D M A 受信器。

【請求項 22】

少なくとも一つの検出器段が 段の一つの複製（レプリカ）として実施される、一以上の検出器段で A D C に供給された入力信号の特性を検出すること、

50

比較レベルに対して検出された特性を比較すること、
一部、比較に基づいて制御信号を生成すること、
制御信号に従ってゼロ以上の 段を選択的に不動作にすること
を含む、シグマ - デルタ・アナログ対デジタル変換器 (A D C) 中の 段を制御
する方法。

【請求項 2 3】

検出された特性が信号振幅である、請求項 2 2 の方法。

【請求項 2 4】

選択的に不動作にすることは検出された信号振幅が第一の信号レベル以下になれば第一
の 段を不動作にすることを含む、請求項 2 3 の方法。

10

【請求項 2 5】

選択的に不動作にすることは検出された信号振幅が第二の信号レベル以下になれば第二
の 段を不動作にすることを含む、請求項 2 4 の方法。

【請求項 2 6】

選択的に不動作にすることは検出された信号振幅が第三の信号レベルを越えれば全ての
段を作動させることを含む、請求項 2 3 の方法。

【請求項 2 7】

検出することは、
検出器基準レベルを受信すること、

入力信号及び検出器信号レベルに一部分基づいて検出された信号を生成し、検出された
信号が入力信号の振幅を表していることを含む、請求項 2 2 の方法。

20

【請求項 2 8】

入力信号を受信し、出力信号を提供するように構成され、特定の構成に接続された複数の
の N 信号段を含む多段回路と、

多段回路に接続され、N 信号段のゼロ以上を選択的に不動作化する制御信号を提供する
ように構成された制御回路とを含み、制御回路は、

入力信号を受信し、検出された信号を提供するように構成された一以上の検出器段であ
って、少なくとも一つの検出器段は信号段の一つの複製として実施される検出器段、

一以上の検出器段に接続され、検出された信号を受信し、調整された信号を提供する調
整回路、及び

30

調整回路に接続され、調整された信号を受信し、制御信号を提供する信号処理器を含む
電子回路。

【請求項 2 9】

検出された信号が入力信号の振幅を表す、請求項 2 8 の回路。

【請求項 3 0】

ゼロ以上の信号段は、入力信号の検出された振幅に一部分基づいて不動作にされる、請
求項 2 8 の回路。

【請求項 3 1】

少なくとも一つの検出器段は複製される信号段の一部である次元をもつ部品で実施され
る、請求項 2 8 の回路。

40

【請求項 3 2】

少なくとも一つの検出器段は複製される信号段のバイアス電流の一部でバイアスされる
、請求項 2 8 の回路。

【請求項 3 3】

少なくとも一つの検出器段は複製される信号段の周波数応答と類似する周波数応答を持
つように構成される、請求項 2 8 の回路。

【請求項 3 4】

信号段はカスケード接続される、請求項 2 8 の回路。

【請求項 3 5】

信号段は並列に接続される、請求項 2 8 の回路。

50

【請求項 36】

複数の信号段を含む多段回路を制御するための制御回路であって、
 少なくとも一つの検出器段が信号段の一つの複製として実施され、入力信号を受信し、検出された信号を提供するように構成された一以上の検出器段と、
 一以上の検出器段に接続され、検出された信号を受信し、調整された信号を提供するように構成された調整回路と、
 調整回路に接続され、調整された信号を受信し、制御信号を提供するように構成された信号処理器とを含み、制御信号が多段回路中のゼロ以上の信号段を選択的に不動作にする制御回路。

【請求項 37】

多段回路は ADC である、請求項 36 の回路。

【発明の詳細な説明】

【0001】

発明の背景

I. 発明の分野

本発明は電子回路に関する。特に、シグマ デルタ・アナログ対デジタル変換器 (ADC) のような多段回路の段 (stage) を制御するための新規な改良された方法及び装置に関する。

II. 関連技術の説明

アナログ対デジタル変換器 (ADC) は多くの電子回路における重要な要素部品であり、デジタル通信システムにおいては特に重要である。ADC は連続アナログ波形を均等な間隔の時間区間で離散標本に変換する。それらの標本は標本化データの増幅、圧縮、及び/または誤り検知/訂正のために他のデジタル信号処理回路で続いて処理される。ADC を必要とする典型的な応用は符号分割多元接続 (CDMA) 通信システム及び高品位テレビジョン (HDTV) である。

【0002】

ADC の重要ないくつかの動作パラメータには直線性、DC オフセット、及び信号対雑音比 (SNR) がある。これらのパラメータの最適状態以下の値は通信システムの動作特性の劣化をもたらす。直線性は実際の変換曲線 (アナログ出力に対するデジタル出力) と理想とする変換曲線の間の差異に関係する。フラッシュ ADC では、ADC のビット数が増加すると良好な直線性を得ることはさらに困難になる。DC オフセットはフェーズロック・ループの獲得及び追跡特性、及びビタビ復号器のような復号器の誤り検知/訂正能力を劣化させる。SNR は通信システムのビット誤り率 (BER) 特性に影響を及ぼす。なぜなら、ADC からの量子化及び回路雑音は標本化データの劣化をもたらすからである。

【0003】

多くの通信システムでは、受信 RF 信号は量子化の前にベースバンドへ下方変換 (ダウンコンバート) される。一般に、受信信号は最初の下方向変換段階において RF 周波数から中間周波数 (IF) に下方変換される。最初の下方向変換により受信器は様々な RF 周波数の信号を信号処理が実行できる固定 IF 周波数に下方変換できる。例えば、固定 IF 周波数は表面弾性波 (SAW) フィルタのような固定バンドパス・フィルタで第 2 の下方向変換段階の前に IF 信号から不要な像及び偽応答を取除くことができる。IF 信号はそれからデジタル化ベースバンド標本を提供するために標本化が行われるベースバンドに下方変換される。

【0004】

大部分の通信応用では、ADC は受信器に必要である。いくつかの応用では、その受信器は生産台数のために価格及び信頼性が重要な設計基準である商品である。さらに、CDMA 移動体通信システムのようないくつかの応用では、電力消費は受信器の遠隔/可搬性のために重要である。

【0005】

従来技術では、フラッシュ ADC または連続近似 ADC が受信信号を標本化するために使

10

20

30

40

50

用される。フラッシュADCでは、入力信号は抵抗梯子によって生成されるL-1個の基準電圧に対してL-1個のコンパレータにより比較される。フラッシュADCはL-1個のコンパレータとL個の抵抗器が必要とされるので形が大きく、そして多くの電力を消費する。更に、抵抗梯子のL個の抵抗器が適合していなければ、フラッシュADCは直線性が不十分でDCオフセット特性もよくない。しかしながら、ADCはその高速性の故に普及している。

【0006】

連続近似ADCもまた通信システムにおいてしばしば使用される。これらのADCは二つ以上の段で入力信号の近似を行うことによって複雑さを最小限にする。しかしながら、これらのADCもまたフラッシュADCで示されたのと同じ不十分な直線性と不十分なDC 10
オフセット特性を示す。従って、フラッシュADCと同様に、連続近似ADCは多くの通信応用において使用するには理想的な候補ではない。

【0007】

いくつかの応用では、改良されたデータ変換特性はシグマ デルタADC (ADC)
で達成できる。

【0008】

発明の要約

本発明は電力消費を低減するとともに、必要な動作レベルを提供するように ADCを
制御するために使用できる制御機構を提供する。 ADCは多重段（即ち、ループまたは区画）によって設計され、さらに多くの段が作動されることにより改良された動作特性 20
（例えば、高ダイナミック・レンジ）を提供する。制御機構は必要な動作特性を提供するに十分な段数を選択的に作動させ、電力を節約するために残りの段を不作動にする。制御機構は、信号路上の ADCに類似の ADCを通してADC入力信号の一以上の特性（例えば、信号レベル）を測定し、測定された特性を特定の閾レベルと比較し、所望の目的が達成されるようにその段を制御することによりこれを達成する。

【0009】

本発明の実施例は制御回路に接続された ADCを含むデータ変換回路を提供する。

ADCは入力信号を受信し、データ標本を供給するカスケード接続された多数の段を含む。制御回路は一個以上の検出器段、調整回路、及び信号処理器（シグナル・プロセッサ）を含む。検出器段は入力信号を受信し、検出信号を提供する。調整回路は検出器段に接 30
続し、検出信号を受信し、そして調整された標本を提供する。信号処理器は調整回路に接続し、調整された標本を受信し、そしてゼロ以上の段を選択的に不作動にする制御信号を提供する。

【0010】

実施例では、少なくとも一つの検出器段は 段の一つの複製（レプリカ）として実施され、それが複製する 段より少ない電流によって縮小、及び/またはバイアスされる。検出された信号は入力信号の振幅を表す。 段は検出された信号振幅に基づいて、そして多分 ADC内の段の相対的な位置に基づいて不作動にされる。特定の実施では、

ADCは二個の4次のバンドパス段または二個の2次のローパス段を含む。データ変換回路はセルラー（例えば、CDMA）受信器で使用すると有利である。 40

【0011】

本発明の別の実施例は制御回路に接続された多段回路を含む電子回路を提供する。多段回路は特定の構成（例えば、カスケード、並列など）で接続されたN個の信号段を含む。制御回路はゼロ以上の信号段を選択的に不作動にする制御信号を提供する。制御回路は一以上の検出器段、調整回路及び上述のように構成及び動作する信号処理器を含む。検出器段は信号段の複製（レプリカ）として実施され、比較的少ない電流で縮小、及び/またはバイアスされる。信号段は、例えば、入力信号の振幅に基づいて選択的に不作動にされる。

【0012】

さらに本発明の別の実施例は多数の信号段を含む多段回路を制御するために制御回路を提供する。制御回路は一以上の検出器段、調整回路、及び信号処理器を含む。少なくとも一 50

つの検出器段は一つの信号段の複製として実施される。検出器段、調整回路、及び信号処理器は上述されたように構成され、且つ動作する。制御回路は A D C 制御するために使用すると有利である。

【 0 0 1 3 】

さらに本発明の別の実施例は A D C 中の 段を制御する方法を提供する。その方法に従って、A D C 入力信号の特性は一以上の検出器段を使用して検出される。少なくとも一つの検出器段階は一つの段の複製として実施される。検出された特性は比較レベルに対して比較される。制御信号は、一部は、比較に基づいて生成される。そしてゼロ以上の段は制御信号に従って選択的に不動作にされる。検出される特性は入力信号の振幅であり、そしてその段は検出された信号振幅に基づいて不動作にされる。

10

【 0 0 1 4 】

本発明の特徴、特性、および長所は、同様な参照符号が全体にわたり対応して同一である図面と関連して取られる以下に始まる詳細な記述からさらに明らかになるであろう。

【 0 0 1 5 】

特定の実施例の詳細な説明

高速シグマ デルタ・アナログ対デジタル変換器 (A D C) は、前の標本が既に近似されているので、入力信号の帯域幅より何倍も高い標本化率で入力信号の振幅の変化の連続 1 ビット近似を行うことによって入力信号のアナログ対デジタル変換を行う。出力標本は入力信号及び量子化雑音を含む。濾波がさらに容易に実行される帯域外周波数に量子化雑音が押し込まれる (または整形される) ように A D C は設計される。

20

【 0 0 1 6 】

A D C は A D C の本来の構造のために高い信号対雑音比 (S N R)、及び良好な直線性を提供する。例えば、高い S N R は十分な過大標本化率 (O S R) と適切な雑音整形フィルタを選択することによって得られる。その上、良好な直線性及び低い D C オフセットは A D C 内の簡単な 1 ビット量子化のために得られる。

【 0 0 1 7 】

高速バンドパス A D C は中間周波数 (I F) で必要な狭帯域信号のアナログ対デジタル変換を行うために使用される。典型的な応用は C D M A 通信システム及び H D T V を含む。バンドパス A D C では、入力信号はベースバンドではなく I F 周波数にある。I F での標本化は通信システムにおける下方変換段の省略を可能にし、斯くして回路の複雑さを低減し、費用を減減し、そして信頼性を向上させる。さらに、濾波がさらに容易に実行される帯域外周波数に関心の帯域周辺の量子化雑音が押し込められるようにバンドパス A D C 中の雑音整形フィルタは設計される。

30

【 0 0 1 8 】

A D C は均等に並んだ時間区間で離散標本を提供するため連続時間のアナログ波形を標本化する。 A D C は次の伝達関数 :

【 数 1 】

$$Y(z) = G(z) * X(z) + H(z) * E(z) \quad (1)$$

を持ち、ここで Y (z) は z 変換域における A D C からの出力、X (z) は A D C への入力、E (z) は量子化雑音、G (z) は入力から出力への伝達関数、そして H (z) は量子化器から出力への伝達関数である。このように、 A D C の出力は伝達関数 G (z) により整形される入力信号プラス雑音伝達関数 H (z) により整形される量子化雑音 E (z) を含む。入力信号 X (z) の歪みを回避するために、伝達関数 G (z) は一般に周波数には無関係に設計される。例えば、G (z) は固定利得 (A 1) と、A 1 * z ^{-m} といった遅延要素 (z ⁻¹) を含む全通過関数である。濾波がさらに容易に実行される帯域外に関心の帯域 (例えば、入力信号が存在する帯域) が押し出されるように量子化雑音 E (z) は雑音伝達関数 H (z) によって整形される。必要な動作を提供するために A D C が使用、且つ設計される応用に基づいて雑音伝達関数 H (z) の特性は選択される。

40

【 0 0 1 9 】

I . A D C アーキテクチャ

50

A D Cは多くのアーキテクチャのうちの一つを用いて設計される。典型的な単一ループ A D C 1 0のブロック図は図1で示される。単一ループ A D C 1 0はA D C入力から量子化A D C出力を減算する入力加算器22を含む。加算器22からの誤差信号は第一のフィルタ24の伝達関数に従って誤差信号を濾波する第一のフィルタ24に供給される。第一のフィルタ24の出力は第一のフィルタ24の出力から量子化A D C出力を減算する加算器26に供給される。加算器26からの誤差信号は第二のフィルタ28の伝達関数に従って誤差信号を濾波する第二のフィルタ28に供給される。多くのビットがまた使用できるけれども、第二のフィルタ28の出力は一般的に1ビットに量子化され、量子化A D C出力として提供される。

【0020】

10

図1は二個のフィルタ部をもつ単一ループ A D Cを例示する。フィルタ部は A D Cの雑音整形特性を決定し、 A D Cが使用される応用に基づいて設計される。さらに多数のフィルタ部は第二のフィルタ28及び量子化器30の間に挿入される。しかしながら、単一ループ A D Cは高次の単一ループ A D Cの不安定性の懸念から二つ以下のフィルタ部で一般的に設計される。

【0021】

典型的なM A S H A D Cアーキテクチャのブロック図は図2に示される。M A S H A D Cは所望の雑音伝達関数 $H(z)$ に応じて二つ以上のループで設計される。しかしながら、三つ以上にループを追加しても大した改善の増加は達成されないので、三つ以上のループをもつM A S H A D Cは一般的に利用されない。M A S Hアーキテクチャはも

20

【0022】

図2において示されたように、M A S H A D C 1 2は三つのループ40a、40b、及び40cを含む。ループ40aはA D C入力を量子化し、出力Y1を雑音消去論理90に供給する。ループ40aからのA D C入力及び量子化雑音(X2)の一部は追加の雑音整形が行われるループ40bに供給される。最後に、ループ40bからのA D C入力及び量子化雑音(X3)の一部はさらに雑音整形が行われるループ40cに供給される。ループ40bからの出力Y2及びループ40cからの出力Y3はA D C出力を生成するためそれらをループ40aからの出力Y1と結合する雑音消去論理90に供給される。典型的な実施例では、A D C出力は各ループについて1ビットを含む。雑音除去後、ダイナミック・

30

【0023】

各ループ40内で、加算器42は入力信号と量子化器46からの量子化出力を受信する。加算器42は入力信号から量子化出力を減算し、誤差信号をループ・フィルタ44に供給する。ループ・フィルタ44は誤差信号を濾波し、1ビット値に量子化される量子化器46に濾波出力を供給する。ループ・フィルタ44は A D Cが使用される応用に基づく所望の雑音伝達関数 $H(z)$ を生成するように設計される。最後のループ40cを除く全てのループ・フィルタ44からの濾波出力は利得要素52に供給され、そして最初の利得で基準化される。最後のループ40cを除く全ての量子化器の出力は利得要素54に供給され、そして第二の利得で基準化される。利得要素54からの基準化信号は利得要素52

40

からの基準化信号から減算され、そして誤差信号は利得要素58に供給される。利得要素58は第三の利得によって誤差信号を基準化し、そして基準化誤差信号を次のループ40に供給する。利得要素52、54、及び58の利得はM A S H A D Cの雑音伝達関数 $H(z)$ に影響する。

【0024】

所望の雑音伝達関数に応じて、各ループ・フィルタ44は一以上のフィルタ部を含む。さらに多数のフィルタ部は、高S N Rといった、所望の動作特性を得るために高次の A D Cの実施をさせる。ループ・フィルタ設計は以下で詳細に記述される。

【0025】

この仕様では、M A S H A D Cは次の名称に従って示される。M A S H A - B

50

- CはA、B、及びC値で示される次数の三つのループ（A、B、及びC）を表す。例えば、MASH 4 - 2 - 2は4次フィルタをもつ第一ループ、2次フィルタをもつ第二ループ、及び2次フィルタをもつ第三ループを備えた三ループ・アーキテクチャを表す。全体で、MASH 4 - 2 - 2は8次のADCである。本発明はADCのMASH 2 - 2、MASH 4 - 2、MASH 4 - 4、MASH 4 - 2 - 2、MASH 4 - 4 - 2、MASH 4 - 4 - 4、及びその他の次数に関係する。

【0026】

単一ループかMASHかといった、所望のADCアーキテクチャの選択はいくつかの要素に依存する。一つの重要な要素は必要とされる信号対雑音比（SNR）である。SNRは最大入力信号の電力の量子化雑音の電力に対する比率として定義される。フルスケールの正弦波入力について、ADCのSNRは次の方程式：

【数2】

$$SNR = \frac{3}{2} \cdot \frac{2L+1}{\pi^{2L}} \cdot (OSR)^{2L+1} \quad (2)$$

に従って計算され、ここでLは雑音整形に使用されるループ・フィルタの次数、OSRは過大標本化率である。OSRは二側波信号帯域幅上での標本化率の比 $OSR = f_s / (2f_{BW})$ として定義される。方程式(2)は白色量子化雑音と利得1の量子化器だけを用いる単純な理論に基づいている。

【0027】

方程式(2)を用いて、SNRは典型的なCDMA応用について計算され、そこでは2 - 側波信号帯域幅 $2f_{BW} = 2.4576 \text{ MHz}$ 、標本化率は約 78.64 MHz である。これらの周波数は32のOSRを生成する。SNRは様々なループ・フィルタ次数Lについて計算され、その結果は表1に示される。ループ・フィルタ次数はADC内の全てのフィルタの次数の合計である。バンドパスADCについて、ループ・フィルタ次数Lはバンドパス・フィルタの全体次数の半分である。n次バンドパス・フィルタは $L = n / 2$ の実効次数を有する。なぜならば、バンドパス伝達関数における極はz - 平面の上半分とz - 平面の下半分の間で均等に分割されているからである。表1におけるSNR計算値は達成できる上限を表す。実際のSNRは非理想的な回路部品及びフルスケール値未満の信号の制約により計算値より10 dBから15 dB少ない。

【0028】

上述のCDMAについて、SNRはバンドパスMASH 4 - 2 ADCでは70 dB、MASH 4 - 4では85 dB、6次の単一ループ・バンドパスADCでは60 dB、そして8次の単一ループADCでは62 dBであることがシミュレートされる。シミュレーションの結果はまた表1に示される。シミュレーションの結果は雑音伝達関数 $H(z)$ においてフルスケール以下 - 10 dB及び同時発生ゼロ（例えば、全てのゼロが $z = \pm j$ にある）での入力信号を仮定する。ゼロが信号帯域幅を横断して拡散されれば、6次の単一ループADCのSNRのシミュレーション値は70 dBに改善される。同様に、8次の単一ループADCのSNRのシミュレーション値はゼロ拡散によって80 dBに改善される。しかしながら、ゼロ拡散は非理想的な回路部品のために達成困難である。MASHアーキテクチャのSNRのシミュレーション値は単一ループ・アーキテクチャのSNRより良い。

【表1】

10

20

30

40

種々の次数の $\Sigma \Delta$ ADC の計算値とシミュレーション値

ループ次数 L	BPF次数	SNR (dB)			
		計算値	実験値 MASH 4-2	実験値 MASH 4-4	実験値 単一ループ
2	4	64			
3	6	85	70		60
4	8	107		85	62

実際の実施では、MASHアーキテクチャは本来の安定性の付加利点及びループ・フィルタ設計の容易さを持っている。しかしながら、多重ループ間で量子化雑音を消去する必要性のためにMASHアーキテクチャにとって回路調整はさらに重要である。単一ループ・アーキテクチャは2次以下のループについて安定しているが、高次のループについて不安定である。高次の単一ループ設計は細心の回路設計及び完全なシミュレーションによって安定にすることができる。しかしながら、単一ループ・アーキテクチャは回路の不適合に対しさらに許容性がある。単一ループ、もしくはMASHアーキテクチャの選択は応用の要求に依存する。大抵の応用では、MASHアーキテクチャは単一ループ・アーキテクチャより好ましい。

【0029】

MASH ADC 12の雑音伝達関数 $H(z)$ はループ・フィルタ 44 の設計によって決定される。例えば、ベースバンド MASH ADC はローパス・フィルタでループ・フィルタ 44 を実施することによって設計される。同様に、バンドパス ADC はバンドパス・フィルタでループ・フィルタ 44 を実施することによって設計される。ループ・フィルタはループ内にあるので量子化雑音の雑音伝達関数 $H(z)$ はフィルタ特性の逆になる。

【0030】

典型的なベースバンド MASH ADC は伝達関数 $z^{-1} / (1 - z^{-1})$ を持つ以上の積分器を持つループ・フィルタ 44 を実施することによって設計される。フィルタ 44 内の積分器の数は所望の雑音伝達関数 $H(z)$ に依存する。図 3 A に示されるように、ローパス伝達関数は $z = +1$ に極を、原点 $z = 0$ にゼロを持つ。ローパス伝達関数の周波数応答は図 3 B に実線で示される。ローパス・フィルタは $z = +1$ の極のために DC で最高利得を有し、 $f_s / 6$ で利得 1.0、そして $f_s / 2$ で利得 0.5 を有する。ここで f_s は標準化周波数である。雑音伝達関数の周波数応答は図 3 B に破線で示される。DC 周辺の量子化雑音は高い周波数の方へ押される。

【0031】

典型的なバンドパス MASH ADC はバンドパス伝達関数 $-z^{-2} / (1 + z^{-2})$ を持つ以上の共振器を持つループ・フィルタ 44 を実施することによって設計される。ループ・フィルタ 44 内の共振器の数は所望の雑音伝達関数 $H(z)$ に依存する。例えば、4次のループは各々が上述のバンドパス伝達関数を持つ二つの共振器部を必要とする。

【0032】

バンドパス伝達関数はローパス伝達関数の z^{-1} を z^{-2} で代用にすることによってローパス伝達関数から得られる。図 3 C に示されたように、バンドパス伝達関数は $z = \pm j$ で一对の極と原点 $z = 0$ で二つのゼロを有する。バンドパス伝達関数の周波数応答は図 3 D に実線で示される。バンドパス・フィルタは $z = \pm j$ のために $f_s / 4$ で最高利得を、DC 及び $f_s / 2$ で利得 0.5 を有する。雑音伝達関数の周波数応答は図 3 D に破線で示される。 $f_s / 4$ 周辺の量子化雑音は関心の周波数帯域 $f_s / 4$ から DC 及び $f_s / 2$ へ遠ざけられる。

【0033】

II. バンドパス MASH ADC アーキテクチャ

典型的な 2ループ・バンドパス MASH ADC のブロック図は図 4 に例示される。

MASH ADC 100は二つのループ110a及び110b、フィード・フォワード要素150、及び雑音除去論理160を含む。典型的な実施例では、MASH ADC 100はアナログADC入力を受信し、そして少なくとも2ビット、各ループ110に少なくとも1ビットを持つデジタルADC出力を生成する。

【0034】

ADC入力はそれに応答して1 - ビット出力Y1を生成するループ110aに供給される。ADC入力の一部及びループ110aからの量子化雑音(X2)は追加のノイズ整形が行われるループ110bに供給される。各々、ループ110a及び110bからのそれぞれの出力Y1及びY2は雑音除去論理160に供給される。雑音除去論理160は出力Y1及びY2を結合し、ADC出力を生成する。

10

【0035】

ループ110a内で、加算器128aはADC入力及び量子化器140aから1 - ビット出力Y1を受信する。加算器128aはADC入力からY1を減算し、そして誤差信号を共振器130aに供給する。共振器130aは誤差信号を濾波し、そして濾波された出力(V1)を加算器128bに供給する。加算器128bはまた量子化器140aからY1を受信し、そしてV1からY1を減算する。加算器128aからの誤差信号はさらに誤差信号を濾波する共振器130bに供給される。共振器130bからの濾波出力(V2)はそれに応答して1 - ビット出力Y1を生成する量子化器140aに供給される。ループ110bはループ110aと同様の方法で接続される。

【0036】

共振器130bからの濾波出力V2はまた倍率 $1/k_1 k_2$ によってV2を基準化する利得要素142に供給される。量子化器140aからの出力Y1は倍率hによってY1を基準化する利得要素144に供給される。利得要素142及び144からの出力は利得要素144からの出力を利得要素142からの出力から減算する加算器146に供給される。加算器146からの誤差信号は倍率 $1/G$ で誤差信号を基準化する利得要素148に供給される。利得要素148からの出力はループ110bに供給されるX2を含む。

20

【0037】

雑音除去論理160内で、出力Y1はループ110bの処理遅延に等しい時間区間によりY1を遅らせる遅延要素172に供給される。遅延要素172からの遅れたY1はY2と時間整列される。出力Y2は倍率GによってY2を基準化する利得要素162に供給される。遅延出力Y1は倍率h⁻¹によって遅延Y1を基準化する利得要素166に供給される。利得要素162及び166からの出力は二つの基準化出力を合計する加算器164に供給される。加算器164からの結合信号は伝達関数 $N(z)$ と結合された信号を濾波する要素168に供給される。要素168からの出力及び遅延Y1はADC出力を生成するため二つの信号を合計する加算器170に供給される。

30

【0038】

バンドパス ADCについて、MASH ADC中の各共振器130はバンドパス伝達関数 $k_n * z^{-m} / (1 + z^{-2})$ によって実施される。ここで、 k_n はループ110内のn - 番目の利得で、 $m = 1$ または2である。各共振器130は一对の極を含み、2次である。各ループ110は二つの共振器130を含むので、各ループの次数は4である。全体的に、MASH ADC 100は8次のMASH 4 - 4 ADCである。要素168中の伝達関数 $N(z)$ はADCの特性に基づいて選択される。バンドパス ADCでは、 $N(z) = (1 + z^{-2})^2$ である。遅延要素172は z^{-2m} の伝達関数を有する。

40

【0039】

利得要素142、144、148、162、及び166の倍率に反映される利得 k_1 、 k_2 、h、及びGは雑音伝達関数 $H(z)$ のゼロの場所を決定する。共振器130における極は、共振器が帰還ループ内にあるから雑音伝達関数 $H(z)$ 中のゼロに変換される。初めに、 $H(z)$ 中のゼロはバンドパス ADCについて $z = \pm j$ にあるように選択される。

50

【0040】

図4に例示されたように、MASH ADC 100はバンドパス ADCである。同じトポロジーはベースバンド ADCを実施するために使用される。これは各共振器130をローパス伝達関数 $z^{-1} / (1 - z^{-1})$ を持つ積分器で置換え、要素168を伝達関数 $N(z)$ で実施し、そして伝達関数 z^{-2} を持つ遅延要素172を用意することによって容易に達成される。これらの置換えによって、MASH ADC 100は4次のベースバンドMASH 2-2 ADCに変換される。

【0041】

典型的な実施例では、MASH ADC 100の全ての要素は、雑音消去論理160を除いて、アナログ回路として実施される。しかしながら、アナログかデジタル回路のいずれかにおける要素の最適実施は ADCを実施するのに使用されるICプロセスに依存する。従って、MASH ADC 100内の必要な要素を合成するためにアナログ及びデジタル回路の様々な組合せは本発明の範囲内にある。

10

【0042】

III. バンドパス共振器の設計

バンドパスMASH 4-4 ADCは、上述されたように、バンドパス伝達関数 $z^{-2} / (1 + z^{-2})$ によってMASH ADC中の共振器130を実施することにより設計される。このように、共振器130a、130b、130c、及び130dは同じ構造を有する。しかしながら、共振器130a及び130cの利得は k_1 で、一方、共振器130b及び130dの利得は k_2 である。共振器130は図5Aに例示される。共振器130は多くの共振器構造によって実施できるが、それらのうちの四つが図5B-5Eに例示される。共振器131、132、133及び134は入力信号 R_{in} を受信し、そして出力信号 R_{out} を生成する。

20

【0043】

典型的な遅延セル共振器131のブロック図は図5Bに示される。入力信号 R_{in} は利得 k_n で入力信号を基準化する利得要素192に供給される。基準化 R_{in} は出力信号 R_{out} をまた受信し、そして基準化 R_{in} から R_{out} を減算する加算器194に供給される。加算器194からの誤差信号は標本化クロックの1クロック・サイクルだけその信号を遅延する遅延要素200aに供給される。遅延要素200aからの遅延誤差信号はさらに1クロック・サイクルだけ信号を遅延する遅延要素200bに供給される。遅延要素200bからの信号は出力信号 R_{out} を含む。

30

【0044】

典型的な無損失の離散積分器(LDI)共振器132のブロック図は図5Cに示される。入力信号 R_{in} は利得 k_n で入力信号を基準化する利得要素260に供給される。基準化 R_{in} は基準化出力信号 R_{out} をまた受信し、そして基準化 R_{in} から基準化 R_{out} を減算する加算器262に供給される。加算器262からの誤差信号は伝達関数 $z^{-1} / (1 - z^{-1})$ で信号を濾波するフィルタ264に供給される。フィルタ264からの濾波された誤差信号は伝達関数 $1 / (1 - z^{-1})$ で信号をさらに濾波するフィルタ266に供給される。フィルタ266からの信号は出力信号 R_{out} を含む。 R_{out} は利得で R_{out} を基準化する利得要素268に供給される。典型的な実施例では、 $n = 2$ で、共振器132の全体の伝達関数は $k_n * z^{-1} / (1 + z^{-2})$ である。 n の適切な選択によって、雑音伝達関数のゼロは信号帯域中に拡散できる。

40

【0045】

典型的な順方向オイラー(FE)共振器133のブロック図は図5Dに示される。入力信号 R_{in} は利得 k_n で入力信号を基準化する利得要素270に供給される。基準化 R_{in} は基準化出力信号 R_{out} をまた受信し、そして基準化入力信号 R_{in} から基準化出力信号 R_{out} を減算する加算器272aに供給される。加算器272aからの誤差信号は信号を伝達関数 $k_n * z^{-2} / (1 + z^{-2})$ で濾波するフィルタ274aに供給される。フィルタ274aからの濾波された誤差信号は、基準化 R_{out} をまた受信し、そして濾波された誤差信号から基準化 R_{out} を減算する加算器272bに供給される。加算器2

50

72bからの誤差信号は伝達関数 $k_n * z^{-2} / (1 + z^{-2})$ で信号を濾波するフィルタ274bに供給される。フィルタ274bからの信号は出力信号 R o u t を含む。R o u t は利得 で出力信号 R o u t を基準化する利得要素276に供給される。典型的な実施例では、 $n = 2$ で、共振器133の全体の伝達関数は $k_n * z^{-2} / (1 + z^{-2})$ である。

【0046】

典型的な2 - 路インタリーブ共振器134のブロック図は図5Eに示される。入力信号 R i n は利得 k_n で入力信号を基準化する利得要素280に供給される。基準化 R i n は基準化 R i n を加算器284a及び284bにそれぞれ接続するスイッチ282a及び282bに供給される。加算器284はまた遅延要素286から遅延誤差信号を受信し、そして基準化 R i n から遅延誤差信号を減算する。加算器284からの誤差信号は1標本化クロック・サイクルだけ誤差信号を遅延するために供給される。遅延要素286a及び286bからの遅延誤差信号はスイッチ288a及び288bにそれぞれ供給される。スイッチ288a及び288bは共に接続され、共振器134の出力を含む。スイッチ282a及び288aはスイッチング・クロックの一つの位相によってクロックされ、そして、スイッチ282b及び288bは第2の位相によってクロックされる。クロック信号は以下で詳細に記述される。共振器134の全体の伝達関数は $k_n * z^{-2} / (1 + z^{-2})$ である。

10

【0047】

共振器131、132、133及び134は多数のアナログ回路技術によって実施される。例えば、共振器131、132、133及び134は能動 - R C、g m - C、及びM O S F E T - Cといった連続時間アナログ回路技術によって実施される。共振器131、132、133及び134はまたスイッチド・キャパシタ及び電流切換えといった標本化データ・アナログ回路技術によって実施される。アナログ回路技術の選択はA D Cが使用される応用の要請に依存する。12ビットA D Cが80MHzの標本化率で動作している典型的なC D M A 応用に関して、様々な回路技術の動作特性が表2で表にされている。

20

【表2】

種々のアナログ回路技術の動作特性

アナログ回路技術	分解能 S N R	精度 (時定数)	速度	技術
能動 - R C	可能	不能	可能	バイポーラ / C M O S
g m - C	おそらく可能	可能 (調整が必要)	可能	B i M O S
スイッチド・キャパシタ	可能	可能	可能	C M O S
電流切換え	おそらく可能	可能	可能	デジタル C M O S

30

40

表2に記載された回路技術、またはその等価なもののどれかを用いるここに記述された機能の実施は本発明の範囲内にある。好ましい実施例では、共振器131、132、133及び134はS N R、精度、速度（スピード）、及び費用（コスト）における優れた動作特性のためにスイッチド・キャパシタ回路技術によって実施される。

【0048】

スイッチド・キャパシタ回路技術を使用する共振器131の設計は以下で詳細に記述される。共振器131内で、各遅延要素200は多くのアナログ回路技術の一つで実施される

50

。好ましい実施例では、遅延要素 200 は図 6 A で例示されたように二重標本化スイッチド・キャパシタ遅延回路 210 で実施される。最高の直線性及び雑音特性について、遅延回路 210 は完全な差動回路として実施され、ここで入力は R_{in+} 及び R_{in-} を含み、そして出力は R_{out+} 及び R_{out-} を含む。

【0049】

遅延回路 210 内で、入力信号 R_{in+} はスイッチ 220 a 及び 224 a を経由して二つの信号路に供給される。スイッチ 220 a はキャパシタ 228 a 及びスイッチ 236 a の一端に接続する。キャパシタ 228 a の他端はスイッチ 222 a 及び 232 a に接続する。スイッチ 222 a はまた AC 接地 202 に接続する。スイッチ 232 a はまた増幅器 250 の反転入力に接続し、スイッチ 236 a はまた増幅器 250 の非反転出力に接続する。同様の方法において、スイッチ 224 a はキャパシタ 230 a 及びスイッチ 238 a の一端に接続する。キャパシタ 230 a の他端はスイッチ 226 a 及び 234 a に接続する。スイッチ 226 a はまた AC 接地 202 に接続する。スイッチ 234 a はまた増幅器 250 の反転入力に接続し、スイッチ 238 a はまた増幅器 250 の非反転出力に接続する。遅延回路 210 は完全な差動回路である。遅延回路 210 の下半分は上半分の鏡像である。

10

【0050】

AC 接地 202 はキャパシタ迂回で DC バイアス電圧を接地するように実施される。DC バイアス電圧はその節点で差動信号の中間基準電圧を決定する。最良の直線性のために、信号 R_{in+} 及び R_{in-} は増幅器 250 の動作中心の近くに通常にバイアスされる。いくつかの回路設計では、差動出力 R_{out+} 及び R_{out-} は入力 R_{in} とは異なる最適 DC バイアス電圧を有する。

20

【0051】

遅延回路 210 はスイッチング・クロックの二つの相に関して入力信号 R_{in} を標本化する。図 6 B を参照して、標本化クロック f_s はスイッチング・クロックを得るために二つに分割される。典型的な実施例では、第一のクロック相を持つクロック信号 CLK1 はパブルなしで示されるスイッチ（例えば、スイッチ 224 a）に供給される。第二のクロック相を持つクロック信号 CLK2 はパブルで示されるスイッチ（例えば、スイッチ 220 a）に供給される。各クロック信号は 50 パーセント未満のデューティ・サイクルを有する。クロック信号の最小幅はキャパシタの充電時間によって決定され、次にそれはキャパシタの大きさ（サイズ）及びスイッチのオン抵抗によって決定される。

30

【0052】

図 6 A を参照して、第一のクロック相 1 の間、スイッチ 224 a 及び 226 a は ON に切換わり、そしてキャパシタ 230 a は入力信号 R_{in+} で充電される。第二のクロック相 2 の間、スイッチ 224 a 及び 226 a は OFF に切換わり、そしてキャパシタ 230 a を横断する電圧は出力 R_{out+} に供給される。キャパシタ 230 a は第一のクロック相 1 の間に充電され、そして第二のクロック相 2 の間出力 R_{out+} に供給される。従って、遅延回路 210 によって提供される遅延は 2 分の 1 スwitchング・クロック・サイクル、または 2 分の 1 標本化クロック・サイクルである。同様に、キャパシタ 228 a は第二のクロック相 2 の間充電され、そして第一のクロック相 1 間出力 R_{out+} に供給される。二つの信号路は、一つはキャパシタ 230 a を介して、第二はキャパシタ 228 a を介して、異なるクロック相で動作し、増幅器 250 を共用するのみである。

40

【0053】

二重標本化スイッチド・キャパシタ回路を用いて、入力信号 R_{in} は、二つの信号路を経由して、スイッチング・クロックの両相で出力 R_{out} に供給され、それによりたとえスイッチが 2 分の 1 標本化クロック ($f_s / 2$) で ON 及び OFF に切換えられても標本化クロック周波数 f_s で R_{in} の標本化が行われる。二重標本化スイッチド・キャパシタ回路はスイッチが標本化周波数の半分でクロックが可能で、斯くしてキャパシタ及び増幅器に最終値に定まるのに多くの時間を許容する。スイッチド・キャパシタ回路の動作速度は回路で使用される増幅器の整定時間によって決定されるので、スイッチング・クロックの

50

両相の間に同じ増幅器を使うことは増幅器をさらに速く整定することを必要とせずに標本化率を2倍に増加する。

【0054】

しかしながら、標本化スイッチド・キャパシタ回路は信号路の不整合に対して敏感である。ADCの最初の標本化段における不整合は出力標本において劣化をもたらす。次の段における不整合は雑音整形され、そして顕著な劣化にはならない。キャパシタにおける不整合または不均等なクロック相による不整合といった二つの信号路の間の不整合は、第一の段において出力標本に現れる入力信号の像を生成する。良好な回路設計規定を使うことによって、キャパシタ不整合は1パーセント以下まで低減でき、それにより像の振幅を-40dBに、または入力信号の振幅のさらに下に最小化する。スイッチング・クロックは不均一なクロック相を最小限にするように設計される。代わりに、スイッチング・クロックを得るための二分割操作の前に、最初の標本化段は主クロックでクロックされる。クロック・ジッターはきれいな外部クロック源を使うことによって低減される。このトポロジはまた増幅器負荷が少ないので単一標本化トポロジよりさらに速い整定時間を持つ。

10

【0055】

IV. バンドパスMASH4-4ADCの設計

図4を参照して、各ループ110は二つの共振器部120を含む。各共振器部120は加算器128及び共振器130を含む。図5Bで示されたように、共振器130は遅延セル共振器131を含む。各遅延セル共振器131は二つの遅延要素200を含む。図6Aで示されたように、各遅延要素200は二重標本化スイッチド・キャパシタ遅延回路210

20

【0056】

共振器部120を実施する、二重標本化スイッチド・キャパシタ共振器回路の概要図は図7Aで示される。共振器回路121は遅延要素及び加算回路300及び遅延回路310を含む。回路300は加算器128、利得要素192、加算器194、及び遅延要素200aを組込む(図4及び5B参照)。遅延回路310は遅延要素200bを実施する。

【0057】

図7Aを参照して、回路300内で、入力信号 V_{ip} は二つの信号路に供給され、第一の信号路はスイッチ324aを経由する。スイッチ324aはキャパシタ330a及びスイッチ314aの一端に接続する。キャパシタ330aの他端はスイッチ326a及び334aに接続する。スイッチ326aはまたAC接地に接続し、スイッチ334aはまた増幅器350aの反転入力に接続する。スイッチ314aは以下に記述される量子化器出力 Y_{p1} に接続する。スイッチ326a及び334aはキャパシタ318aの一端に接続する。キャパシタ318aの他端はスイッチ344a及び338aに接続する。スイッチ338aはまた増幅器350aの非反転出力に接続する。スイッチ344aはまた遅延回路310内で増幅器350bの反転出力に接続する。

30

【0058】

回路300における第一の信号路の動作は次のように記述される。第一のクロック相1の間、スイッチ324a及び326aはONに切換えられ、キャパシタ330aは入力信号 V_{ip} で充電される。第二のクロック相2の間、スイッチ324a及び326aはOFFに切換えられ、スイッチ314a、334a、及び338aはONに切換えられる。入力信号 Y_{xp1} 及びキャパシタ330aを横断する電圧はキャパシタ330a及び318aの比(C_s/C_f)により基準化され、そして増幅器350aの非反転出力に供給される。また、第一のクロック相1の間に、スイッチ344aはONに切換えられ、そして増幅器350bの反転出力からの信号は帰還(フィードバック)され、キャパシタ318aを充電する。キャパシタ318aを横断する電圧は第二のクロック相2の間増幅器350aの非反転出力で反映される。

40

【0059】

上述の議論は回路300内の第一の信号路の回路接続及び動作を記述する。同一の回路はスイッチが交互の相でクロックされることを除けば第一の信号路と同じように動作する第

50

二の信号路に提供される。このように、入力信号 V_{ip} はスイッチング・クロックの両方の相で増幅器 350a の出力に供給される。

【0060】

回路 300 は完全な差動回路である。同一の回路は反転入力信号 V_{in} のために用意される。回路 300 の下半分は上半分の鏡像である。

【0061】

回路 300 は加算器 128、利得要素 192、及び加算器 194 の機能を含む（図 4 及び 5B 参照）加算器 194 の機能は第二の遅延要素の出力をキャパシタ 316 及び 318 にそれぞれ接続するスイッチ 342 及び 344 により提供される。電圧 V_{on} は第一のクロック相 1 の間キャパシタ 318a に蓄えられ、そして第二のクロック相 2 の間 V_b での電圧から減算される。加算器 128 の機能は量子化器の出力をキャパシタ 328 及び 330 にそれぞれ接続するスイッチ 312 及び 314 により提供される。量子化器の出力電圧 Y_{p1} は、第二のクロック相 2 の間キャパシタ 330a に供給され、そして V_b での電圧に加算される。

10

【0062】

遅延回路 310 は図 6A における遅延回路 210 と同一で、遅延回路 210 について上に記述されたと同じ方法で動作する。遅延回路 310 は 2 分の 1 スwitching・クロック・サイクル、または 1 標本化クロック・サイクルだけ回路 300 からの出力を遅延する。増幅器 350b からの出力は共振器回路 121 の出力を含む。

【0063】

共振器回路 121 は V_{ip} から V_{op} への次の伝達関数

20

【数 3】

$$H_R(z) = \frac{C_s}{C_f} \cdot \frac{z^{-2}}{1+z^{-2}} \quad (3)$$

を有する。 Y_{xp1} から V_{op} への伝達関数は $-H_R(z)$ である。この表記では、 Y_x は第一 ($x=1$) のループまたは第二 ($x=2$) のループからの量子化器出力を表し、 p または n は (+) または (-) 信号を表し、そして 1 または 2 は量子化器出力のクロック相を表す。 Y_{xp1} から V_{op} への電圧利得はキャパシタ 330a のキャパシタ 318a に対する比 $-C_s/C_f$ である。このように、利得要素 192 の利得は $k_n = C_s/C_f$ として設定される。

30

【0064】

各共振器部 120 を共振器回路 121 によって実施したので、図 4 の MASH ADC 100 は図 8 に示されたように 8 次のバンドパス MASH 4-4 ADC として実施される。図 4 の各共振器部 120 は図 8 の二重標本化スイッチド・キャパシタ共振器回路 121 と置換えられる。共振器回路 121 内で、遅延回路 310 から回路 300 へのフィードバックは簡単にするために示されない。同じく、図 4 の雑音消去論理 160 は簡単にするために図 8 では示されないことに注意を要す。

【0065】

図 4 の量子化器 140a は二つの同期比較器（コンパレータ）390a 及び 390b を含む量子化器 141a で実施される。比較器 390a は第一の相 1 を持つ CLK1 によってクロックされ、そして比較器 390b は第二の相 2 を持つ CLK2 によってクロックされる（図 6B 参照）。比較器 390a 及び 390b への差動入力信号は回路 300b の出力によって供給される。これは量子化器 141a が 2 分の 1 スwitching・クロック・サイクルの遅れを持っているからである。量子化器 141a への入力 は 2 分の 1 スwitching・クロック・サイクルの遅れをまた提供する遅延回路 310b の前で取られる。この方法で接続されて、量子化器 141a は時間で正確に整列される。各比較器 390 は差動出力を提供する。比較器 390a は差動出力信号 Y_{1p1} 及び Y_{1n1} を供給し、そして比較器 390b は差動出力信号 Y_{1p2} 及び Y_{1n2} を供給する。四つの量子化器の出力は、まとめて Y_1 として引用され、図 4 及び図 8 によって示されたように回路 3

40

50

00a、300b、及び151に供給される。

【0066】

図4及び図8を参照して、フィード・フォワード利得要素150は回路設計を単純化するために回路300cに組込まれる。図4を参照して、共振器130bの出力(V2)からX2への利得は $1/k_1 k_2 G$ で、量子化器140aからX2への出力(Y1)への利得は $-h/G$ である。フィード・フォワード利得要素150の全体の伝達関数は $X2 = Av1 * V2 - Av2 * Y1$ として計算され、ここで $Av1 = 1/k_1 k_2 G$ 及び $Av2 = h/G$ である。

【0067】

バンドパスMASH 4-4 ADCの利得 k_1 、 k_2 、 h 、及び G は最適なSNR及び回路実施が容易になるように選択される。混在アナログ及びデジタル設計シミュレーション・ツールを使用して、次の典型的な値が利得について選択される：

【数4】

$$k_1 = 0.5, \quad k_2 = 0.5, \quad h = 2, \quad G = 4 \quad (4)$$

利得 k_1 、 k_2 、 h 、及び G についての他の値もまた利用でき、本発明の範囲内にある。方程式(4)に示された利得値、及び過大標本化率32を用いて、SNR対入力信号レベルが図9に示される。ピークSNRは90dBを越える。

【0068】

回路300cに関連してフィード・フォワード利得要素150を実施する典型的なフィード・フォワード利得回路151の概要図は図7Bに例示される。量子化器141a(図8参照)からの量子化器出力 $Y1p_2$ 、 $Y1p_1$ 、 $Y1n_1$ 、及び $Y1n_2$ はスイッチ372a、376a、376b、及び372bにそれぞれ供給される。スイッチ372a、376a、376b、及び372bは図7Aの共振器回路121内の節点Va、Vb、Vc、及びVdに接続されるキャパシタ380a、382a、382b、及び380bの一端に接続する。キャパシタ380a、382a、382b、及び380bの他端はスイッチ374aと384a、378aと386a、378bと386b、及び374bと384bにそれぞれ接続する。スイッチ374a、378a、378b、374b、384a、386a、386b、及び384bはまたAC接地202に接続される。

【0069】

利得値 $Av1$ 及び $Av2$ は計算されて、フィード・フォワード利得回路151に組込まれる。方程式(4)から $k_1 = 0.5$ 、 $k_2 = 0.5$ 、 $h = 2$ 、及び $G = 4$ の値を使うと、利得値は $Av1 = 1$ 及び $Av2 = 0.5$ になる。図7A及び7Bを参照して、量子化器141aの出力 $Y1p_1$ から増幅器350aの非反転出力への利得はキャパシタ382a及び318aの比、または $Av2 = Cq/Cf = 0.5$ によって決定される。従って、キャパシタ382aの容量(キャパシタンス)はキャパシタ318aの値の半分になるように合成される。図8を参照して、共振器回路121bの出力 $V2p$ (図7Aの Vip に対応する)から増幅器350aの非反転出力への利得はキャパシタ330a及び318aの比、または $Av1 = Cs/Cf = 1.0$ によって決定される。このように、キャパシタ330aの値はキャパシタ318aと同じ容量になるように合成される。しかしながら、キャパシタ330a及び318aはまた利得要素192を実施する(図5B参照)。典型的な実施例では、方程式(4)で示されたように利得 $k_n = k_1 = k_2 = 0.5$ である。従って、キャパシタ330aはキャパシタ318aの容量の半分になるように選択される。

【0070】

典型的な実施例では、図4の雑音消去回路160はデジタル論理で実施される。8次のバンドパスMASH ADCについて、遅延要素172は z^{-4} の伝達関数を持ち、カスケード接続された四つのDフリップ・フロップで実施されており、その設計及び実施は当技術分野では周知である。二つの加算器と四組のDフリップ・フロップで実施される要素168の伝達関数は $N(z) = (1 + z^{-2})^2$ で、その実施は当技術分野では周知である。

10

20

30

40

50

【 0 0 7 1 】

上で述べられたように、二重標本化スイッチド・キャパシタ回路は信号路の不整合に対して敏感である。しかしながら、最初の標本化段の次の段における信号路不整合は雑音整形され、顕著な像にはならない。図 8 を参照して、図 7 A に例示される遅延要素及び加算器回路 3 0 0 a 内では、入力標本化キャパシタ 3 2 8 及び 3 3 0 だけがキャパシタ値の不整合に敏感で、そして入力標本化スイッチ 3 2 0、3 2 2、3 2 4、及び 3 2 8 だけがスイッチング・クロックの不均衡クロック相に敏感である。信号路不整合は以下で記述される回路設計技術の使用により最小化できる。

【 0 0 7 2 】

図 3 D を参照して、バンドパス MASH 4 - 4 ADC 1 0 1 は $f_s / 4$ 周辺のスペクトル成分が DC 及び $f_s / 2$ の方へ押されるように量子化雑音の雑音整形を提供する。最適な動作特性のために、標本化される入力信号は $f_s / 4$ の近くに置かれなければならない。入力信号が標本化周波数より高い IF に集中し、そして標本化のエイリアシング特性が IF からの入力信号をさらに低い周波数に下方変換するために使用される低標本化応用について、入力信号は $IF = (2n + 1) * f_s / 4$ の近くに置かれなければならない。ここで、 n はゼロより大きい整数、またはゼロである。

【 0 0 7 3 】

V . 代わりのバンドパス共振器の設計

バンドパス共振器は様々な他の構造によって合成され、そのうちの三つが図 5 C - 5 E に例示される。典型的な実施例では、図 5 C の損失のない離散積分器 (LDI) 共振器 1 3 2 は図 1 0 A の単一標本化スイッチド・キャパシタ LDI 共振器回路 4 0 2 で実施され、図 5 D の順方向オイラー (FE) 共振器 1 3 3 は図 1 0 B の単一標本化スイッチド・キャパシタ FE 共振器回路 4 0 3 で実施され、そして図 5 E の 2 - 路インタリーブ共振器 1 3 4 は図 1 0 C の疑似 2 - 路スイッチド・キャパシタ共振器回路 5 0 2 と図 1 0 E - 1 0 F の二独立路共振器回路 5 0 3 で実施される。これらは共振器 1 3 2、1 3 3 及び 1 3 4 の典型的な実施である。表 2 に記載された回路技術を利用する他の実施は本発明の範囲内にある。

【 0 0 7 4 】

単一標本化スイッチド・キャパシタ回路を使用する遅延セルによる共振器 1 3 2 の実施は図 1 0 A に示される。LDI 共振器回路 4 0 2 の最初の区画内で、入力信号 V_{ip} はスイッチ 4 1 4 a に供給される。スイッチ 4 1 4 a はキャパシタ 4 2 2 a 及びスイッチ 4 1 8 a の一端に接続する。キャパシタ 4 2 2 a の他端はスイッチ 4 2 4 a 及び 4 2 6 a に接続する。スイッチ 4 1 8 a 及び 4 2 4 a はまた AC 接地 2 0 2 に接続する。スイッチ 4 2 6 a 及び 4 3 0 a 及びキャパシタ 4 3 6 a の一端は増幅器 4 5 0 a の反転入力に接続する。キャパシタ 4 3 6 a の他端はスイッチ 4 4 0 a 及び 4 4 4 a に接続する。スイッチ 4 4 0 a はまた AC 接地 2 0 2 に接続し、スイッチ 4 4 4 a はまた増幅器 4 5 0 a の非反転出力に接続する。スイッチ 4 3 0 a はまたスイッチ 4 3 2 a 及びキャパシタ 4 3 4 a の一端に接続する。キャパシタ 4 3 4 a の他端はスイッチ 4 3 8 a 及び 4 4 2 a に接続する。スイッチ 4 3 2 a 及び 4 3 8 a はまた AC 接地 2 0 2 に接続し、そしてスイッチ 4 4 2 a は増幅器 4 5 0 a の非反転出力に接続する。

【 0 0 7 5 】

第一の区画と同一の第二の区画は第一の区画とカスケード接続される。第二の区画は第一の区画にフィード・バックされる。増幅器 4 5 0 b の反転出力はスイッチ 4 1 2 a に接続する。スイッチ 4 1 2 a はまたスイッチ 4 1 6 a 及びキャパシタ 4 2 0 a の一端に接続する。スイッチ 4 1 6 a はまた AC 接地 2 0 2 に接続する。キャパシタ 4 2 0 a の他端はスイッチ 4 2 4 a 及び 4 2 6 a に接続する。LDI 共振器回路 4 0 2 は完全な差動回路である。LDI 共振器回路 4 0 2 の下半分は上半分の鏡像である。増幅器 4 5 0 b の出力は共振器回路 4 0 2 の出力を含む。

【 0 0 7 6 】

LDI 共振器回路 4 0 2 は標本化周波数でクロックされる。LDI 共振器回路 4 0 2 は標

10

20

30

40

50

本化周波数とキャパシタの比の関数である共振周波数を有する。LDI共振器回路402の伝達関数は：

【数5】

$$H_{LDI}(z) = \frac{z^{-2}}{1 + (2 - \beta)z^{-1} + z^{-2}} \quad (5)$$

である。ここで、 $C_s = C_h = C_i$ 及び $\beta = C_f / C_s$ である。 β を変えることにより、LDI共振器を利用するADCの雑音伝達関数 $H(z)$ のゼロは $f_s / 4$ の周りに拡散される。LDI共振器回路402はキャパシタ不整合に対する感度のために16より大きい過大標本化には効果がない。

10

【0077】

単一標本化スイッチド・キャパシタ回路を使用するFE共振器133の実施は図10Bに示される。FE共振器回路403の第一の区画内で、入力信号 V_{ip} はスイッチ472aに供給される。スイッチ472aはキャパシタ476a及びスイッチ474aの一端に接続する。キャパシタ476aの他端はスイッチ478a及び482a、及びキャパシタ480aの一端に接続する。スイッチ474a及び478aはまたAC接地202に接続する。スイッチ482aはまた増幅器490aの反転入力に接続する。キャパシタ484aは増幅器490aの反転入力及び非反転出力に接続する。

【0078】

第一の区画と同一の第二の区画は第一の区画とカスケード接続される。第二の区画の出力は第一の区画にフィード・バックされる。増幅器490bの反転出力はスイッチ488cに接続する。スイッチ488cはスイッチ486cとキャパシタ480a及び480cの他端に接続する。スイッチ486cはまたAC接地202に接続する。FE共振器回路403は完全な差動回路である。FE共振器回路403の下半分は上半分の鏡像である。増幅器490bの出力は共振器回路403の出力を含む。

20

【0079】

FE共振器回路403は標本化周波数でクロックされる。FE共振器回路403は標本化周波数及びキャパシタの比の関数である共振周波数を有する。FE共振器回路403の伝達関数は：

【数6】

$$H_{FE}(z) = \frac{z^{-2}}{1 + (2 - \beta)z^{-1} + z^{-2}} \quad (6)$$

30

である。ここで、 $C_{f1} = C_{f2} = C_f$ 、 $C_{s1} = C_{s2} = C_{i1} = C_{i2} = C_i$ 、及び $\beta = C_f / C_i$ である。 β を変えることにより、FE共振器を利用するADCの雑音伝達関数 $H(z)$ のゼロは $f_s / 4$ の周りに拡散される。FE共振器回路403はLDI共振器回路402より速い整定時間を有する。

【0080】

疑似2-路単一標本化スイッチド・キャパシタ回路を使用する2-路インタリーブ共振器134の実施は図10Cに示される。共振器回路502内で、入力信号 V_{ip} はスイッチ512aに供給される。スイッチ512aはキャパシタ516a及びスイッチ514aの一端に接続する。キャパシタ516aの他端はスイッチ518a及び520aに接続する。スイッチ514a及び518aはAC接地202に接続する。スイッチ520a及び524a、及びキャパシタ534aの一端は増幅器550の反転入力に接続する。キャパシタ534aの他端はスイッチ540a及び546aに接続する。スイッチ540aはまたAC接地202に接続し、スイッチ546aはまた増幅器550の非反転出力に接続する。スイッチ524aはまたスイッチ522a、526a、及び528aに接続する。スイッチ522aはまた増幅器550の非反転入力に接続する。スイッチ526a及び528aはまたキャパシタ530a及び532aの一端にそれぞれ接続する。キャパシタ530aの他端はスイッチ536a及び542aに接続する。キャパシタ532aの他端はスイ

40

50

ッチ 538a 及び 544a に接続する。スイッチ 536a 及び 538a はまた AC 接地 202 に接続し、スイッチ 542a 及び 544a はまた増幅器 550 の非反転出力に接続する。共振器回路 502 は完全な差動回路である。共振器回路 502 の下半分は上半分の鏡像である。増幅器 550 の出力は共振器回路 502 の出力を含む。

【0081】

共振器回路 502 は標準化周波数でクロックされる。共振器回路 502 は標準化周波数とキャパシタの比の関数である共振周波数を有する。共振器回路 502 の利点は一つの増幅器 550 が二つの遅延に必要とされることである。その欠点は 8 クロック相が必要なこと及び標準化周波数で共振器回路 502 を動かす必要があることである。共振器回路 502 に必要なクロック信号は図 10D に示される。共振器回路 502 の伝達関数は：

10

【数 7】

$$H_{PTP}(z) = \frac{C_s}{C_h} \cdot \frac{z^{-2}}{1+z^{-2}} \quad (7)$$

である。

【0082】

2 - 路インタリーブ共振器 134 はまた図 10E - 10F に示されたように二つの独立信号路単一標準化スイッチド・キャパシタ回路を用いて実施される。共振器回路 503a 内で、入力信号 V_{ip} はスイッチ 562a に供給される。スイッチ 562a はキャパシタ 566a 及びスイッチ 564a の一端に接続する。キャパシタ 566a の他端はスイッチ 568a 及び 570a に接続する。スイッチ 564a 及び 568a はまた AC 接地 202 に接続する。スイッチ 570a 及びキャパシタ 578a の一端は増幅器 590a の反転入力に接続する。キャパシタ 578a 他端は増幅器 590a の非反転出力に接続する。スイッチ 574a は増幅器 590a の非反転入力に接続する。スイッチ 574a はまたスイッチ 572a 及びキャパシタ 576a の一端に接続する。キャパシタ 576a の他端はスイッチ 580a 及び 582a に接続する。スイッチ 572a 及び 580a はまた AC 接地 202 に接続する。スイッチ 582a はまた増幅器 590a の非反転出力に接続する。増幅器 590a の非反転出力はスイッチ 584a に接続する。スイッチ 584a の他端は出力信号 V_{op} を含む。

20

【0083】

共振器回路 503a は完全な差動回路である。共振器回路 503a の下半分は上半分の鏡像である。共振器回路 503a は入力信号の一つの信号路を含む。共振器回路 503a は第二の信号道を含む。共振器回路 503b は共振器回路 503a と同じように接続されるが、スイッチは交替のクロック相で動作する。

30

【0084】

共振器回路 503 は標準化周波数の 2 分の 1 でクロックされる。共振器回路 503 は標準化周波数とキャパシタの比の関数である共振周波数を有する。共振器回路 503 は速い整定時間を有する。しかしながら、二つの独立信号路のために、信号路の整合は維持するのがさらに難しい。共振器回路 503 の伝達関数は、以下である。

【数 8】

$$H_{TIP}(z) = \frac{C_1}{C_3} \cdot \frac{z^{-2}}{1+z^{-2}} \quad (8)$$

40

VI . 多重標準化バンドパス共振器の設計

本発明の二重標準化スイッチド・キャパシタ・バンドパス共振器回路はさらに多重標準化共振器回路に拡張できる。典型的な四重標準化スイッチド・キャパシタ共振器回路 802 の概要図は図 10G に例示される。図 10G は共振器回路の上半分だけを例示する。差動入力の V_{in} が印加される下半分は上半分と同一であるが簡単にするため示されていない。

【0085】

50

共振器回路 802 内で、入力信号 V_{ip} は四つの信号路に供給され、第一の信号はスイッチ 820a を経由する。スイッチ 820a はキャパシタ 824a 及びスイッチ 826a の一端に接続する。スイッチ 826a は量子化器出力 Y_{xp1} に接続する。キャパシタ 824a の他端はスイッチ 822a 及び 830a、及びキャパシタ 828a の一端に接続する。スイッチ 822a はまた AC 接地 202 に接続し、スイッチ 830a はまた増幅器 350a の反転入力に接続する。キャパシタ 828a の他端はスイッチ 832a 及び 834a に接続する。スイッチ 832a はまた増幅器 850a の非反転出力に接続し、そしてスイッチ 834a また増幅器 850a の反転出力に接続する。

【0086】

共振器回路中の第一の信号路の動作は次のように記述される。第一のクロック相 1 の間、スイッチ 820a 及び 822a は ON に切換えられ、そしてキャパシタ 824a が入力信号 V_{ip} で充電される。第三のクロック相 3 の間、スイッチ 820a 及び 822a は OFF に切換えられ、そしてスイッチ 826a、830a、及び 834a は ON に切換えられる。信号 Y_{xp1} 及びキャパシタ 824a を横断する電圧はキャパシタ 824a 及び 828a の比 (C_s / C_f) によって基準化され、そして増幅器 850a の非反転出力に供給される。同じく、第一のクロック相 1 の間、スイッチ 832a は ON に切換えられ、そして増幅器 850a の反転出力からの信号はフィード・バックされ、キャパシタ 828a を充電する。キャパシタ 828a を横断する電圧は第三のクロック相 3 の間増幅器 850a の非反転出力で反映される。増幅器 850a 及び 850b からの非反転出力は次の共振器部に供給される出力 V_{op13} 及び V_{op24} をそれぞれ含む。

【0087】

他の三つの信号路は図 10G に示されたと同様の方法で接続される。他の三つの信号路はまた第一の信号路と同様の方法で動作する。しかしながら、他の三つの信号路中のスイッチは図 10H に示されたように異なる位相を持つスイッチング・クロックで切換えられる。このように、共振器回路 802 中の各スイッチは 4 標本化クロック・サイクル毎に ON 及び OFF に切換えられる。このことは増幅器が最終値に落ち着くのに多くの時間を許容する。別の方法で見ると、特定の動作特性を有する増幅器はスイッチング周波数の四倍で効果的に標本化される ADC を実施するために使用される。しかしながら、キャパシタ値の不整合、スイッチング・クロックの不均等なクロック相、及び増幅器の不整合による信号路の不整合は ADC 出力に像が出現する原因となる。

【0088】

VII . 他の考察事項

本発明の ADC の二重標本化スイッチド・キャパシタ回路はキャパシタ値における不整合及び / またはスイッチング・クロックの不均一な位相に起因する信号路の不整合に対して敏感である。キャパシタの不整合は普通の重心配置技法といった当技術分野では既知の回路設計技術を利用することによって 1 パーセント以下に低減できる。

【0089】

二重標本化スイッチド・キャパシタ回路は二相のスイッチング・クロックで信号を標本化する。そのスイッチング・クロックは二分割のスイッチング・クロックである (図 6B 参照)。二分割がいくらか位相非対称性を引起せれば、位相不整合によって入力信号の像が出力に現れる。二分割動作の前に、主クロック、即ち標本化クロックを用いて、最初の標本化段 (図 7A のスイッチ 320、322、324、及び 326) をクロックすることでこの問題は解決される。

【0090】

最初の標本化段のクロック・ジッターもまた重要である。クロック・ジッターは量子化雑音に変る。クロック・ジッターはきれいな外部クロック源で最初の標本化段をクロックすることにより低減できる。ADC がさらに低周波数の IF で信号を下方変換するのに使用される低標本化応用では、ジッターのスペクトル密度は低標本化率の二乗で増加する。例えば、220MHz の IF 及び 80MHz の標本化率では、位相雑音は $8.8 \text{ dB} [20 \log (220 \text{ MHz} / 80 \text{ MHz})]$ で増加する。低標本化応用では、クロック・ジッ

10

20

30

40

50

ターの要求はさらに厳しい。

【0091】

本発明の ADC は二重標本化スイッチド・キャパシタ回路で実施されるバンドパス MASH 4 - 4 ADC について詳細に説明されてきた。上述の回路設計技術はまた図 1 に示される単一ループ ADC のアーキテクチャに適用できる。このように、単一ループ ADC は本発明の範囲内にある。

【0092】

ベースバンド ADC はローパス・フィルタで図 1 - 2 のフィルタを実施して設計できる。例えば、ベースバンド MASH 2 - 2 ADC はローパス伝達関数 $z^{-1} / (1 - z^{-1})$ を持つ積分器で図 4 の共振器 130 を代用して設計できる。このように、ベースバンド単一ループ及び MASH ADC は本発明の範囲内にある。

10

【0093】

本発明の ADC のフィルタは能動 RC、gm - C、MOSFET - C、スイッチド・キャパシタを含め、様々なアナログ回路設計技術によって実施される。さらに、スイッチド・キャパシタ及び切換電流回路が単一標本化、二重標本化、または多重標本化設計になりうる。

【0094】

従って、単一標本化、二重標本化、または多重標本化設計を利用して能動 RC、gm - C、MOSFET - C、スイッチド・キャパシタ、または切換電流で合成される単一ループ及び MASH アーキテクチャで実施されたバンドパス及びベースバンド ADC の組合せ及び並べ替えは本発明の範囲内にある。

20

【0095】

本発明のいくつかの実施例は MOSFETs を用いて実施された回路構成によって記述されてきた。本発明はまた BJTs、FETs、MESFETs、HBTs、P - FEMTs、及びその他を含む他の回路でも実施される。同じく、P - MOS 及び N - MOS も本発明を実施するために使用できる。ここに使用されたように、「トランジスタ」は一般にあらゆる能動回路を引用し、BJT に限定されない。

【0096】

VIII . 電力消費の最小化

CDMA 通信システムのような多くの応用において、電力消費は本発明の ADC が使用される電話の可搬性のために重要な設計考察事項である。ADC は高いダイナミック・レンジが必要とされないとき、ADC の選択区画を不作動にすることによって電力消費を最小限にするように設計ができる。さらに、ADC は ADC 入力の信号レベル及び必要な動作特性に基づいてバイアス電流の調整ができるように設計ができる。

30

【0097】

典型的な実施例では、ADC は 12 ビットの分解能がある。この設計は ADC へのさらに悪い場合の信号レベルを予想している。CDMA 応用では、約 4 ビットの分解能が所望の信号 (例えば、CDMA 信号) のために必要とされ、そして残りのビットの分解能は大振幅の偽信号 (または、妨害信号) のため、及び AGC 制御のために用意されている。典型的な実施例では、12 ビットの分解能は 2 - ループ MASH 4 - 4 アーキテクチャによって与えられる。図 4 を参照して、ループ 110 a は高ダイナミック・レンジと低雑音基盤を提供する。ループ 110 b は追加のダイナミック・レンジを提供するが、ループ 110 a より僅かに高い雑音基盤を持つ。ループ 110 a のより低い雑音基盤はより大きなキャパシタを持ち、且つループ 110 a 内の増幅器をより高いバイアス電流でバイアスすることの結果である。

40

【0098】

本発明において、各ループは、ADC 入力の信号レベル及び必要な動作特性に基づいて、電力消費を最小にするため選択的に不作動にできる。さらに、各共振器 130 内の増幅器のバイアス電流は ADC 入力の信号レベル及び必要な動作特性に基づいて調整できる。高いダイナミック・レンジが必要なとき、ADC 入力はループ 110 a に供給され、全ての

50

増幅器のバイアス電流は高く設定され、そしてMASH ADC110は上述の方法で作る。この状況はCDMA信号と+58dBcの二つの大きな妨害信号(jammer)を含むADC入力またはCDMA信号と+72dBcの一つの大きな妨害信号を含むADC入力に起因する。これらの要求は「TIA/EIA/IS-98-A 内部変調偽応答減衰(Intermodulation Spurious Response Attenuation)」（以降IS-98-A規格）により指定される。実際には、この状況はまれにしか発生しない。

【0099】

妨害信号振幅が減少するにつれて、高いダイナミック・レンジは必要とされない。これが発生するとき、ループ110bは不作動にできて、そしてループ110aからの出力Y1はADC出力を含む。代わりに、ループ110aは不作動にでき、ADC入力はループ110bに供給され、そしてループ110bからの出力Y2はADC出力を含む。このように、一乃至二のループは必要なダイナミック・レンジを提供することが可能になる。

10

【0100】

各共振器130における増幅器のバイアス電流は必要な動作特性を提供している間に電力消費を最小にするように調整される。典型的な実施例では、ループ110aは最大10mAのバイアス電流を消費するように設計され、そして、第二のループ110bは最大8mAのバイアス電流を消費するように設計される。典型的な実施例では、ループ110a内で、共振器130a内の増幅器は6mAを消費するように設計され、そして共振器130b内の増幅器は4mAを消費するように設計される。高いダイナミック・レンジが必要と
20
ないとき、各増幅器のバイアス電流は高く設定される。高いダイナミック・レンジが必要でないとき、バイアス電流は減少できる。例えば、共振器130a内の増幅器のバイアス電流は6mAから2mAに減少され、そして共振器130b内の増幅器のバイアス電流は4mAから2mAに減少される。同様に、高いダイナミック・レンジが必要でないとき、ループ110b内の増幅器のバイアス電流は従って減少される。

20

【0101】

増幅器のバイアス電流の調整はループの不作動とは無関係に行われ、またはループの不作動と連携して行われる。実際、解析及び測定がADCの様々な構成のダイナミック・レンジを確かめるために行われる。それから、必要なダイナミック・レンジに基づいて、ADCがその結果として構成される。電力消費を最小限にするようにADCを構成するために使われる様々な方法は本発明の範囲内にある。

30

【0102】

典型的な実施例では、必要なダイナミック・レンジは所望の信号(例えば、CDMA信号)の電力レベル及びADC入力の電力レベルを測定することによって見積られる。ADC入力の電力レベルは電力検出器で測定される。電力検出器は当技術分野で既知の方法で実施される。所望の信号の電力レベルは好ましくない像及び偽信号を取除くためにデジタル信号処理後、所望の信号のRSSIを計算することによって測定される。RSSI測定は、「高ダイナミック・レンジ閉ループ自動利得制御回路(HIGH DYNAMIC RANGE CLOSED LOOP AUTOMATIC GAIN CONTROL CIRCUIT)」と題し、1992年4月21日に発行され、本発明の譲請人に譲渡され、ここに引用文献として組込まれた米国特許第5,107,225号に詳細に記述されている。代わりに、必要なダイナミック・レンジは
40
ADCが組込まれる受信器の動作態様に基づいて決定される。

40

【0103】

IX. 制御回路

上に述べたように、必要なデータ変換動作特性を提供すると共に電力消費を低減させるために、制御機構は一以上のADCのループを選択的に作動可能にし、そして残りのループを不作動にするために使用される。制御機構はADC入力信号の一以上の特性(例えば、信号レベル)を測定し、測定された特性を特定の閾レベルと比較し、そして所望の或いは必要な動作特性が達成されるようにループを制御する。

【0104】

多くの課題がそのような制御機構を設計する際に発生する。最初に、通信デバイスの受信

50

器に使用されるADCにとって、入力信号の振幅は信号調整（例えば、低雑音増幅等々）の後でも一般的に非常に小さい。実際、セルラー応用では、入力信号振幅は $30\text{ mV}_{\text{p-p}}$ またはそれ以下と小さい。このように、制御機構内の検出器は小さな振幅の入力信号を正確に測定することができなければならない。

【0105】

第二に、バンドパス標準化変換器として使用されるADCでは、入力信号はIFに集中し、そして高い周波数成分を持っている。特定のCDMA応用では、入力信号は 240 MHz またはそれ以上の高い周波数成分を持っている。高い周波数成分の減衰を回避するために、検出器は高周波で低い損失を提供できる、大きな寸法の部品（例えば、スイッチ、トランジスタ、等々）で設計される。しかしながら、大型の部品はダイス面積及び費用（コスト）が増加する。さらに高い動作周波数は一般的にさらに大量のバイアス電流を必要とし、そのことは携帯電話（セルラー電話）のような可搬応用では好ましくない。

10

【0106】

第三に、ADC入力信号は信号にDCオフセットを持ち込む増幅器またはバッファによって一般的にバッファされる。DCオフセットは入力信号振幅の大きな割合を占めることになる。例えば、 $30\text{ mV}_{\text{p-p}}$ の振幅を持つ入力信号はまた 10 mV 、またはおそらくそれ以上のDCオフセットを持つかもしれない。このように、検出器は、ある程度まで、入力信号中のDCオフセットに不感でなければならない。更に、検出器はまた内部で発生するDCオフセットに不感でなければならない。

【0107】

以上のように、前述の課題に近づく制御機構は非常に望ましい。

20

【0108】

図11はADC1120を制御する制御回路1110の特定の実施例の単純化されたブロック図を示す。図11に示されたように、ADC1120はバッファ（BUF）で駆動される二つのカスケード接続された段1122a及び1122bを含む。各段1122はループ110のような多重ループADCのループを表すことができ、それは図4に示されるフィード・フォワード要素150を付随する。各段1122はまた図1で示されたフィルタ区画24または28のような多重区画ADCのフィルタ区画を表すことができる。一般に、各段1122は選択的に作動及び不動作にできる回路のあらゆる部分を表すことができる。その段が不動作になるとき、段（図11では示していない）内の内部回路は段の入力における信号が段の出力に供給されるようにバイパス路を提供する。

30

【0109】

図11に示されたように、ADC1120内で、入力信号は信号をバッファするバッファ1124に供給される。バッファされた信号は最初の段1122aに供給される変調器入力信号を含む。段1122aは上述の方法において信号を雑音整形し、且つ量子化し、そして処理された信号を段1122bに供給する。段1122bはさらに信号を雑音整形し、且つ量子化し、そして出力データ標本を生成する。段1122a及び1122bからの出力は多重ループADCのために雑音消去回路（図11には示されない）により結合される。

40

【0110】

制御回路1110内で、変調器入力信号はまた検出信号を生成するために信号をまた雑音整形し、且つ量子化する検出器段に供給される。検出された信号はデジタル標本を生成するために信号を調整し、且つ量子化する調整回路1114に供給される。信号調整は、例えば、信号増幅、濾波、比較、等々を含む。標本は制御信号を生成するために標本をさらに処理する信号処理器（シグナル・プロセッサ）1116に供給される。制御信号は段1122aを選択的に作動及び不動作にするために使用され、そしてまた段1122b（破線で示される）を選択的に作動及び不動作にするために使用される。基準発生器1118は制御回路1110内に含まれ、そして一以上の基準電圧を段1122、検出器段1112、及び調整回路1114に供給するために使用される。制御回

50

路 1 1 1 0 の要素はさらに以下に記述される。

【 0 1 1 1 】

一般に、信号路における一以上の 段 1 1 2 2 は必要なデータ変換動作特性、即ち必要な信号対雑音比 (S N R) を提供することが可能になる。セルラー応用では、変調器入力信号は所望の信号 (例えば、 C D M A 信号) とおそらく不所望な妨害信号を含む。その妨害信号は所望の信号より非常に大きいかもしれない。利得制御機構が特定の信号レベルに変調器入力信号を維持するために一般的に使用されるので、 A D C によるクリッピングを回避するため、大きな振幅の妨害信号があるとき、所望の信号は A D C 入力範囲と比較して非常に小さい。この状態では、さらに高いダイナミック・レンジが必要な S N R を持つ小振幅の所望の信号の量子化を行うために必要である。本発明の内容に従って、妨害信号は変調器入力信号の振幅を測定することによって検出される。

10

【 0 1 1 2 】

検出器 段 1 1 1 2 は A D C 1 1 2 0 における一つの 段 1 1 2 2 と同様の方法で変調器入力信号を処理し、変調器入力信号の振幅を表している検出信号を供給する。実施例では、セルラー応用に関して、変調器入力信号の振幅が特定の信号レベルより少ないと判定されれば、妨害信号がなく (または低信号レベルにある) 、且つ高いダイナミック・レンジが必要とされないので、 段 1 1 2 2 の一つは不動作になる。代りに、変調器入力信号の振幅が特定の信号レベルより大きいと判定されれば、一以上の大振幅の妨害信号が入力信号に存在すると推定される。そして、双方の 段 1 1 2 2 は必要な S N R が維持されるように高いダイナミック・レンジを提供することが可能になる。特に、高いダイナミック・レンジによって A D C 1 1 2 0 は大振幅の妨害信号があっても必要な S N R をもつ所望の信号を量子化することが可能となる。

20

【 0 1 1 3 】

上に述べたように、各 段 1 1 2 2 は多重ループ A D C のループ、または多重区画 A D C のフィルタ区画である。その 段は異なる次数 (例えば、2 次のカスケード接続では 4 次) で実施される。特定の実施例では、各 段 1 1 2 2 はベースバンド A D C については 2 次のローパス変調器であり、バンドパス A D C では 4 次のバンドパス変調器である。 段が同じ次数のとき、上述されたように、第二の 段 1 1 2 2 b は第一の 段 1 1 2 2 a の「縮小された」複製 (レプリカ) として実施される。第一の 段 1 1 2 2 a は大きなサイズの部品 (例えば、スイッチ、キャパシタ、等々) で設計され、そして作動されるとき、強化された雑音特性を提供するためより大きい電流でバイアスされる。第二の 段 1 1 2 2 b はより小さなサイズの部品で設計され、そして入力信号振幅がより大きいとき、高いダイナミック・レンジは必要とされないので、より少ない電流でバイアスされる。

30

【 0 1 1 4 】

検出器 段 1 1 1 2 は第二の 段 1 1 2 2 b の「縮小された」複製として実施され、そしてさらに小さなサイズ部品で設計され、さらに少ない電流でバイアスされる。

【 0 1 1 5 】

検出器 段 1 1 1 2 は信号の振幅を測定するために使用され、高いダイナミック・レンジまたは高い S N R は一般的に必要とされない。

40

【 0 1 1 6 】

図 1 2 は多段回路 1 2 2 0 を制御するための制御回路 1 2 1 0 の特定の実施例の単純化されたブロック図を示す。多段回路 1 2 2 0 は多重ループ A D C 、多重区画 A D C 、または選択的に作動及び不動作にできる (及びおそらくバイパスされる) 多重段を有する他の回路である。そのような多段回路の例はカスケード接続された一組の増幅段を持つ増幅器である。

【 0 1 1 7 】

図 1 2 に示されたように、多段回路 1 2 2 0 内で、入力信号は信号をバッファするバッファ (B U F) 1 2 2 4 に供給される。バッファされた信号は高性能 (例えば、高いダイナミック・レンジ) が必要とされるとき、作動になる高性能段 1 2 2 2 a に供給される。

50

段 1 2 2 2 a からの出力は中間性能（例えば、中間のダイナミック・レンジ）が必要とされるとき作動になる中間性能段 1 2 2 2 b に供給される。段 1 2 2 2 b からの信号は低レベルの性能（例えば、低いダイナミック・レンジ）を提供する低性能段 1 2 2 2 c に供給される。実施例では、低いダイナミック・レンジが必要とされるとき、段 1 2 2 2 c だけが作動になり、中間のダイナミック・レンジが必要とされるとき、段 1 2 2 2 b 及び 1 2 2 2 c が作動になり、そして、高いダイナミック・レンジが必要とされるとき、1 2 2 2 a から 1 2 2 2 c までの全三段が作動になる。段 1 2 2 2 a 及び 1 2 2 2 b は M U X 1 2 2 6 a 及び 1 2 2 6 b をそれぞれ含む。各 M U X 1 2 2 6 は処理された信号またはバイパスされた信号のいずれかを選択し、そして選択された信号を段の出力に供給する。その段が不作動になるとき、バイパスされた信号が選択される。

10

【 0 1 1 8 】

各段 1 2 2 2 は他の段と独立して実施される。例えば、A D C では、各段 1 2 2 2 は異なる次数を持つことができる。特定の実施例では、各段 1 2 2 2 はベースバンド A D C について 2 次のローパス変調器であり、バンドパス A D C について 4 次のバンドパス変調器である。この実施例では、段 1 2 2 2 b は段 1 2 2 2 a の縮小された複製として実施され、段 1 2 2 2 c は段 1 2 2 2 b の縮小された複製として実施される。

【 0 1 1 9 】

図 1 2 に示されたように、制御回路 1 2 1 0 内で、バッファされた信号は二つの検出路に供給される。第一の検出路において、低性能検出器段 1 2 1 2 a はバッファされた信号を処理し、第一の検出信号を調整回路 / 信号処理器（シグナル・プロセッサ）1 2 1 4 a に供給する。回路（調整回路） / 処理器（シグナル・プロセッサ）1 2 1 4 a は高性能段 1 2 2 2 a 及び中間性能段 1 2 2 2 b を選択的に作動および不作動にするために使用される第一の制御信号を生成するため検出信号を調整し、量子化し、且つさらに処理する。第二の検出路において、中間性能検出器段 1 2 1 2 b はバッファされた信号を処理し、処理された信号を低性能検出器段 1 2 1 2 c に供給する。検出器段 1 2 1 2 c はさらに信号を処理し、そして第二の検出信号を調整回路 / 信号処理器 1 2 1 4 b に供給する。回路 / 処理器 1 2 1 4 b は高性能段 1 2 2 2 a を選択的に作動および不作動にするために使用される第二の制御信号を生成するため検出信号を調整し、量子化し、且つさらに処理する。

20

【 0 1 2 0 】

実施例では、低性能検出器段 1 2 1 2 a 及び 1 2 1 2 c の各々は低性能段 1 2 1 2 c の複製として実施され、中間性能検出器段 1 2 1 2 b は中間性能段 1 2 2 2 b の複製として実施される。その複製はより小さなサイズの部品を用いて実施され、そしてより少ないバイアス電流を用いてまた動作する。

30

【 0 1 2 1 】

図 1 2 に示された実施例では、不作動にされる段は作動される段の複製を含む検出路からの制御信号によって制御される。例えば、高性能段 1 2 2 2 a 及び中間性能段 1 2 2 2 b は低性能段 1 2 2 2 c の複製を含む検出路からの第一の制御信号によって制御される。同様に、高性能段 1 2 2 2 a は低及び中間性能段 1 2 2 2 a 及び 1 2 2 2 b の複製を含む検出路からの第二の制御信号によって制御される。実施例では、各検出路における検出器段はバッファされた信号の振幅を測定する。

40

【 0 1 2 2 】

実施例では、信号路における段は検出信号振幅（例えば、信号振幅が大きいとき、より高いダイナミック・レンジを供給するために）に基づいて作動される。例えば、入力信号振幅が第一の信号レベルより大きければ段 1 2 2 2 a ~ 1 2 2 2 c が作動され、入力信号振幅が第一の信号レベルと第二の信号レベルの間であれば段 1 2 2 2 b と 1 2 2 2 c が作動され、そして入力信号振幅が第二の信号レベルより小さければ段 1 2 2 2 c が作動される。それらの段はまた他の検出信号特性に基づいて作動され、そしてまた異なる次数及び構成において作動される。

【 0 1 2 3 】

図 1 3 は多段回路 1 3 2 0 を制御するための制御回路 1 3 1 0 の特定の実施例の単純化さ

50

れたブロック図を示す。多段回路 1 2 2 0 と同様に、多段回路 1 3 2 0 は多重ループ A D C、多重区画 A D C、または選択的に作動及び不作動にできる（及びおそらくバイパスされる）多重段を有する他の回路である。各段（恐らくは最後の段 1 3 2 2 n を除いて）は処理された信号がバイパスされた信号のいずれかを選択し、そして選択された信号を段の出力に供給する M U X 1 3 2 6 を含む。その段が不作動になるとき、バイパスされた信号が選択される。

【 0 1 2 4 】

図 1 3 に示されたように、多段回路 1 3 2 0 はいくつかの段 1 3 2 2 a から 1 3 2 2 n 及びバッファ（B U F）1 3 2 4 を含む。入力信号は信号をバッファし、且つバッファされた信号を最初の段 1 3 2 2 a に供給するバッファに供給される。各段 1 3 2 2 は信号を処理し、そして処理された信号を次の段に供給する。第 n 段 1 3 2 2 n からの出力は回路 1 3 2 0 からの出力を含む。

10

【 0 1 2 5 】

実施例では、各段（ここでも、おそらくは最後の段 1 3 2 2 n を除いて）は選択的に作動され、及び不作動にされる。十分な数の段は必要な動作特性（例えば、必要なダイナミック・レンジ、または必要な S N R）を提供することを可能にされ、そして残りの段は電力を節約するために不作動になる。

【 0 1 2 6 】

特定の実施例では、全ての段が作動されるとき、最も高いダイナミック・レンジが提供され、一つの段（例えば、最初の段 1 3 2 2 a）以外の全ての段が作動されるとき、次の最も高いダイナミック・レンジが提供され、そして一つの段（例えば、第 n 段 1 3 2 2 n）だけが作動されるとき、最も低いダイナミック・レンジが提供される。特定の実施例では、それらの段は回路におけるそれらの相対的な場所に従って不作動にされる。例として、最初の段 1 3 2 2 a が最初に不作動になり、次に第二の段 1 3 2 2 b が不作動になり、そして第 (n - 1) 段が最後に不作動になる。実施例では、第 n 段 1 3 2 2 n はいつでも、或いは回路がオンになるときはいつでも作動される。他の実施例では、それらの段は異なる形態において作動され、そして別の命令で不作動にされるが、これは発明の範囲内にある。例えば、最初の段（最後の段の代りに）はいつでも作動にできる。

20

【 0 1 2 7 】

制御回路 1 3 1 0 内で、バッファされた信号は一以上の検出器段 1 3 1 2 の集合に供給される。検出器段 1 3 1 2 はバッファされた信号を処理し、そしてデジタル標本を生成するため信号を調整し、且つ量子化する調整回路 1 3 1 4 に検出信号を供給する。それらの標本は標本を処理し、且つ制御信号の集合を生成する信号処理器 1 3 1 6 に供給される。制御信号は選択的に多段回路 1 3 2 0 の段を作動、及び不作動にするために使用される。基準発生器 1 3 1 8 はまた一以上の基準電圧を段 1 3 2 2、検出器段 1 3 1 2、及び調整回路 1 3 1 4 に提供するために制御回路 1 3 1 0 内に含まれる。

30

【 0 1 2 8 】

実施例では、検出器路中の各検出器段 1 3 1 2 は信号路中の段 1 3 2 2 の複製として実施される。さらに、複製はダイス面積を低減させるために縮小されて、そして電力を節約するためにより少ないバイアス電流で動作させられる。

40

【 0 1 2 9 】

図 1 4 は図 1 1 から図 1 3 までの制御回路として使用できる制御回路 1 4 1 0 の特定の実施例の単純化されたブロック図を示す。制御回路 1 4 1 0 は直列に接続された検出器段 1 4 1 2、調整回路 1 4 1 4 及び信号処理器 1 4 1 6 を含む。検出器段 1 4 1 2 は入力信号（例えば、図 1 1 のバッファ 1 1 2 4 からの変調器入力信号）を受信し、且つ処理する。信号処理器 1 4 1 6 は多段回路の一以上の段を作動/不作動にするために使用される制御信号を提供する。基準発生器 1 4 1 8 は検出器段 1 4 1 2 及び調整回路 1 4 1 4 に接続され、必要な基準信号をこれらの回路要素に供給する。

【 0 1 3 0 】

明確にするため、制御回路 1 4 1 0 は図 1 1 に示された特定の二段 A D C 設計に関連

50

して使用についてすぐに記述されるであろう。特定の実施例では、ADC 1120は8次のバンドパスMASH 4-4 ADCであり、そして各段1122は4次バンドパス変調器を含む。上に述べたように、段1122bは特定のダイナミック・レンジ及び雑音特性を提供し、そして段1122aは作動されるとき追加のダイナミック・レンジ及び強化された雑音特性を提供する。強化された段1122bの雑音特性はより大きなサイズの部品及びより大きいバイアス電流を提供する。

【0131】

実施例では、検出器段1412は段（即ち、段1122aまたは112b）の一つの「縮小された」複製であり、また4次のバンドパス変調器である。例えば、検出器段1412部品は段1122aにおける部品のサイズの10分の1で実施される。別の実施例では、検出器段1412は低次（例えば、二次）の変調器で、それは少ない複合回路構成を利用しながら入力信号振幅を検出するのに十分である。検出器段1412は複製する段と同様の方法で入力信号を雑音整形し、且つ量子化する。検出器段1412からの差動出力、Op及びOn、は調整回路1414に供給される。

10

【0132】

一般に、変調器のアナログ出力振幅は入力信号レベルを表す。いくつかの設計では、変調器は入力信号振幅が基準電圧を越えると不安定になる傾向がある。実際、入力信号振幅が基準電圧を越える（即ち、ピーク対ピーク信号振幅が高い基準電圧と低い基準電圧の間の差を越える）と、変調器のアナログ出力振幅が著しく増大することが示される。変調器が不安定になるとき、そのアナログ出力信号の標準偏差はそれが安定しているときの変調器のそれよりはるかに大きい。本発明の内容により、これらの特性は変調器入力信号の振幅を検出するのに使用される。

20

【0133】

図15Aは入力信号振幅に対する検出器段1412からの検出信号の標準偏差のグラフを示す。図15Aは様々な入力信号周波数でのプロットの集合を含む。図15Aでは、縦軸の標準偏差及び横軸の入力信号振幅は検出器基準電圧（即ち、図14における V_{DEC_P} 及び V_{DEC_N} ）で正規化されている。プロット1510aで例示されたように、入力信号（例えば、0.58MHz）の周波数が変調器（例えば、0.70MHz）の帯域幅内にあるとき、入力信号振幅が正規化値1.0に近づくにつれて、検出信号の標準偏差は急峻に増加する。正規化値1.0は入力信号のピーク対ピークの振幅が V_{DEC_P} と V_{DEC_N} の間の差に等しい点に対応する。入力信号振幅が0.9から1.0（11プラス・パーセント増加）まで増大するとき、標準偏差が1.0未満から20（20プラス倍増加）以上まで増加することが分かる。

30

【0134】

しかしながら、プロット1510kによって例示されたように、入力信号の周波数（例えば、15.4MHz）が変調器の帯域幅（例えば、0.70MHz）を大きく上回るとき、検出信号の標準偏差は入力信号の振幅が正規化値1.5を過ぎて増大するとゆっくりと増加する。図15Aのプロット15aから15kはより高い周波数成分が変調器によって濾波されることを示す。変調器に特有のローパス特性は高い周波成分による影響を低減させる。

40

【0135】

図14に示された実施例では、調整回路1414は検出器段からの検出信号を比較信号（或いは、電圧）に対して比較し、比較結果を信号処理器1416に供給する比較器（コンパレータ）1414を含む。調整回路1414内で、検出器段1412からの出力、Op及びOn、はスイッチ1432b及び1432cの一端にそれぞれ供給される。比較電圧、 V_{COMP_P} 及び V_{COMP_N} 、はスイッチ1432a及び1432dの一端にそれぞれ供給される。スイッチ1432a及び1432bの他端は共にキャパシタ1434aの一端に接続し、そしてスイッチ1432c及び1432dの他端は共にキャパシタ1434b一端に接続する。キャパシタ1434aの他端はスイッチ1436aの一端及び比較器1438の非反転入力に接続する。同様に、キャパシタ1434bの他端はスイッチ1436b

50

の一端及び比較器 1 4 3 8 の反転入力に接続する。スイッチ 1 4 3 6 a 及び 1 4 3 6 b の他端は入力共通モード電圧 V_{ICM} に接続し、それは検出器出力、Op 及び On、のミッドスケールまたは共通モード電圧である。スイッチ 1 4 3 2 b、1 4 3 2 c、1 4 3 6 a、及び 1 4 3 6 b は第一のクロック相 1 を持つクロック信号によって制御され、そしてスイッチ 1 4 3 2 a 及び 1 4 3 2 d は第二のクロック相 2 を持つクロック信号によって制御される。

【 0 1 3 6 】

第一のクロック相 1 の間、スイッチ 1 4 3 2 b、1 4 3 2 c、1 4 3 6 a、及び 1 4 3 6 b は閉じられ、そして検出器段 1 4 1 2 からの出力 Op 及び On はキャパシタ 1 4 3 4 a 及び 1 4 3 4 b をそれぞれ充電する。第二のクロック相 2 の間、スイッチ 1 4 3 2 a 及び 1 4 3 2 d は閉じられ、そしてキャパシタ 1 4 3 4 a 及び 1 4 3 4 b 上で獲得された電圧は比較器 1 4 3 8 によって高い、及び低い比較電圧、 V_{COMP_P} 及び V_{COMP_N} 、に対してそれぞれ比較される。キャパシタ 1 4 3 4 a 及び 1 4 3 4 b はこのように検出器出力、Op 及び On、を第一のクロック相 1 の間でそれぞれ標準化し、比較電圧、 V_{COMP_P} 及び V_{COMP_N} 、を第二のクロック相 2 の間でそれぞれ標準化をする。比較器 1 4 3 8 は検出器出力が比較電圧を越えるとき、1 (即ち、高論理) を生成し、そうでないときはゼロ (即ち、低論理) をそれぞれ生成する。

【 0 1 3 7 】

図 1 4 は調整回路 1 4 1 4 の特定の実施例である。他の調整回路は設計でき、そして本発明の範囲内にある。

【 0 1 3 8 】

図 1 5 B は検出信号の信号レベルの分布密度のグラフを示す。図 1 5 B は二つの入力信号の振幅、A 1 及び A 2、のプロット 1 5 2 0 a 及び 1 5 2 0 b をそれぞれ含む。入力信号が A 1 の振幅を持っているとき検出信号はプロット 1 5 2 0 a によって示された密度を持ち、入力信号が A 2 の振幅を持っているときプロット 1 5 2 0 b によって示された密度を持ち、ここでは A 2 は A 1 より大きい。図 1 5 B に示されたように、密度分布はおおよそガウシアン分布であり、そしてガウシアン分布の標準偏差はより大きな入力信号振幅と共に増加する。斜線部分 1 5 2 4 a 及び 1 5 2 4 b で示されたように、検出信号が比較電圧 V_{COMP} を越えるとき、調整回路は 1 を出力する。比較電圧はこのように調整回路 1 4 1 4 からの 1 及びゼロの割合に影響を及ぼす。比較電圧を減少することによって、1 の割合が増加し、そしてより速い制御機構が得られる。代わりに、比較電圧を増加することによって、さらに正確な検出が得られ、それは間違った検出の可能性を低減させる。変調器が振動するとき、分布は二結節である。

【 0 1 3 9 】

実施例では、信号処理器 1 4 1 6 は比較器 1 4 3 8 からデジタル標本を受信し、特定の期間内の 1 の数を計数する。図 1 5 A に示されたように、比較電圧 V_{COMP} は縦軸上で表される。1 の数 (即ち、特定のプロットが V_{COMP} を越える回数) は検出信号の標準偏差が比較電圧 V_{COMP} 以下のとき小さく、検出信号の標準偏差が比較電圧 V_{COMP} を越えるときは大きい。

【 0 1 4 0 】

図 1 5 C は入力信号振幅に対する信号処理器 1 4 1 6 からの計数値のグラフを示す。図 1 5 C は様々な比較電圧 V_{COMP} についてプロットの集合 1 5 3 0 a から 1 5 3 0 k を含む。上で述べたように、調整回路 1 4 1 4 からのデジタル標本は特定の時間期間内に 1 の数を計数する信号処理器 1 4 1 6 に供給される。1 の数は入力信号振幅が正規化値 0.9 から 1.0 まで増加するにつれて顕著に増加する。比較電圧 V_{COMP} は入力信号振幅が正規化値 0.9 と 1.0 の間にあるときは計数値に影響するが、入力信号振幅が正規化値 1.0 を越えると影響は少ない。プロット 1 5 3 0 a で示されたように、比較電圧が低いとき、計数値は入力信号振幅が正規化値 0.95 に達すると飽和する。しかしながら、比較電圧がさらに高いとき、プロット 1 5 3 0 k に示されたように、計数値は入力信号振幅が正規化値 1.0 に達するまで飽和しない。入力信号振幅が約 1.0 の正規化値を越える

10

20

30

40

50

とき、計数値は特定の計数値で飽和する。

【0141】

実施例では、信号処理器1416は計数値を計数閾値と比較する。計数値が計数閾値（例えば、特定の実施では6000）を越えれば、入力信号振幅は検出器基準電圧 V_{DEC} の特定の割合（例えば、95%）以上と見なされ、そして制御信号はADCにおいて一以上の追加の段を作動するように構成される。

【0142】

信号処理器1416は比較器1438からの1の数を計数するアキュムレータを実施され、各計数区間の開始でリセットされる。計数区間の終りでアキュムレータの値は計数閾値に対して比較される。アキュムレータ値が計数閾値を越えれば、検出器段は振動していると推定され、検出器入力信号の振幅 A_{vin} は検出器基準電圧 V_{DEC} の特定の割合（例えば、 $A_{vin} > 0.95 V_{DEC}$ ）を越えたと見なされる。

10

【0143】

計算区間はシステム要件に基づいて調整される。一般に、計数区間が長いと精度は増加する。しかしながら、計算区間が短ければ応答時間が速くなる。

【0144】

実施例では、段は検出入力信号振幅に基づいて作動及び不作動にされる。検出入力信号振幅が特定の信号レベルを越えれば、高いダイナミック・レンジが必要とされ、そして追加の段が作動される。代って、検出入力信号振幅が特定の信号レベル以下であれば、高いダイナミック・レンジは必要とされず、そしてゼロ以上の段が不作動にされる。

20

【0145】

実施例では、入力信号振幅は検出器基準電圧 V_{DEC} を調整し、且つ計数値を監視することによって決定される。検出器基準電圧は調整されるので、計数値の値が顕著に変化すれば、入力信号振幅は検出器基準電圧 V_{DEC} の割合（例えば、95%）として決定される。代って、検出器基準電圧は調整されるので、計数値が特定の量（例えば、6000）を越えれば、入力信号振幅は検出器基準電圧 V_{DEC} の特定の割合（例えば、95%）より大きくなるように決定される。

【0146】

いくつかの応用では、入力信号振幅を高精度で決定することは必要ではない。むしろ、入力信号振幅が特定の信号レベルを越えるかどうかを決定することだけが必要である。信号レベルは、例えば、多段回路中のその段が作動/不作動になるレベルに対応する。例えば、三段回路では、検出器段は二つの検出器基準電圧（例えば、高基準電圧及び低基準電圧）によって設計される。計数値が高い検出器基準電圧に関して高ければ、入力信号は大きな振幅を持っており、三つの全ての段が必要な動作特性を提供するために作動される。計数値が低い検出器基準電圧に関して低ければ、入力信号は小さな振幅を持っており、一つの段が必要な動作特性を提供するために適当である。そして、残りの段は電力を節約するために不作動になる。そして、計数値が高い検出器基準電圧に関しては低く、低い検出器基準電圧に関しては高ければ、入力信号は中間の振幅を持ち、二つの段が作動される。高い、及び低い検出器基準電圧はその段が作動/不作動になる信号レベルに対応するように選択される。

30

40

【0147】

別の実施例では、入力信号振幅は検出器段の利得を調整することによって決定される。検出器段は多重利得設定によって設計される。利得設定は、例えば、多段回路中のその段が作動/不作動になるレベルに対応する。例えば、三段回路について、検出器段は二つの利得設定（例えば、高、及び低利得設定）によって設計される。計数値が低い利得設定で高いならば、入力信号は大きな振幅を持っており、そして、三つの全ての段は必要な性能を提供するために作動される。計数値が高い利得設定で低いならば、入力信号は小さな振幅を持っており、一つの段が必要な性能を提供するために作動される。そして計数値が低い利得設定で低く、高い利得設定で高ければ、入力信号は中間の振幅を持ち、二つの段が必要とされる。高い、及び低い利得設定はこのようにその段が作動/不作動になる信号レベ

50

ルに対応するように選択される。

【0148】

明確にするために、本発明は入力信号が大きな振幅の妨害信号を含むかもしれない特定の（例えば、セルラーの）応用について記述されてきた。上述の制御機構は入力信号振幅が高いとき大きな振幅の妨害信号が存在し、追加の段がダイナミック・レンジの増加を可能にすると仮定している。他の応用について、大きな偽信号は入力信号に存在せず、その逆も真であろう。即ち、入力信号振幅が増大するにつれて、その段は不作動にされる。大きな信号振幅はより高いSNRを持ち、より少ないダイナミック・レンジを必要とする所望の信号を示している。このように、制御機構は、ある程度、入力信号の特徴に基づいて設計される。

10

【0149】

また明確にするために、本発明は主としてADCへの特定の応用について記述されてきた。しかしながら、本発明は多くの他の多段回路と共に使用するのに採用される。一般に、多段回路はいくつかの信号段を含み、そのいくつかが選択的に作動され、且つ不作動にされる。実施例では、信号段の一つの複製である各検出器段と共に、制御回路は一以上の検出器段を含む。検出器段は特定の信号特性（例えば、信号振幅）を測定するために使用される。測定された信号特性はそれから信号段を制御するために使用される。多段回路は、例えば：（1）多重利得段を持つ増幅器、（2）多重出力ドライバを持つ（例えば、並列に接続された）電力増幅器、（3）多重フィルタ部を持つ能動フィルタ、及び他の回路である。信号段は直列もしくは並列、またはその組合せで接続される。検出器段は一般的に信号段と同様の構成で接続される。

20

【0150】

上述の制御機構は多くの利点を提供する。検出器段は多段回路に供給される同じ入力信号を受信する。特に制御機構の信号を生成するのに余分の回路は必要とされない。さらに、上述の制御機構はADCを制御するために使用されるとき特に有利である。これらの追加の恩恵は以下に記述される。

【0151】

最初に、検出器段階は作動される信号段をモデル化し、入力信号の実際の振幅をさらに正確に示す測定を提供する。上に述べたように、高い周波数成分（即ち、中心周波数に対して）が低い周波数成分よりさらに減衰するように変調器は入力信号を濾波する。検出器段は段の一つの複製として実施されるので、入力信号は同様の方法で（即ち、同様の周波数応答をもつ）検出器段によって減衰される。検出器段はこのように信号路中の段のスペクトル成分におおよそ整合するスペクトル成分を持つ検出信号を供給する。

30

【0152】

検出器段はセルラー応用における妨害信号を特に正確に測定する。高周波妨害信号は信号路において作動された段と同様の方法で検出器段によって減衰される。このように、妨害信号の振幅がたとえ高くても、妨害信号周波数が十分に高ければ、検出信号は小さくできる。この場合、妨害信号は信号路中の段によって同様に濾波されるので、低いダイナミック・レンジ設定で十分である。逆に、平坦な周波数応答を使用する検出器は大きな帯域外の妨害信号に対して高い入力信号振幅があると間違えて断定し、そして必要でないかもしれない追加の信号段を誤って作動させるかもしれない。

40

【0153】

第二に、いくつかの実施例では、検出器段は信号路中の段の「縮小された」複製である。このように、検出器段は信号路中の段のその一部である次元を持つ部品（例えば、スイッチ及びキャパシタ）と共に実施される。例えば、検出器段の基準化は複製された段のサイズの10分の1になる。

【0154】

第三に、検出器段はそれが複製する段のバイアス電流の一部で作動する。検出器段は一般に信号振幅を検出するために使用され、高いダイナミック・レンジ、もしくは高いSNRは一般的に必要とされない。検出器段のバイアス電流はこのように大幅に低減される。

50

【 0 1 5 5 】

第四に、必要かまたは要求があれば、検出器基準電圧 V_{DEC} は入力信号振幅の正確な決定ができるように（例えば、小さく、且つ正確な増分で）調節される。正確な検出器基準電圧は、例えば、当技術分野では既知の方法においてバンドギャップ及びDACを使用して容易に生成される。

【 0 1 5 6 】

第五に、調整回路中の比較器は入力信号の小さな振幅ではなく検出器段から大きな信号振幅を検出するように設計される。検出器が不安定に駆動されるとき、検出器段からの検出信号は一般に数百ミリボルトのピーク対ピーク振幅を持っている。比較器基準電圧 V_{COMP} はこのように測定されている入力信号の小さな（例えば、30 mV）差分レベルではなくはるかに高いレベル（例えば、1.5ボルト差分）に設定される。大きな比較器基準電圧は検出器及び基準発生器におけるオフセットにさらに耐性のある制御回路設計を可能にする。

10

【 0 1 5 7 】

第六に、バンドパスADCについて、検出器段はまたIF入力信号をベースバンドまたは他の低い出力周波数に下方変換する。このように、次に続く回路（例えば、調整回路中のスイッチ）はより小さなサイズで実施される。

【 0 1 5 8 】

前述の好ましい実施例の記載は当業者が本発明を為しまたは使用を可能にするために提供される。これらの実施例に対する種々の変形は当業者には直ちに明白であり、この中に定義された一般原理は創意能力を使用することなく他の実施例に適用可能である。このように、本発明はこの中に示された実施例に限定されるものではなく、この中に開示された原理及び新規な特徴と一致する広範な領域に与えられるものである。

20

【 図面の簡単な説明 】

【 図 1 】 典型的な単一ループのシグマ デルタ・アナログ対デジタル変換器（ADC）のアーキテクチャのブロック図である。

【 図 2 】 典型的なMASH ADCのアーキテクチャのブロック図である。

【 図 3 A 】 積分器の極 - ゼロの図と周波数応答曲線及びバンドパス共振器の極 - ゼロの図と周波数応答曲線である。

【 図 3 B 】 積分器の極 - ゼロの図と周波数応答曲線及びバンドパス共振器の極 - ゼロの図と周波数応答曲線である。

30

【 図 3 C 】 積分器の極 - ゼロの図と周波数応答曲線及びバンドパス共振器の極 - ゼロの図と周波数応答曲線である。

【 図 3 D 】 積分器の極 - ゼロの図と周波数応答曲線及びバンドパス共振器の極 - ゼロの図と周波数応答曲線である。

【 図 4 】 本発明の典型的な2ループのバンドパスMASH ADCのブロック図である。

【 図 5 A 】 バンドパスMASH ADC内の共振器の図と、遅延セル共振器、無損失の離散積分共振器、及び2信号路インタリーブ共振器をもつ共振器の実施の図である。

【 図 5 B 】 バンドパスMASH ADC内の共振器の図と、遅延セル共振器、無損失の離散積分共振器、及び2信号路インタリーブ共振器をもつ共振器の実施の図である。

40

【 図 5 C 】 バンドパスMASH ADC内の共振器の図と、遅延セル共振器、無損失の離散積分共振器、及び2信号路インタリーブ共振器をもつ共振器の実施の図である。

【 図 5 D 】 バンドパスMASH ADC内の共振器の図と、遅延セル共振器、無損失の離散積分共振器、及び2信号路インタリーブ共振器をもつ共振器の実施の図である。

【 図 5 E 】 バンドパスMASH ADC内の共振器の図と、遅延セル共振器、無損失の離散積分共振器、及び2信号路インタリーブ共振器をもつ共振器の実施の図である。

【 図 6 A 】 二重標本化スイッチド・キャパシタ・アナログ回路技術を使用する遅延セルの概要図と遅延セルに必要なクロック信号のタイミング図である。

【 図 6 B 】 二重標本化スイッチド・キャパシタ・アナログ回路技術を使用する遅延セル

50

の概要図と遅延セルに必要なクロック信号のタイミング図である。

【図7A】 バンドパスMASH ADC内の共振器回路の概要の図とフィード・フォワード利得回路の図であり、双方共が二重標本化スイッチド・キャパシタ・アナログ回路技術を使用して実行される。

【図7B】 バンドパスMASH ADC内の共振器回路の概要の図とフィード・フォワード利得回路の図であり、双方共が二重標本化スイッチド・キャパシタ・アナログ回路技術を使用して実行される。

【図8】 本発明の典型的な8次のバンドパスMASH4-4 ADCのブロック図である。

【図9】 本発明のバンドパスMASH4-4 ADCの信号対雑音比(SNR)特性の模擬曲線である。 10

【図10A】 遅延セルによる共振器及び順方向オイラー共振器の典型的な概要図で、双方とも単一標本化スイッチド・キャパシタ・アナログ回路技術を使用して実施される。

【図10B】 遅延セルによる共振器及び順方向オイラー共振器の典型的な概要図で、双方とも単一標本化スイッチド・キャパシタ・アナログ回路技術を使用して実施される。

【図10C】 疑似二路単一標本化スイッチド・キャパシタ・アナログ回路を使用して実施された二路インタリーブ共振器の典型的な概要図及び疑似二路回路に必要なクロック信号のタイミング図である。

【図10D】 疑似二路単一標本化スイッチド・キャパシタ・アナログ回路を使用して実施された二路インタリーブ共振器の典型的な概要図及び疑似二路回路に必要なクロック信号のタイミング図である。 20

【図10E】 二独立路二重標本化スイッチド・キャパシタ・アナログ回路を使用して実施された二路インタリーブ共振器の典型的な概要図である。

【図10F】 二独立路二重標本化スイッチド・キャパシタ・アナログ回路を使用して実施された二路インタリーブ共振器の典型的な概要図である。

【図10G】 二重標本化遅延セルによる共振器回路及びその共振器回路に必要なクロック信号のタイミング図である。

【図10H】 二重標本化遅延セルによる共振器回路及びその共振器回路に必要なクロック信号のタイミング図である。

【図11】 ADCである多段回路を制御するための特定の実施例の簡単なブロック図である。 30

【図12】 図11に示された ADCである多段回路を制御するための特定の実施例の簡単なブロック図である。

【図13】 図11に示された ADCである多段回路を制御するための特定の実施例の簡単なブロック図である。

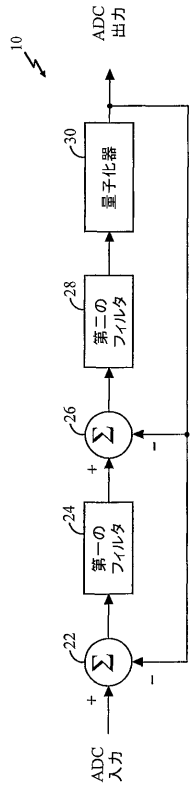
【図14】 図11から図13の制御回路として使用される特定の実施例の簡単なブロック図を示す。

【図15A】 検出器段から検出された信号対入力信号振幅の標準偏差のグラフを示す。

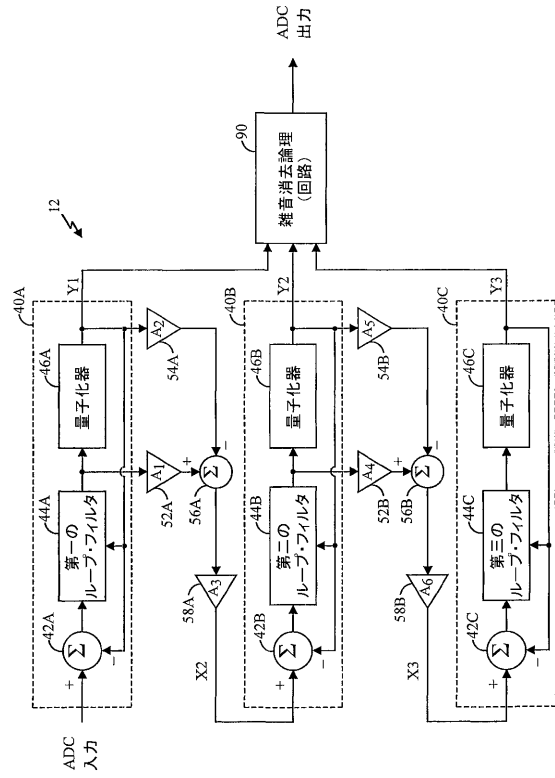
【図15B】 検出された信号の信号レベルの分布密度のグラフを示す。

【図15C】 処理器の信号からの計数値対検出器の入力信号振幅のグラフを示す。 40

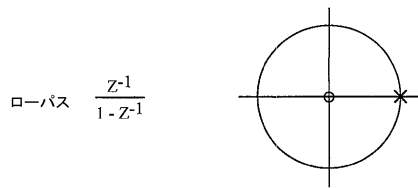
【 図 1 】



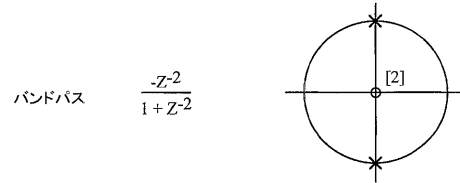
【 図 2 】



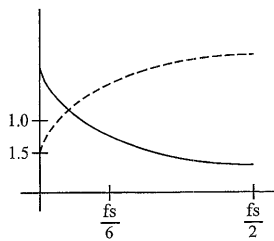
【 図 3 A 】



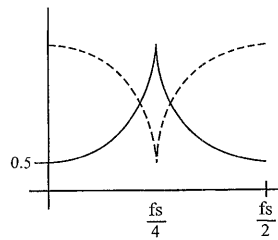
【 図 3 C 】



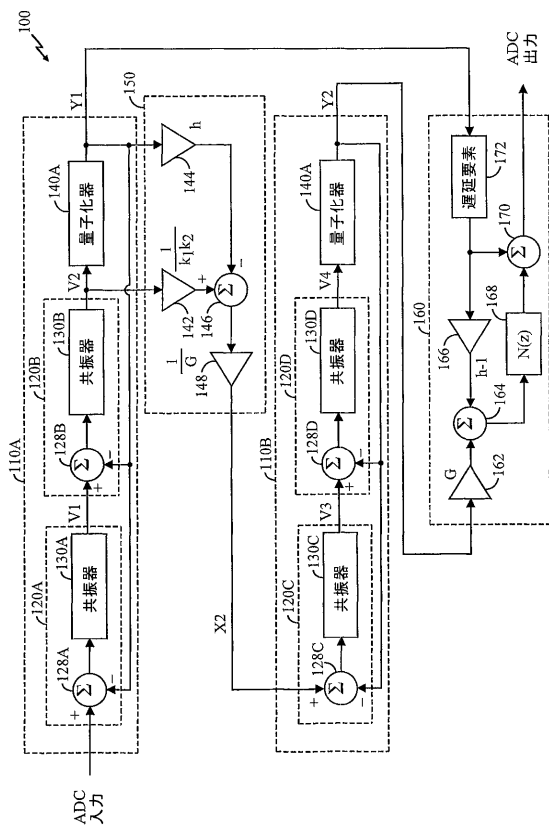
【 図 3 B 】



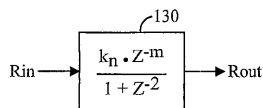
【 図 3 D 】



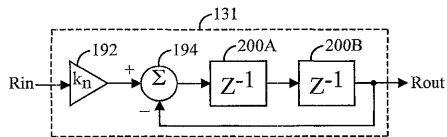
【 図 4 】



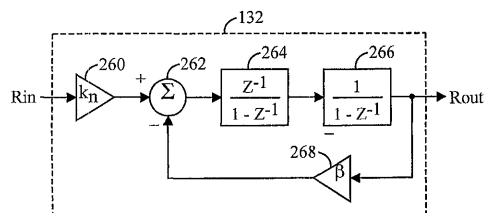
【 図 5 A 】



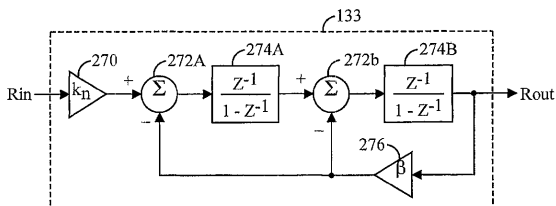
【 図 5 B 】



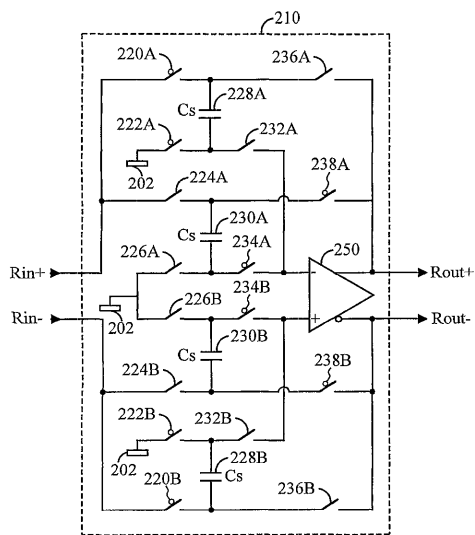
【 図 5 C 】



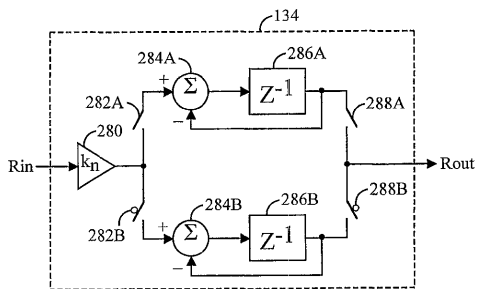
【 図 5 D 】



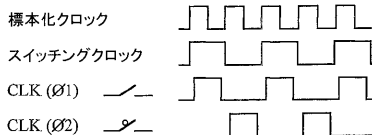
【 図 6 A 】



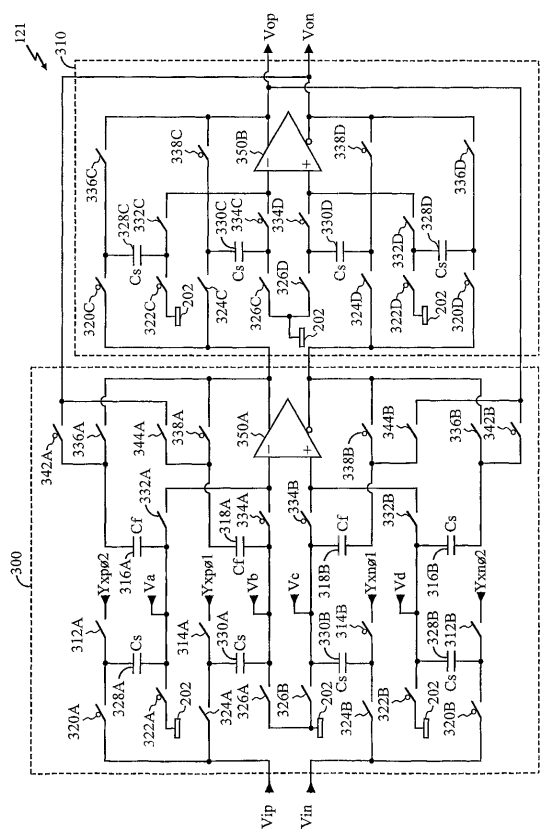
【 図 5 E 】



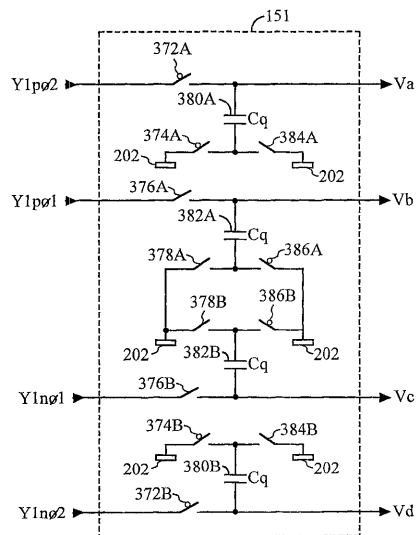
【 図 6 B 】



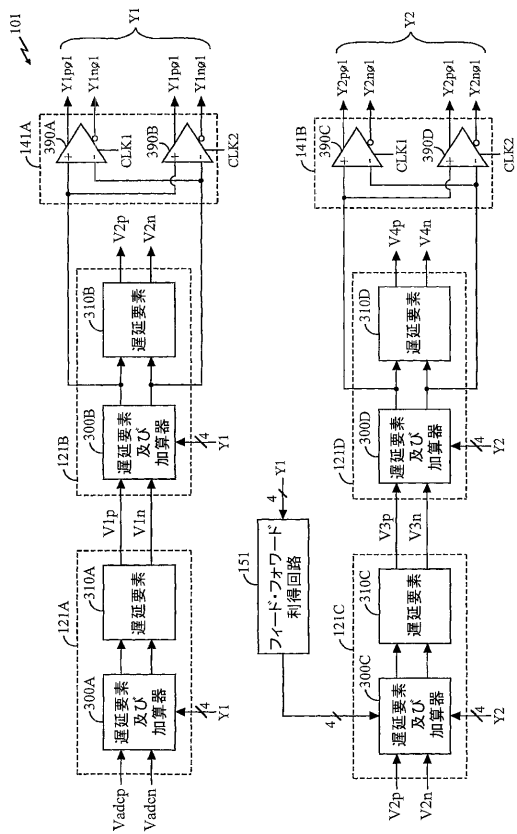
【 図 7 A 】



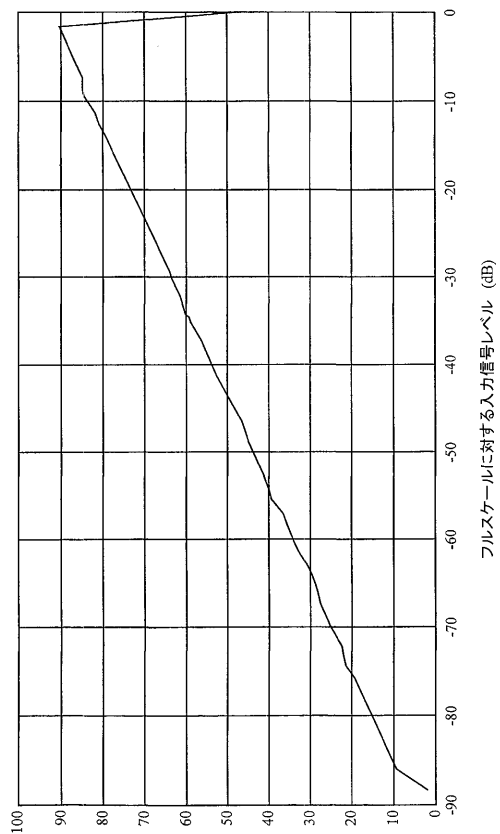
【 図 7 B 】



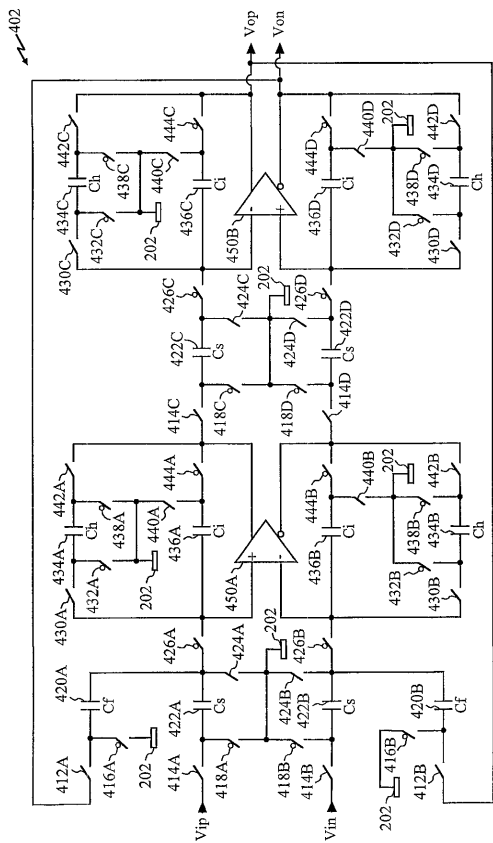
【 図 8 】



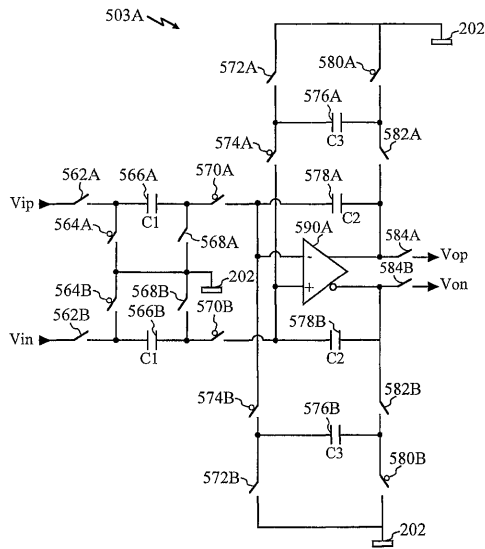
【 図 9 】



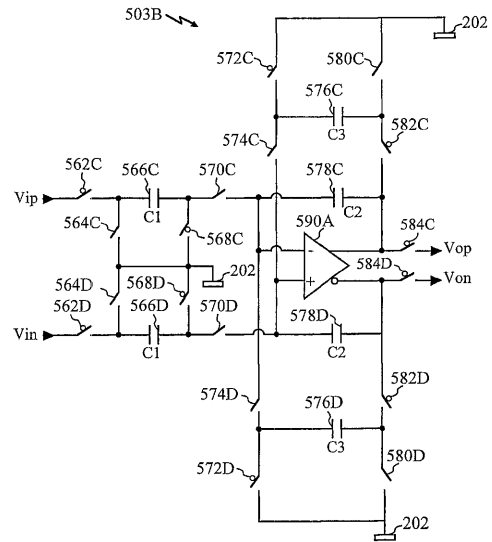
【図10A】



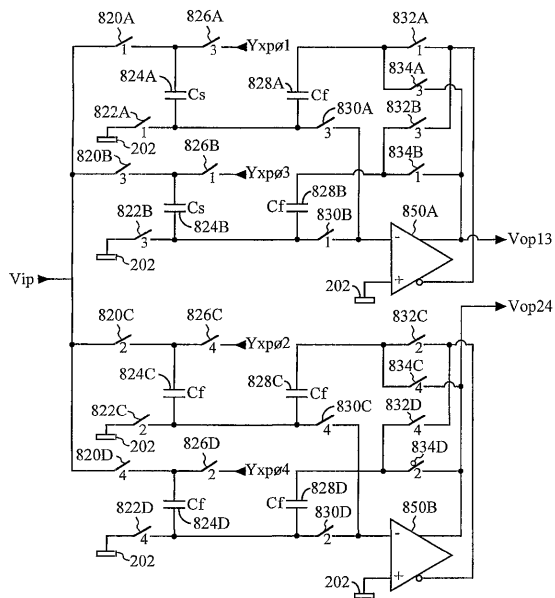
【図10E】



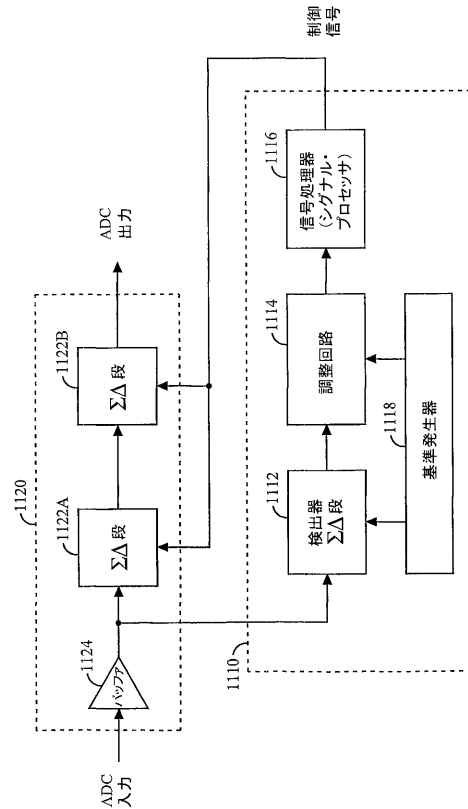
【図10F】



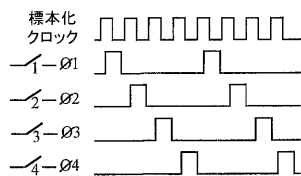
【図10G】



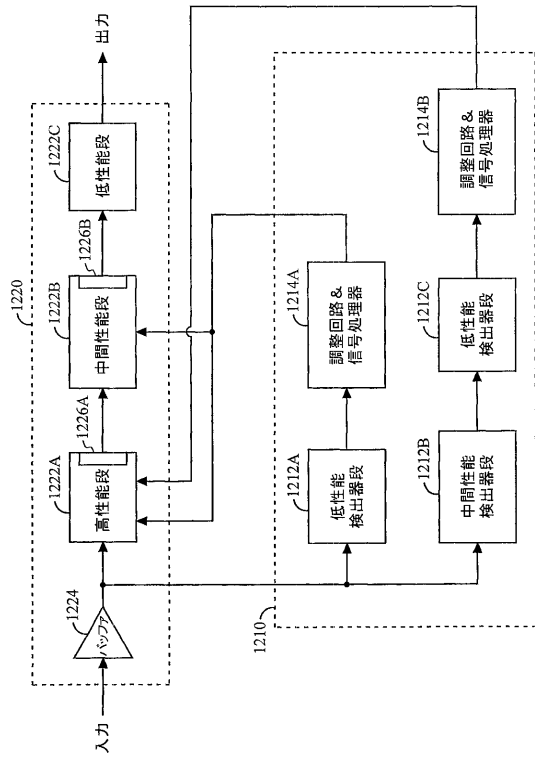
【図11】



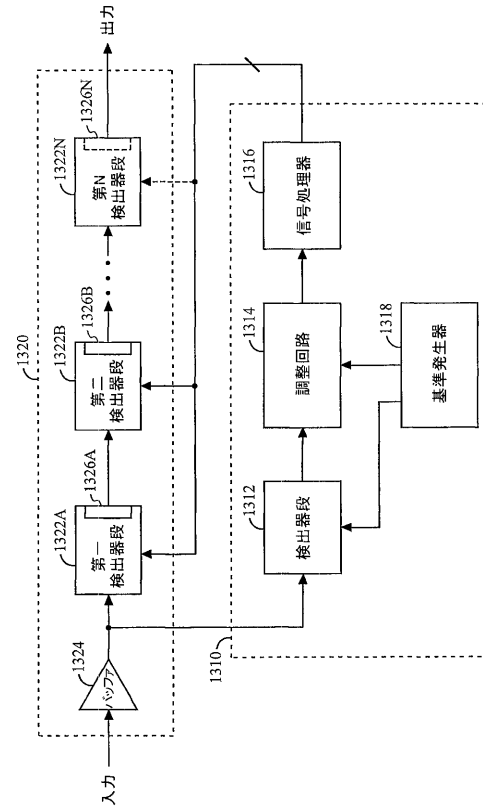
【図10H】



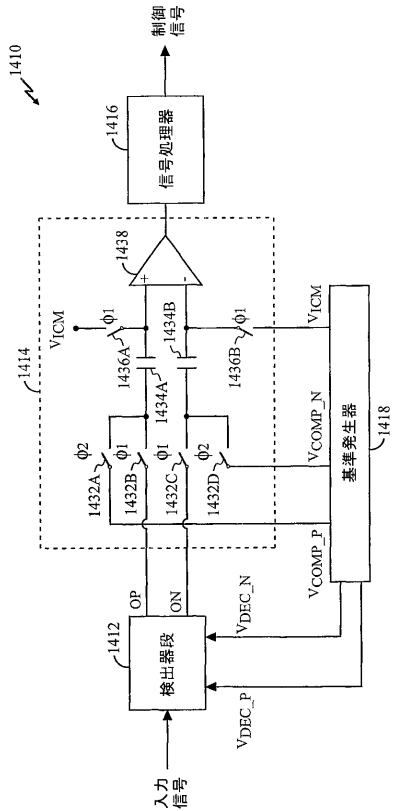
【 図 1 2 】



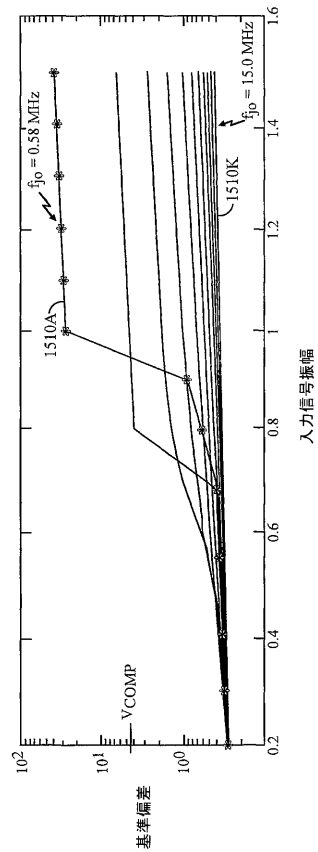
【 図 1 3 】



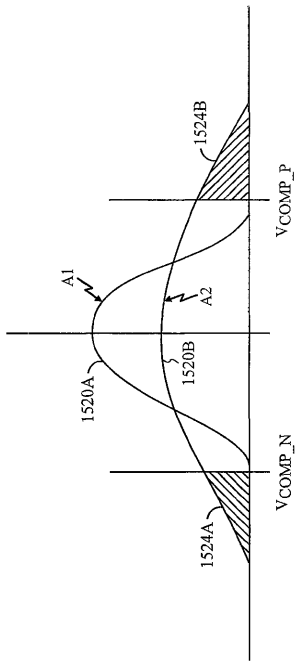
【 図 1 4 】



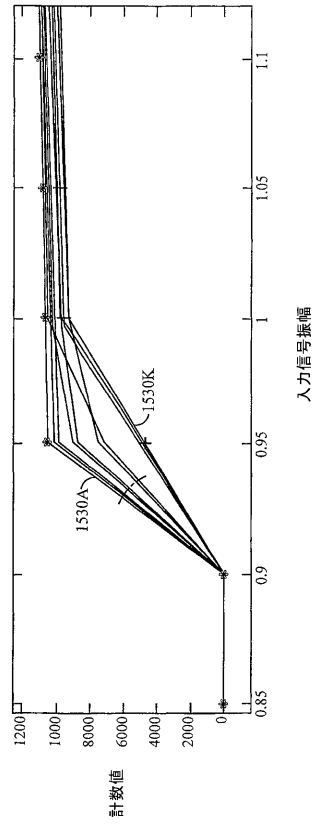
【 図 1 5 A 】



【 図 1 5 B 】



【 図 1 5 C 】



フロントページの続き

- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100092196
弁理士 橋本 良郎
- (72)発明者 バザルジャニ、シーフォラー
アメリカ合衆国、カリフォルニア州 9 2 1 3 0 サン・ディエゴ、カミニト・ベソ 1 2 9 0 6
- (72)発明者 ワン、シーン
アメリカ合衆国、カリフォルニア州 9 2 1 2 2 サン・ディエゴ、ナンバー1717、レボン・
ドライブ 3 4 6 5
- (72)発明者 ペルソ、ピンセンゾ
アメリカ合衆国、カリフォルニア州 9 2 1 3 0 サン・ディエゴ、カレ・マー・デ・バレナス
4 2 5 9

審査官 高野 洋

- (56)参考文献 国際公開第99/030427(WO, A1)
特表2001-517014(JP, A)
特開平11-355142(JP, A)
特表2004-509500(JP, A)
特開2001-168722(JP, A)

(58)調査した分野(Int.Cl., DB名)

H03M 3/02

H03M 1/00