

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2021 年 4 月 29 日 (29.04.2021)



(10) 国际公布号
WO 2021/077477 A1

(51) 国际专利分类号:
H01L 27/12 (2006.01)

(21) 国际申请号: PCT/CN2019/117112

(22) 国际申请日: 2019 年 11 月 11 日 (11.11.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201911020554.7 2019 年 10 月 25 日 (25.10.2019) CN

(71) 申请人: **TCL 华星光电技术有限公司 (TCL CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.)** [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: **陈梦 (CHEN, Meng)**; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: **深圳紫藤知识产权代理有限公司 (PURPLEVINE INTELLECTUAL PROPERTY (SHENZHEN) CO., LTD.)**; 中国广东省深圳市南山

区粤海街道高新区社区高新南一道 006 号 TCL 工业研究院大厦 A802, Guangdong 518057 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

(54) Title: ARRAY SUBSTRATE AND PREPARATION METHOD THEREFOR

(54) 发明名称: 一种阵列基板及其制备方法

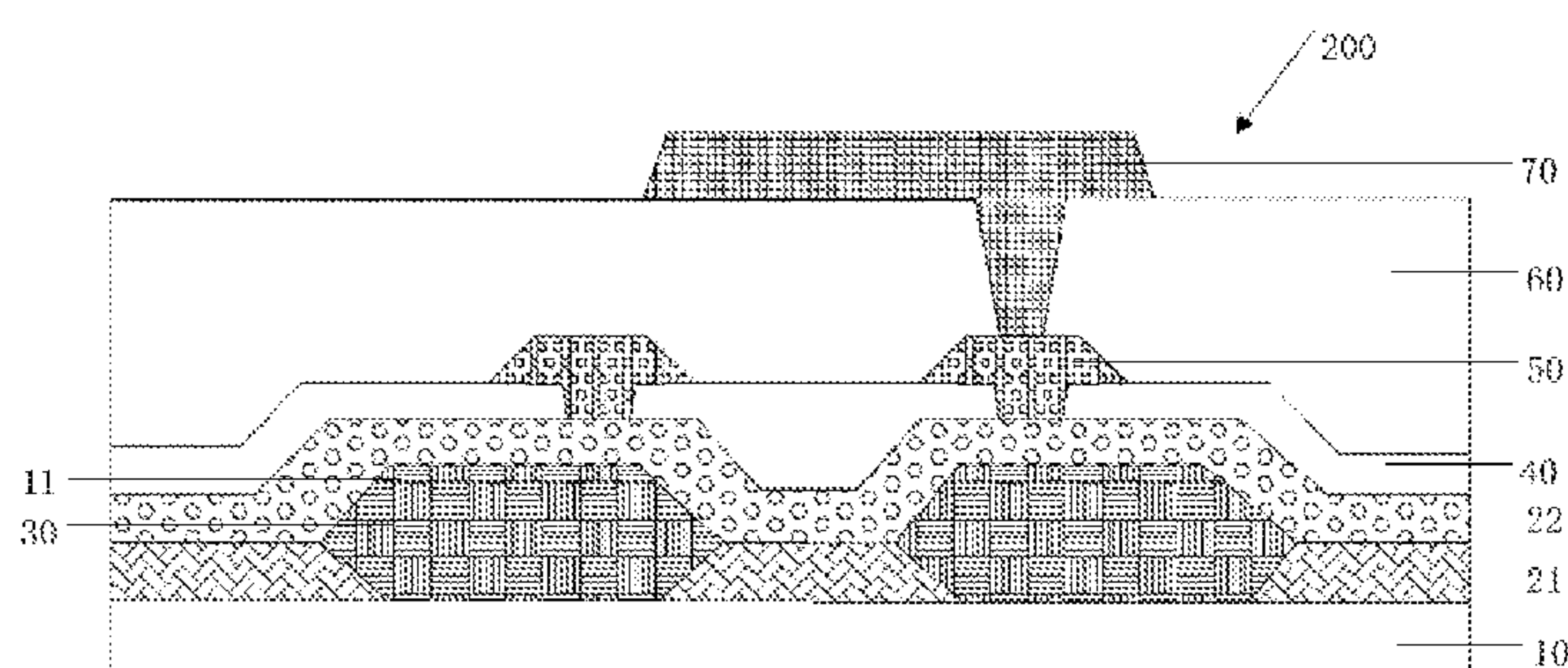


图 1

(57) Abstract: An array substrate (200) and a preparation method therefor. The array substrate (200) comprises: a base substrate (10); a first gate insulating layer (21) arranged on the base substrate (10), the first gate insulating layer (21) being provided with a groove (11); a gate layer (30) arranged in the groove (11) of the first gate insulating layer (21); a second gate insulating layer (22) covering the first gate insulating layer (21) and the gate layer (30); and an active layer (40) arranged on the second gate insulating layer (22).

(57) 摘要: 一种阵列基板 (200) 及其制备方法, 阵列基板 (200) 包括衬底基板 (10); 第一栅极绝缘层 (21), 设于所述衬底基板 (10) 上, 所述第一栅极绝缘层 (21) 中具有凹槽 (11); 栅极层 (30), 设于所述第一栅极绝缘层 (21) 的所述凹槽 (11) 中; 第二栅极绝缘层 (22), 覆于所述第一栅极绝缘层 (21) 和所述栅极层 (30) 上; 有源层 (40), 设于所述第二栅极绝缘层 (22) 上。

[见续页]



WO 2021/077477 A1

本国际公布：

— 包括国际检索报告(条约第21条(3))。

一种阵列基板及其制备方法

技术领域

[0001] 本发明涉及显示面板技术领域，特别涉及一种阵列基板及其制备方法。

背景技术

[0002] 平板显示装置具有机身薄、省电、无辐射等众多优点，得到了广泛的应用。现有的平板显示装置主要包括液晶显示装置(Liquid Crystal Display, LCD)及有机电致发光显示装置(Organic Light Emitting Display, OLED)。阵列基板(Thin Film Transistor, TFT)是平板显示装置的重要组成部分，可形成在玻璃基板或塑料基板上，通常作为开光装置和驱动装置用在诸如LCD、OLED。

[0003] 随着显示面板的分辨率升高和尺寸的增大，“信号延迟”现象将更加严重，降低布线电阻成为一项迫切的需求。铜(Cu)的导电性仅次于银(Ag)，而且原材料价格低廉，被认为是最有希望的低电阻率布线材料，现有技术中已有使用铜作为TFT的栅电极的材料。

[0004] 在高世代液晶面板中，铜材料作为栅极金属线因其阻抗低、抗电迁移能力强等优点使得代替传统的铝材料成为趋势。随着面板尺寸的增大、分辨率的提高，一般的3000Å的铜导线厚度越来越难以解决电路延迟等问题，增加铜导线厚度成为解决问题的方向之一。

[0005] 伴随铜导线厚度的增加，因台阶覆盖性问题，在栅极结构中将铜膜层厚度增加会导致栅极绝缘层的厚度增加，这会降低阵列基板的开态电流，面板充电率不足的风险提高。

[0006] 因此，确有必要来开发一种新型的阵列基板的制备方法，以克服现有技术的缺陷。

发明概述

技术问题

[0007] 本发明的一个目的是提供一种阵列基板，其能够解决现有技术中显示面板中栅极结构铜膜厚度增加带来的栅极绝缘层厚度增加的问题。

问题的解决方案

技术解决方案

- [0008] 为实现上述目的，本发明一种阵列基板，包括：衬底基板；第一栅极绝缘层，设于所述衬底基板上，所述第一栅极绝缘层中具有凹槽；栅极层，设于所述第一栅极绝缘层的所述凹槽中；第二栅极绝缘层，覆于所述第一栅极绝缘层和所述栅极层上；有源层，设于所述第二栅极绝缘层上。
- [0009] 进一步的，在其他实施方式中，其中其还包括源漏极层，设于所述有源层上；平坦层，设于所述源漏极层上；像素定义层，设于所述平坦层上。
- [0010] 进一步的，在其他实施方式中，其中所述栅极层采用的材料为铜金属，所述栅极层的厚度范围为200nm~5000nm。
- [0011] 进一步的，在其他实施方式中，其中所述第一栅极绝缘层和所述第二栅极绝缘层的材料采用氧化氮或氧化硅或氮化硅中的任意一种或两种以上，所述第一栅极绝缘层的厚度范围为100nm~500nm，所述第二栅极绝缘层的厚度范围为100nm~500nm。
- [0012] 进一步的，在其他实施方式中，其中所述有源层的材料采用氧化锌、氧化镓锌、氧化镓锌铟中的任意一种或两种以上，所述有源层的厚度范围为100nm~200nm。
- [0013] 进一步的，在其他实施方式中，其中所述平坦层的材料采用氧化硅或氮化硅，所述平坦层的厚度为150nm~400nm，所述像素电极层的材料采用氧化镓锡，所述像素电极层的厚度为30nm~100nm。
- [0014] 进一步的，在其他实施方式中，其中所述衬底基板的材料采用聚醯亚胺。
- [0015] 进一步的，在其他实施方式中，其中所述源漏极层采用的材料为铝或钼或两者的结合，所述源漏极层的厚度范围为20nm~600nm。
- [0016] 为实现上述目的，本发明还提供一种制备本发明涉及的阵列基板的方法，包括以下步骤：
- [0017] S1：提供一衬底基板；S2：沉积栅极绝缘材料于所述衬底基板上形成第一栅极绝缘膜；S3：图案化所述第一栅极绝缘膜形成第一栅极绝缘层，所述第一栅极绝缘层中具有相应的凹槽；S4：沉积栅极材料于所述第一栅极绝缘层以及所述

凹槽中形成栅极膜；S5：湿蚀刻所述栅极膜，去除所述第一栅极绝缘层上的栅极膜并在所述凹槽中形成栅极层；S6：沉积栅极绝缘材料于所述第一栅极绝缘层和所述栅极层上形成第二栅极绝缘层；S7：形成有源层于所述第二栅极绝缘层上。

[0018] 其中栅极绝缘层分成两个步骤制备，能够降低现有技术中一步制备带来的台阶覆盖性较差的风险。

[0019] 其中所述第二栅极绝缘层的厚度与阵列基板的电学特性相关，通过控制所述第一栅极绝缘层和所述第二栅极绝缘层的厚度比例，能够确保阵列基板开态电流不会降低，降低面板充电率不足的风险。

[0020] 进一步的，在其他实施方式中，其中在步骤S2和步骤S6中，采用等离子体增强化学的气相沉积法沉积所述栅极绝缘材料。

[0021] 进一步的，在其他实施方式中，其中在所述S6步骤之前，还包括S100：使用氢气、氮气、氨气或氩气中的任意一种或两种以上的气体对所述第一栅极绝缘层进行处理。通过S100步骤，保证所述第一栅极绝缘层和所述第二栅极绝缘层之间不会出现断层现象，保证像素区域的光学特性不会恶化。

[0022] 进一步的，在其他实施方式中，其中在步骤S7之后还包括S8：形成源漏极层于所述有源层上；S9：形成平坦层于所述源漏极层上；S10：形成像素电极层于所述平坦层上。

发明的有益效果

有益效果

[0023] 相对于现有技术，本发明的有益效果在于：本发明提供一种阵列基板及其制备方法，栅极绝缘层分成两个步骤制备，能够降低现有技术中一步制备带来的台阶覆盖性较差的风险，其中第二栅极绝缘层的厚度与阵列基板的电学特性相关，通过控制第一栅极绝缘层和第二栅极绝缘层的厚度比例，能够确保阵列基板开态电流不会降低，降低面板充电率不足的风险。

对附图的简要说明

附图说明

[0024] 为了更清楚地说明本发明实施例中的技术方案，下面将对实施例描述中所需要

使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

- [0025] 图1为本发明实施例1提供的阵列基板的结构示意图；
- [0026] 图2为本发明实施例1提供的阵列基板的制备方法的流程图；
- [0027] 图3为本发明实施例1提供的制备方法中步骤S1时阵列基板的结构示意图；
- [0028] 图4为本发明实施例1提供的制备方法中步骤S2时阵列基板的结构示意图；
- [0029] 图5为本发明实施例1提供的制备方法中步骤S3时的结构示意图；
- [0030] 图6为本发明实施例1提供的制备方法中步骤S4时阵列基板的结构示意图；
- [0031] 图7为本发明实施例1提供的制备方法中步骤S5时阵列基板的结构示意图；
- [0032] 图8为本发明实施例1提供的制备方法中步骤S6时阵列基板的结构示意图；
- [0033] 图9为本发明实施例1提供的制备方法中步骤S7时阵列基板的结构示意图；
- [0034] 图10为本发明实施例1提供的制备方法中步骤S8时阵列基板的结构示意图；
- [0035] 图11为本发明实施例1提供的制备方法中步骤S9时阵列基板的结构示意图；
- [0036] 图12为本发明实施例1提供的制备方法中步骤S10时阵列基板的结构示意图。
- [0037] 附图标记：
- [0038] 阵列基板-200；
- [0039] 衬底基板-10；
- [0040] 第一栅极绝缘膜-211； 第一栅极绝缘层-21； 凹槽-11；
- [0041] 栅极膜-31； 栅极层-30；
- [0042] 第二栅极绝缘层-22；
- [0043] 有源层-40；
- [0044] 源漏极-50；
- [0045] 平坦层-60；
- [0046] 像素电极层-70。

实施该发明的最佳实施例

本发明的最佳实施方式

- [0047] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、

完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0048] 这里所公开的具体结构和功能细节仅仅是代表性的，并且是用于描述本发明的示例性实施例的目的。但是本发明可以通过许多替换形式来具体实现，并且不应当被解释成仅仅受限于这里所阐述的实施例。

[0049] 如图1所示，在本发明一实施例中，本发明的阵列基板200包括衬底基板10、第一栅极绝缘层21、栅极层30、第二栅极绝缘层22、有源层40。具体地讲，第一栅极绝缘层21设于衬底基板10上，第一栅极绝缘层21中具有凹槽11，栅极层30设于第一栅极绝缘层21的凹槽11中，第二栅极绝缘层22覆于第一栅极绝缘层21和栅极层30上，有源层40设于第二栅极绝缘层22上。

[0050] 其中衬底基板10的材料采用聚酰亚胺（PI），即聚酰亚胺薄膜，作为阵列基板的基底；所述聚酰亚胺薄膜是世界上性能较好的薄膜类绝缘材料，具有较强的拉伸强度，由均苯四甲酸二酐和二氨基二苯醚在强极性溶剂中经缩聚并流延成膜再经亚胺化而成。

[0051] 栅极层30采用的材料为铜金属，栅极层30的厚度范围为200nm~5000nm。

[0052] 第一栅极绝缘层21和第二栅极绝缘层22的材料采用氧化氮或氧化硅或氮化硅中的任意一种或两种以上，第一栅极绝缘层21的厚度范围为100nm~500nm，第二栅极绝缘层22的厚度范围为100nm~500nm。

[0053] 有源层40的材料采用氧化锌、氧化镉、氧化镉锌中的任何一种或两种以上，有源层40的厚度范围为100nm~200nm。

[0054] 有源层40上还设有源漏极层50，源漏极层50上设有平坦层60，平坦层60上设有像素定义层70。

[0055] 其中源漏极层50采用的材料为铝或钼或两者的结合，源漏极层50的厚度范围为20nm~600nm，平坦层60的材料采用氧化硅或氮化硅，平坦层60的厚度为150nm~400nm，像素电极层70的材料采用氧化铟锡，像素电极层70的厚度为30nm~100nm。

[0056] 为了更清楚的解释本发明的设计要点，本实施例还提供了一种制备方法，以制

备本发明的阵列基板。

- [0057] 请参阅图2，图2所示为本实施例提供的阵列基板的制备方法的流程图，包括步骤S1-步骤S10。
- [0058] 请参阅图3，图3所示为本实施例提供的制备方法中步骤S1时阵列基板的结构示意图；步骤S1：提供一衬底基板10。
- [0059] 请参阅图4，图4所示为本实施例提供阵列基板的制备方法中步骤S2时阵列基板的结构示意图；步骤S2：沉积栅极绝缘材料于衬底基板10上形成第一栅极绝缘膜211。
- [0060] 其中沉积第一栅极绝缘材料是采用等离子体增强化学的气相沉积法。
- [0061] 请参阅图5，图5所示为本实施例提供阵列基板的制备方法中步骤S3时阵列基板的结构示意图；步骤S3：图案化第一栅极绝缘膜211形成第一栅极绝缘层21，述第一栅极绝缘层21中具有相应的凹槽11。
- [0062] 其中第一栅极绝缘层21的材料采用氧化氮或氧化硅或氮化硅中的任意一种或两种以上，第一栅极绝缘层21的厚度范围为100nm~500nm。
- [0063] 请参阅图6，图6所示为本实施例提供阵列基板的制备方法中步骤S4时阵列基板的结构示意图；步骤S4：沉积栅极材料于第一栅极绝缘层21上以及凹槽中形成栅极膜31。
- [0064] 请参阅图7，图7所示为本实施例提供阵列基板的制备方法中步骤S5时阵列基板的结构示意图；步骤S5：湿蚀刻栅极膜31，去除第一栅极绝缘层21上的栅极膜31并在凹槽中形成栅极层30；其中栅极层30采用的材料为铜金属，栅极层30的厚度范围为200nm~5000nm。
- [0065] 请参阅图8，图8所示为本实施例提供阵列基板的制备方法中步骤S6时阵列基板的结构示意图；步骤S6：沉积栅极绝缘材料于第一栅极绝缘层21和栅极层30上形成第二栅极绝缘层22。
- [0066] 其中步骤S6之前还包括使用氢气、氮气、氨气或氩气中的任意一种或两种以上的气体进行对第一栅极绝缘层21表面处理，减少第一栅极绝缘层21和第二栅极绝缘层22之间的膜质差异，避免两层膜膜质差异过大，对绝缘层的电学特性、光学特性等膜质特性造成恶化，保证第一栅极绝缘层21和第二栅极绝缘层22之

间不会出现断层现象，保证像素区域的光学特性不会恶化。

- [0067] 其中沉积第二栅极绝缘层22是采用等离子体增强化学的气相沉积法，第二栅极绝缘层22的材料采用氧化氮或氧化硅或氮化硅中的任意一种或两种以上，第二栅极绝缘层22的厚度范围为100nm~500nm。
- [0068] 其中栅极绝缘层分成两个步骤制备，能够降低现有技术中一步制备带来的台阶覆盖性较差的风险。
- [0069] 其中第二栅极绝缘层22的厚度与阵列基板的电学特性相关，通过控制第一栅极绝缘层21和第二栅极绝缘层22的厚度比例，能够确保阵列基板开态电流不会降低，降低面板充电率不足的风险。
- [0070] 请参阅图9，图9所示为本实施例提供阵列基板的制备方法中步骤S7时阵列基板的结构示意图；步骤S7：形成有源层40于第二栅极绝缘层上22；有源层40的材料采用氧化锌、氧化镉锌、氧化镉锌镓中的任意一种或两种以上，有源层40的厚度范围为100nm~200nm。
- [0071] 请参阅图10，图10所示为本实施例提供阵列基板的制备方法中步骤S8时阵列基板的结构示意图。步骤S8：形成源漏极层50于有源层40上；其中源漏极层50采用的材料为铝或钼或两者的结合，源漏极层50的厚度范围为20nm~600nm。
- [0072] 请参阅图11，图11所示为本实施例提供阵列基板的制备方法中步骤S9阵列基板时的结构示意图；步骤S9：形成平坦层60于源漏极层50上；其中平坦层60的材料采用氧化硅或氮化硅，平坦层60的厚度为150nm~400nm。
- [0073] 请参阅图12，图12所示为本实施例提供阵列基板的制备方法中步骤S10时阵列基板的结构示意图；步骤S10：形成像素电极层70于平坦层60上；其中像素电极层70的材料采用氧化铟锡，像素电极层70的厚度为30nm~100nm。
- [0074] 本发明的有益效果在于：本发明提供一种阵列基板及其制备方法，栅极绝缘层分成两个步骤制备，能够降低现有技术中一步制备带来的台阶覆盖性较差的风险，其中第二栅极绝缘层的厚度与阵列基板的电学特性相关，通过控制第一栅极绝缘层和第二栅极绝缘层的厚度比例，能够确保阵列基板开态电流不会降低，降低面板充电率不足的风险。
- [0075] 以上所述仅是本发明的优选实施方式，应当指出，对于本技术领域的普通技术

人员，在不脱离本发明原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也应视为本发明的保护范围。

权利要求书

- [权利要求 1] 一种阵列基板，其中，包括：
- 衬底基板；
- 第一栅极绝缘层，设于所述衬底基板上，所述第一栅极绝缘层中具有凹槽；
- 栅极层，设于所述第一栅极绝缘层的所述凹槽中；
- 第二栅极绝缘层，覆于所述第一栅极绝缘层和所述栅极层上；
- 有源层，设于所述第二栅极绝缘层上。
- [权利要求 2] 根据权利要求1所述的阵列基板，其中，其还包括
- 源漏极层，设于所述有源层上；
- 平坦层，设于所述源漏极层上；
- 像素定义层，设于所述平坦层上。
- [权利要求 3] 根据权利要求1所述的阵列基板，其中，所述栅极层采用的材料为铜金属，所述栅极层的厚度范围为200nm~5000nm。
- [权利要求 4] 根据权利要求1所述的阵列基板，其中，所述第一栅极绝缘层和所述第二栅极绝缘层的材料采用氧化氮或氧化硅或氮化硅中的任意一种或两种以上，所述第一栅极绝缘层的厚度范围为100nm~500nm，所述第二栅极绝缘层的厚度范围为100nm~500nm。
- [权利要求 5] 根据权利要求1所述的阵列基板，其中，所述有源层的材料采用氧化锌、氧化镉锌、氧化镉锌镓中的任意一种或两种以上，所述有源层的厚度范围为100nm~200nm。
- [权利要求 6] 根据权利要求2所述的阵列基板，其中，所述平坦层的材料采用氧化硅或氮化硅，所述平坦层的厚度为150nm~400nm，所述像素电极层的材料采用氧化铟锡，所述像素电极层的厚度为30nm~100nm。
- [权利要求 7] 一种制备如权利要求1所述阵列基板的方法，其中，包括以下步骤：
- S1：提供一衬底基板；
- S2：沉积栅极绝缘材料于所述衬底基板上形成第一栅极绝缘膜；
- S3：图案化所述第一栅极绝缘膜形成第一栅极绝缘层，所述第一栅

极绝缘层中具有相应的凹槽；

S4: 沉积栅极材料于所述第一栅极绝缘层以及所述凹槽中形成栅极膜；

S5: 湿蚀刻所述栅极膜，去除所述第一栅极绝缘层上的栅极膜并在所述凹槽中形成栅极层；

S6: 沉积栅极绝缘材料于所述第一栅极绝缘层和所述栅极层上形成第二栅极绝缘层；

S7: 形成有源层于所述第二栅极绝缘层上。

[权利要求 8] 根据权利要求7所述的制备方法，其中，在所述步骤S2和步骤S6中，采用等离子体增强化学的气相沉积法沉积所述栅极绝缘材料。

[权利要求 9] 根据权利要求7所述的制备方法，其中，在所述S6步骤之前，还包括S100:使用氢气、氮气、氨气或氩气中的任意一种或两种以上的气体对所述第一栅极绝缘层进行处理。

[权利要求 10] 根据权利要求7所述的制备方法，其中，其还包括源漏极层，设于所述有源层上；平坦层，设于所述源漏极层上；像素定义层，设于所述平坦层上。

[权利要求 11] 根据权利要求10所述的制备方法，其中，在步骤S7之后还包括S8: 形成源漏极层于所述有源层上；S9: 形成平坦层于所述源漏极层上；S10: 形成像素电极层于所述平坦层上。

[权利要求 12] 根据权利要求7所述的制备方法，其中，所述栅极层采用的材料为铜金属，所述栅极层的厚度范围为200nm~5000nm。

[权利要求 13] 根据权利要求7所述的制备方法，其中，所述第一栅极绝缘层和所述第二栅极绝缘层的材料采用氧化氮或氧化硅或氮化硅中的任意一种或两种以上，所述第一栅极绝缘层的厚度范围为100nm~500nm，所述第二栅极绝缘层的厚度范围为100nm~500nm。

[权利要求 14] 根据权利要求7所述的制备方法，其中，所述有源层的材料采用氧化

锌、氧化镉锌、氧化镉锌镓中的任意一种或两种以上，所述有源层的厚度范围为100nm~200nm。

[权利要求 15] 根据权利要求10所述的制备方法，其中，所述平坦层的材料采用氧化硅或氮化硅，所述平坦层的厚度为150nm~400nm，所述像素电极层的材料采用氧化镉锡，所述像素电极层的厚度为30nm~100nm。

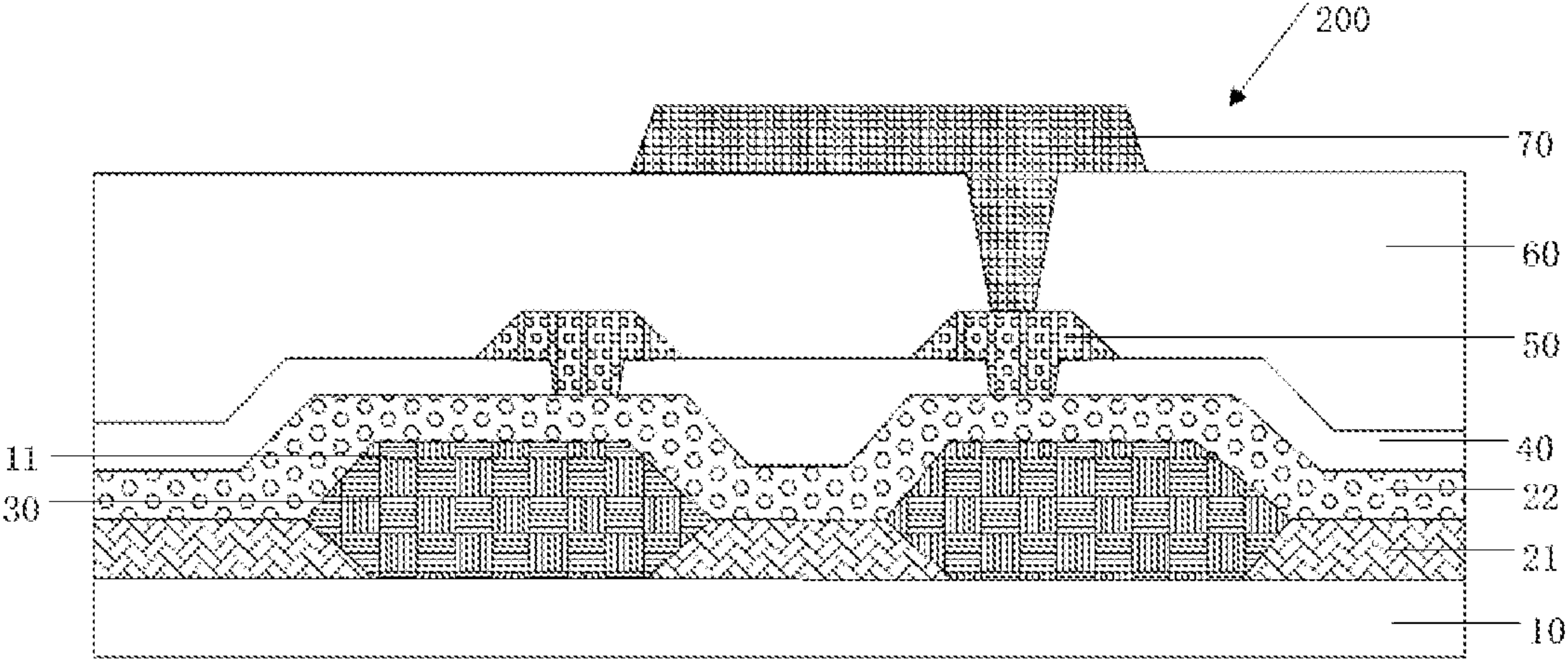


图 1

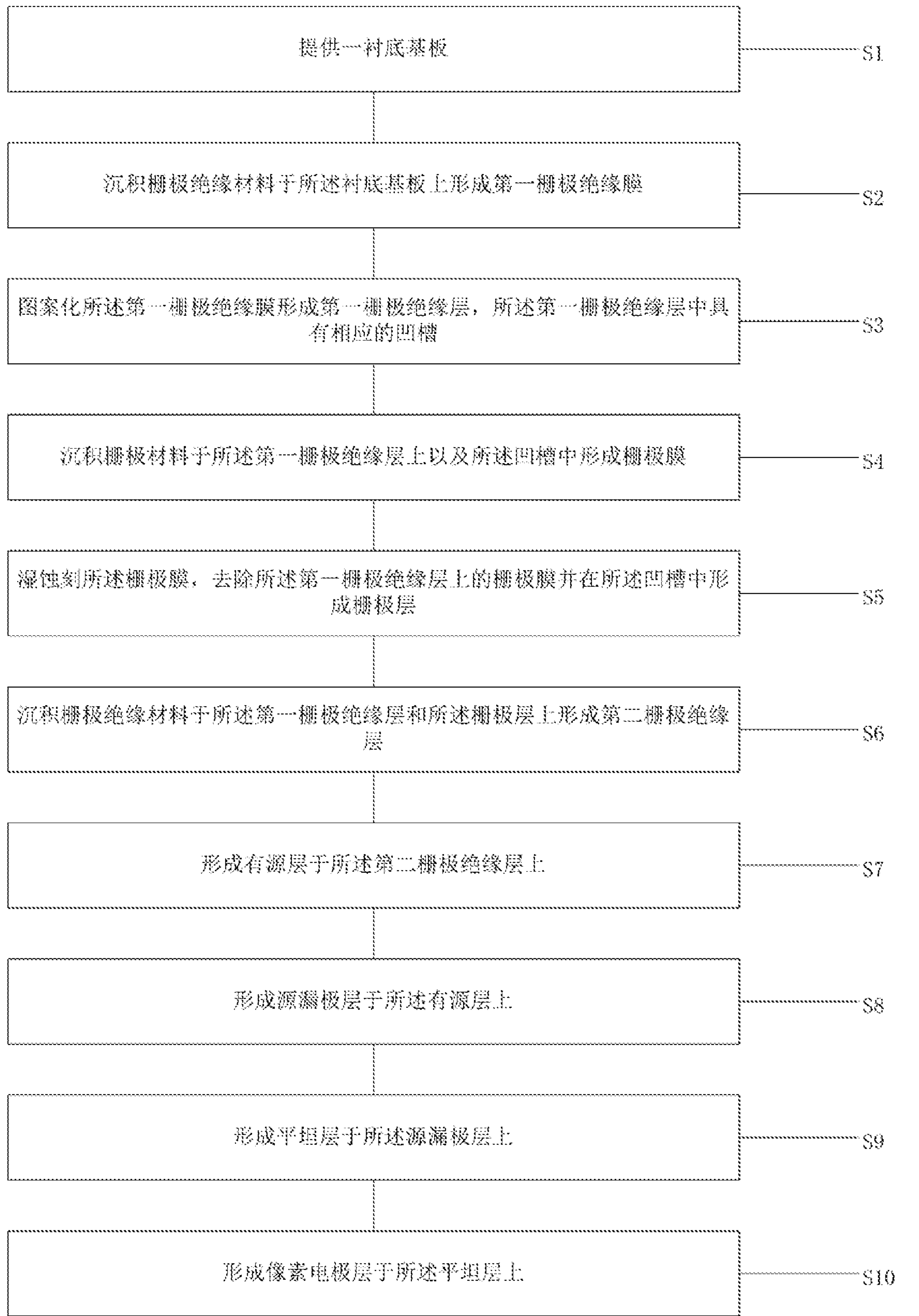


图 2



图 3

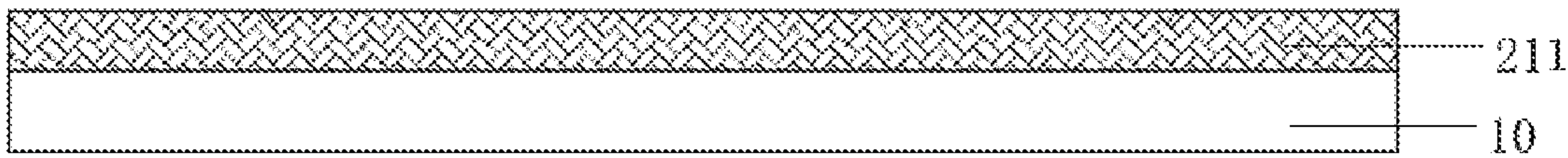


图 4

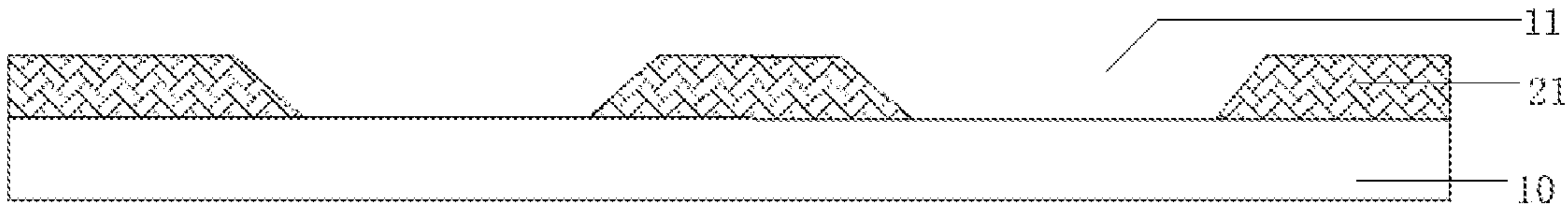


图 5

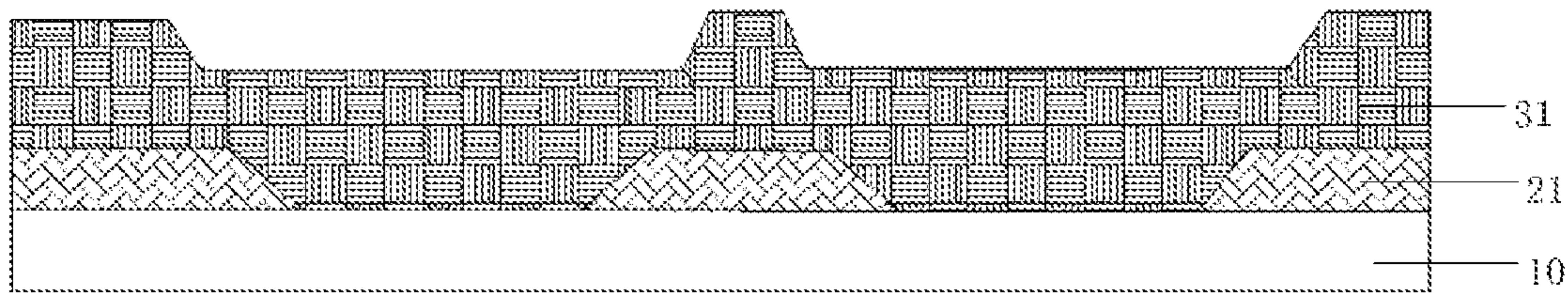


图 6

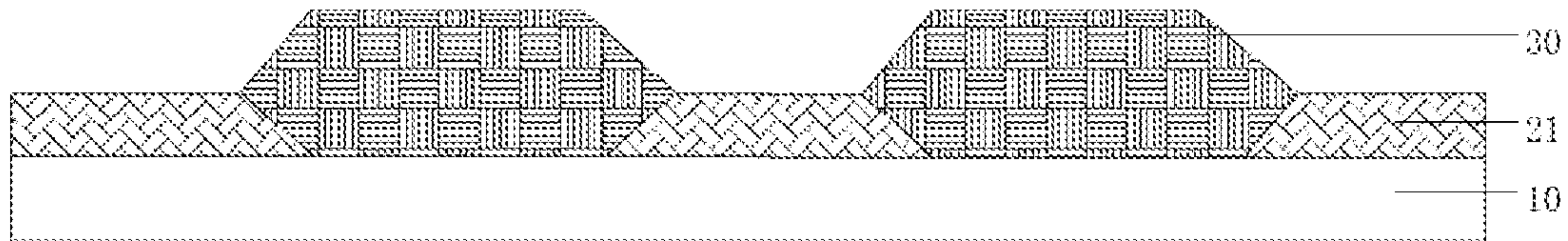


图 7

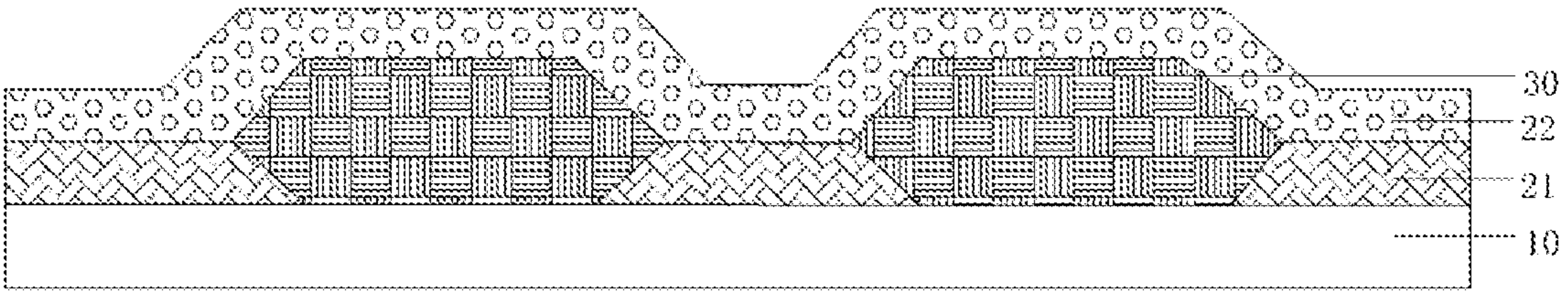


图 8

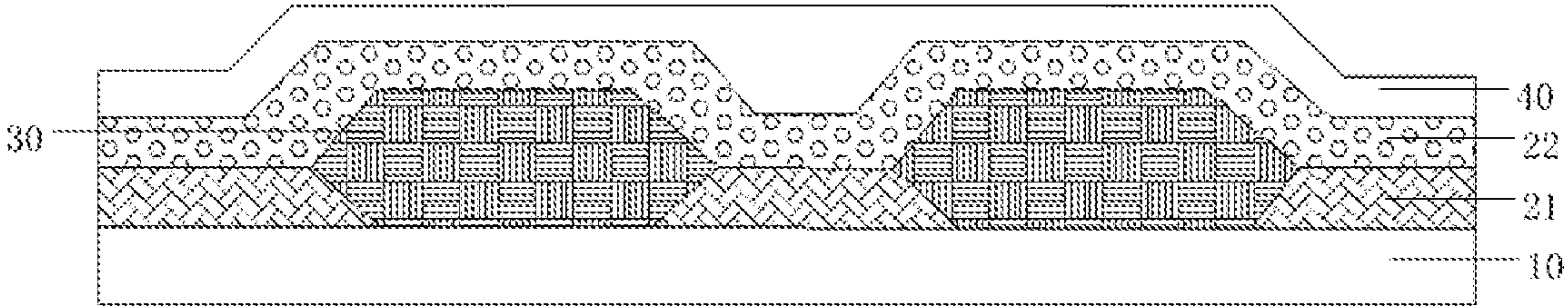


图 9

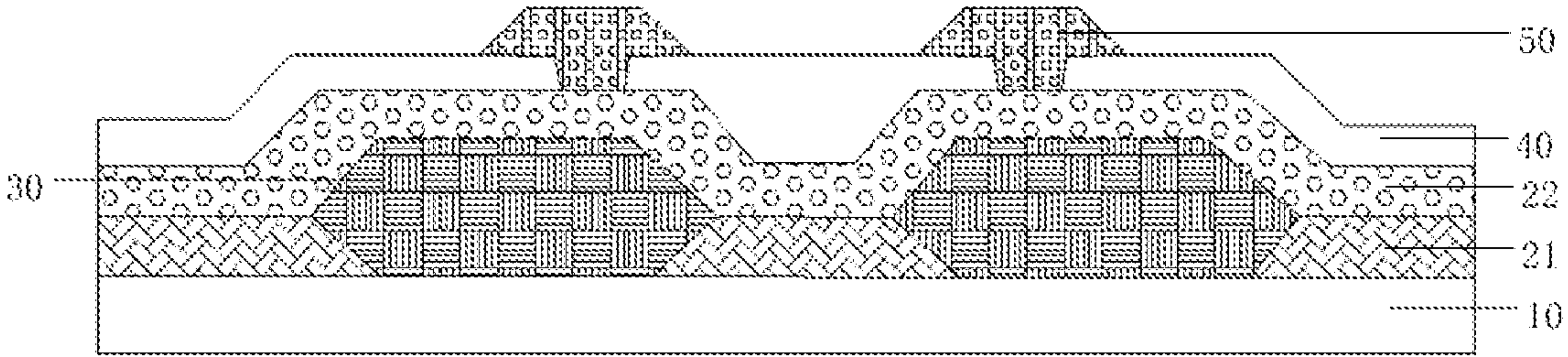


图 10

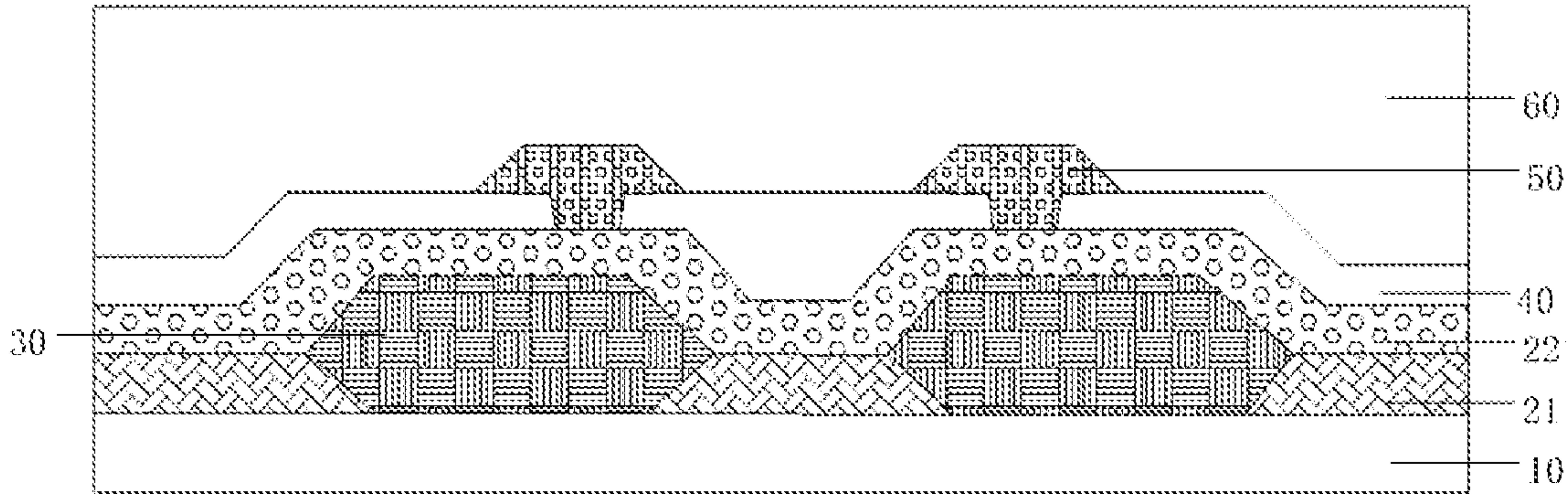


图 11

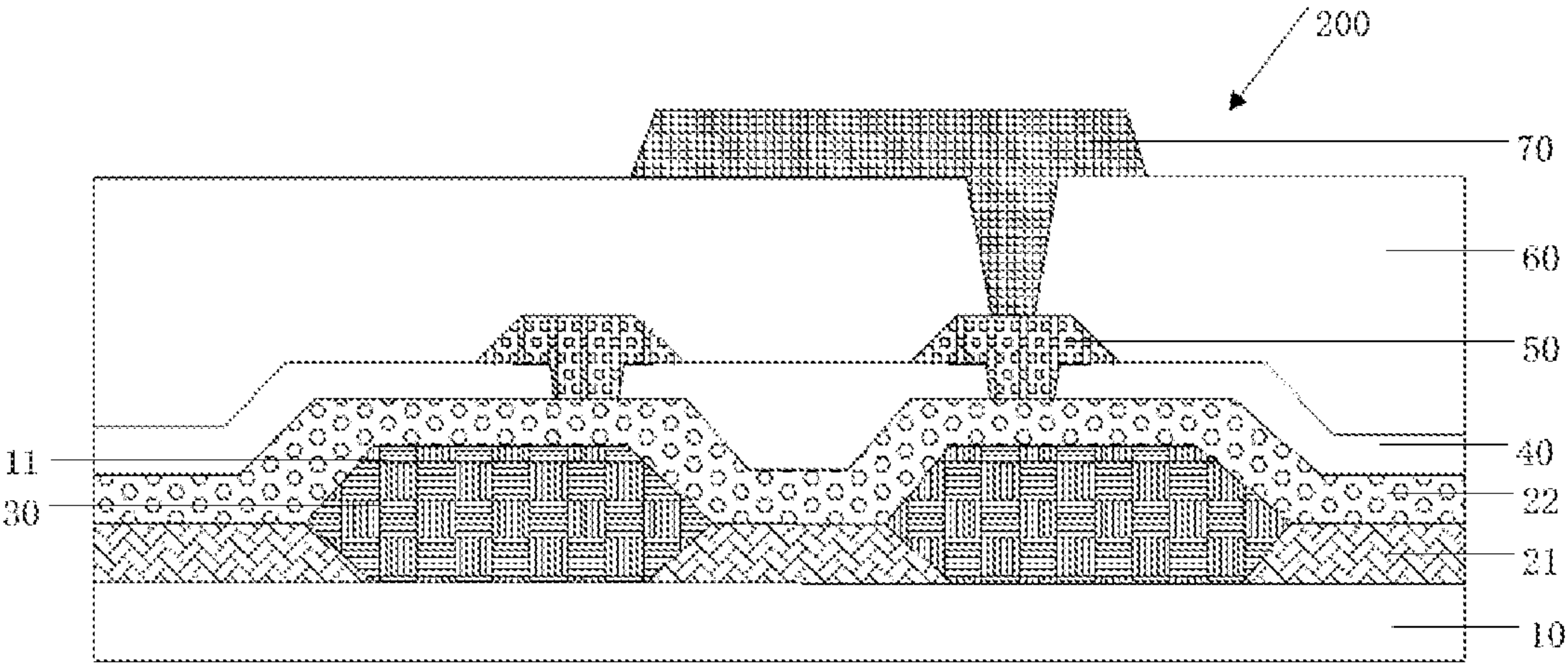


图 12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/117112

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT; CNKI; EPODOC; WPI: 显示, 面板, 阵列基板, 薄膜晶体管, 栅电极, 栅极绝缘层, 第一, 第二, 台阶覆盖, 槽, TFT, panel, display, gate, electrode, insulat+, dielectric, groove, cavity, trench

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2015279690 A1 (SAMSUNG DISPLAY CO., LTD.) 01 October 2015 (2015-10-01) description paragraphs [0050]-[0095], figures 1-13	1-15
X	CN 103646924 A (BOE TECHNOLOGY GROUP CO., LTD.) 19 March 2014 (2014-03-19) description paragraphs [0069]-[0077], figures 1-12	1-15
A	CN 104393019 A (BOE TECHNOLOGY GROUP CO., LTD.) 04 March 2015 (2015-03-04) entire document	1-15
A	CN 106449660 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 22 February 2017 (2017-02-22) entire document	1-15

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search

20 March 2020

Date of mailing of the international search report

28 July 2020

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2019/117112

Patent document cited in search report				Publication date (day/month/year)		Patent family member(s)		Publication date (day/month/year)	
US	2015279690	A1	01 October 2015	US	9082701	B2		14 July 2015	
KR	20130107628	A		KR	20130107628	A		02 October 2013	
US	2013252384	A1		US	2013252384	A1		26 September 2013	
CN	103646924	A	19 March 2014	CN	103646924	B		10 February 2016	
US	2015311223	A1		US	2015311223	A1		29 October 2015	
WO	2015081673	A1		WO	2015081673	A1		11 June 2015	
CN	104393019	A	04 March 2015	CN	104393019	B		10 November 2017	
CN	106449660	A	22 February 2017		None				

国际检索报告		国际申请号 PCT/CN2019/117112
A. 主题的分类 H01L 27/12(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT;CNKI;EPDOC;WPI: 显示, 面板, 阵列基板, 薄膜晶体管, 栅电极, 栅极绝缘层, 第一, 第二, 台阶覆盖, 槽, TFT, panel, display, gate, electrode, insulat+, dielectric, groove, cavity, trench		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	US 2015279690 A1 (SAMSUNG DISPLAY CO., LTD) 2015年 10月 1日 (2015 - 10 - 01) 说明书第[0050]-[0095]段, 附图1-13	1-15
X	CN 103646924 A (京东方科技集团股份有限公司) 2014年 3月 19日 (2014 - 03 - 19) 说明书第[0069]-[0077]段, 附图1-12	1-15
A	CN 104393019 A (京东方科技集团股份有限公司) 2015年 3月 4日 (2015 - 03 - 04) 全文	1-15
A	CN 106449660 A (京东方科技集团股份有限公司 等) 2017年 2月 22日 (2017 - 02 - 22) 全文	1-15
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件		“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件
国际检索实际完成的日期 2020年 3月 20日	国际检索报告邮寄日期 2020年 7月 28日	
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	授权官员 曹毓涵 电话号码 86-(10)-53961208	

国际检索报告 关于同族专利的信息				国际申请号 PCT/CN2019/117112			
检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2015279690	A1	2015年 10月 1日	US	9082701	B2	2015年 7月 14日
				KR	20130107628	A	2013年 10月 2日
				US	2013252384	A1	2013年 9月 26日
CN	103646924	A	2014年 3月 19日	CN	103646924	B	2016年 2月 10日
				US	2015311223	A1	2015年 10月 29日
				WO	2015081673	A1	2015年 6月 11日
CN	104393019	A	2015年 3月 4日	CN	104393019	B	2017年 11月 10日
CN	106449660	A	2017年 2月 22日		无		