



MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA LOTTA ALLA CONTRAFFAZIONE
UFFICIO ITALIANO BREVETTI E MARCHI

DOMANDA DI INVENZIONE NUMERO	102015000076148
Data Deposito	24/11/2015
Data Pubblicazione	24/05/2017

Classifiche IPC

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
H	03	F	3	45

Titolo

CIRCUITO AMPLIFICATORE DI LETTURA CON COMPENSAZIONE DELL'OFFSET PER UN DISPOSITIVO DI MEMORIA NON VOLATILE
--

DESCRIZIONE

del brevetto per invenzione industriale dal titolo:
"CIRCUITO AMPLIFICATORE DI LETTURA CON COMPENSAZIONE
DELL'OFFSET PER UN DISPOSITIVO DI MEMORIA NON VOLATILE"

di 1) STMICROELECTRONICS S.R.L.

di nazionalità italiana

con sede: VIA C. OLIVETTI, 2

AGRATE BRIANZA (MB)

2) STMICROELECTRONICS (ROUSSET) SAS

di nazionalità francese

con sede: ZI DE PEYNIER ROUSSET AVENUE COQ

13790 ROUSSET (FRANCIA)

Inventori: CONTE Antonino, LA ROSA Francesco

* * *

La presente invenzione è relativa ad un circuito
amplificatore di lettura con compensazione dell'offset per
un dispositivo di memoria non volatile.

In modo noto, e come mostrato schematicamente in
figura 1, un dispositivo di memoria non volatile, indicato
con 1, ad esempio di tipo flash o del tipo a cambiamento di
fase (PCM - Phase Change Memory), comprende in generale una
matrice di memoria 2 composta da una pluralità di celle di
memoria 3, organizzate in righe (linee di parola, o word
line WL) e colonne (linee di dato, o bit line BL).

Ciascuna cella di memoria 3 è costituita da un

elemento di memorizzazione, ad esempio formato da un transistor a gate flottante nelle memorie flash, con terminale di gate atto ad essere accoppiato ad una rispettiva word line WL, un primo terminale di conduzione atto ad essere accoppiato ad una rispettiva bit line BL ed un secondo terminale di conduzione collegato ad un potenziale di riferimento (ad esempio a massa, gnd). In particolare, i terminali di gate delle celle di memoria 3 di una stessa word line WL sono collegati tra loro.

Un circuito decodificatore di colonna 4 ed un circuito decodificatore di riga 5 permettono di selezionare, sulla base di segnali di indirizzo ricevuti in ingresso (generati in maniera di per sé nota ed indicati in generale con AS), le celle di memoria 3, ed in particolare le relative word line WL e bit line BL, di volta in volta indirizzate, consentendone la polarizzazione a valori di tensione e corrente opportuni durante le operazioni di memoria.

Il circuito decodificatore di colonna 4 in particolare realizza un percorso di lettura, destinato a creare un cammino conduttivo tra le bit line BL della matrice di memoria 2 di volta in volta selezionate ed un circuito amplificatore di lettura 10, atto a confrontare la corrente circolante nella cella di memoria 3, indirizzata, con una corrente di riferimento, al fine di determinare il dato memorizzato.

Come mostrato in figura 2, in una realizzazione circuitale nota, il circuito amplificatore di lettura 10 comprende in generale uno stadio di polarizzazione 11 ed uno stadio convertitore corrente/tensione (I/V) 12.

Lo stadio di polarizzazione 11 è atto a polarizzare le bit line BL della matrice di memoria 2 e comprende a sua volta un generatore di polarizzazione 13, ed una coppia di transistori di polarizzazione 14a, 14b, di tipo NMOS, in configurazione cascode.

Il generatore di polarizzazione 13 riceve in ingresso una tensione che può essere survoltata (nel seguito definita tensione survoltata V_{boost}), ad esempio da uno stadio survoltore di tensione a pompa di carica (qui non illustrato), e genera in uscita una tensione di polarizzazione V_{casco} in corrispondenza di un nodo di polarizzazione N_p . In alternativa, ed in funzione del valore che si desidera ottenere per la tensione di polarizzazione V_{casco} , il generatore di polarizzazione 13 può ricevere direttamente una tensione di alimentazione V_{dd} , di valore logico (inferiore alla tensione survoltata V_{boost}).

I terminali di controllo dei transistori di polarizzazione 14a, 14b sono entrambi collegati al suddetto nodo di polarizzazione N_p , in modo da ricevere la tensione di polarizzazione V_{casco} .

Inoltre, un primo transistor di polarizzazione 14a

della coppia presenta un primo terminale di conduzione accoppiato alla bit line selezionata, da cui riceve in uso una corrente di lettura di cella I_{cell} , attraverso il percorso di lettura definito dal decodificatore di colonna 4, ed un secondo terminale di conduzione collegato ad un primo ingresso di confronto IN_a dello stadio convertitore corrente/tensione 12.

A sua volta, il secondo transistor di polarizzazione 14b della coppia presenta un rispettivo primo terminale di conduzione accoppiato ad un generatore di riferimento di corrente 15 (o, in alternativa ad una cella di riferimento, in maniera qui non illustrata), da cui riceve una corrente di lettura di riferimento I_{ref} , ed un secondo terminale di conduzione collegato ad un secondo ingresso di confronto IN_b dello stesso stadio convertitore corrente/tensione 12.

Lo stadio convertitore corrente/tensione 12 presenta inoltre un ingresso di alimentazione, su cui riceve la tensione di alimentazione V_{dd} , ed è configurato per eseguire un confronto tra i valori della corrente di lettura di cella I_{cell} e della corrente di lettura di riferimento I_{ref} , e generare, sulla base del risultato di tale confronto, una tensione di uscita V_{out} .

Il circuito amplificatore di lettura 10 comprende inoltre uno stadio comparatore 16, che riceve in ingresso la tensione di uscita V_{out} dallo stadio convertitore

corrente/tensione 12 e genera, sulla base del valore (ad esempio, positivo o negativo) della stessa tensione di uscita V_{out} , un segnale digitale di lettura S_{out} , indicativo del dato memorizzato nella cella di memoria 3.

In figura 2 sono inoltre mostrati un condensatore parassita di linea 17, accoppiato elettricamente tra la bit line BL ed un riferimento di massa gnd, ed un condensatore di polarizzazione 18, accoppiato tra il nodo di polarizzazione N_p e lo stesso riferimento di massa gnd.

In uso, l'operazione di lettura dei dati memorizzati nelle celle di memoria 3 prevede una prima fase di precarica delle relative bit line BL tramite lo stadio di polarizzazione 11 ed il relativo primo transistor di polarizzazione 14a, che consente di applicare una tensione di precarica desiderata in funzione della tensione di polarizzazione V_{bias} (in particolare, tale operazione di precarica consente di caricare la capacità parassita 17 accoppiata alla bit line BL selezionata).

L'operazione di lettura prevede successivamente una fase di lettura del dato memorizzato, con il rilevamento della corrente di lettura di cella I_{cell} ed il suo confronto con la corrente di lettura di riferimento I_{ref} , al fine di generare la tensione di uscita V_{out} e, tramite lo stadio comparatore 16, il segnale digitale di uscita S_{out} .

Ad esempio, nel caso in cui la corrente di lettura di

cella I_{cell} sia maggiore della corrente di lettura di riferimento I_{ref} , il segnale digitale di uscita S_{out} può avere valore logico alto, '1'; mentre lo stesso segnale digitale di uscita S_{out} può avere valore logico basso, '0', nel caso contrario, in cui cioè la corrente di lettura di cella I_{cell} sia minore della corrente di lettura di riferimento I_{ref} .

La presente Richiedente ha constatato che la progressiva riduzione delle dimensioni (cosiddetto "scaling down") delle celle di memoria, e la contemporanea richiesta di incremento delle prestazioni elettriche (in particolare in termini dell'incremento della velocità di lettura, o analogamente della riduzione del tempo di accesso, e della riduzione dei consumi), previste dal progresso tecnologico, può comportare rilevanti problematiche nell'assicurare il corretto funzionamento del circuito amplificatore di lettura 10.

Le suddette richieste comportano infatti di discriminare correttamente differenze di corrente, tra la corrente di lettura di cella I_{cell} e la corrente di lettura di riferimento I_{ref} , di valore sempre minore ed in tempi sempre più rapidi.

Ad esempio, in applicazioni di memorizzazione sicura (ad esempio per microcontrollori di carte di credito o simili), l'evoluzione tecnologica ha comportato il

passaggio da una dimensione di 90 nm ad una dimensione di 40 nm per le celle di memoria, a cui si è accompagnata una riduzione del tempo di accesso da 70 ns a 25 ns.

In queste applicazioni è inoltre prevista una corrente di lettura di riferimento I_{ref} di valore ridotto, dell'ordine ad esempio di 3 μ A, e si richiede un errore assoluto nel discriminare il valore del dato inferiore a 500 nA (ovvero un errore relativo inferiore al 16%).

Il circuito amplificatore di lettura 10 deve pertanto garantire un compromesso tra le esigenze contrapposte di incremento di velocità (intesa come capacità di precaricare la bit line BL e di discriminare il dato memorizzato nel minore tempo possibile) ed incremento di accuratezza (inteso come capacità di discriminare una minima differenza tra la corrente di lettura di cella I_{cell} e la corrente di lettura di riferimento I_{ref}).

In particolare, la presente Richiedente ha constatato che la presenza di offset e disadattamenti (cosiddetti "mismatch") nel circuito amplificatore di lettura 10 (ad esempio dovuti a differenze nel processo di fabbricazione dei componenti elettronici, a variazioni legate all'invecchiamento degli stessi componenti o a fattori ambientali) rappresenta un ostacolo nel raggiungimento del suddetto compromesso, ed in generale rappresenta una criticità nel determinare le prestazioni e l'affidabilità

del dispositivo di memoria non volatile 1.

Scopo della presente invenzione è quello di risolvere, almeno in parte, le problematiche precedentemente evidenziate, fornendo un circuito amplificatore di lettura per un dispositivo di memoria non volatile che realizzi una compensazione degli offset, ed in ogni caso presenti una ridotta sensibilità ai disadattamenti.

Secondo la presente invenzione vengono forniti un circuito amplificatore di lettura per un dispositivo di memoria non volatile ed un relativo metodo di lettura, come definiti nelle rivendicazioni allegate.

Per una migliore comprensione della presente invenzione, ne vengono ora descritte forme di realizzazione preferite, a puro titolo di esempio non limitativo, con riferimento ai disegni allegati, nei quali:

- la figura 1 mostra uno schema a blocchi di massima di un dispositivo di memoria non volatile, di tipo noto;

- la figura 2 mostra uno schema a blocchi generale di un circuito amplificatore di lettura nel dispositivo di memoria non volatile di figura 1, anch'esso di tipo noto;

- la figura 3 mostra uno schema a blocchi di uno stadio convertitore corrente/tensione nel circuito amplificatore di lettura di figura 2, secondo una prima forma di realizzazione della presente soluzione;

- le figure 4a e 4b mostrano l'andamento di grandezze

elettriche nello stadio convertitore corrente/tensione di figura 3;

- la figura 5 mostra in maggiore dettaglio una possibile realizzazione circuitale dello stadio convertitore corrente/tensione di figura 3;

- la figura 6 mostra una porzione di polarizzazione dello stadio convertitore corrente/tensione, secondo un aspetto della presente soluzione;

- la figura 7 mostra uno schema a blocchi di uno stadio convertitore corrente/tensione, in accordo con una seconda forma di realizzazione della presente soluzione; e

- la figura 8 mostra in maggiore dettaglio una possibile realizzazione circuitale dello stadio convertitore corrente/tensione di figura 7.

Un aspetto della presente soluzione prevede, in un'architettura circuitale di un circuito amplificatore di lettura sostanzialmente analoga a quella discussa con riferimento alla figura 2 (qui non descritta nuovamente in dettaglio), una particolare realizzazione dello stadio convertitore corrente/tensione, nuovamente indicato con 12, atta a compensare offset dovuti ai mismatch nei componenti circuitali, così da consentire di discriminare in lettura differenze di corrente anche ridotte, al contempo assicurando un rapido tempo di accesso ed un ridotto consumo di corrente.

Come sarà discusso in dettaglio in seguito, tale realizzazione prevede la presenza di un modulo di compensazione capacitivo, azionabile per compensare gli offset presenti nel circuito in una fase di compensazione, preliminare alla, e distinta dalla, fase di lettura; e di un modulo di commutazione, accoppiato al modulo di compensazione capacitivo, azionabile per commutare lo stato di funzionamento del circuito dalla fase di compensazione alla fase di effettiva lettura del dato memorizzato nella cella di memoria.

Con riferimento alla figura 3, viene ora descritta una prima forma di realizzazione dello stadio convertitore corrente/tensione 12, che implementa le caratteristiche precedentemente evidenziate.

Lo stadio convertitore corrente/tensione 12 presenta una struttura differenziale, con due rami circuitali sostanzialmente equivalenti: un primo ramo circuitale 12a, collegato al primo ingresso di confronto IN_A ed atto a ricevere la corrente di lettura di cella I_{cell} dalla cella di memoria 3 selezionata, qui schematizzata con un carico resistivo costituito da un resistore di cella 20; ed un secondo ramo circuitale 12b, collegato al secondo ingresso di confronto IN_B ed atto a ricevere la corrente di lettura di riferimento I_{ref} dal generatore o cella di riferimento, qui schematizzato con un resistore di riferimento 21.

Nel seguito, verrà descritto solamente il primo ramo circuitale 12a, essendo valide considerazioni del tutto analoghe per il secondo ramo circuitale 12b (si evidenzia inoltre che sarà nel seguito utilizzato il suffisso "a" per indicare i componenti costitutivi il primo ramo circuitale 12a, ed il suffisso "b" per indicare i componenti costitutivi il secondo ramo circuitale 12b).

In dettaglio, il primo ramo circuitale 12a comprende:

un primo interruttore $T1_a$, interposto tra il primo ingresso di confronto IN_a e l'ingresso di alimentazione, ricevente la tensione di alimentazione V_{aa} , e comandato da un primo segnale di controllo S_1 (ad esempio generato e ricevuto da un'unità di gestione del funzionamento generale del dispositivo di memoria non volatile 1, qui non illustrata);

un secondo interruttore $T2_a$, interposto tra lo stesso primo ingresso di confronto IN_a ed un primo nodo interno $N1_a$, e comandato da un secondo segnale di controllo S_2 (ad esempio anch'esso generato dall'unità di gestione del funzionamento generale del dispositivo di memoria non volatile 1);

un modulo amplificatore 22a, avente ingresso collegato al primo nodo interno $N1_a$ ed uscita definente un secondo nodo interno $N2_a$ e fornente una tensione amplificata V_x , che è funzione di una corrente interna I_x in uscita dal

primo nodo interno $N1_a$, secondo la relazione:

$$V_a = I_a \cdot A_{Ra},$$

dove A_{Ra} è il fattore di amplificazione del modulo amplificatore 22a e R_a rappresenta un carico resistivo equivalente accoppiato all'ingresso dello stesso modulo amplificatore 22a;

un terzo interruttore $T3_a$, interposto tra il secondo nodo interno $N2_a$ ed un terzo nodo interno $N3_a$, su cui è presente una tensione di retroazione Vg_a , e comandato dal suddetto primo segnale di controllo S_1 ; ed

un modulo di transconduttanza 24a, avente ingresso collegato al terzo nodo interno $N3_a$ ed uscita collegata al primo nodo interno $N1_a$ e fornente una corrente di rigenerazione Id_a in ingresso allo stesso primo nodo interno $N1_a$, che è funzione della tensione di retroazione Vg_a , secondo la relazione: $Id_a = -Vg_a \cdot g_a$, dove g_a è il fattore di transconduttanza del modulo di transconduttanza 24a.

Secondo un aspetto particolare della presente soluzione, lo stadio convertitore corrente/tensione 12 comprende inoltre un modulo di compensazione capacitivo 26, che accoppia in maniera incrociata il primo ed il secondo ramo circuitale 12a, 12b, ovvero accoppia: il secondo nodo interno $N2_a$, $N2_b$ di ciascun ramo circuitale 12a, 12b, su cui è presente la rispettiva tensione amplificata V_a , V_b ,

che è funzione della corrente interna I_a , I_b presente in corrispondenza del primo nodo interno $N1_a$, $N1_b$ dello stesso ramo circuitale 12a, 12b, con il terzo nodo interno $N3_b$, $N3_a$ dell'altro ramo circuitale 12b, 12a, su cui è presente la rispettiva tensione di retroazione Vg_b , Vg_a .

Il modulo di compensazione capacitivo 26 è configurato per rilevare e memorizzare gli offset presenti nello stadio convertitore corrente/tensione 12 nella fase di compensazione, preliminare alla fase di lettura del dato memorizzato, ed in particolare l'offset di tensione ΔV , definito come lo sbilanciamento (ad esempio dovuto a mismatch nei valori dei componenti circuitali) tra le tensioni amplificate V_a , V_b del primo e del secondo ramo circuitale 12a, 12b:

$$\Delta V = V_a - V_b$$

(o analogamente tra le tensioni di retroazione Vg_a e Vg_b , con il terzo interruttore $T3_a$, $T3_b$ comandato nello stato chiuso dal primo segnale di controllo S_1).

Il modulo di compensazione capacitivo 26 è inoltre configurato per consentire la compensazione di tale offset di tensione ΔV nella successiva fase di lettura del dato memorizzato nella cella di memoria 3.

In maggiore dettaglio, in questa prima forma di realizzazione, il modulo di compensazione capacitivo 26 comprende, per ciascun ramo circuitale 12a, 12b:

un primo condensatore di compensazione 27a, 27b collegato tra il terzo nodo interno $N3_a$, $N3_b$ di ciascun ramo circuitale 12a, 12b ed un terminale di uscita out_b dell'altro ramo circuitale 12b, 12a, su cui è presente una tensione di uscita $Vout_b$, $Vout_a$ (che è funzione della tensione amplificata V_b , V_a di tale altro ramo circuitale 12b, 12a), la differenza tra le tensioni di uscita $Vout_a$, $Vout_b$ definendo la tensione di uscita $Vout$ dello stadio convertitore corrente/tensione 12: $Vout = Vout_b - Vout_a$; ed

un secondo condensatore di compensazione 28a, 28b collegato tra il secondo nodo interno $N2_a$, $N2_b$ ed il terminale di uscita out_a , out_b dello stesso ramo circuitale 12a, 12b dello stadio convertitore corrente/tensione 12.

Lo stadio convertitore corrente/tensione 12 comprende inoltre un interruttore di accoppiamento T_o , interposto tra i terminali di uscita out_a , out_b dei rami circuitali 12a, 12b, e comandato da un terzo segnale di controllo S_3 .

Viene ora descritto il funzionamento dello stadio convertitore corrente/tensione 12, in particolare durante una operazione di memoria di lettura, che si articola in tre fasi operative distinte e tra loro consecutive:

una prima fase operativa, di precarica della bit line BL e di memorizzazione e cancellazione degli offset;

una seconda fase operativa, di attesa; ed

una terza fase operativa, di effettiva lettura del

dato memorizzato con compensazione degli offset.

In dettaglio, durante la prima fase operativa, il primo interruttore $T1_a$, $T1_b$ di entrambi i rami circuitali 12a, 12b è commutato allo stato chiuso (dal primo segnale di controllo S_1), mentre il secondo interruttore $T2_a$, $T2_b$ di entrambi i rami circuitali 12a, 12b è commutato allo stato aperto (dal secondo segnale di controllo S_2).

In questa condizione operativa, la precarica della bitline BL (ed eventualmente della cella di riferimento) avviene attraverso i transistori di polarizzazione 14a, 14b (si veda la figura 2 e la precedente discussione); la modalità di polarizzazione dei terminali di gate di tali transistori di polarizzazione 14a, 14b può essere di svariate tipologie (ad esempio, a polarizzazione costante o dinamica).

Inoltre, il terzo interruttore $T3_a$, $T3_b$ di entrambi i rami circuitali 12a, 12b è commutato allo stato chiuso (dallo stesso primo segnale di controllo S_1), ed è inoltre commutato nello stato chiuso l'interruttore di accoppiamento T_c (dal terzo segnale di controllo S_3).

In questa fase, lo sbilanciamento (dovuto ad esempio ai mismatch dei componenti) tra le tensioni amplificate V_a , V_b del primo e del secondo ramo circuitale 12a, 12b, che equivale allo sbilanciamento tra le tensioni di retroazione V_{g_a} , V_{g_b} ($\Delta V = V_{g_a} - V_{g_b}$), viene memorizzato nei

condensatori di compensazione 27a-27b, 28a-28b del modulo di compensazione capacitivo 26, tramite l'accumulo di una carica elettrica di compensazione.

In particolare, data la chiusura dell'interruttore di accoppiamento T_c , le tensioni di uscita V_{out_a} , V_{out_b} (che rappresentano le uscite differenziali dello stadio convertitore corrente/tensione 12) presentano uno stesso valore, che soddisfa la seguente relazione:

$$V_{out_a} = V_{out_b} \approx (V_{g_a} + V_{g_b})/2$$

In altre parole, su ciascun condensatore di compensazione 27a-27b, 28a-28b si memorizza sostanzialmente una tensione pari a $\Delta V/2$.

In seguito, nella successiva fase di attesa, il primo interruttore $T1_a$, $T1_b$ di entrambi i rami circuitali 12a, 12b viene commutato allo stato aperto (dal primo segnale di controllo S_1). Inoltre, il terzo interruttore $T3_a$, $T3_b$ di entrambi i rami circuitali 12a, 12b viene commutato allo stato aperto, mentre rimane nello stato chiuso l'interruttore di accoppiamento T_c . In tal modo, la carica elettrica di compensazione dell'offset rimane immagazzinata nei condensatori di compensazione 27a-27b, 28a-28b.

Subito dopo, il secondo interruttore $T2_a$, $T2_b$ degli stessi rami circuitali 12a, 12b viene commutato allo stato chiuso. In tal modo, si interrompe la precarica attraverso i transistori di polarizzazione 14a, 14b, e la tensione ai

terminali di drain degli stessi transistori di polarizzazione 14a, 14b comincia a scaricarsi attraverso le correnti di lettura di cella e di riferimento I_{cell} , I_{ref} .

Inoltre, la permanenza nello stato chiuso dell'interruttore di accoppiamento T_c consente di bloccare l'evoluzione dell'anello rigenerativo (dovuto alla retroazione positiva tra l'uscita del modulo amplificatore 22a e l'ingresso del modulo di transconduttanza 24a), evitando commutazioni dovute al rumore introdotto dalla commutazione del secondo interruttore $T2_a$, $T2_b$ (e la scarica dei suddetti terminali di drain dei transistori di polarizzazione 14a, 14b); ciò fa sì che la successiva operazione di lettura del dato memorizzato nella cella di memoria 3 sia solamente funzione delle differenze tra la corrente di lettura di cella I_{cell} e la corrente di lettura di riferimento I_{ref} .

Nella successiva fase di effettiva lettura del dato memorizzato nella cella di memoria 3, l'interruttore di accoppiamento T_c viene commutato allo stato aperto, dal terzo segnale di controllo S_3 (lo stato di commutazione dei restanti interruttori $T1_a$ - $T1_b$, $T2_a$ - $T2_b$, $T3_a$ - $T3_b$ permane invece immutato rispetto alla fase operativa precedente, di attesa).

In questa fase operativa, i due rami circuitali 12a, 12b definiscono un rispettivo anello di amplificazione

rigenerativo, chiuso su un percorso capacitivo definito dai rispettivi condensatori di compensazione 27a-27b, 28a-28b del modulo di compensazione dell'offset 26).

Tale anello di amplificazione rigenerativo viene sbilanciato dallo stato metastabile raggiunto nella precedente fase di attesa esclusivamente dalla differenza tra la corrente di lettura di cella I_{cell} e la corrente di lettura di riferimento I_{ref} ; in altre parole, il guadagno iniziale dell'anello di amplificazione è modificato dai carichi resistivi costituiti dalla bit line BL selezionata, e dalla cella, o generatore, di riferimento (resistore di cella 20 e resistore di riferimento 21).

In seguito allo sbilanciamento, le tensioni di uscita V_{out_a} , V_{out_b} evolvono in direzione opposta. In particolare:

se $I_{cell} > I_{ref}$, allora $V_{out_a} < V_{out_b}$ ($V_{out} > 0$); e

se $I_{cell} < I_{ref}$, allora $V_{out_a} > V_{out_b}$ ($V_{out} < 0$).

La figura 4a mostra, con riferimento alle fasi operative precedentemente discusse (indicate con "fase 1", "fase 2" e "fase 3"), l'andamento del primo segnale di controllo S_1 , del secondo segnale di controllo S_2 e del terzo segnale di controllo S_3 .

La figura 4b mostra invece l'andamento delle tensioni di uscita V_{out_a} , V_{out_b} definenti l'uscita differenziale V_{out} dello stadio convertitore corrente/tensione 12.

In particolare, nell'esempio illustrato, il tempo di

accesso, richiesto per l'intera operazione di lettura, comprensiva delle fasi di precarica, attesa e di lettura effettiva del dato memorizzato, è pari a circa 10 μ s (considerando una differenza tra corrente di lettura di cella I_{cell} e corrente di lettura di riferimento I_{ref} dell'ordine di 100 nA).

Con riferimento alla figura 5, viene ora descritta una possibile implementazione circuitale dello stadio convertitore corrente/tensione 12; si noti che in tale figura 5 viene mostrata la cella di memoria 3, che viene selezionata per l'operazione di lettura con corrente di lettura di cella I_{cell} (e capacità parassita di linea 17), ed inoltre una corrente di riferimento I_{ref} che può essere generata in vari modi da una struttura di corrente di riferimento, indicata generalmente con 15.

La cella indicata con 3' (con la relativa capacità parassita di linea 17') rappresenta qui un'eventuale porzione di matrice di memoria disposta simmetricamente rispetto alla parte selezionata per la lettura, che può essere utilizzata per bilanciare il carico capacitivo dell'amplificatore di lettura 10 (in tal caso, la relativa word line WL' non è selezionata); oppure, la stessa cella 3' può essere utilizzata come riferimento per generare la corrente di riferimento I_{ref} per il confronto (in tal caso, un generatore di corrente di riferimento può non essere

presente).

In questa forma di realizzazione, lo stadio amplificatore 22a (si noti che si fa nuovamente riferimento soltanto al primo ramo circuitale 12a, ad eccezione di dove specificato altrimenti) comprende:

un primo transistor di amplificazione 30a, di tipo PMOS, collegato tra il primo nodo interno $N1_a$ ed il secondo nodo interno $N2_a$, ed avente terminale di controllo collegato ad un primo nodo di polarizzazione Np_1 (comune per entrambi i rami circuitali 12a, 12b), su cui riceve una prima tensione di polarizzazione interna Vp_1 , di valore opportuno; ed

un secondo transistor di amplificazione 32a, di tipo NMOS, collegato tra il secondo nodo interno $N2_a$ ed il riferimento di massa gnd, ed avente terminale di controllo collegato ad un secondo nodo di polarizzazione Np_2 (comune per entrambi i rami circuitali 12a, 12b), su cui riceve una seconda tensione di polarizzazione interna Vp_2 , di valore opportuno.

Lo stadio di transconduttanza 24a comprende a sua volta un transistor di transconduttanza 34a, di tipo PMOS, collegato tra il primo nodo interno $N1_a$ e l'ingresso di alimentazione ricevente la tensione di alimentazione V_{dd} , ed avente terminale di controllo collegato al terzo nodo interno $N3_a$.

La realizzazione circuitale mostrata in figura 5 è tale da implementare, come sarà evidente per un tecnico del settore, il funzionamento descritto in dettaglio in precedenza, ed in particolare le fasi operative di precarica della bit line BL e di memorizzazione e cancellazione degli offset, di attesa, e di effettiva lettura del dato memorizzato con compensazione degli offset.

Facendo riferimento alla figura 6, viene ora descritto un ulteriore aspetto della presente soluzione, che prevede che i suddetti primo e secondo nodo di polarizzazione Np_1 , Np_2 vengano lasciati flottanti durante la fase di effettiva lettura del dato memorizzato (terza fase dell'operazione di lettura precedentemente discussa in dettaglio).

In tal modo, vantaggiosamente, ciascun circuito amplificatore di lettura 10 nel dispositivo di memoria non volatile 1 è mantenuto isolato dagli altri circuiti e dai relativi rumori di commutazione, migliorandone così ulteriormente le caratteristiche elettriche.

In dettaglio, lo stadio convertitore corrente/tensione 12 comprende in tal caso:

un primo interruttore di disaccoppiamento 36, controllato dal secondo segnale di controllo S_2 , e collegato tra il primo nodo di polarizzazione Np_1 ed un primo ingresso di polarizzazione INp_1 , in corrispondenza

del quale riceve una prima tensione di polarizzazione V_{p1}' , di valore opportuno, ad esempio da una sorgente di polarizzazione dell'unità di gestione del dispositivo di memoria non volatile 1 (qui non illustrata);

un secondo interruttore di disaccoppiamento 37, anch'esso controllato dal suddetto secondo segnale di controllo S_2 , e collegato tra il secondo nodo di polarizzazione N_{p2} ed un secondo ingresso di polarizzazione In_{p2} , in corrispondenza del quale riceve una seconda tensione di polarizzazione V_{p2}' , di valore opportuno, ad esempio da una rispettiva sorgente di polarizzazione dell'unità di gestione del dispositivo di memoria non volatile 1 (qui non illustrata);

un primo condensatore di mantenimento 38, ad esempio del valore di 10 fF, collegato tra il primo nodo di polarizzazione N_{p1} e l'ingresso di alimentazione ricevente la tensione di alimentazione V_{dd} ; ed

un secondo condensatore di mantenimento 39, anch'esso ad esempio del valore di 10 fF, collegato tra il secondo nodo di polarizzazione N_{p2} ed il riferimento di massa gnd.

In uso, il primo ed il secondo nodo di polarizzazione N_{p1} , N_{p2} , durante l'operazione di lettura, sono polarizzati dalle rispettive sorgenti di polarizzazione alle rispettive tensioni di polarizzazione V_{p1}' , V_{p2}' fino all'inizio della terza fase di lettura del dato memorizzato nella cella di

memoria 3.

In corrispondenza dell'avvio di tale terza fase, il secondo segnale di controllo S2 determina l'apertura del primo e del secondo interruttore di disaccoppiamento 36, 37, così che il primo ed il secondo nodo di polarizzazione Np_1 , Np_2 rimangono flottanti.

In questa terza fase, il valore della prima e della seconda tensione di polarizzazione interna Vp_1 , Vp_2 (determinato fino a quel momento direttamente dalle tensioni di polarizzazione Vp_1' , Vp_2') è mantenuto dal primo e dal secondo condensatore di mantenimento 38, 39, che si erano precedentemente caricati al valore delle stesse tensioni di polarizzazione Vp_1' , Vp_2' .

Con riferimento alle figure 7 e 8 viene ora descritta una seconda forma di realizzazione dello stadio convertitore corrente/tensione 12 del circuito amplificatore di lettura 10.

Tale seconda forma di realizzazione differisce dalla prima forma di realizzazione precedentemente discussa in dettaglio per una differente configurazione del modulo di compensazione capacitiva 26, nuovamente configurato per rilevare e memorizzare gli offset presenti nello stadio convertitore corrente/tensione 12 durante la fase di compensazione, preliminare alla fase di effettiva lettura, e per consentire di compensare tale offset di tensione ΔV

nella successiva fase di lettura dei dati memorizzati nelle celle di memoria 3.

In dettaglio, in questa seconda forma di realizzazione, il modulo di compensazione capacitivo 26 comprende solamente, per ciascun ramo circuitale 12a, 12b:

il primo condensatore di compensazione 27a, 27b collegato tra il terzo nodo interno $N3_a$, $N3_b$ del rispettivo ramo circuitale 12a, 12b ed il terminale di uscita out_b , out_a dell'altro ramo circuitale 12b, 12a dello stadio convertitore corrente/tensione 12, su cui è presente la relativa tensione di uscita $Vout_b$, $Vout_a$.

In sostituzione del secondo condensatore di compensazione 28a, 28b, il modulo di compensazione capacitivo 26 comprende in questo caso, per ciascun ramo circuitale 12a, 12b:

un quarto interruttore $T4_a$, $T4_b$, interposto tra il secondo nodo interno $N2_a$, $N2_b$ dello stesso ramo circuitale 12a, 12b ed il terminale di uscita out_b , out_a dell'altro ramo circuitale 12b, 12a, e comandato dal suddetto secondo segnale di controllo S_2 .

Il funzionamento generale del modulo di compensazione capacitiva 26 (e dello stadio convertitore corrente/tensione 12) non differisce sostanzialmente da quanto illustrato in precedenza (con la differenza della opportuna commutazione del quarto interruttore $T4_a$, $T4_b$).

La presente Richiedente ha tuttavia verificato, almeno per determinate condizioni di funzionamento, che questa seconda forma di realizzazione può garantire una minore capacità di compensazione dell'offset rispetto alla prima forma di realizzazione.

I vantaggi della soluzione proposta emergono in maniera evidente dalla descrizione precedente.

In ogni caso, si sottolinea nuovamente che l'offset presente nel circuito amplificatore di lettura 10, dovuto ad esempio a mismatch tra i componenti circuitali nell'architettura di lettura differenziale, è compensato efficacemente durante la precarica delle bit line BL.

La commutazione dell'uscita out è dunque dovuta solamente allo sbilanciamento tra la corrente di lettura di cella I_{cell} e la corrente di lettura di riferimento I_{ref} , che provoca una variazione del guadagno dell'anello, secondo uno schema di confronto di corrente in continua (DC).

L'effetto di rumore dovuto alla commutazione degli interruttori utilizzati per determinare le varie fasi dell'operazione di lettura è vantaggiosamente eliminato nella fase di attesa, mediante il "congelamento" dell'anello di rigenerazione.

La soluzione proposta consente dunque di ottenere una lettura estremamente veloce, anche grazie al fatto che la commutazione dell'uscita parte da uno stato metastabile

(tipici tempi di lettura sono dell'ordine della decina di ns, includendo la fase di precarica e di commutazione dell'uscita out).

Inoltre, l'errore di lettura presenta una dispersione molto ridotta, nonostante la velocità di lettura elevata; la presente Richiedente ha verificato una dispersione $\sigma(\Delta I)$ di circa 70 nA, rispetto a dispersioni dell'ordine di 500 nA di soluzioni tradizionali, con tempi di accesso confrontabili.

Inoltre, il consumo di corrente della soluzione proposta risulta ridotto; la presente Richiedente ha verificato un consumo di circa 0,22 $\mu\text{A}/\text{MHz}$, rispetto a consumi dell'ordine di 0,8 $\mu\text{A}/\text{MHz}$ di soluzioni tradizionali.

Risulta infine chiaro che a quanto qui descritto ed illustrato possono essere apportate modifiche e varianti, senza per questo uscire dall'ambito di protezione della presente invenzione, come definito nelle rivendicazioni allegate.

In particolare, si sottolinea come la soluzione descritta possa essere applicata in differenti tipologie dispositivi di memoria non volatile (ad esempio dispositivi flash "embedded" o "stand alone") o di tipo PCM, in cui sia richiesto un confronto di corrente per la lettura del dato memorizzato.

RIVENDICAZIONI

1. Circuito amplificatore di lettura (10) di un dispositivo di memoria (1) non volatile dotato di una matrice di memoria (2) con celle di memoria (3) organizzate in word line (WL) e bit line (BL), comprendente:

uno stadio di polarizzazione (11), configurato in modo da polarizzare almeno una bit line (BL) di detta matrice di memoria (2) per precaricare detta bit line in una fase di precarica di un'operazione di lettura di un dato memorizzato in una relativa cella di memoria (3); ed

uno stadio convertitore corrente/tensione (12), avente configurazione differenziale con un primo (12a) ed un secondo (12b) ramo circuitale, atti a ricevere su un rispettivo ingresso di confronto (IN_a , IN_b), durante una fase di lettura del dato successiva alla fase di precarica, una corrente di cella (I_{cell}) dalla bit line (BL) ed una corrente di riferimento (I_{ref}) da una struttura di riferimento di corrente (15) e a fornire una tensione di uscita (V_{out}) tra un rispettivo primo (out_a) e secondo (out_b) terminale di uscita differenziale, in cui ciascuno di detti primo e secondo ramo circuitale comprende un rispettivo modulo di amplificazione (22a, 22b), configurato in modo da generare durante detta fase di lettura una rispettiva tensione amplificata (V_a , V_b) in funzione rispettivamente della corrente di cella e della corrente di

riferimento, detta tensione di uscita (V_{out}) essendo funzione della differenza tra dette tensioni amplificate (V_a , V_b) ed indicativa del valore di detto dato,

caratterizzato dal fatto che detto stadio convertitore corrente/tensione (12) comprende un modulo di compensazione capacitivo (26), configurato in modo da rilevare e memorizzare uno sbilanciamento, offset, tra detti primo (12a) e secondo (12b) ramo circuitale durante detta fase di precarica, e da compensare detto offset nella tensione di uscita (V_{out}) durante detta fase di lettura del dato memorizzato.

2. Circuito secondo la rivendicazione 1, in cui ciascuno di detti primo (12a) e secondo (12b) ramo circuitale comprende inoltre un rispettivo modulo di transconduttanza (24a, 24b) avente: un rispettivo ingresso ($N3_a$, $N3_b$) selettivamente collegabile ad un'uscita ($N2_a$, $N2_b$) del rispettivo modulo di amplificazione (22a, 22b), durante detta fase di precarica, in modo da ricevere una rispettiva tensione di retroazione (Vg_a , Vg_b); ed una rispettiva uscita collegata ad un ingresso ($N1_a$, $N1_b$) del rispettivo modulo di amplificazione (22a, 22b) ed atta a fornire una rispettiva corrente di rigenerazione (Id_a , Id_b), che è funzione della rispettiva tensione di retroazione (Vg_a , Vg_b).

3. Circuito secondo la rivendicazione 2, in cui detto

modulo di compensazione capacitivo (26) comprende, per ciascuno di detti primo (12a) e secondo (12b) ramo circuitale, un rispettivo primo condensatore di compensazione (27a, 27b) collegato tra l'ingresso ($N3_a$, $N3_b$) del rispettivo modulo di transconduttanza (24a, 24b) ed il terminale di uscita differenziale (out_s , out_a) dell'altro di detti primo (12a) e secondo (12b) ramo circuitale.

4. Circuito secondo la rivendicazione 3, in cui detto modulo di compensazione capacitivo (26) comprende inoltre, per ciascuno di detti primo (12a) e secondo (12b) ramo circuitale un rispettivo secondo condensatore di compensazione (28a, 28b) collegato tra il rispettivo terminale di uscita differenziale (out_s , out_b) e l'uscita ($N2_s$, $N2_b$) del rispettivo modulo di amplificazione (22a, 22b).

5. Circuito secondo una qualsiasi delle rivendicazioni 2-4, in cui detto stadio convertitore corrente/tensione (12) comprende inoltre un modulo di commutazione, accoppiato al modulo di compensazione capacitivo (26) ed azionabile per commutare lo stato di funzionamento dello stadio convertitore corrente/tensione dalla fase di precarica alla fase di lettura del dato memorizzato.

6. Circuito secondo la rivendicazione 5, in cui detto modulo di commutazione è configurato per: durante detta

fase di precarica, disaccoppiare elettricamente detto ingresso di confronto (IN_a , IN_b) dall'ingresso ($N1_a$, $N1_b$) del rispettivo modulo di amplificazione (22a, 22b) ed accoppiare elettricamente l'uscita ($N2_a$, $N2_b$) del rispettivo modulo di amplificazione (22a, 22b) all'ingresso ($N3_a$, $N3_b$) del rispettivo modulo di transconduttanza (24a, 24b), in modo da consentire la memorizzazione dell'offset tra detti primo e secondo ramo circuitale (12a, 12b) da parte del modulo di compensazione capacitivo (26); e, durante detta fase di lettura del dato memorizzato, accoppiare elettricamente detto ingresso di confronto (IN_a , IN_b) all'ingresso ($N1_a$, $N1_b$) del rispettivo modulo di amplificazione (22a, 22b), disaccoppiare elettricamente l'uscita ($N2_a$, $N2_b$) del rispettivo modulo di amplificazione (22a, 22b) dall'ingresso ($N3_a$, $N3_b$) del rispettivo modulo di transconduttanza (24a, 24b), e consentire l'accoppiamento elettrico di detta uscita ($N2_a$, $N2_b$) del rispettivo modulo di amplificazione (22a, 22b) al rispettivo primo e secondo terminale di uscita differenziale (out_a , out_b).

7. Circuito secondo la rivendicazione 5 o 6, in cui detto modulo di commutazione comprende, per ciascuno di detti primo (12a) e secondo (12b) ramo circuitale: un primo interruttore ($T1_a$, $T1_b$), interposto tra un rispettivo ingresso di confronto (IN_a , IN_b) ed un ingresso di

alimentazione ricevente una tensione di alimentazione (V_{dd}) e comandato da un primo segnale di controllo (S_1); un secondo interruttore ($T2_a$, $T2_b$) interposto tra il rispettivo ingresso di confronto (IN_a , IN_b) e l'ingresso ($N1_a$, $N1_b$) del rispettivo modulo di amplificazione (22a, 22b) e comandato da un secondo segnale di controllo (S_2); ed un terzo interruttore ($T3_a$, $T3_b$) interposto tra l'uscita ($N2_a$, $N2_b$) del rispettivo modulo di amplificazione (22a, 22b) e l'ingresso ($N3_a$, $N3_b$) del rispettivo modulo di transconduttanza (24a, 24b) e comandato da detto primo segnale di controllo (S_1).

8. Circuito secondo la rivendicazione 7, in cui detto modulo di commutazione comprende inoltre, per ciascuno di detti primo (12a) e secondo (12b) ramo circuitale un quarto interruttore ($T4_a$, $T4_b$) interposto tra l'uscita ($N2_a$, $N2_b$) del rispettivo modulo di amplificazione (22a, 22b) ed il rispettivo primo e secondo terminale di uscita differenziale (out_a , out_b) e comandato da detto secondo segnale di controllo (S_2).

9. Circuito secondo una qualsiasi delle rivendicazioni 5-8, in cui detto modulo di commutazione comprende inoltre un interruttore di accoppiamento (T_c), interposto tra detti primo e secondo terminale di uscita differenziale (out_a , out_b) e comandato da un rispettivo segnale di controllo (S_3); ed in cui detto modulo di commutazione è configurato

per accoppiare elettricamente detti primo e secondo terminale di uscita differenziale (out_a , out_b) durante detta fase di precarica ed inoltre durante una fase di attesa di detta operazione di lettura, interposta temporalmente tra detta fase di precarica e detta fase di lettura del dato memorizzato, e per disaccoppiare elettricamente detti primo e secondo terminale di uscita differenziale (out_a , out_b) durante detta fase di lettura del dato memorizzato.

10. Circuito secondo una qualsiasi delle rivendicazioni 2-9, in cui il modulo di transconduttanza (24a, 24b) di ciascuno di detti primo (12a) e secondo (12b) ramo circuitale comprende un transistor di transconduttanza (34a, 34b) collegato tra l'ingresso ($N1_a$, $N1_b$) del rispettivo modulo di amplificazione (22a, 22b) ed un ingresso di alimentazione ricevante una tensione di alimentazione (V_{dd}) ed avente terminale di controllo collegato all'ingresso ($N3_a$, $N3_b$) di detto modulo di transconduttanza (24a, 24b); ed in cui il modulo amplificatore (22a, 22b) di ciascuno di detti primo (12a) e secondo (12b) ramo circuitale comprende: un primo transistor di amplificazione (30a, 30b), collegato tra l'ingresso ($N1_a$, $N1_b$) del rispettivo modulo di amplificazione (22a, 22b) e l'uscita ($N2_a$, $N2_b$) del rispettivo modulo di amplificazione (22a, 22b) ed avente

terminale di controllo collegato ad un primo nodo di polarizzazione (Np_1), su cui riceve una prima tensione di polarizzazione interna (Vp_1); ed un secondo transistor di amplificazione (32a, 32b), collegato tra l'uscita ($N2_a$, $N2_b$) del rispettivo modulo di amplificazione (22a, 22b) ed un riferimento di massa (gnd) ed avente terminale di controllo collegato ad un secondo nodo di polarizzazione (Np_2), su cui riceve una seconda tensione di polarizzazione interna (Vp_2).

11. Circuito secondo la rivendicazione 10, in cui detto stadio convertitore corrente/tensione (12) comprende inoltre un modulo di disaccoppiamento (36, 37), configurato per portare detti primo (Np_1) e secondo (Np_2) nodo di polarizzazione in uno stato flottante durante detta fase di lettura del dato; ed un modulo di mantenimento (38, 39), configurato per mantenere il valore di dette prima (Vp_1) e seconda (Vp_2) tensione di polarizzazione interna durante detta fase di lettura del dato.

12. Circuito secondo la rivendicazione 11, in cui detto modulo di disaccoppiamento (36, 37) comprende un primo interruttore di disaccoppiamento (36), collegato tra il primo nodo di polarizzazione (Np_1) ed un primo ingresso di polarizzazione (INp_1), in corrispondenza del quale riceve una prima tensione di polarizzazione (Vp_1'), ed un secondo interruttore di disaccoppiamento (37), collegato

tra il secondo nodo di polarizzazione (N_{p2}) ed un secondo ingresso di polarizzazione (In_{p2}), in corrispondenza del quale riceve una seconda tensione di polarizzazione (V_{p2}'); ed in cui detto modulo di mantenimento (38, 39) comprende un primo condensatore di mantenimento (38), collegato tra il primo nodo di polarizzazione (N_{p1}) ed un ingresso di alimentazione, ed un secondo condensatore di mantenimento (39), collegato tra il secondo nodo di polarizzazione (N_{p2}) ed un riferimento di massa (gnd).

13. Dispositivo di memoria non volatile (1), comprendente una matrice di memoria (2), ed un circuito amplificatore di lettura (10) secondo una qualsiasi delle rivendicazioni precedenti, accoppiato alla matrice di memoria (2) ed atto ad implementare un'operazione di lettura dei dati memorizzati nelle celle di memoria (3) di detta matrice di memoria (2).

14. Metodo di lettura per un dispositivo di memoria non volatile (1), comprendente:

polarizzare almeno una bit line (BL) di una matrice di memoria (2) di detto dispositivo di memoria non volatile (1) per precaricare detta bit line in una fase di precarica di una operazione di lettura di un dato memorizzato in una relativa cella di memoria (3);

durante una fase di lettura del dato, successiva alla fase di precarica, ricevere una corrente di cella (I_{cell})

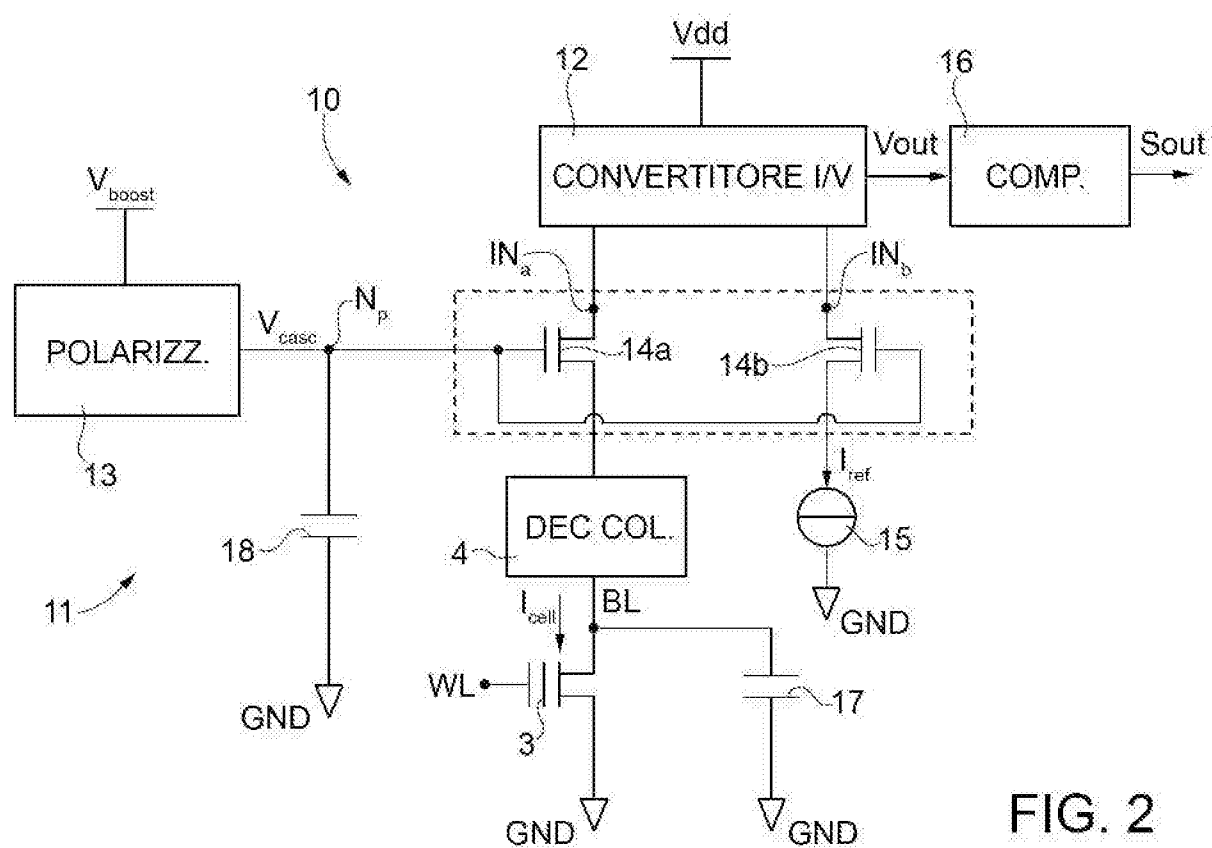
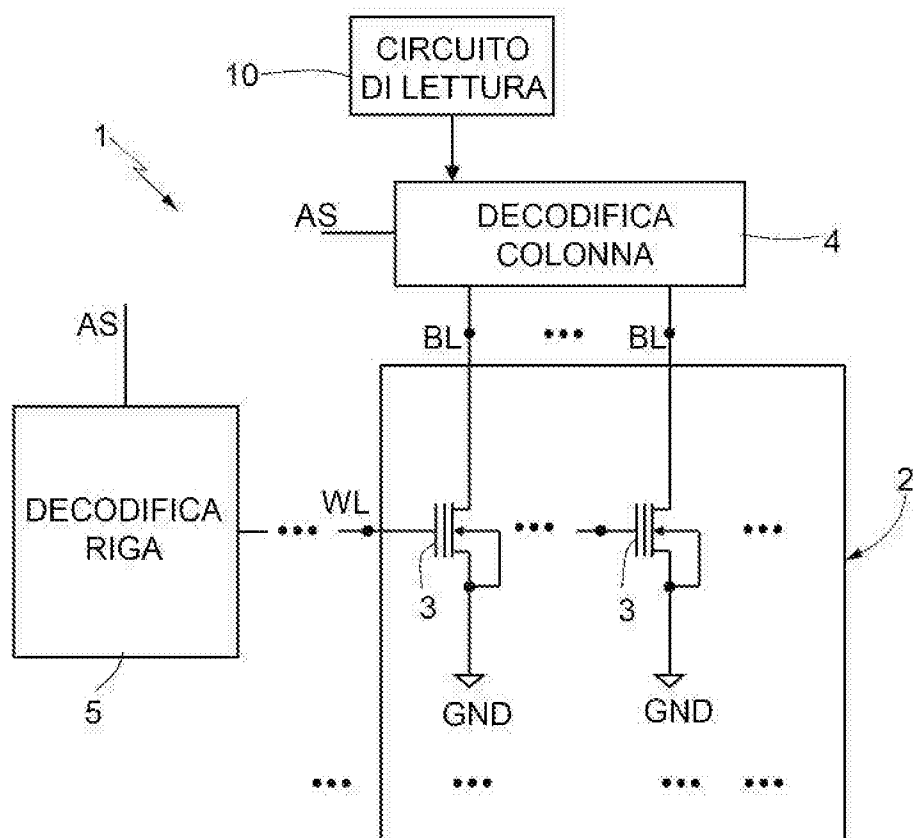
dalla bit line (BL) ed una corrente di riferimento (I_{ref}) da una struttura di riferimento di corrente (15), e generare, mediante uno stadio convertitore corrente/tensione (12), avente configurazione differenziale e comprendente un primo (12a) ed un secondo (12b) ramo circuitale, una rispettiva tensione amplificata (V_a , V_b) in funzione rispettivamente di detta corrente di cella (I_{cell}) e di detta corrente di riferimento (I_{ref}), una tensione di uscita (V_{out}) tra un rispettivo primo (out_a) e secondo (out_b) terminale di uscita differenziale di detti primo e secondo ramo circuitale, indicativa del valore di detto dato, essendo funzione della differenza tra dette tensioni amplificate (V_a , V_b),

caratterizzato dal fatto di comprendere la fase di rilevare e memorizzare uno sbilanciamento, offset, tra detti primo (12a) e secondo (12b) ramo circuitale durante detta fase di precarica, e compensare detto offset nella tensione di uscita (V_{out}) durante detta fase di lettura del dato memorizzato.

p.i.: 1) STMICROELECTRONICS S.R.L.
2) STMICROELECTRONICS (ROUSSET) SAS

Lorenzo NANNUCCI

Lorenzo NANNUCCI
(Iscrizione Albo nr. 1214/B)



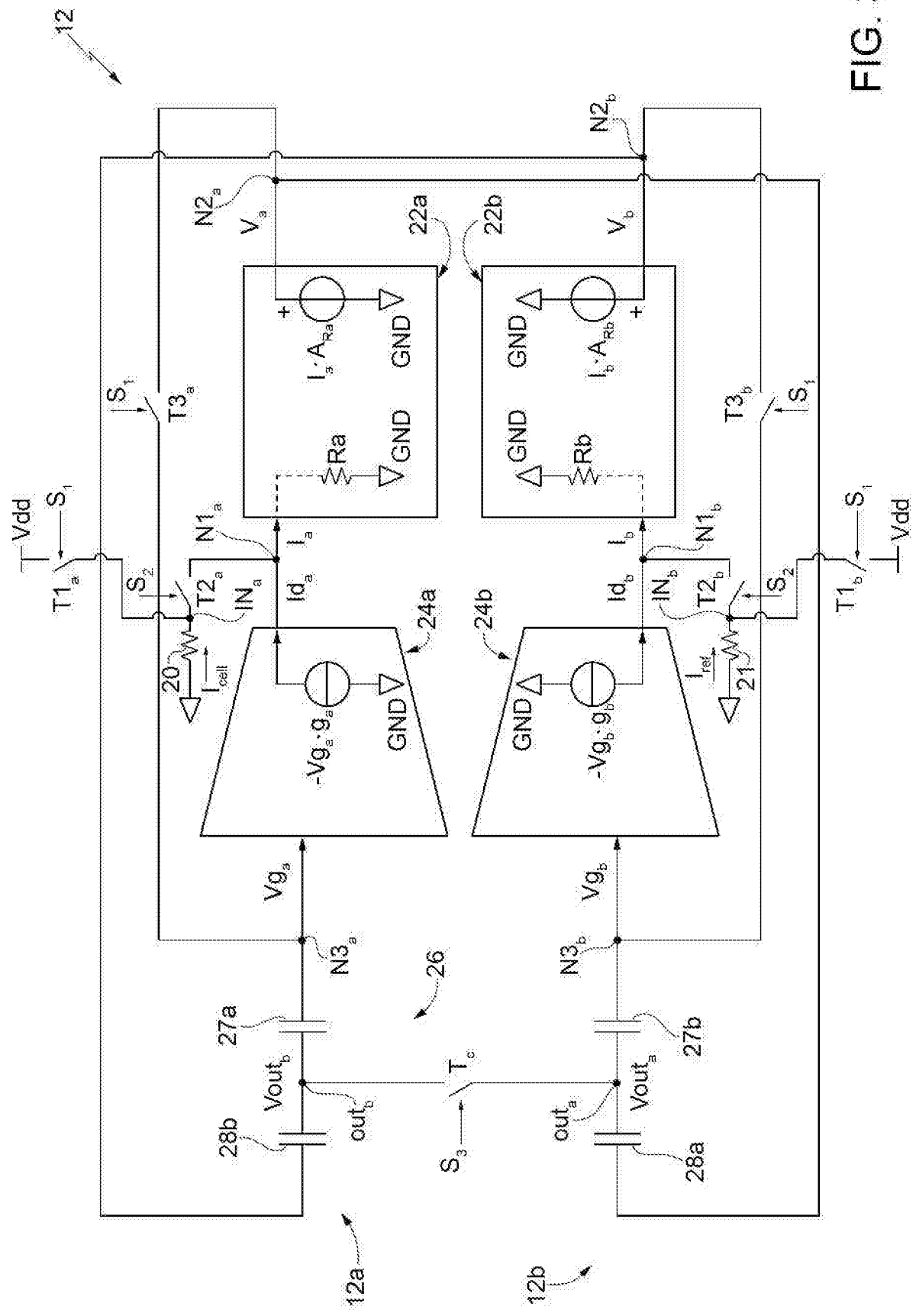


FIG. 3

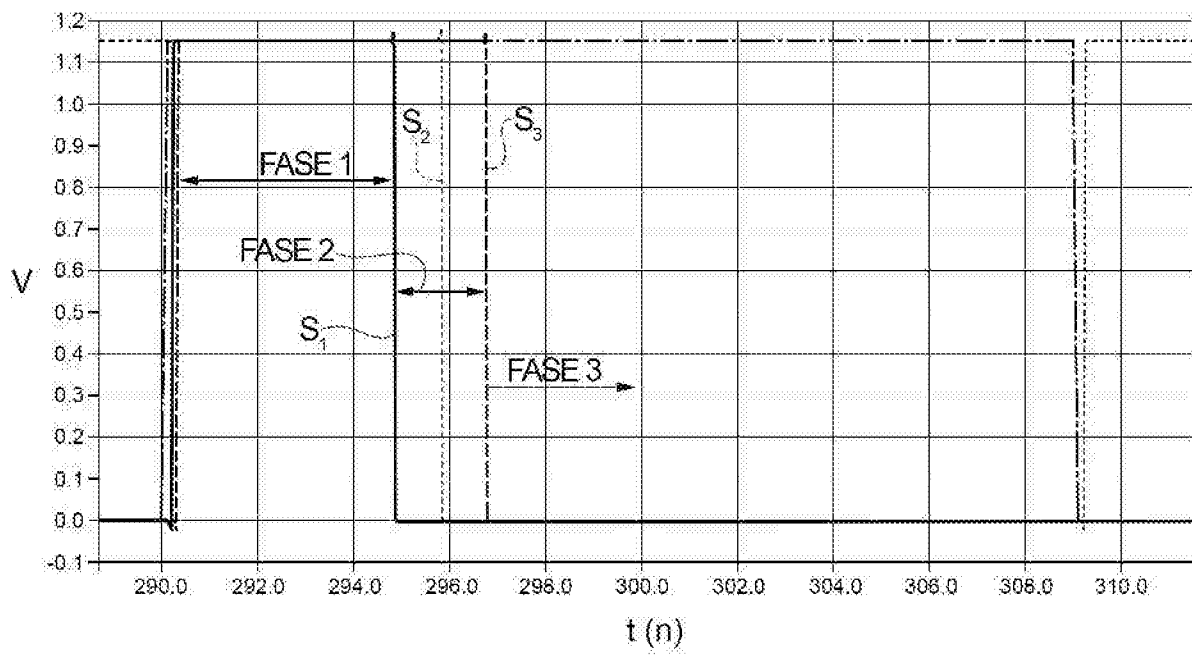


FIG. 4A

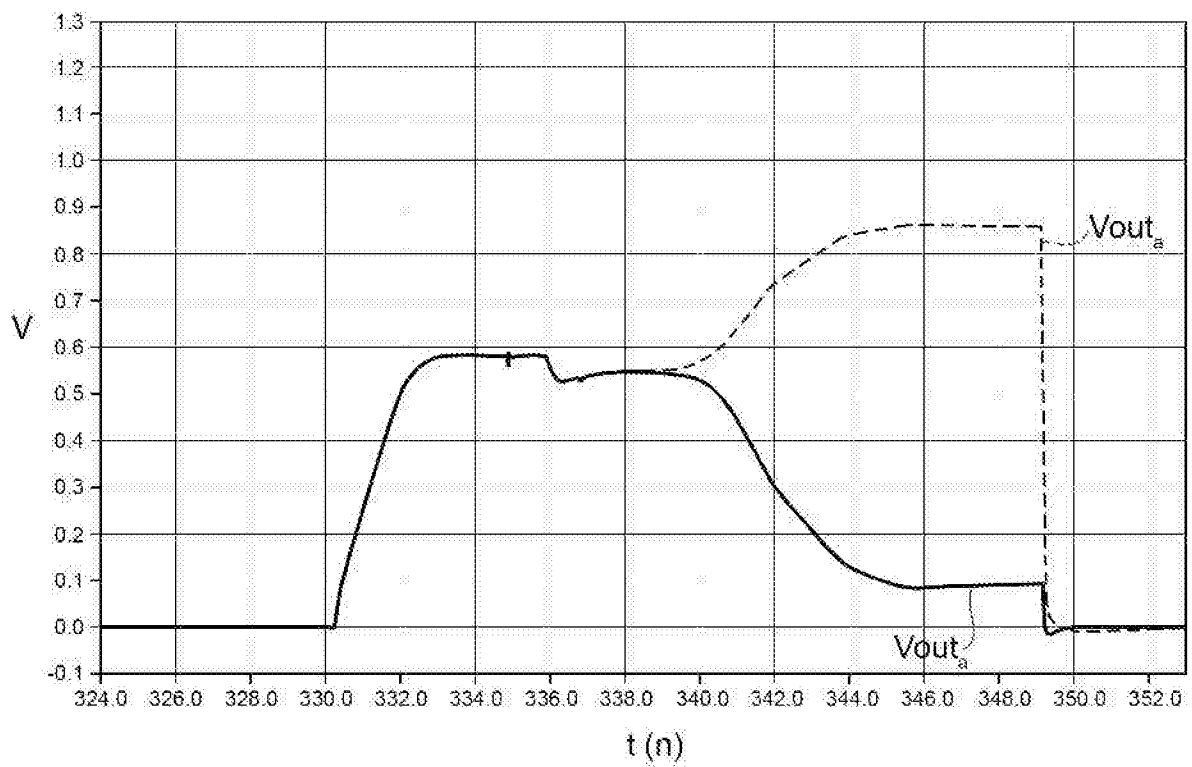
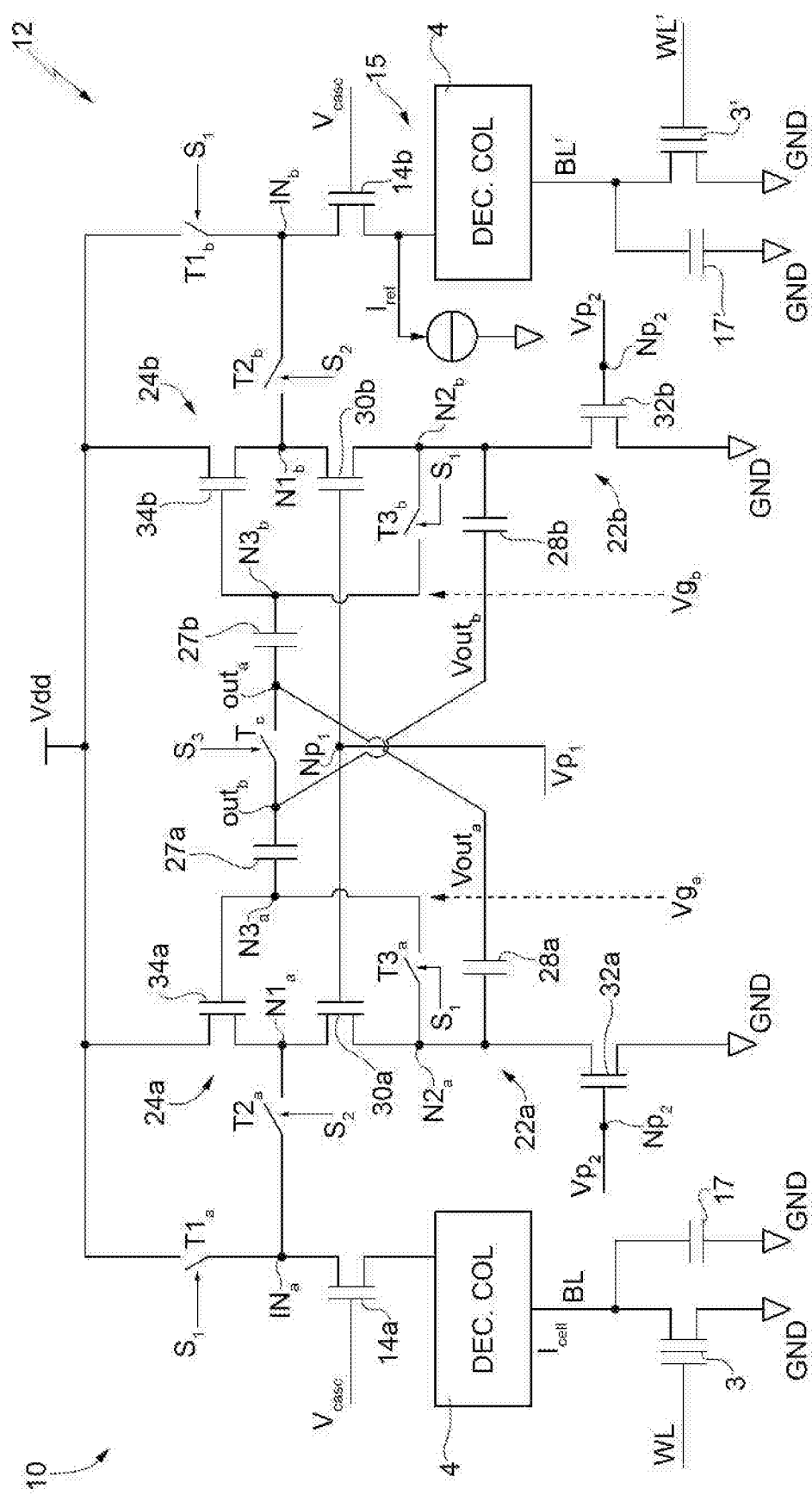


FIG. 4B



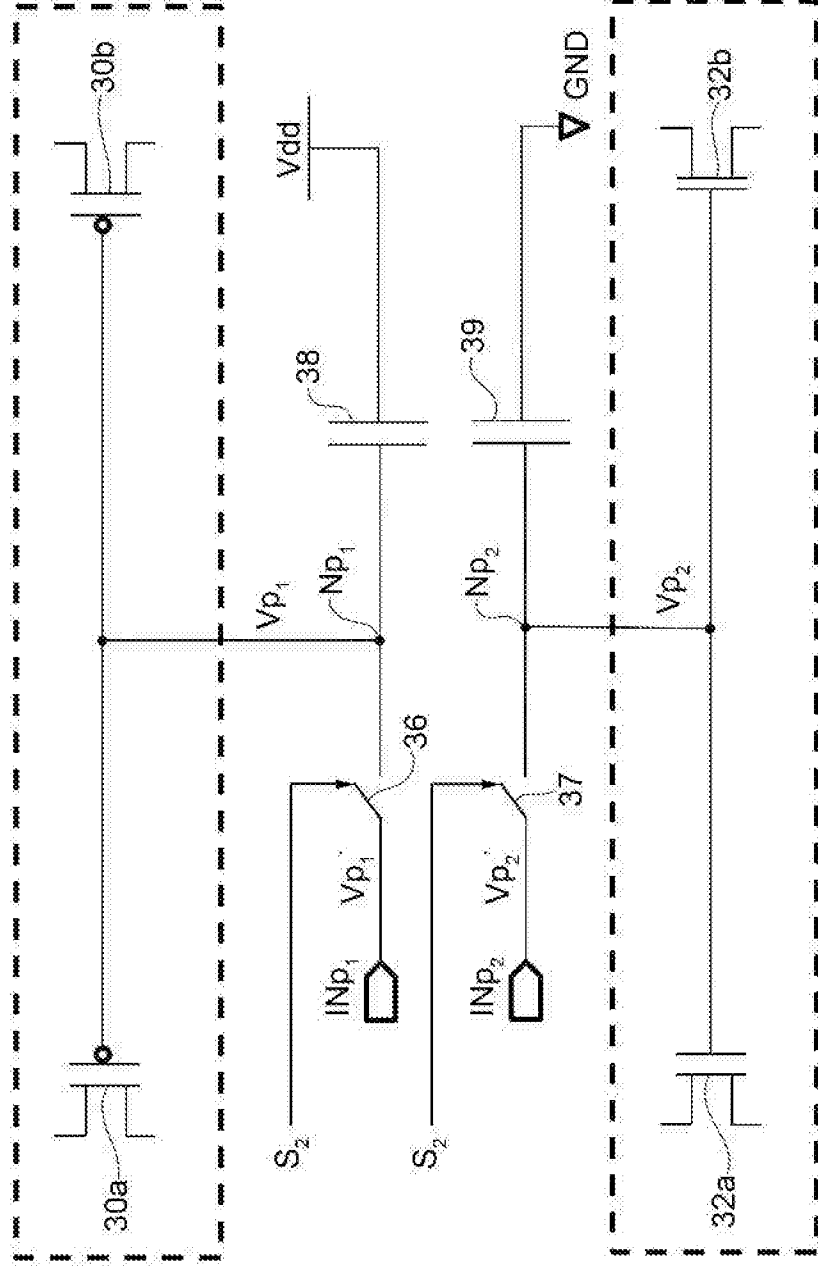


FIG. 6

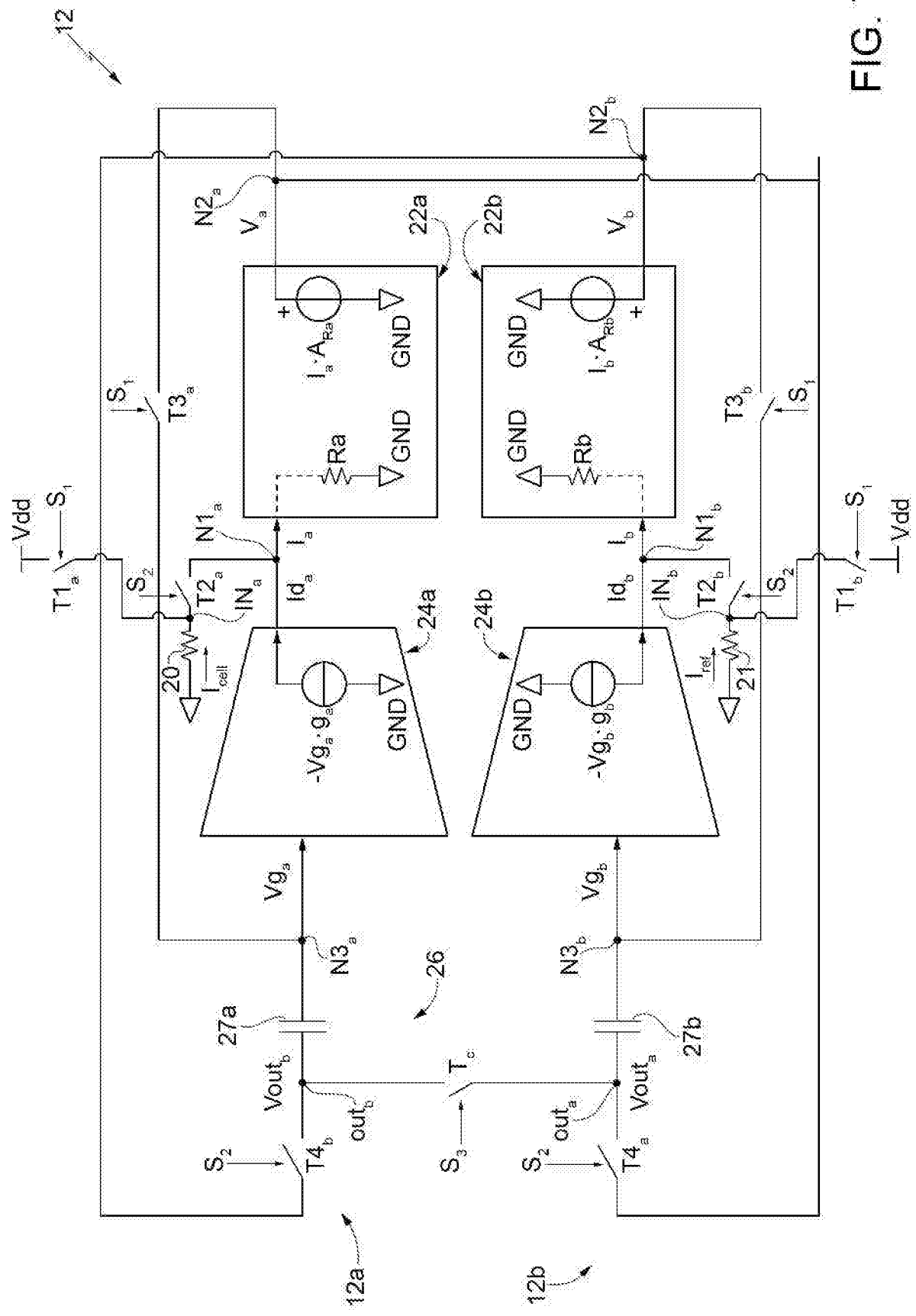


FIG. 7

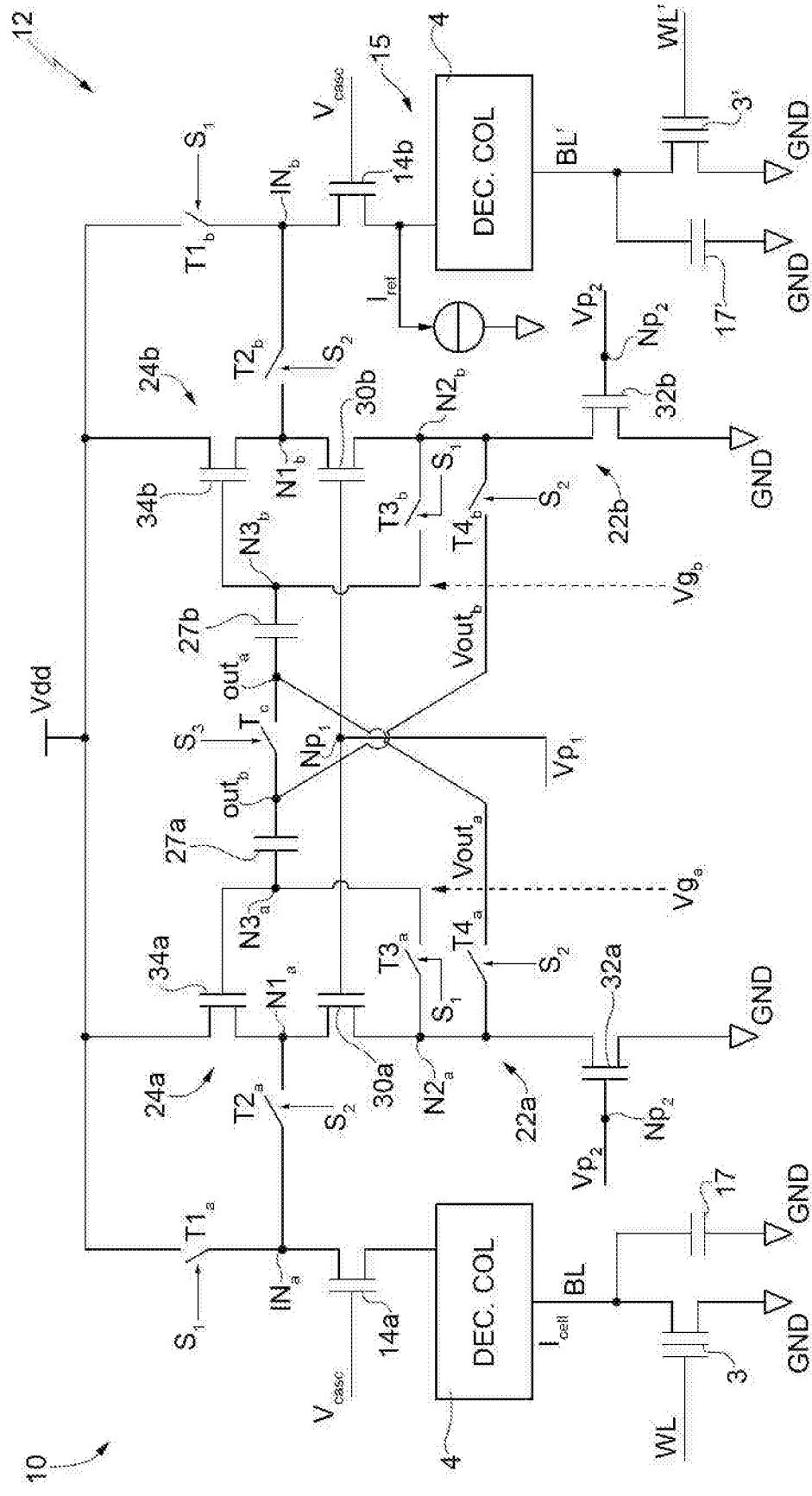


FIG. 8