

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6500579号
(P6500579)

(45) 発行日 平成31年4月17日 (2019. 4. 17)

(24) 登録日 平成31年3月29日 (2019. 3. 29)

(51) Int. Cl.

F I

G O 1 K 7/00 (2006. 01)

G O 1 K 7/00 3 2 1 G

G O 1 K 7/01 (2006. 01)

G O 1 K 7/01 C

H O 1 L 21/822 (2006. 01)

H O 1 L 27/04 P

H O 1 L 27/04 (2006. 01)

H O 1 L 27/04 R

H O 3 M 1/08 (2006. 01)

H O 1 L 27/04 T

請求項の数 17 (全 33 頁) 最終頁に続く

(21) 出願番号 特願2015-91211 (P2015-91211)
 (22) 出願日 平成27年4月28日 (2015. 4. 28)
 (65) 公開番号 特開2016-206126 (P2016-206126A)
 (43) 公開日 平成28年12月8日 (2016. 12. 8)
 審査請求日 平成30年3月22日 (2018. 3. 22)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区新宿四丁目1番6号
 (74) 代理人 100116665
 弁理士 渡辺 和昭
 (74) 代理人 100194102
 弁理士 磯部 光宏
 (74) 代理人 100179475
 弁理士 仲井 智至
 (74) 代理人 100216253
 弁理士 松岡 宏紀
 (72) 発明者 樋口 哲平
 長野県諏訪市大和3丁目3番5号 セイコ
 ーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 回路装置、電子機器及び移動体

(57) 【特許請求の範囲】

【請求項 1】

第1の温度特性の第1の電流が抵抗素子に流れたときの第1の出力電圧と、前記第1の温度特性とは異なる第2の温度特性の第2の電流が前記抵抗素子に流れたときの第2の出力電圧と、を出力する電圧出力回路と、

前記第1の出力電圧をA/D変換して第1のデジタル値を出力し、前記第2の出力電圧をA/D変換して第2のデジタル値を出力するA/D変換回路と、

前記第1のデジタル値及び前記第2のデジタル値に基づくデジタル演算処理により、温度データを求める処理部と、

を含むことを特徴とする回路装置。

10

【請求項 2】

請求項1に記載の回路装置において、

前記処理部は、

前記抵抗素子の抵抗値に対する前記温度データの依存性を低減する前記デジタル演算処理を行うことを特徴とする回路装置。

【請求項 3】

請求項1に記載の回路装置において、

前記処理部は、

前記抵抗素子の抵抗値の変動による前記温度データの第1の変動、及び前記抵抗素子の温度特性による前記温度データの第2の変動のうち、少なくとも一方の変動を低減する前

20

記デジタル演算処理を行うことを特徴とする回路装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一項に記載の回路装置において、

前記処理部は、

前記第 2 のデジタル値を前記第 1 のデジタル値で除算する除算処理を含む前記デジタル演算処理により、前記温度データを求めることを特徴とする回路装置。

【請求項 5】

請求項 4 に記載の回路装置において、

前記第 1 のデジタル値を D_{REF} とし、前記第 2 のデジタル値を D_{PTAT} とし、所与の定数を m とした場合に、

前記処理部は、

前記除算処理として、 $(D_{PTAT} + m) / (D_{REF} + m)$ を演算する処理を行うことを特徴とする回路装置。

【請求項 6】

請求項 1 乃至 5 のいずれか一項に記載の回路装置において、

前記第 1 の電流を生成する第 1 の電流生成回路と、

前記第 2 の電流を生成する第 2 の電流生成回路と、

を含み、

前記電圧出力回路は、

前記第 1 の電流生成回路により生成された前記第 1 の電流が、前記抵抗素子に流れたときの電圧を前記第 1 の出力電圧として出力し、

前記第 2 の電流生成回路により生成された前記第 2 の電流が、前記抵抗素子に流れたときの電圧を前記第 2 の出力電圧として出力することを特徴とする回路装置。

【請求項 7】

請求項 1 乃至 6 のいずれか一項に記載の回路装置において、

前記電圧出力回路は、

第 1 の期間においては、前記第 1 の電流を選択して前記抵抗素子に出力し、第 2 の期間においては前記第 2 の電流を選択して前記抵抗素子に出力する選択回路を有することを特徴とする回路装置。

【請求項 8】

請求項 1 乃至 7 のいずれか一項に記載の回路装置において、

前記第 1 の電流は、温度特性がフラットな基準電流であり、

前記第 2 の電流は、正の温度特性又は負の温度特性の一方の温度特性を有する電流であることを特徴とする回路装置。

【請求項 9】

請求項 8 に記載の回路装置において、

前記第 2 の電流が正の温度特性を有する場合には、前記抵抗素子は正の温度特性を有する抵抗素子であり、

前記第 2 の電流が負の温度特性を有する場合には、前記抵抗素子は負の温度特性を有する抵抗素子であることを特徴とする回路装置。

【請求項 10】

請求項 8 又は 9 に記載の回路装置において、

前記第 2 の電流は、正の温度特性を有し、

前記抵抗素子は、ウェル抵抗又は拡散抵抗であることを特徴とする回路装置。

【請求項 11】

請求項 1 乃至 10 のいずれか一項に記載の回路装置において、

前記処理部は、

前記デジタル演算処理により求められた前記温度データに対して、デジタルローパスフィルター処理を行うことを特徴とする回路装置。

【請求項 12】

請求項 1 1 に記載の回路装置において、
前記処理部は、

前記デジタル演算処理により求められた前記温度データに対して、カットオフ周波数が
可変の前記デジタルローパスフィルター処理を行うことを特徴とする回路装置。

【請求項 1 3】

請求項 1 2 に記載の回路装置において、
前記処理部は、

起動後の第 1 の期間においては、前記カットオフ周波数を第 1 の周波数に設定し、

前記第 1 の期間の経過後の第 2 の期間においては、前記カットオフ周波数を前記第 1 の
周波数よりも低い第 2 の周波数に設定することを特徴とする回路装置。

10

【請求項 1 4】

請求項 1 乃至 1 3 のいずれか一項に記載の回路装置において、

前記 A / D 変換回路は、第 1 の入力信号と第 2 の入力信号で構成される差動入力信号が
入力される差動型の A / D 変換回路であり、

前記電圧出力回路は、

前記抵抗素子として第 1 の抵抗素子と第 2 の抵抗素子を有し、

前記電圧出力回路は、

前記第 1 の出力電圧を出力する場合は、前記第 1 の電流が前記第 1 の抵抗素子に流れた
ときの出力電圧を前記第 1 の入力信号の電圧として前記 A / D 変換回路に出力し、前記第
1 の電流が前記第 2 の抵抗素子に流れたときの出力電圧を前記第 2 の入力信号の電圧とし
て前記 A / D 変換回路に出力し、

20

前記第 2 の出力電圧を出力する場合は、前記第 2 の電流が前記第 1 の抵抗素子に流れた
ときの出力電圧を前記第 1 の入力信号の電圧として前記 A / D 変換回路に出力し、前記第
2 の電流が前記第 2 の抵抗素子に流れたときの出力電圧を前記第 2 の入力信号の電圧とし
て前記 A / D 変換回路に出力することを特徴とする回路装置。

【請求項 1 5】

請求項 1 乃至 1 4 のいずれか一項に記載の回路装置において、

物理量トランスデューサーから出力される物理量に応じた検出信号に基づいて、前記物
理量に対応する物理量データを出力する検出回路と、

前記物理量トランスデューサーを駆動する駆動回路と、

を含み、

前記処理部は、

前記検出回路からの前記物理量データに対して、前記温度データに基づく補正処理を行
うことを特徴とする回路装置。

30

【請求項 1 6】

請求項 1 乃至 1 5 のいずれか一項に記載の回路装置を含むことを特徴とする電子機器。

【請求項 1 7】

請求項 1 乃至 1 5 のいずれか一項に記載の回路装置を含むことを特徴とする移動体。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、回路装置、電子機器及び移動体等に関する。

【背景技術】

【0002】

従来、種々の温度センサー、或いは温度検出回路が知られている。温度データを求める
具体的な手法は種々考えられるが、例えば温度依存性を有する出力電圧である温度依存電
圧を求め、当該温度依存電圧を用いて温度データを出力すればよい。例えば、温度依存電
圧 V と温度 T とが、係数 C を用いて $V = C T$ で表される関係にあれば、回路素子の特性等
から決定される C と、温度依存電圧 V とを用いて温度 T を求めることが可能である。

【0003】

50

特許文献 1 には、バンドギャップリファレンス回路（BGR 回路）で生成した基準電圧と温度依存電圧を、減算増幅回路でトリミングすることで、温度を検出する手法が開示されている。また、特許文献 2 には、BGR 回路で生成した基準電圧、及び BGR 回路で使用している抵抗と同種の抵抗を用いて生成した温度依存電圧に基づいて、温度を検出する手法が開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2007 - 192718 号公報

【特許文献 2】特開 2008 - 216234 号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0005】

温度依存電圧等の電圧の出力には抵抗素子が用いられる。しかし特許文献 1 や特許文献 2 では、当該抵抗素子の特性のばらつきを考慮していない。例えば、抵抗素子の製造プロセスにばらつきがあれば、抵抗値が変動してしまうことがある。この場合、当該抵抗素子を用いて出力される電圧値等も変動してしまうため、精度のよい温度検出はできない。

【0006】

また、抵抗素子も温度に応じて抵抗値が変化する（温度特性を有する）ことが知られている。そのため、抵抗素子の温度特性を考慮した補正を行う、或いは当該温度特性が温度依存電圧に影響を与えないような回路構成とする必要があった。例えば、抵抗素子の温度特性を低減するために別の抵抗を設ける必要があり回路規模が増大してしまう。

20

【0007】

本発明の幾つかの態様によれば、抵抗素子の特性変動による影響を低減し、精度よく温度データを求める回路装置、電子機器及び移動体等を提供することができる。

【課題を解決するための手段】

【0008】

本発明は、上述の課題の少なくとも一部を解決するためになされたものであり、以下の形態または態様として実現することが可能である。

【0009】

30

本発明の一態様は、第 1 の温度特性の第 1 の電流が抵抗素子に流れたときの第 1 の出力電圧と、前記第 1 の温度特性とは異なる第 2 の温度特性の第 2 の電流が前記抵抗素子に流れたときの第 2 の出力電圧と、を出力する電圧出力回路と、前記第 1 の出力電圧を A/D 変換して第 1 のデジタル値を出力し、前記第 2 の出力電圧を A/D 変換して第 2 のデジタル値を出力する A/D 変換回路と、前記第 1 のデジタル値及び前記第 2 のデジタル値に基づくデジタル演算処理により、温度データを求める処理部と、を含む回路装置に係する。

【0010】

本発明の一態様では、温度特性の異なる電流が抵抗素子に流れたときの出力電圧を出力し、さらに当該出力電圧を A/D 変換した後にデジタル演算処理を行って温度データを求める。このようにすれば、2 つの出力電圧は同じ抵抗素子を用いて取得されたものであるため、当該出力電圧に基づくデジタル値を用いたデジタル演算処理を行うことで、抵抗素子の特性変動による影響を低減すること等が可能になり、精度よく温度データを求めることができる。

40

【0011】

また、本発明の一態様では、前記処理部は、前記抵抗素子の抵抗値に対する前記温度データの依存性を低減する前記デジタル演算処理を行ってもよい。

【0012】

このようにすれば、抵抗素子の抵抗値が変動したとしても、当該変動による温度データへの影響を低減し、精度よく温度データを求めること等が可能になる。

50

【 0 0 1 3 】

また、本発明の一態様では、前記処理部は、前記抵抗素子の抵抗値の変動による前記温度データの第1の変動、及び前記抵抗素子の温度特性による前記温度データの第2の変動のうち、少なくとも一方の変動を低減する前記デジタル演算処理を行ってもよい。

【 0 0 1 4 】

このようにすれば、抵抗値の変動による温度データへの影響、及び抵抗値の温度特性による温度データへの影響の少なくとも一方を低減し、精度よく温度データを求めること等が可能になる。

【 0 0 1 5 】

また、本発明の一態様では、前記処理部は、前記第2のデジタル値を前記第1のデジタル値で除算する除算処理を含む前記デジタル演算処理により、前記温度データを求めてもよい。

10

【 0 0 1 6 】

このようにすれば、除算処理により、第1のデジタル値と第2のデジタル値の両方に含まれる抵抗値による影響が低減されることになり、精度よく温度データを求めること等が可能になる。

【 0 0 1 7 】

また、本発明の一態様では、前記第1のデジタル値を D_{REF} とし、前記第2のデジタル値を D_{PTAT} とし、所与の定数を m とした場合に、前記処理部は、前記除算処理として、 $(D_{PTAT} + m) / (D_{REF} + m)$ を演算する処理を行ってもよい。

20

【 0 0 1 8 】

このようにすれば、第1、第2のデジタル値を用いて具体的な除算処理を実行することが可能になる。

【 0 0 1 9 】

また、本発明の一態様では、前記第1の電流を生成する第1の電流生成回路と、前記第2の電流を生成する第2の電流生成回路と、を含み、前記電圧出力回路は、前記第1の電流生成回路により生成された前記第1の電流が、前記抵抗素子に流れたときの電圧を前記第1の出力電圧として出力し、前記第2の電流生成回路により生成された前記第2の電流が、前記抵抗素子に流れたときの電圧を前記第2の出力電圧として出力してもよい。

【 0 0 2 0 】

30

このようにすれば、第1の電流、第2の電流を、それぞれ第1、第2の電流生成回路により生成することができ、例えば第1、第2の電流としてばらつき等が低減された定電流を生成すること等が可能になる。

【 0 0 2 1 】

また、本発明の一態様では、前記電圧出力回路は、第1の期間においては、前記第1の電流を選択して前記抵抗素子に出力し、第2の期間においては前記第2の電流を選択して前記抵抗素子に出力する選択回路を有してもよい。

【 0 0 2 2 】

このようにすれば、第1の電流と第2の電流を時分割で電圧出力回路の抵抗素子に出力することが可能になる。

40

【 0 0 2 3 】

また、本発明の一態様では、前記第1の電流は、温度特性がフラットな基準電流であり、前記第2の電流は、正の温度特性又は負の温度特性の一方の温度特性を有する電流であってもよい。

【 0 0 2 4 】

このようにすれば、第1、第2の電流として特定の温度特性を有する電流を用いること等が可能になる。

【 0 0 2 5 】

また、本発明の一態様では、前記第2の電流が正の温度特性を有する場合には、前記抵抗素子は正の温度特性を有する抵抗素子であり、前記第2の電流が負の温度特性を有する

50

場合には、前記抵抗素子は負の温度特性を有する抵抗素子であってもよい。

【0026】

このようにすれば、第2の電流の温度特性と抵抗素子の温度特性を合わせることが可能になり、第2の出力電圧の温度特性の傾き（温度変化に対する電圧値の変化）を大きくし、A/D変換における分解能を高くすること等が可能になる。

【0027】

また、本発明の一態様では、前記第2の電流は、正の温度特性を有し、前記抵抗素子は、ウェル抵抗又は拡散抵抗であってもよい。

【0028】

このようにすれば、第2の電流が正の温度特性を有する場合に、抵抗素子として正の温度特性を有するウェル抵抗又は拡散抵抗を用いることができ、第2の電流の温度特性と抵抗素子の温度特性を合わせること等が可能になる。

10

【0029】

また、本発明の一態様では、前記処理部は、前記デジタル演算処理により求められた前記温度データに対して、デジタルローパスフィルタ処理を行ってもよい。

【0030】

このようにすれば、デジタル演算処理の結果に対してフィルタ処理を行うことができ、例えば演算結果の時間的なばらつきを低減すること等が可能になる。

【0031】

また、本発明の一態様では、前記処理部は、前記デジタル演算処理により求められた前記温度データに対して、カットオフ周波数が可変の前記デジタルローパスフィルタ処理を行ってもよい。

20

【0032】

このようにすれば、状況に応じてカットオフ周波数を適切に設定すること等が可能になる。

【0033】

また、本発明の一態様では、前記処理部は、起動後の第1の期間においては、前記カットオフ周波数を第1の周波数に設定し、前記第1の期間の経過後の第2の期間においては、前記カットオフ周波数を前記第1の周波数よりも低い第2の周波数に設定してもよい。

【0034】

このようにすれば、起動後、比較的短い時間で温度データを所与の安定値に収束させること等が可能になる。

30

【0035】

また、本発明の一態様では、前記A/D変換回路は、第1の入力信号と第2の入力信号で構成される差動入力信号が入力される差動型のA/D変換回路であり、前記電圧出力回路は、前記抵抗素子として第1の抵抗素子と第2の抵抗素子を有し、前記電圧出力回路は、前記第1の出力電圧を出力する場合は、前記第1の電流が前記第1の抵抗素子に流れたときの出力電圧を前記第1の入力信号の電圧として前記A/D変換回路に出力し、前記第1の電流が前記第2の抵抗素子に流れたときの出力電圧を前記第2の入力信号の電圧として前記A/D変換回路に出力し、前記第2の出力電圧を出力する場合は、前記第2の電流が前記第1の抵抗素子に流れたときの出力電圧を前記第1の入力信号の電圧として前記A/D変換回路に出力し、前記第2の電流が前記第2の抵抗素子に流れたときの出力電圧を前記第2の入力信号の電圧として前記A/D変換回路に出力してもよい。

40

【0036】

このようにすれば、差動型の電圧出力回路、A/D変換回路を用いることができ、例えばA/D変換回路の入力電圧範囲をシングル型の場合に比べて広くすること等が可能になる。

【0037】

また、本発明の一態様では、物理量トランスデューサから出力される物理量に応じた検出信号に基づいて、前記物理量に対応する物理量データを出力する検出回路と、前記物

50

理量トランスデューサーを駆動する駆動回路と、を含み、前記処理部は、前記検出回路からの前記物理量データに対して、前記温度データに基づく補正処理を行ってもよい。

【0038】

このようにすれば、精度よく求められた温度データを用いて物理量データの補正処理を行えるため、精度の高い物理量データを出力すること等が可能になる。

【0039】

また、本発明の他の態様は、上記の回路装置を含む電子機器に関係する。

【0040】

また、本発明の他の態様は、上記の回路装置を含む移動体に関係する。

【図面の簡単な説明】

10

【0041】

【図1】本実施形態に係る回路装置の構成例。

【図2】第1の電流生成回路の構成例。

【図3】第2の電流生成回路の構成例。

【図4】第2の電流生成回路に含まれる抵抗素子に印加される電圧の温度特性の例。

【図5】第1の電流と第2の電流の温度特性の例。

【図6】第1の期間と第2の期間のタイミング例。

【図7】図7(A)、図7(B)は電圧生成回路の構成例。

【図8】図8(A)、図8(B)はウェル抵抗の構造を説明する断面図、平面図。

【図9】図9(A)、図9(B)はポリ抵抗の構造を説明する断面図、平面図。

20

【図10】ウェル抵抗の温度特性とポリ抵抗の温度特性の例。

【図11】図11(A)はウェル抵抗を用いた場合の第1、第2の出力電圧の温度特性、図11(B)はポリ抵抗を用いた場合の第1、第2の出力電圧の温度特性の例。

【図12】処理部の構成例。

【図13】図13(A)～図13(D)はA/D変換における量子化ノイズの影響を説明する図。

【図14】回路装置の全体的なシステム構成例。

【図15】回路装置の他の全体的なシステム構成例。

【図16】本実施形態の回路装置、電子機器、ジャイロセンサー(物理量検出装置)の構成例。

30

【図17】駆動回路、検出回路の詳細な構成例。

【図18】図18(A)～図18(D)は本実施形態の回路装置が組み込まれる移動体、電子機器の例。

【図19】図19(A)、図19(B)は電圧生成回路の他の構成例。

【発明を実施するための形態】

【0042】

以下、本実施形態について説明する。なお、以下に説明する本実施形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また本実施形態で説明される構成の全てが、本発明の必須構成要件であるとは限らない。

【0043】

40

1. 本実施形態の手法

まず本実施形態の手法について説明する。特許文献1や特許文献2のように、種々の温度センサー、温度検出回路が知られている。温度データを求める際には、温度依存性を有する所与の出力電圧(特許文献1等における温度依存電圧)を用いることが一般的である。そして、出力電圧の生成には、I-V変換回路を用いることが多く、当該I-V変換回路は所与の抵抗素子を有するものとなる。

【0044】

しかし、抵抗素子の抵抗値は種々の条件により変動しうるものである。例えば後述するように、抵抗素子が温度特性を有し、温度に応じて抵抗値が変化することは抵抗素子では一般的なことである。そのため、特許文献2等でも抵抗素子の温度特性による温度データ

50

への影響を低減しようとする記載がみられる。

【0045】

しかし、同じ特性の抵抗素子を製造しようとしたにもかかわらず、プロセスばらつきにより異なる特性の抵抗素子が製造されてしまう場合も考えられる。例えば、同じ工程により製造され、同じ特性を有することが期待される2つの抵抗素子があった場合、それぞれが温度特性を有すること、すなわち各抵抗の抵抗値 R_1 と R_2 がそれぞれ温度 T の関数 $R_1(T)$ 、 $R_2(T)$ となることは上述したように通常のことである。しかし、同じ温度 $T = T_0$ であれば、2つの抵抗値 $R_1(T_0)$ と $R_2(T_0)$ は等しくなることが期待されるところ、それが満たされず $R_1(T_0) \neq R_2(T_0)$ となる状況も起こりうることであり、当該抵抗値の変動も温度データに影響を及ぼす。

10

【0046】

つまり、抵抗素子は、第1にプロセスばらつき等のばらつきが生じること、第2に温度特性を有すること、という2つの要因によりその抵抗値が変動しうる。そして、抵抗値の変動は出力電圧の変動につながるため、精度の高い温度データの出力のためには、上記抵抗値の変動による影響を低減する必要がある。

【0047】

しかし、従来手法においてはプロセスばらつきによる影響を効果的に低減する手法は開示されていなかった。よって、例えば回路装置の出荷前等に、プロセスばらつきを抑えるような調整作業を行う必要があり非常に煩雑であったという第1の課題がある。

【0048】

20

また、抵抗素子の温度特性については、上述したように従来手法でもその影響を低減する記載がみられる。しかし従来手法のようにアナログ回路での演算を行う場合、抵抗素子の温度特性を低減（狭義にはキャンセル）するためには、低減用の別の抵抗素子を設ける等の対応が必要になり、回路規模が増大するという第2の課題がある。また、アナログ回路での演算は消費電力が大きいという課題も有している。

【0049】

そこで本出願人は、デジタル演算処理により温度データを求める手法を提案する。具体的には、本実施形態に係る回路装置20は、第1の温度特性の第1の電流 I_{REF} が抵抗素子に流れたときの第1の出力電圧 V_{REF} と、第1の温度特性とは異なる第2の温度特性の第2の電流 I_{PTAT} が抵抗素子に流れたときの第2の出力電圧 V_{PTAT} と、を出力する電圧出力回路150と、第1の出力電圧 V_{REF} をA/D変換して第1のデジタル値 D_{REF} を出力し、第2の出力電圧 V_{PTAT} をA/D変換して第2のデジタル値 D_{PTAT} を出力するA/D変換回路160と、第1のデジタル値 D_{REF} と第2のデジタル値 D_{PTAT} のデジタル演算処理により、温度データを求める処理部170を含む。

30

【0050】

ここで、抵抗素子とは例えば電圧出力回路に含まれる抵抗素子であり、例えば後述する図7(A)、図7(B)における R_1 及び R_2 であってもよいし、或いは図19(A)、図19(B)における R_1 であってもよい。抵抗素子の具体例については後述するが、図10等を用いて後述するように、抵抗素子は温度特性を有すると考えられる。

【0051】

40

本実施形態では、まず2つの出力電圧をデジタル値に変換した後、その2つのデジタル値を用いたデジタル演算処理により温度データを求める。よって、アナログ回路により抵抗値の変動等の影響を低減する場合に比べて、消費電力が小さく、回路規模も小さくすることが可能である。また、本実施形態では、第1の出力電圧 V_{REF} と第2の出力電圧 V_{PTAT} とを求める際に、用いる抵抗素子は共通とできる。そのため、抵抗素子の特性は、2つのデジタル値 D_{REF} と D_{PTAT} の両方に影響を及ぼすことになる。つまり、 D_{REF} と D_{PTAT} の両方を用いた演算を行えば、抵抗素子の特性変動を低減可能であり、精度よく温度データを求めることが可能である。

【0052】

つまり、本実施形態に係る処理部170は、抵抗素子の抵抗値に対する温度データの依

50

存性（抵抗値が変動することで温度データの値も変動するという依存性）を低減するデジタル演算処理を行うものであってもよい。これにより、従来手法であれば、精度のよい温度データ出力のためには例えば抵抗値の調整作業等が必要であったところ、デジタル演算処理により高精度の温度データ出力が可能になる。そのため、製造、出荷工程を簡略化できるという利点がある。

【0053】

また、本実施形態に係る処理部170は、抵抗素子の抵抗値の変動による温度データの第1の変動、及び抵抗素子の温度特性による温度データの第2の変動のうち、少なくとも一方の変動を低減するデジタル演算処理を行うものあるということもできる。

【0054】

温度データは、抵抗素子によってその値に変動が生じる可能性があり、それは具体的にはプロセスばらつき等に起因する抵抗値の変動、及び温度特性という2つの要因によるものであった。ここでは、前者の要因による温度データの変動を第1の変動とし、後者の要因による温度データの変動を第2の変動としている。それに対して本実施形態の手法では、処理部170のデジタル演算処理により、これら2つの要因による温度データの変動を低減できるため、高精度での温度データの出力が可能であって、その際の調整作業が容易であり、アナログ回路により低減処理を行う場合に比べて消費電力及び回路規模を小さくすることが可能である。

【0055】

以下、本実施形態に係る回路装置の各部の詳細を説明する。その後、本実施形態に係る回路装置を含む装置の例、具体的には物理量検出装置、電子機器、移動体等について説明する。最後に、回路装置の電圧出力回路150（及びA/D変換回路160）の変形例について説明する。

【0056】

2. 各部の構成例及び動作の詳細

本実施形態に係る回路装置20の詳細な構成例を示す。まず回路装置20の全体構成例を説明し、その後、各部の詳細について説明する。

【0057】

2.1 回路装置の全体構成例

本実施形態に係る回路装置20の全体構成例は図1に示したとおりである。回路装置20は、第1の電流生成回路181と、第2の電流生成回路182と、電圧出力回路150と、A/D変換回路160と、処理部170を含む。

【0058】

第1の電流生成回路181は、第1の温度特性を有する第1の電流 I_{REF} を生成する。第2の電流生成回路182は、第2の温度特性を有する第2の電流 I_{PTAT} を生成する。第1の電流生成回路181と第2の電流生成回路182の詳細については図2、図3を用いて後述する。

【0059】

電圧出力回路150は、第1の電流 I_{REF} が抵抗素子に流れたときの第1の出力電圧 V_{REF} と、第2の電流 I_{PTAT} が抵抗素子に流れたときの第2の出力電圧 V_{PTAT} を出力する。具体的な回路構成は図7(A)、図7(B)を用いて後述する。なお、電圧出力回路150は、図6を用いて後述するように時分割で動作し、第1の期間で第1の出力電圧 V_{REF} を出力し、第2の期間で第2の出力電圧 V_{PTAT} を出力するものであってもよい。

【0060】

A/D変換回路160は、第1の出力電圧 V_{REF} をA/D変換して第1のデジタル値 D_{REF} を処理部170に出力し、第2の出力電圧 V_{PTAT} をA/D変換して第2のデジタル値 D_{PTAT} を処理部170に出力する。なお、上述したように、第1の出力電圧 V_{REF} と第2の出力電圧 V_{PTAT} が時分割で出力されることを考慮すれば、A/D変換回路160は時分割で動作可能なA/D変換回路により実現されることになり、例えば

10

20

30

40

50

SAR型（逐次比較型）のA/D変換回路であってもよい。

【0061】

処理部170は、第1のデジタル値 D_{REF} と第2のデジタル値 D_{PTAT} のデジタル演算処理により、温度データを求める。処理部170は、例えばDSP（digital signal processor）である。処理部170で行われる具体的なデジタル演算処理については後述する。

【0062】

2.2 電流生成回路

図1に示したように、本実施形態に係る回路装置20は、第1の電流 I_{REF} を生成する第1の電流生成回路181と、第2の電流 I_{PTAT} を生成する第2の電流生成回路182を含む。このようにすれば、第1の電流 I_{REF} と第2の電流 I_{PTAT} とを、それぞれ電流生成回路（狭義には後述するような仕事関数差を用いた回路）により生成することが可能になる。以下、図2～図5を用いて、各電流生成回路の構成や、第1、第2の電流の温度特性について説明する。

10

【0063】

図2は第1の電流生成回路181の詳細な構成例である。第1の電流生成回路181は、高電位側の電源電圧 V_{DD} （例えば1.8V）と低電位側の電源電圧 V_{SS} （例えば0V）が供給されて動作する。

【0064】

第1の電流生成回路181は、カレントミラー回路を構成するトランジスタ T_{A1} 、 T_{A2} と、差動対を構成するトランジスタ T_{A3} 、 T_{A4} と、電流源を構成するトランジスタ T_{A5} 及び抵抗素子 R_{A2} を有する。トランジスタ T_{A1} 、 T_{A2} は例えばP型トランジスタ（広義には第1導電型のトランジスタ）であり、トランジスタ T_{A3} 、 T_{A4} 、 T_{A5} はN型トランジスタ（広義には第2導電型のトランジスタ）である。またトランジスタ T_{A1} 、 T_{A2} 、 T_{A4} はエンハンスメント型のトランジスタであり、トランジスタ T_{A3} 、 T_{A5} はデプレッション型のトランジスタである。

20

【0065】

トランジスタ T_{A1} 、 T_{A2} は、電源電圧 V_{DD} （第1の電源電圧）のノードとノード N_{A1} 、 N_{A2} との間に設けられる。トランジスタ T_{A1} 、 T_{A2} のソースには電源電圧 V_{DD} が供給され、トランジスタ T_{A1} 、 T_{A2} のゲート電極はトランジスタ T_{A2} のドレインのノード N_{A2} に接続される。

30

【0066】

トランジスタ T_{A3} 、 T_{A4} は、ノード N_{A1} 、 N_{A2} とノード N_{A3} との間に設けられる。トランジスタ T_{A3} のゲート電極には、電源電圧 V_{SS} が入力される。トランジスタ T_{A4} のゲート電極は、トランジスタ T_{A6} のドレインのノード N_{A4} に接続される。

【0067】

トランジスタ T_{A5} 、抵抗素子 R_{A2} は、ノード N_{A3} と電源電圧 V_{SS} のノードとの間に直列に設けられて、電流源を構成している。トランジスタ T_{A5} のゲート電極には電源電圧 V_{SS} が入力され、トランジスタ T_{A5} のソースには抵抗素子 R_{A2} の一端が接続される。抵抗素子 R_{A2} の他端は電源電圧 V_{SS} のノードに接続される。

40

【0068】

また第1の電流生成回路181は、駆動用のトランジスタ T_{A6} 及び抵抗素子 R_{A1} を含む。トランジスタ T_{A6} はP型トランジスタである。トランジスタ T_{A6} は、電源電圧 V_{DD} のノードと、トランジスタ T_{A4} のゲートに接続されるノード N_{A4} との間に設けられ、そのゲート電極にノード N_{A1} が接続される。トランジスタ T_{A6} 、抵抗素子 R_{A1} は、電源電圧 V_{DD} と電源電圧 V_{SS} のノードの間に直列に設けられる。

【0069】

トランジスタ T_{A3} は、トランジスタ T_{A4} とはゲート電極の導電性が異なるトランジスタになっている。例えばトランジスタ T_{A3} のゲート電極はN型であり、トラ

50

ンジスターT A 4のゲート電極はP型となっている。例えばトランジスターT A 3とT A 4は、基板の不純物濃度やチャネルの不純物濃度は同じであるが、ゲート電極の導電性が異なっており、ゲート電極の不純物濃度が異なっている。

【0070】

具体的には、M O Sトランジスターのしきい値電圧は、 $V_{th} = M S - Q S S / C O X + 2 F + Q D / C O X$ と表すことができる。ここで M Sは、ゲート電極と基板の仕事関数差であり、Q S Sは酸化膜内の固定電荷であり、C O Xはゲート酸化膜の単位面積当たりの容量であり、Fはフェルミ準位であり、Q Dは空乏層内の電荷である。トランジスターT A 3のN型ゲート電極の不純物濃度と、トランジスターT A 4のP型ゲート電極の不純物濃度の設定により、デプレッション型のトランジスターT A 3のしきい値電圧V T Nは例えば- 0 . 5 2 Vに設定されており、エンハンスメント型のトランジスターT A 4のしきい値電圧V T Pは例えば0 . 4 5 Vに設定されている。従って、第1の電流生成回路1 8 1の出力ノードN A 4には、 $V_{TP} - V_{TN} = 0 . 9 7 V$ の電源電圧V A 1が出力されるようになる。即ち、電源電圧V D Dが変動した場合にも、一定電圧の電源電圧V A 1を供給することが可能になる。

【0071】

また図2では、トランジスターT A 5がデプレッション型のトランジスターであるため、バイアス電流の生成回路を別途設けなくても、バイアス電流を流す電流源を実現できる。

【0072】

この場合、ノードN A 4と電源電圧V S Sとの間に設けられる抵抗素子R A 1には、 $I_{A1} = V_{A1} / R_{A1}$ を満たす定電流I A 1が流れる。ここで、V A 1は、負の温度特性を有する、すなわち温度が高くなるほど負の傾きにより電圧値が変化する（電圧値が単調減少する）。よって、抵抗素子R A 1として負の温度特性を有する、すなわち温度が高くなるほど負の傾きにより抵抗値が変化する（抵抗値が単調減少する）抵抗素子を用いれば、I A 1としてV A 1とR A 1の負の温度特性が打ち消しあって、温度に対してフラットな基準電流を生成することが可能になる。

【0073】

また、トランジスターT A 1とT A 4の間の出力ノードN A 1の信号により、トランジスターT A 6、T A 7のゲート電極が制御される。ここで、トランジスターT A 6とT A 7のトランジスター比(W / L)の設定により、抵抗素子R A 1に流れる電流I A 1と、トランジスターT A 7を流れる定電流I A 2との電流比が設定される。

【0074】

そして、N型のトランジスターT A 8は、そのゲートとドレインがノードN A 5により接続され、ノードN A 5からのバイアス電圧V B S（或いはV B Sを制御電圧として生成される定電流）が、回路装置の各アナログ回路に供給される。例えば、第1の電流生成回路1 8 1は、N型トランジスターT A 10を含み、T A 10のゲート電極の制御にこのバイアス電圧V B Sを用いることで、I A 1に対応する定電流I_{REFN}を出力することができる。

【0075】

ただし、後述するようにA / D変換回路1 6 0として差動型のA / D変換回路を用いる場合等を考慮すれば、第1の電流生成回路1 8 1が2つの定電流を出力してもよい。例えば、第1の電流生成回路1 8 1は図2に示したように、出力ノードN A 1の信号と、出力ノードN A 5の信号の両方をトランジスターのゲート電極の制御に利用してもよい。

【0076】

第1の電流生成回路1 8 1は、P型トランジスターT A 9を含み、出力ノードN A 1の信号は、T A 9のゲート電極の制御に用いられる。この場合、トランジスターT A 9のドレインからは定電流I A 1に対応する定電流I_{REFP}（T A 6とT A 9のトランジスター比によって決定される電流）が流れ出ることになり、トランジスターT A 10のソースには定電流I A 1に対応する定電流I_{REFN}（T A 8とT A 10のトランジスター比に

10

20

30

40

50

よって決定される電流)流れ込むことになる。本実施形態ではこの定電流 I_{REFP} 及び I_{REFN} を第1の電流とする。以下では、説明を簡略化するため2つの定電流は、 $I_{REFP} = I_{REFN} (= I_{REF})$ であるものとするが、これには限定されない。

【0077】

図3は第2の電流生成回路182の詳細な構成例である。第2の電流生成回路182は、高電位側の電源電圧 VDD (例えば1.8V) と低電位側の電源電圧 VSS (例えば0V) が供給されて動作する。

【0078】

図3におけるトランジスタ $TB1 \sim TB10$ 及び $RB1 \sim RB2$ は、図2の $TA1 \sim TA10$ 及び $RA1 \sim RA2$ と同様である。また、ノード $NB1 \sim NB5$ についても $NA1 \sim NA5$ と同様である。図3と図2を比較した場合、第2の電流生成回路182は、抵抗素子 $RB1$ と電源電圧 VSS との間に、バイポーラトランジスタ $TB11$ が追加された構成となっている。

【0079】

$TB11$ は、例えばPNP型のバイポーラトランジスタであり、エミッタが $RB1$ のうち、ノード $NB4$ とは異なる側の一端に接続され、ベース及びコレクターが電源電圧 VSS に接続される。バイポーラトランジスタ $TB11$ は、半導体基板に形成された拡散領域(不純物領域)やウェル領域などにより実現される。ここで、トランジスタ $TB11$ のエミッタの電位を $VB2$ とした場合、ノード $NB1$ との電位差 $VB1 - VB2$ は図4に示したように、正の温度特性を有するものとなる。図4の横軸が温度、縦軸が電位差 $VB1 - VB2$ を表し、図4からわかるように、 $VB1 - VB2$ は正の傾きを有する(単調増加する)。

【0080】

このため、抵抗素子 $RB1$ を流れる電流 $IB1$ は、 $IB1 = (VB1 - VB2) / RB1$ となる。 $RB1$ は、上述した $RA1$ と同様に負の温度特性を有する。つまり正の温度特性を有する値を負の温度特性を有する値で割ることになるため、電流 $IB1$ は、正の温度特性を有する。そのため、 $IB1$ に対応する第2の電流 I_{PTAT} も、正の温度特性を有することになる。

【0081】

I_{REF} 及び I_{PTAT} の具体的な温度特性の例を図5に示す。図5は横軸が温度であり、縦軸が電流値を表す。図5からわかるように、第1の電流 I_{REF} は温度変化に対して、電流値の変化が非常に小さい。一方、第2の電流 I_{PTAT} は温度変化に対して、正の傾きを有することになる。

【0082】

なお、第1, 第2の電流生成回路は図2や図3の構成に限定されず、その構成要素の一部を省略したり、他の構成要素を追加するなどの種々の変形実施が可能である。

【0083】

以上に示したように、本実施形態における第1の電流 I_{REF} は、温度特性がフラットな基準電流であり、第2の電流 I_{PTAT} は、正の温度特性又は負の温度特性の一方の温度特性を有する電流であってよい。図3～図5の例では I_{PTAT} は、正の温度特性を有するものとしたが、 I_{PTAT} は I_{REF} と異なる温度特性であればよい。よって I_{REF} がフラットな温度特性なのであれば、 I_{PTAT} は正の温度特性と負の温度特性のいずれを有してもよい。なお、ここでのフラットな温度特性とは、狭義には温度が変動しても値が変動しないような特性であり、ここでは温度が変動しても第1の電流 I_{REF} の値が変動しない、すなわち温度の変化に対する電流値の傾きが0であることを表す。ただし、本実施形態におけるフラットな温度特性とは傾きが完全に0であるものには限定されず、微少な傾きを有するものであってもよい。一例としては温度変化に対する電流値の変化を表す傾きの値(最大値、平均値等) a が、0でない所与の閾値 に対して、 a となる場合に、当該温度特性をフラットであると考えてもよい。

【0084】

10

20

30

40

50

本実施形態では上述したように、抵抗素子（電圧出力回路 150 の抵抗素子であって、上述した R_{A1} 、 R_{A2} 、 R_{B1} 、 R_{B2} とは異なる）の抵抗値の変動や温度特性による影響はデジタル演算処理により低減する。その点、2つの電流値を用いれば、その電流値の両方に抵抗値の変動等による影響が生じることになり、デジタル演算処理を行うことで、抵抗の特性変動による影響を低減することが可能である。また、デジタル演算処理を行った結果には、2つの電流間の温度特性の違いが残ることになり、当該温度特性に基づいて適切に温度データを出力すること等が可能になる。上述したように、第1の電流 I_{REF} の温度特性がフラットなのであれば、デジタル演算処理の結果には、第2の電流 I_{PTAT} に基づく温度特性が残ることになる。

【0085】

10

2.3 電圧出力回路

次に、電圧出力回路 150 について説明する。電圧出力回路 150 は、第1の電流 I_{REF} に基づく第1の出力電圧 V_{REF} と、第2の電流 I_{PTAT} に基づく第2の出力電圧 V_{PTAT} を出力する。上述したように、第1、第2の電流がそれぞれ第1、第2の電流生成回路により生成されるのであれば、電圧出力回路 150 は、第1の電流生成回路 181 により生成された第1の電流 I_{REF} が、抵抗素子に流れたときの電圧を第1の出力電圧 V_{REF} として出力し、第2の電流生成回路 182 により生成された第2の電流 I_{PTAT} が、抵抗素子に流れたときの電圧を第2の出力電圧 V_{PTAT} として出力すればよい。

【0086】

20

この場合、第1の出力電圧 V_{REF} と第2の出力電圧 V_{PTAT} を両方同時に出力する必要はなく、時分割で出力してもよい。具体的には、電圧出力回路 150 は、第1の期間においては、第1の電流を選択して抵抗素子に出力し、第2の期間においては第2の電流を選択して抵抗素子に出力する選択回路を有してもよい。本実施形態における選択回路は、例えば後述する図7(A)、図7(B)であればトランジスタ $TC1 \sim TC4$ となる。ただし、後述する図19(A)、図19(B)の例であれば、トランジスタ $TC1$ 及び $TC2$ が選択回路に対応することになり、本実施形態における選択回路は種々の構成により実現することが可能である。

【0087】

具体的なタイミング例を図6に示す。図6の横軸が時間であり、図6の上部が第1の電流 I_{REF} が抵抗素子に出力されるタイミング、下部が第2の電流 I_{PTAT} が抵抗素子に出力されるタイミングを表す。図6に示したように、電圧出力回路 150 では、所与のタイミングにおいては、第1の電流 I_{REF} と第2の電流 I_{PTAT} のいずれか一方を排他的に出力してもよい。このようにすれば、2通りの出力電圧を出力する際に、電圧出力回路 150（狭義には抵抗素子や出力ノード等）を複数設ける必要がなく、回路規模を抑えることが可能になる。なお、図6では、2.5 msec を1周期とし、各周期では第1の期間と第2の期間が同様の時間だけ現れるものとしたがこれに限定されるものではなく、第1の期間と第2の期間の設定は種々の変形実施が可能である。

【0088】

30

図7(A)、図7(B)に電圧出力回路 150 の構成例を示す。なお、図7(A)、図7(B)では便宜上、A/D変換回路 160 との接続についても記載している。図7(A)に示したように、電圧出力回路 150 は、スイッチとして機能するトランジスタ $TC1 \sim TC4$ と、抵抗素子 $R1$ 、 $R2$ と、コンデンサ $C1$ 、 $C2$ を有する。

【0089】

40

抵抗素子 $R1$ は一端が電源電圧 V_{SS} に接続され、他端がトランジスタ $TC1$ のドレイン及びトランジスタ $TC2$ のドレインに接続される。トランジスタ $TC1$ は、ソースが図2のトランジスタ $TA9$ のドレインに接続される。上述したように、トランジスタ $TA9$ は、抵抗素子 $RA1$ を流れる電流 I_{A1} に対応する第1の電流 I_{REF} が流れるため、 $TC1$ がオンとなっている場合には、 $TC1$ を介して抵抗素子 $R1$ に第1の電流 I_{REF} が流れることになる。

50

【 0 0 9 0 】

また、トランジスタ T C 2 は、ソースが図 3 のトランジスタ T B 9 のドレインに接続される。上述したように、トランジスタ T B 9 は、抵抗素子 R B 1 を流れる電流 I_{B1} に対応する第 2 の電流 I_{PTAT} が流れるため、T C 2 がオンとなっている場合には、T C 2 を介して抵抗素子 R 1 に第 2 の電流 I_{PTAT} が流れることになる。

【 0 0 9 1 】

また、抵抗素子 R 2 は一端が電源電圧 V D D に接続され、他端がトランジスタ T C 3 のソース及びトランジスタ T C 4 のソースに接続される。トランジスタ T C 3 は、ドレインが図 2 のトランジスタ T A 1 0 のソースに接続される。上述したように、トランジスタ T A 1 0 は、第 1 の電流 I_{REF} が流れ込むノードであるため、T C 3 がオンとな

10

【 0 0 9 2 】

また、トランジスタ T C 4 は、ドレインが図 3 のトランジスタ T B 1 0 のソースに接続される。上述したように、トランジスタ T B 1 0 は、第 2 の電流 I_{PTAT} が流れ込むノードであるため、T C 4 がオンとなっている場合には、T C 4 を介して抵抗素子 R 2 に第 2 の電流 I_{PTAT} が流れることになる。

【 0 0 9 3 】

また、抵抗素子 R 1 のうち T C 1 及び T C 2 側のノード N C 1 は A / D 変換回路 1 6 0 の一方の入力ノードに接続される。つまり、N C 1 の電圧値が A / D 変換回路 1 6 0 に出力される。なお、出力ノード N C 1 と基準電流 V S S との間に安定化用のコンデンサ C 1 を設けてもよい。

20

【 0 0 9 4 】

同様に、抵抗素子 R 2 のうち T C 3 及び T C 4 側のノード N C 2 は A / D 変換回路 1 6 0 の他方の入力ノードに接続される。つまり、N C 2 の電圧値が A / D 変換回路 1 6 0 に出力される。なお、出力ノード N C 2 と基準電流 V S S との間に安定化用のコンデンサ C 2 を設けてもよい。

【 0 0 9 5 】

上述したように、第 1 の期間では第 1 の電流 I_{REF} を抵抗素子に出力する。つまり第 1 の期間では、図 7 (A) に示したように、トランジスタ T C 1 及び T C 3 をオンにし、T C 2 及び T C 4 をオフにすればよい。この場合、抵抗素子 R 1 及び R 2 にはそれぞれ第 1 の電流 I_{REF} が流れることになり、ノード N C 1 の電圧値 V_{REFP} 及びノード N C 2 の電圧値 V_{REFN} が第 1 の出力電圧 V_{REF} として A / D 変換回路 1 6 0 に対して出力される。

30

【 0 0 9 6 】

V_{REFP} 及び V_{REFN} はそれぞれ下式 (1) 及び (2) で求めることができる。図 7 (A) の例では A / D 変換回路 1 6 0 は差動型の A / D 変換回路であるため、A / D 変換回路 1 6 0 では、 V_{REFP} と V_{REFN} の差分であり、下式 (3) により求められる V_{REF} に対する A / D 変換が行われる。

【 0 0 9 7 】

$$V_{REFP} = I_{REF} R_1 \quad \cdots \cdots (1)$$

$$V_{REFN} = V_{DD} - I_{REF} R_2 \quad \cdots \cdots (2)$$

$$V_{REF} = I_{REF} (R_1 + R_2) - V_{DD} \quad \cdots \cdots (3)$$

また、第 2 の期間では第 2 の電流 I_{PTAT} を抵抗素子に出力する。つまり第 2 の期間では、図 7 (B) に示したように、トランジスタ T C 2 及び T C 4 をオンにし、T C 1 及び T C 3 をオフにすればよい。この場合、抵抗素子 R 1 及び R 2 にはそれぞれ第 2 の電流 I_{PTAT} が流れることになり、ノード N C 1 の電圧値 V_{PTATP} 及びノード N C 2 の電圧値 V_{PTATN} が第 2 の出力電圧 V_{PTAT} として A / D 変換回路 1 6 0 に対して出力される。具体的な V_{PTATP} 、 V_{PTATN} 、 V_{PTAT} の値は上式 (1) ~ (3) と同様であり、下式 (4) ~ (6) により求めることができる。

40

50

【 0 0 9 8 】

$$V_{PTATP} = I_{PTAT} R_1 \cdots \cdots (4)$$

$$V_{PTATN} = V_{DD} - I_{PTAT} R_2 \cdots \cdots (5)$$

$$V_{PTAT} = I_{PTAT} (R_1 + R_2) - V_{DD} \cdots \cdots (6)$$

なお、電圧出力回路 150 に含まれる抵抗素子 R_1 , R_2 は種々の手法により実現可能である。例えば R_1 及び R_2 は広く知られたポリ抵抗（ポリシリコン抵抗）により実現してもよいし、ウェル抵抗により実現してもよい。

【 0 0 9 9 】

ポリ抵抗とは、MOSのゲート電極として利用するポリシリコンを、ゲート酸化膜以外の領域に形成し、抵抗として利用するものである。一方、ウェル抵抗とは、不純物の添加領域であるウェルを抵抗として利用するものであり、例えばP型基板上にNウェルを形成し、当該NウェルをNウェル抵抗として利用する。

【 0 1 0 0 】

ウェル抵抗を構成する場合の断面図を図8(A)に示す。図8(A)に示したように、ウェル抵抗（図8(A)の例ではNウェル抵抗）は、P型基板の表面近くに形成されるNウェル領域を利用する。ウェル抵抗の構成例の平面図が図8(B)である。抵抗値は幅Wと長さLに依存するため、図8(B)に示したように、幅の狭いNウェル領域を、多重に折り返して構成することで、狭い面積でも効率的に所望の抵抗値のウェル抵抗を形成することができる。図8(B)では、ウェル抵抗の一端がタップTPN1、他端がTPN2となる。

【 0 1 0 1 】

また、ポリ抵抗を構成する場合の断面図を図9(A)に示す。図9(A)に示したように、ゲート酸化膜以外の領域（例えば図9(A)に示した領域）にポリシリコン層を形成すればよい。ポリ抵抗の構成例の平面図が図9(B)である。ウェル抵抗と同様に、抵抗値は幅Wと長さLに依存するため、図9(B)に示したように、幅の狭いポリシリコン層を、多重に折り返して構成することで、狭い面積でも効率的に所望の抵抗値のポリ抵抗を形成することができる。図9(B)では、ポリ抵抗の一端がタップTPP1、他端がTPP2となる。

【 0 1 0 2 】

ここで、ポリ抵抗とウェル抵抗の温度特性の違いを図10を用いて説明する。図10の横軸は温度を表し、縦軸は所与の基準温度での抵抗値に対する、各温度での抵抗値の変動割合をパーセントで表している。なお、縦軸方向では上に行くほど抵抗値が大きく、下に行くほど抵抗値が小さいと考えてよい。

【 0 1 0 3 】

図10からわかるように、ポリ抵抗は温度が高くなるほど抵抗値が小さくなり、負の温度特性を有している。それに対して、ウェル抵抗は温度が高くなるほど抵抗値が大きくなり、正の温度特性を有していることがわかる。

【 0 1 0 4 】

電圧出力回路150の抵抗素子 R_1 , R_2 としてウェル抵抗を用いた場合の第1の出力電圧 V_{REF} 、第2の出力電圧 V_{PTAT} の温度特性を示したものが図11(A)である。上述したように、 V_{REF} と抵抗値 R_1 , R_2 との関係は上式(3)であり、 R_1 , R_2 が正の温度特性を有している場合、 I_{REF} がフラットな温度特性であることから、 V_{REF} も正の温度特性を有することになる。ただし、 V_{REF} の温度に対する傾きの大きさは、 R_1 , R_2 の正の傾き（図10）のみの影響を受けることからさほど大きくない。

【 0 1 0 5 】

V_{PTAT} と抵抗値 R_1 , R_2 との関係は上式(6)であり、 R_1 , R_2 が正の温度特性を有している場合、 I_{PTAT} も正の温度特性を有するため、 V_{PTAT} は正の温度特性を有することになる。さらに、 V_{PTAT} の温度に対する傾きの大きさは、 R_1 , R_2 の正の傾き（図10）と、 I_{PTAT} の正の傾き（図5）の両方の影響を受けることから比較的大きい値となる。

【0106】

また、電圧出力回路150の抵抗素子 R_1 、 R_2 としてポリ抵抗を用いた場合の第1の出力電圧 V_{REF} 、第2の出力電圧 V_{PTAT} の温度特性を示したものが図11(B)である。上述したように、 V_{REF} と抵抗値 R_1 、 R_2 との関係は上式(3)であり、 R_1 、 R_2 が負の温度特性を有している場合、 I_{REF} がフラットな温度特性であることから、 V_{REF} も負の温度特性を有することになる。ただし、 V_{REF} の温度に対する傾きの大きさは、 R_1 、 R_2 の負の傾き(図10)のみの影響を受けることからさほど大きくない。

【0107】

V_{PTAT} と抵抗値 R_1 、 R_2 との関係は上式(6)であり、 R_1 、 R_2 が負の温度特性を有している場合、 I_{PTAT} は正の温度特性を有するため、 V_{PTAT} は正の温度特性と負の温度特性とが打ち消し合う。図11(B)の例では、 I_{PTAT} の正の温度特性が、 R_1 、 R_2 の負の温度特性よりも影響が大きく、 V_{PTAT} は正の温度特性を有するものとしている。この場合、 V_{PTAT} の温度に対する傾きの大きさは、 I_{PTAT} の正の傾き(図5)が R_1 、 R_2 の負の傾き(図10)により打ち消されるため、少なくとも図11(A)に示したウェル抵抗を用いた場合の V_{PTAT} の傾きに比べて小さいものとなる。

【0108】

本実施形態では、抵抗素子 R_1 、 R_2 の抵抗値の変動、或いは温度特性の温度データへの影響についてはデジタル演算処理により低減される。その意味では、抵抗素子はポリ抵抗で実現してもよいしウェル抵抗で実現してもよい。ただし、A/D変換時のデジタルデータの分解能を考慮すれば、温度変化に対する電圧値の変動、すなわち傾きがより大きくなることが望ましい。図11(A)、図11(B)の例であれば、より傾きの大きい図11(A)の方が好ましいことになるため、ウェル抵抗を用いるとよい。詳細な理由については後述する。

【0109】

2.4 A/D変換回路

次にA/D変換回路160の詳細について説明する。図7(A)、図7(B)に示したように、A/D変換回路160は差動型、SAR型のA/D変換回路であってもよい。なお、A/D変換回路の具体的な構成例については、種々の手法が知られており、本実施形態ではそれらを広く適用可能であるため、詳細な説明は省略する。

【0110】

A/D変換回路160では、第1の出力電圧 V_{REF} をA/D変換して第1のデジタル値 D_{REF} を求め、第2の出力電圧 V_{PTAT} をA/D変換して第2のデジタル値 D_{PTAT} を求め、求めた第1のデジタル値 D_{REF} 及び第2のデジタル値 V_{PTAT} を処理部170に出力する。

【0111】

具体的には、A/D変換回路160は、第1の入力信号と第2の入力信号で構成される差動入力信号が入力される差動型のA/D変換回路であり、電圧出力回路150は、抵抗素子として第1の抵抗素子 R_1 と第2の抵抗素子 R_2 を有し、電圧出力回路150は、第1の出力電圧 V_{REF} を出力する場合は、第1の電流 I_{REF} が第1の抵抗素子 R_1 に流れたときの出力電圧 V_{REFP} を第1の入力信号の電圧としてA/D変換回路160に出力し、第1の電流 I_{REF} が第2の抵抗素子 R_2 に流れたときの出力電圧 V_{REFN} を第2の入力信号の電圧としてA/D変換回路160に出力してもよい。また、電圧出力回路150は、第2の出力電圧 V_{PTAT} を出力する場合は、第2の電流 I_{PTAT} が第1の抵抗素子 R_1 に流れたときの出力電圧 V_{PTATP} を第1の入力信号の電圧としてA/D変換回路160に出力し、第2の電流 I_{PTAT} が第2の抵抗素子 R_2 に流れたときの出力電圧 V_{PTATN} を第2の入力信号の電圧としてA/D変換回路160に出力してもよい。具体的な構成については、図7(A)、図7(B)及び上式(1)~(6)を用いて上述したため、これ以上の説明は省略する。

【 0 1 1 2 】

ここで、A / D 変換回路 1 6 0 が、1 0 ビットの A / D 変換回路である場合、差動入力信号の電圧である V_{INP} と V_{INN} が入力された場合の出力であるデジタル値 D_{OUT} は、下式 (7) により求められる。

【 0 1 1 3 】

$$D_{OUT} = \{ (V_{INP} - V_{INN}) / 2V_{DD} \} \times 2^{10} \\ = (V_{diff} / V_{DD}) \times 2^9 \quad \dots \dots (7)$$

上式 (7) において、 $2V_{DD}$ という電圧値は A / D 変換における入力電圧範囲 (フルスケールレンジ) であり、例えば図 1 1 (A) 等における $-V_{DD}$ を最小のデジタル値 (例えば -511)、 $+V_{DD}$ を最大のデジタル値 (例えば $+511$) として出力する場合に相当する。なお、入力電圧範囲は他の値に変更してもよい。

10

【 0 1 1 4 】

第 1 の出力電圧 V_{REF} を A / D 変換して第 1 のデジタル値 D_{REF} を求める場合には、上式 (7) における V_{INP} を上式 (1) の V_{REFP} とし、 V_{INN} を上式 (2) の V_{REFN} とすればよく、結果として V_{diff} として上式 (3) の V_{REF} を用いればよい。つまり、上式 (3) と (7) から下式 (8) を導くことができる。

【 0 1 1 5 】

【 数 1 】

$$D_{REF} = \left(\frac{R1 + R2}{V_{DD}} I_{REF} - 1 \right) \times 2^9 \quad \dots \dots (8)$$

20

同様に、第 2 の出力電圧 V_{PTAT} を A / D 変換して第 2 のデジタル値 D_{PTAT} を求める場合には、 V_{diff} として上式 (6) の V_{PTAT} を用いればよく、上式 (6) と (7) から下式 (9) を導くことができる。

【 0 1 1 6 】

【 数 2 】

$$D_{PTAT} = \left(\frac{R1 + R2}{V_{DD}} I_{PTAT} - 1 \right) \times 2^9 \quad \dots \dots (9)$$

30

ここで、A / D 変換回路 1 6 0 の入力である電圧値 (第 1 , 第 2 の出力電圧) の、温度による変化量が大きいほど、出力であるデジタル値 (第 1 , 第 2 のデジタル値) の分解能を高くすることが可能である。上述したように、1 0 ビットの A / D 変換回路であれば、フルスケールレンジに相当する入力電圧範囲を 1 0 2 4 段階に区分してデジタル値を求める。つまり、温度変化に対する電圧変化量が大きいほど、温度変化に対するデジタル値の変動も大きくでき、温度特性を精度よく反映したデジタル値を出力可能と言える。逆に言えば、温度変化に対する電圧変化量が小さければ、実際には温度変化に対して電圧値が変動しているにもかかわらず、出力であるデジタル値は変動しないといった状況が起こる可能性があり、その意味で分解能が低くなってしまう。

40

【 0 1 1 7 】

図 1 0 ~ 図 1 1 (B) に示したように、温度変化に対する出力電圧の変化量、すなわち温度特性における傾きは、電流 (第 1 の電流 I_{REF} , 第 2 の電流 I_{PTAT}) の温度特性と、抵抗素子 ($R1$, $R2$) の温度特性によって決定される。第 1 の電流 I_{REF} が上述したようにフラットな温度特性を有する場合であれば、第 1 の電流 I_{REF} を抵抗素子 $R1$, $R2$ に出力することで取得される第 1 の出力電圧 V_{REF} の温度特性の傾きは、 $R1$, $R2$ の温度特性によって決定されるものであり、図 1 1 (A)、図 1 1 (B) に示したとおり、比較的小さい値となる。

【 0 1 1 8 】

つまり、A / D 変換における分解能を高くすることを考えた場合、第 2 の電流 I_{PTA}

50

T を抵抗素子 R_1 、 R_2 に出力することで取得される第2の出力電圧 V_{PTAT} の温度特性について検討することが効率的である。そして、上式(6)に示したように、第2の出力電圧 V_{PTAT} は第2の電流 I_{PTAT} と抵抗値 R_1 、 R_2 の積に基づいて取得される値であるため、第2の電流 I_{PTAT} と抵抗 R_1 、 R_2 との温度特性をそろえることで傾きが大きくなると考えられる。

【0119】

具体的には、抵抗素子(R_1 、 R_2)は、第2の電流 I_{PTAT} が正の温度特性を有する場合には正の温度特性を有する抵抗素子であり、第2の電流 I_{PTAT} が負の温度特性を有する場合には負の温度特性を有する抵抗素子である。このようにすれば、第2の電流 I_{PTAT} の温度特性と抵抗素子 R_1 、 R_2 の温度特性が両方正、或いは両方負となるため、温度特性の傾きを大きくすることができる。具体的には、第2の電流 I_{PTAT} が正(負)の温度特性を有し、抵抗素子が負(正)の温度特性を有することで、互いの特性を打ち消し合う場合に比べて、温度特性をそろえた場合の方が、温度変化に対する電圧変化量が大きくなり、入力電圧範囲を有効に利用することが可能になる。

【0120】

図3～図5を用いて上述したように、本実施形態では第2の電流 I_{PTAT} は、正の温度特性を有することを想定している。そのため、抵抗素子は、ウェル抵抗により実現するとよい。上述したように、ウェル抵抗は正の温度特性を有するため、第2の電流 I_{PTAT} と温度特性をそろえることが可能になる。また、シリコン基板上に比較的高濃度の不純物を注入して形成される拡散領域を抵抗として利用する拡散抵抗を、抵抗素子として用いてもよい。拡散抵抗も正の温度特性を有することが知られており、第2の電流 I_{PTAT} と温度特性をそろえることが可能になる。

【0121】

2.5 処理部

図12に処理部170の詳細な構成例を示す。処理部170は、除算処理部171と、摂氏変換部173と、LPF175を含んでもよい。処理部170は、例えばDSPにより実現され、当該DSPが、除算処理、摂氏変換処理、デジタルローパスフィルター処理を実行すればよい。

【0122】

処理部170は、A/D変換回路160から、第1のデジタル値 D_{REF} と第2のデジタル値 D_{PTAT} を取得する。各デジタル値は、上式(1)～(9)により求めることができる。本実施形態に係る処理部170は精度のよい温度データを出力することが求められ、そのために上述したように抵抗素子 R_1 、 R_2 の抵抗値の変動や温度特性による温度データへの影響を低減する必要がある。

【0123】

そこで処理部170では、上式(1)～(9)を用いて、所与の温度特性を有しつつ、抵抗素子 R_1 、 R_2 の特性に依存しないような値をデジタル演算処理により求めるとよい。具体的には、上式(8)及び上式(9)から、 R_1 及び R_2 の項を消去する演算を行えばよく、 $(R_1 + R_2)$ が上式(8)、(9)のそれぞれにおいて第1の電流 I_{REF} 、第2の電流 I_{PTAT} の係数であることに鑑みれば、 I_{PTAT} と I_{REF} の除算処理を行えばよい。特に、 I_{REF} と I_{PTAT} は第1の電流生成回路181、第2の電流生成回路182により生成される定電流であるため、 I_{PTAT} と I_{REF} の除算処理の結果は、温度特性以外のばらつき等の影響が非常に小さく、精度の高い温度データの出力に適している。

【0124】

よって、本実施形態の処理部170は、第2のデジタル値 D_{PTAT} を第1のデジタル値 D_{REF} で除算する除算処理を含むデジタル演算処理により、温度データを求めるとよい。ここでの除算処理は、例えば図12の除算処理部171により実行される。

【0125】

具体的には、上式(8)及び(9)から、下式(10)を導くことができる。なお、下

式(10)における 2^9 とは、上式(7)からわかるように、A/D変換のビット数、及びフルスケールレンジによって決定される定数である。

【0126】

$$I_{PTAT} / I_{REF} = (D_{PTAT} + 2^9) / (D_{REF} + 2^9) \quad \dots (10)$$

よって、上式(10)を一般化すれば、第1のデジタル値を D_{REF} とし、第2のデジタル値を D_{PTAT} とし、所与の定数を m とした場合に、処理部170は、除算処理として、 $(D_{PTAT} + m) / (D_{REF} + m)$ を演算する処理を行うことになる。上述したように、A/D変換のビット数やフルスケールレンジが変化すれば、 m の値も変化することになる。また、図19及び下式(15)~(20)を用いて後述するように、A/D変換回路160がシングルエンドであるとすれば、A/D変換のビット数やフルスケールレンジによらず $m = 0$ となる。つまりここでの m とは、0であってもよいし、0以外の定数であってもよい。

【0127】

摂氏変換部173では、上式(10)により得られた値を摂氏温度に変換する。例えば、 I_{PTAT} が I_{REF} に等しくなる状態(除算結果=1となる状態)での摂氏温度(オフセット値)が B であり、傾き変数を A とした場合、摂氏温度データは(除算結果-1)× A + B により求めることができる。つまりここでの A は、 I_{PTAT} の I_{REF} に対する変化率と、摂氏温度の変化率との関係を規定する傾きである。

【0128】

なお、処理部170は摂氏温度ではなく華氏温度等、他の形式の温度を求めてもよい。或いは、特定の温度形式への変更を行わず、除算結果を出力する等の変形実施も可能である。

【0129】

また、処理部170は、デジタル演算処理により求められた温度データに対して、デジタルローパスフィルタ処理を行ってもよい。一例としては、処理部170は、デジタルローパスフィルタ処理を行うLPF175を含んでもよい。

【0130】

図11を用いて上述したように、 I_{REF} がフラットな温度特性を有する場合、 V_{REF} は抵抗素子の温度特性に対応する温度特性を有するものの、温度変化に対する電圧の傾きは比較的小さい。結果として、 V_{REF} から求められる第1のデジタル値 D_{REF} は、A/D変換の分解能が低く、実際には温度変化に対して電圧値が変動しているにもかかわらず、出力であるデジタル値は変動しないといった状況が起こる可能性がある。言い換えれば、 D_{REF} は量子化ノイズが発生しやすい。

【0131】

そして、上式(10)に示したように、 D_{REF} は除算処理の分母となる値であるため、 D_{REF} が1LSB(least significant bit)だけ変化した場合にも、除算結果が大きく変化するおそれがある。例えば実際の温度と、 D_{REF} の値が図13(A)に示したような関係にある場合を考える。図13(A)の横軸が温度、縦軸が D_{REF} の値であり、図13(A)の例では、温度が T_4 以下(少なくとも $T_1 \sim T_4$)の範囲での D_{REF} が第1の値 d_1 であり、 T_5 以上(少なくとも $T_5 \sim T_7$)の範囲での D_{REF} が第2の値 d_2 であり、 d_2 は d_1 に比べて1LSBだけ大きい。

【0132】

図13(A)の場合において、図13(B)に示したように、時間の変動とともに実際の温度が徐々に増加していくような状況を考える。この場合、 D_{REF} は図13(A)のようになるため、時間変化に対する D_{REF} の変化は図13(C)となる。つまり、実際はなだらかに(直線的に)温度が変化しており、 D_{REF} (及び D_{REF} から求められる温度データ)も図13(B)に示したようになだらかに変化することが期待される状況でも、 D_{REF} は図13(C)のように段差状に変化する。

【0133】

10

20

30

40

50

そして、図 1 3 (C) のような D_{REF} を分母として除算処理を行うため、除算結果は図 1 3 (D) に示したように、段差状の変化をし、且つ場合によってはその変化量が大きくなってしまふ。つまり、本来の温度変化は図 1 3 (B) のようななだらかなものであつても、処理部 1 7 0 により求められる温度データは、図 1 3 (C)、図 1 3 (D) のタイミング t_1 とタイミング t_2 の間、すなわち D_{REF} が段階的に変化する図 1 3 (B) の温度 T_4 と温度 T_5 の間において、他の領域に比べて特異な点を有することになってしまう。

【 0 1 3 4 】

本実施形態に係るデジタルローパスフィルタ処理は、そのような特異点による影響を低減するためのものである。具体的には、カットオフ周波数が非常に低いローパスフィルタ処理を行えばよい。カットオフ周波数を非常に低くすることで、DC 成分を抽出する、すなわち除算結果の時間的な変動を低減することが可能になり、図 1 3 (D) の t_1 と t_2 の間に示したような特異な変化を低減する（変化をなだらかなものとする）ことが可能になる。

10

【 0 1 3 5 】

ここでの LPF 1 7 5 は種々の形式のフィルタを適用可能であるが、例えば 1 次のローパスフィルタを用いればよく、1 次のローパスフィルタの伝達関数 H として下式 (1 1) が知られている。また、下式 (1 1) を双一次変換した場合の伝達関数 H は下式 (1 2) となる。なお、下式 (1 2) における s はラプラス変数であり、 f_s は離散処理を行う場合におけるサンプリング周波数を表し、 b はカットオフ周波数 f_c を用いて下式 (1 4) により求められる係数であり、 g は下式 (1 3) で求められる規格化ゲイン係数である。

20

【 0 1 3 6 】

【数 3】

$$H_{LPF}(z) = g \frac{1+z^{-1}}{1+bz^{-1}} \quad \dots \dots (11)$$

【 0 1 3 7 】

【数 4】

$$H_{LPF}(s) = \frac{1}{1 + \frac{1}{2f_s} \frac{1-b}{1+b} s} \quad \dots \dots (12)$$

30

【 0 1 3 8 】

【数 5】

$$g = \frac{1+b}{2} \quad \dots \dots (13)$$

40

【 0 1 3 9 】

【数 6】

$$b = \frac{f_s - \pi f_c}{f_s + \pi f_c} \quad \dots \dots (14)$$

つまり、上式 (1 4) により係数 b を求めておき、求めた係数 b を用いて上式 (1 2) に対応するデジタルフィルタ（狭義には IIR 型のデジタルローパスフィルタ）を実

50

現することで、除算結果の特異な変動を低減することが可能になる。なお、サンプリング周波数 f_s は回路装置 20 の仕様により決定可能であるため、カットオフ周波数 f_c を決定すれば係数 b を求めることが可能である。上述したように、本実施形態に係るローパスフィルタは、AC 成分を除去し、DC 成分を抽出すればよい。カットオフ周波数 f_c は非常に低くすればよく、一例としては 1 Hz とした値にすればよい。

【0140】

ただし、カットオフ周波数 f_c を過剰に小さくしてしまうと、実際の温度変化に対する除算結果（及びそこから求められる温度データ）の追従性が悪化してしまう。そのため、後述する物理量検出装置（ジャイロセンサー）における物理量の補正に温度データを用いるような場合、物理量の補正精度が低下してしまうおそれがある。つまり、カットオフ周波数 f_c は、低すぎれば温度変化に対する追従性が悪化し、高すぎれば D_{REF} の量子化ノイズの影響が大きくなるという性質を有するため、適切な値に調整する必要がある。

10

【0141】

よって、処理部 170 は、デジタル演算処理により求められた温度データに対して、カットオフ周波数 f_c が可変のデジタルローパスフィルタ処理を行ってもよい。

【0142】

一例としては、温度変化が激しい状況で使用されるか否かに応じてカットオフ周波数 f_c を変更してもよい。温度変化が激しい場合には、当該温度変化に対して除算結果（温度データ）が追従できなくてはならないため、カットオフ周波数 f_c は比較的大きい値とすることが望ましい。逆に、温度変化がそれほどない場合には、追従性を重視しなくてもよい。また、 D_{REF} の量子化ノイズの影響低減を重視し、カットオフ周波数 f_c を比較的小さい値とする。

20

【0143】

或いは、処理部 170 は、起動後の第 1 の期間においては、カットオフ周波数 f_c を第 1 の周波数に設定し、第 1 の期間の経過後の第 2 の期間においては、カットオフ周波数 f_c を第 1 の周波数よりも低い第 2 の周波数に設定してもよい。

【0144】

これは例えば、本実施形態に回路装置 20 を含むジャイロセンサー等の物理量検出装置を実現する場合に有効である。ジャイロセンサー等では、起動時の値のドリフト（起動ドリフト）を低減する必要がある。よって、精度の高い物理量データ（角速度）を出力するためには、物理量検出装置の起動後、できるだけ早く安定した温度データを出力し、当該温度データによる補正処理を実行するとよい。そのためには、デジタルローパスフィルタ処理の結果が、できるだけ早く安定値に収束するようなカットオフ周波数 f_c を設定するとよく、起動後の第 1 の周波数は比較的大きくしておいた方がよい。具体的には、物理量検出装置の起動後の第 1 の期間は比較的高いカットオフ周波数を用い、所与の期間経過後にカットオフ周波数を比較的低い値に変更することで、物理量検出装置の起動直後（起動からの経過時間が短い第 1 の期間）でも、一定の精度の物理量データを出力することが可能になる。なお、ここでの「起動」とは、物理量検出装置や電子機器等の電源が完全にオフになっている状態からオンの状態へ移行することだけでなく、スリープ状態から通常動作状態への復帰も含む。広義には、物理量データ或いは温度データの出力を行っていない状態から、物理量データ或いは温度データを出力する状態への移行は、本実施形態における「起動」に含まれる。

30

40

【0145】

2.6 物理量検出装置、電子機器、移動体

また、本実施形態の回路装置 20 は、物理量トランスデューサー 18 から出力される物理量に応じた検出信号に基づいて、物理量に対応する物理量データを出力する検出回路 60 と、物理量トランスデューサーを駆動する駆動回路 30 を含んでもよい。そして処理部 170 は、検出回路 60 からの物理量データに対して、温度データに基づく補正処理を行ってもよい。

【0146】

50

このようにすれば、上述した手法により求められる精度の高い温度データを用いて、物理量データの温度補正を行うことができ、出力される物理量データの精度を高くすることが可能になる。

【0147】

図14は本実施形態の回路装置20の全体的なシステム構成例である。図14の回路装置20は、上述した電圧出力回路150、A/D変換回路160、処理部170の他に、駆動回路30、検出回路60、制御部140、レジスター部142を含む。ただし、回路装置20は図14の構成に限定されず、これらの一部の構成要素を省略したり、他の構成要素を追加するなどの種々の変形実施が可能である。

【0148】

図14に示したように、回路装置は物理量トランスデューサー18を駆動する駆動回路30を含む。駆動回路30は、例えば物理量トランスデューサー18からのフィードバック信号DIを受け、フィードバック信号DIに対応する駆動信号DQを出力することで、物理量トランスデューサー18を駆動する。例えば物理量トランスデューサー18からの第1、第2の検出信号IQ1、IQ2は端子PD1、PD2（パッド）を介して回路装置の検出回路60に入力される。また物理量トランスデューサー18からのフィードバック信号DIは端子PD3（パッド）を介して回路装置の駆動回路30に入力され、駆動回路30は端子PD4（パッド）を介して駆動信号DQを物理量トランスデューサー18に出力する。

【0149】

検出回路60は、増幅回路61と、同期検波回路81と、A/D変換回路100を含む。増幅回路61は、例えば差動増幅回路であってもよい。このように本実施形態の回路装置は、物理量トランスデューサー18を駆動する駆動回路30と、物理量トランスデューサー18からの第1、第2の検出信号IQ1、IQ2が入力される検出回路60を含む。なお、図14の検出回路60は、第1、第2のアンプにより構成され、第1、第2の検出信号IQ1、IQ2に対応する第1、第2の信号QB1、QB2が入力される差動増幅回路を含むことを想定した構成となっているが、検出回路60はこれに限定されず、種々の変形実施が可能である。

【0150】

制御部140は各種の制御処理を行う。例えば制御部140は駆動回路30の制御処理や検出回路60の制御処理を行う。この制御部140は、例えばゲートアレイ等の自動配置配線手法で生成されたロジック回路や、或いはファームウェア等に基づいて動作するプロセッサ等により実現できる。なお、制御部140と処理部170は、その両方がゲートアレイ等の自動配置配線手法で生成されてもよいがこれに限定されず、制御部140と処理部170を異なるプロセスで生成してもよい。

【0151】

レジスター部142は各種の情報が設定されるレジスターを有する。レジスター部142は例えばSRAM等のメモリーやフリップフロップ回路等により実現できる。

【0152】

また、図14では、上述したA/D変換回路160とは異なるA/D変換回路100を設けるものとしたがこれには限定されず、1つのA/D変換回路を温度データ用のA/D変換と、物理量データ用のA/D変換とに、時分割で利用してもよい。図15に検出回路60や処理部170等の他の構成例を示す。図15に示したように、回路装置20は、図14の構成と比較した場合、マルチプレクサーMUXが追加されるとともに、A/D変換回路160とは異なるA/D変換回路100が省略されたものであってもよい。この場合、電圧出力回路150はマルチプレクサーMUXに接続され、マルチプレクサーMUXは、同期検波回路81からの入力（物理量トランスデューサー18で検出された物理量に対応する信号）と、電圧出力回路150からの出力電圧の一方を選択してA/D変換回路160に出力する。この場合、A/D変換回路160は、上述したように時分割での利用が想定されるため、例えばSAR型のA/D変換回路を用いるとよい。また、A/D変換回

10

20

30

40

50

路について図 1 5 と同様の变形実施が可能な点は、後述する図 1 6 や図 1 7 等、本実施形態で説明する他の図面等でも同様である。

【 0 1 5 3 】

図 1 4 や図 1 5 の場合、処理部 1 7 0 は、物理量トランスデューサーに基づく物理量データと、温度センサー（狭義には電圧出力回路 1 5 0）に基づく温度データの両方を取得し、それらに対する処理を行うことになる。

【 0 1 5 4 】

また、本実施形態の手法は、上記回路装置を含む物理量検出装置、或いは上記回路装置を含む電子機器に適用することができる。図 1 6 に、本実施形態の回路装置 2 0、この回路装置 2 0 を含むジャイロセンサー 5 1 0（広義には物理量検出装置）、このジャイロセンサー 5 1 0 を含む電子機器 5 0 0 の詳細な構成例を示す。

10

【 0 1 5 5 】

なお回路装置 2 0、電子機器 5 0 0、ジャイロセンサー 5 1 0 は図 1 6 の構成に限定されず、その構成要素の一部を省略したり、他の構成要素を追加するなどの種々の变形実施が可能である。また本実施形態の電子機器 5 0 0 としては、デジタルカメラ、ビデオカメラ、スマートフォン、携帯電話機、カーナビゲーションシステム、ロボット、生体情報検出装置、ゲーム機、時計、健康器具、或いは携帯型情報端末等の種々の機器を想定できる。また以下では、物理量トランスデューサーが圧電型の振動片（振動ジャイロ）であり、センサーがジャイロセンサーである場合を例にとり説明するが、本発明はこれに限定されない。例えばシリコン基板などから形成された静電容量検出方式の振動ジャイロや、角速度情報と等価な物理量や角速度情報以外の物理量を検出する物理量トランスデューサー等にも本発明は適用可能である。

20

【 0 1 5 6 】

電子機器 5 0 0 は、ジャイロセンサー 5 1 0 と処理部 5 2 0 を含む。なお、ここでの処理部 5 2 0 は電子機器 5 0 0 の構成であり、回路装置 2 0 に含まれる処理部 1 7 0 とは異なる構成を想定している。またメモリー 5 3 0、操作部 5 4 0、表示部 5 5 0 を含むことができる。CPU、MPU 等で実現される処理部 5 2 0（コントローラー）は、ジャイロセンサー 5 1 0 等の制御や電子機器 5 0 0 の全体制御を行う。また処理部 5 2 0 は、ジャイロセンサー 5 1 0 により検出された角速度情報（広義には物理量）に基づいて処理を行う。例えば角速度情報に基づいて、手ぶれ補正、姿勢制御、GPS 自律航法などのための処理を行う。メモリー 5 3 0（ROM、RAM 等）は、制御プログラムや各種データを記憶したり、ワーク領域やデータ格納領域として機能する。操作部 5 4 0 はユーザーが電子機器 5 0 0 を操作するためのものであり、表示部 5 5 0 は種々の情報をユーザーに表示する。

30

【 0 1 5 7 】

ジャイロセンサー 5 1 0（物理量検出装置）は、振動片 1 0 と回路装置 2 0 を含む。振動片 1 0（広義には物理量トランスデューサー）は、水晶などの圧電材料の薄板から形成される圧電型振動片である。具体的には、振動片 1 0 は、Z カットの水晶基板により形成されたダブル T 字型の振動片である。

【 0 1 5 8 】

回路装置 2 0 は、駆動回路 3 0、検出回路 6 0、制御部 1 4 0、レジスター部 1 4 2、電圧出力回路 1 5 0、A/D 変換回路 1 6 0、処理部 1 7 0 を含む。なお、これらの構成要素の一部を省略したり、他の構成要素を追加するなどの種々の变形実施が可能である。

40

【 0 1 5 9 】

駆動回路 3 0 は、駆動信号 D Q を出力して振動片 1 0 を駆動する。例えば振動片 1 0 からフィードバック信号 D I を受け、これに対応する駆動信号 D Q を出力することで、振動片 1 0 を励振させる。検出回路 6 0 は、駆動信号 D Q により駆動される振動片 1 0 から検出信号 I Q 1、I Q 2（検出電流、電荷）を受け、検出信号 I Q 1、I Q 2 から、振動片 1 0 に印加された物理量に応じた所望信号（コリオリ力信号）を検出（抽出）する。

【 0 1 6 0 】

50

振動片 10 は、基部 1 と、連結腕 2、3 と、駆動腕 4、5、6、7 と、検出腕 8、9 を有する。矩形状の基部 1 に対して + Y 軸方向、- Y 軸方向に検出腕 8、9 が延出している。また基部 1 に対して - X 軸方向、+ X 軸方向に連結腕 2、3 が延出している。そして連結腕 2 に対して + Y 軸方向、- Y 軸方向に駆動腕 4、5 が延出しており、連結腕 3 に対して + Y 軸方向、- Y 軸方向に駆動腕 6、7 が延出している。なお X 軸、Y 軸、Z 軸は水晶の軸を示すものであり、各々、電気軸、機械軸、光学軸とも呼ばれる。

【0161】

駆動回路 30 からの駆動信号 DQ は、駆動腕 4、5 の上面に設けられた駆動電極と、駆動腕 6、7 の側面に設けられた駆動電極に入力される。また駆動腕 4、5 の側面に設けられた駆動電極と、駆動腕 6、7 の上面に設けられた駆動電極からの信号が、フィードバック信号 DI として駆動回路 30 に入力される。また検出腕 8、9 の上面に設けられた検出電極からの信号が、検出信号 IQ1、IQ2 として検出回路 60 に入力される。なお検出腕 8、9 の側面に設けられたコモン電極は例えば接地される。

【0162】

駆動回路 30 により交流の駆動信号 DQ が印加されると、駆動腕 4、5、6、7 は、逆圧電効果により矢印 A に示すような屈曲振動（励振振動）を行う。即ち、駆動腕 4、6 の先端が互いに接近と離間を繰り返し、駆動腕 5、7 の先端も互いに接近と離間を繰り返す屈曲振動を行う。このとき駆動腕 4、5 と駆動腕 6、7 とが、基部 1 の重心位置を通る Y 軸に対して線対称の振動を行っているので、基部 1、連結腕 2、3、検出腕 8、9 はほとんど振動しない。

【0163】

この状態で、振動片 10 に対して Z 軸を回転軸とした角速度が加わると（振動片 10 が Z 軸回りで回転すると）、コリオリ力により駆動腕 4、5、6、7 は矢印 B に示すように振動する。即ち、矢印 A の方向と Z 軸の方向とに直交する矢印 B の方向のコリオリ力が、駆動腕 4、5、6、7 に働くことで、矢印 B の方向の振動成分が発生する。この矢印 B の振動が連結腕 2、3 を介して基部 1 に伝わり、検出腕 8、9 が矢印 C の方向で屈曲振動を行う。この検出腕 8、9 の屈曲振動による圧電効果で発生した電荷信号が、検出信号 IQ1、IQ2 として検出回路 60 に入力される。ここで、駆動腕 4、5、6、7 の矢印 B の振動は、基部 1 の重心位置に対して周方向の振動であり、検出腕 8、9 の振動は、矢印 B とは周方向で反対向きの矢印 C の方向での振動である。このため、検出信号 IQ1、IQ2 は、駆動信号 DQ に対して位相が 90 度だけずれた信号になる。

【0164】

例えば、Z 軸回りでの振動片 10（ジャイロセンサー）の角速度を ω とし、質量を m とし、振動速度を v とすると、コリオリ力は $F_c = 2m \cdot v \cdot \omega$ と表される。従って検出回路 60 が、コリオリ力に応じた信号である所望信号を検出することで、角速度 ω を求めることができる。そして求められた角速度 ω を用いることで、処理部 520 は、手振れ補正、姿勢制御、或いは GPS 自律航法等のための種々の処理を行うことができる。

【0165】

なお図 16 では、振動片 10 がダブル T 字型である場合の例を示しているが、本実施形態の振動片 10 はこのような構造に限定されない。例えば音叉型、H 型等であってもよい。また振動片 10 の圧電材料は、水晶以外のセラミックスやシリコン等の材料であってもよい。

【0166】

以上に示したように、本実施形態に係る回路装置において、駆動回路 30 により駆動される物理量トランスデューサー 18 は、振動片 10 であり、物理量データ（検出データ）は、角速度データであってもよい。このようにすれば、適切な温度データに基づいて、精度の高い補正処理が行われた角速度データを利用可能となり、例えば図 18（A）～図 18（D）を用いて後述するような種々の機器において、精度の高い処理を実行すること等が可能になる。

【0167】

10

20

30

40

50

図 17 に回路装置の駆動回路 30、検出回路 60 の詳細な構成例を示す。

【0168】

駆動回路 30 は、振動片 10 からのフィードバック信号 DI が入力される増幅回路 32 と、自動ゲイン制御を行うゲイン制御回路 40 と、駆動信号 DQ を振動片 10 に出力する駆動信号出力回路 50 を含む。また同期信号 SYC を検出回路 60 に出力する同期信号出力回路 52 を含む。なお、駆動回路 30 の構成は図 17 に限定されず、これらの構成要素の一部を省略したり、他の構成要素を追加するなどの種々の変形実施が可能である。

【0169】

増幅回路 32 (I/V 変換回路) は、振動片 10 からのフィードバック信号 DI を増幅する。例えば振動片 10 からの電流の信号 DI を電圧の信号 DV に変換して出力する。この増幅回路 32 は、演算増幅器、帰還抵抗素子、帰還キャパシターなどにより実現できる。

10

【0170】

駆動信号出力回路 50 は、増幅回路 32 による増幅後の信号 DV に基づいて、駆動信号 DQ を出力する。例えば駆動信号出力回路 50 が、矩形波 (又は正弦波) の駆動信号を出力する場合には、駆動信号出力回路 50 はコンパレータ等により実現できる。

【0171】

ゲイン制御回路 40 (AGC) は、駆動信号出力回路 50 に制御電圧 DS を出力して、駆動信号 DQ の振幅を制御する。具体的には、ゲイン制御回路 40 は、信号 DV を監視して、発振ループのゲインを制御する。例えば駆動回路 30 では、ジャイロセンサーの感度を一定に保つために、振動片 10 (駆動用振動片) に供給する駆動電圧の振幅を一定に保つ必要がある。このため、駆動振動系の発振ループ内に、ゲインを自動調整するためのゲイン制御回路 40 が設けられる。ゲイン制御回路 40 は、振動片 10 からのフィードバック信号 DI の振幅 (振動片の振動速度 v) が一定になるように、ゲインを可変に自動調整する。このゲイン制御回路 40 は、増幅回路 32 の出力信号 DV を全波整流する全波整流器や、全波整流器の出力信号の積分処理を行う積分器などにより実現できる。

20

【0172】

同期信号出力回路 52 は、増幅回路 32 による増幅後の信号 DV を受け、同期信号 SYC (参照信号) を検出回路 60 に出力する。この同期信号出力回路 52 は、正弦波 (交流) の信号 DV の 2 値化処理を行って矩形波の同期信号 SYC を生成するコンパレータや、同期信号 SYC の位相調整を行う位相調整回路 (移相器) などにより実現できる。

30

【0173】

検出回路 60 は、増幅回路 61、同期検波回路 81、フィルター部 90、A/D 変換回路 100 を含む。増幅回路 61 は、振動片 10 からの第 1、第 2 の検出信号 IQ1、IQ2 を受けて、電荷 - 電圧変換や差動の信号増幅やゲイン調整などを行う。同期検波回路 81 は、駆動回路 30 からの同期信号 SYC に基づいて同期検波を行う。フィルター部 90 (ローパスフィルター) は、A/D 変換回路 100 の前置きフィルターとして機能する。またフィルター部 90 は、同期検波によっては除去しきれなかった不要信号を減衰する回路としても機能する。A/D 変換回路 100 は、同期検波後の信号の A/D 変換を行う。

【0174】

なお、例えば振動片 10 からの電荷信号 (電流信号) である検出信号 IQ1、IQ2 は、電圧信号である駆動信号 DQ に対して位相が 90 度遅れる。また増幅回路 61 の Q/V 変換回路等において位相が 90 度遅れる。このため、増幅回路 61 の出力信号は駆動信号 DQ に対して位相が 180 度遅れる。従って、例えば駆動信号 DQ (DV) と同相の同期信号 SYC を用いて同期検波することで、駆動信号 DQ に対して位相が 90 度遅れた不要信号等を除去できるようになる。

40

【0175】

処理部 170 は、上述した温度データを求める処理に加えて、A/D 変換回路 100 からのデジタル信号 (物理量データ) に対してデジタルフィルター処理やデジタル補正処理などのデジタル信号処理を行う。具体的には、温度データに基づいて、物理量データの補

50

正処理を行う。

【 0 1 7 6 】

制御部 1 4 0 は、回路装置 2 0 の制御処理を行う。この制御部 1 4 0 は、ロジック回路（ゲートアレイ等）やプロセッサ等により実現できる。回路装置 2 0 での各種のスイッチ制御やモード設定等はこの制御部 1 4 0 により行われる。

【 0 1 7 7 】

また、本実施形態の手法は、上記回路装置を含む移動体に適用することができる。図 1 8 (A) に本実施形態の回路装置 2 0 を含む移動体の例を示す。本実施形態の回路装置 2 0 は、例えば、車、飛行機、バイク、自転車、或いは船舶等の種々の移動体に組み込むことができる。移動体は、例えばエンジンやモーター等の駆動機構、ハンドルや舵等の操舵機構、各種の電子機器を備えて、地上や空や海上を移動する機器・装置である。図 1 8 (A) は移動体の具体例としての自動車 2 0 6 を概略的に示している。自動車 2 0 6 には、振動片 1 0 と回路装置 2 0 を有するジャイロセンサー 5 1 0 (センサー) が組み込まれている。ジャイロセンサー 5 1 0 は車体 2 0 7 の姿勢を検出することができる。ジャイロセンサー 5 1 0 の検出信号は車体姿勢制御装置 2 0 8 に供給される。車体姿勢制御装置 2 0 8 は例えば車体 2 0 7 の姿勢に応じてサスペンションの硬軟を制御したり個々の車輪 2 0 9 のブレーキを制御したりすることができる。その他、こういった姿勢制御は二足歩行ロボットや航空機、ヘリコプター等の各種の移動体において利用されることができる。姿勢制御の実現にあたってジャイロセンサー 5 1 0 は組み込まれることができる。

【 0 1 7 8 】

図 1 8 (B)、図 1 8 (C) に示すように、本実施形態の回路装置はデジタルスチルカメラや生体情報検出装置（ウェアラブル健康機器。例えば脈拍計、歩数計、活動量計等）などの種々の電子機器に適用できる。例えばデジタルスチルカメラにおいてジャイロセンサーや加速度センサーを用いた手ぶれ補正等を行うことができる。また生体情報検出装置において、ジャイロセンサーや加速度センサーを用いて、ユーザーの体動を検出したり、運動状態を検出できる。また図 1 8 (D) に示すように、本実施形態の回路装置はロボットの可動部（アーム、関節）や本体部にも適用できる。ロボットは、移動体（走行・歩行ロボット）、電子機器（非走行・非歩行ロボット）のいずれも想定できる。走行・歩行ロボットの場合には、例えば自律走行に本実施形態の回路装置を利用できる。

【 0 1 7 9 】

3 . 変形例

以上では、図 7 (A)、図 7 (B) に示したように、電圧出力回路 1 5 0 は 2 つの入力信号で構成される差動入力信号に対応する 2 つの出力電圧 V_{REFP} 、 V_{REFN} (V_{PTATP} 、 V_{PTATN}) を A / D 変換回路 1 6 0 に出力するものであり、A / D 変換回路 1 6 0 は差動型の A / D 変換回路であるものとした。

【 0 1 8 0 】

しかし、電圧出力回路 1 5 0 及び A / D 変換回路 1 6 0 はこれに限定されず、シングルで動作するものであってもよい。具体的な電圧出力回路 1 5 0 及び A / D 変換回路 1 6 0 の例を図 1 9 (A)、図 1 9 (B) に示す。

【 0 1 8 1 】

図 1 9 (A)、図 1 9 (B) からわかるように、図 7 (A)、図 7 (B) と比較した場合に、トランジスタ $TC3$ 、 $TC4$ 、抵抗素子 $R2$ 、コンデンサー $C2$ が省略された構成となっており、抵抗素子 $R1$ のうち $TC1$ 及び $TC2$ 側のノード $NC1$ が A / D 変換回路 1 6 0 の入力ノードに接続される。

【 0 1 8 2 】

上述したように、第 1 の期間では第 1 の電流 I_{REF} を抵抗素子に出力する。つまり第 1 の期間では、図 1 9 (A) に示したように、トランジスタ $TC1$ をオンにし、 $TC2$ をオフにすればよい。この場合、抵抗素子 $R1$ には第 1 の電流 I_{REF} が流れることになり、ノード $NC1$ の電圧値である第 1 の出力電圧 V_{REF} が A / D 変換回路 1 6 0 に対して出力される。 V_{REF} は下式 (1 5) で求めることができる。

【 0 1 8 3 】

$$V_{REF} = I_{REF} R_1 \cdots \cdots (15)$$

また、第2の期間では第2の電流 I_{PTAT} を抵抗素子に出力する。つまり第2の期間では、図19(B)に示したように、トランジスタTC2をオンにし、TC1をオフにすればよい。この場合、抵抗素子 R_1 には第2の電流 I_{PTAT} が流れることになり、ノードNC1の電圧値である第2の出力電圧 V_{PTAT} がA/D変換回路160に対して出力される。 V_{PTAT} の値は下式(16)により求めることができる。

【 0 1 8 4 】

$$V_{PTAT} = I_{PTAT} R_1 \cdots \cdots (16)$$

この場合、A/D変換回路160でのA/D変換は、下式(17)により行われる。ビット数は差動の場合と同様に10ビットとしているが、シングルでの動作ではフルスケールレンジが差動の場合の半分(差動がシングルの倍)となるため、上式(7)に対応する例ではVDDとなる。

【 0 1 8 5 】

$$D_{OUT} = (V_{IN} / V_{DD}) \times 2^{10} \cdots \cdots (17)$$

よって、第1のデジタル値 D_{REF} 及び第2のデジタル値 D_{PTAT} は下式(18)、(19)により求められる。

【 0 1 8 6 】

【数7】

$$D_{REF} = \frac{I_{REF} R_1}{V_{DD}} \times 2^{10} \cdots \cdots (18)$$

【 0 1 8 7 】

【数8】

$$D_{PTAT} = \frac{I_{PTAT} R_1}{V_{DD}} \times 2^{10} \cdots \cdots (19)$$

そして、処理部170(除算処理部171)における除算処理は、上式(10)と同様に、 I_{PTAT} を I_{REF} で除算すればよい。下式(20)の演算を行えばよい。

【 0 1 8 8 】

$$I_{PTAT} / I_{REF} = D_{PTAT} / D_{REF} \cdots \cdots (20)$$

シングルの場合には、上式(10)の 2^9 に相当するような値は必要なく、上述したように定数 m は0とすればよい。

【 0 1 8 9 】

なお、以上のように本実施形態について詳細に説明したが、本発明の新規事項および効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できるであろう。従って、このような変形例はすべて本発明の範囲に含まれるものとする。例えば、明細書又は図面において、少なくとも一度、より広義または同義な異なる用語と共に記載された用語は、明細書又は図面のいかなる箇所においても、その異なる用語に置き換えることができる。また回路装置等の構成、動作も本実施形態で説明したものに限定されず、種々の変形実施が可能である。

【符号の説明】

【 0 1 9 0 】

1 基部、2, 3 連結腕、4~6 駆動腕、8 検出腕、10 振動片、
18 物理量トランスデューサー、20 回路装置、30 駆動回路、32 増幅回路、
40 ゲイン制御回路、50 駆動信号出力回路、52 同期信号出力回路、
60 検出回路、61 増幅回路、81 同期検波回路、90 フィルター部、
100 A/D変換回路、140 制御部、142 レジスター部、

10

20

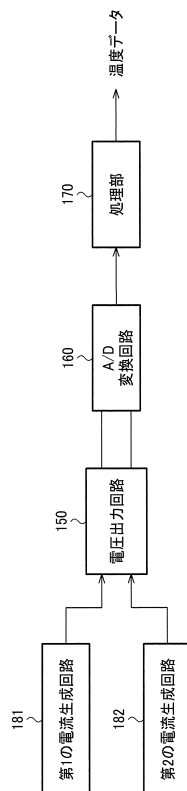
30

40

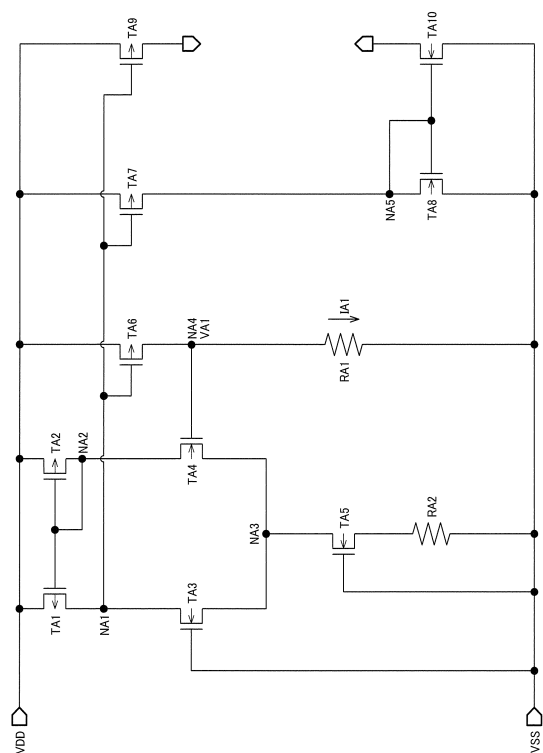
50

150 電圧出力回路、160 A/D変換回路、170 処理部、
 171 除算処理部、173 摂氏変換部、175 L P F、
 181 第1の電流生成回路、182 第2の電流生成回路、206 自動車、
 207 車体、208 車体姿勢制御装置、209 車輪、500 電子機器、
 510 ジャイロセンサー、520 処理部、530 メモリー、540 操作部、
 550 表示部、C1, C2 コンデンサー、
 R1, R2, RA1, RA2, RB1, RB2 抵抗素子、
 TA1 ~ TA10, TB1 ~ TB11, TC1 ~ TC4 トランジスター

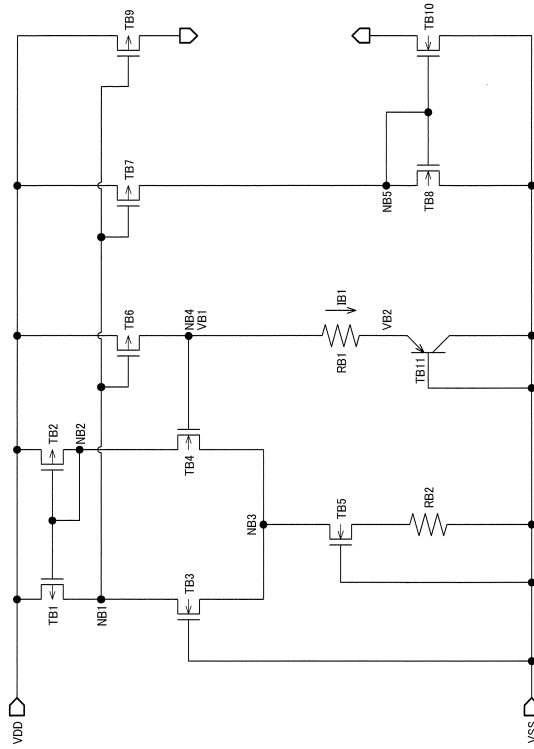
【図1】



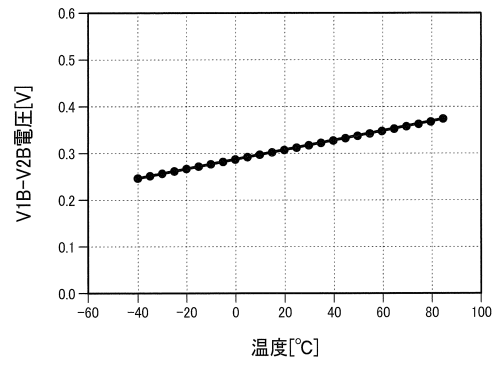
【図2】



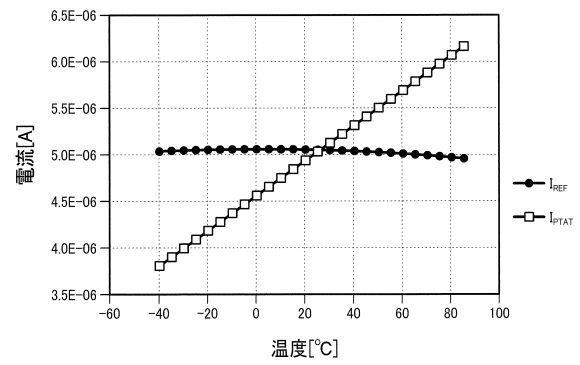
【図 3】



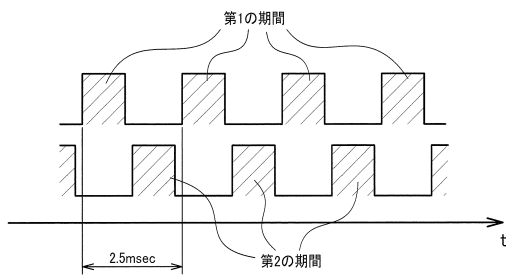
【図 4】



【図 5】

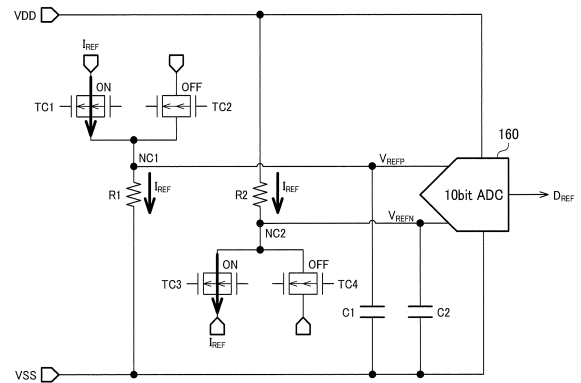


【図 6】

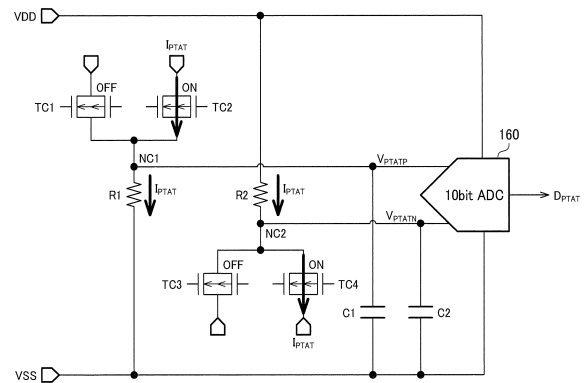


【図 7】

(A)

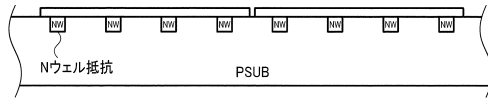


(B)

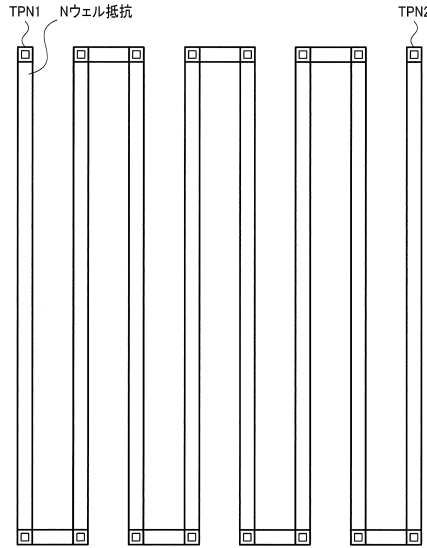


【図 8】

(A)

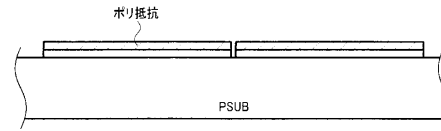


(B)

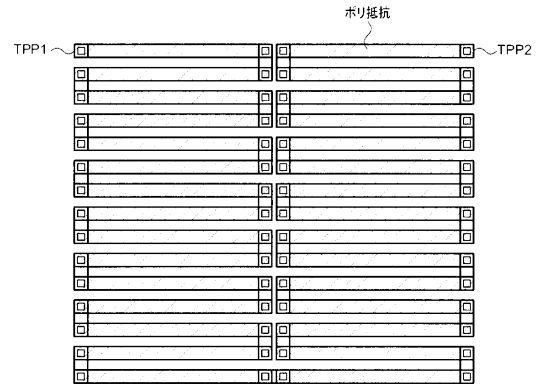


【図 9】

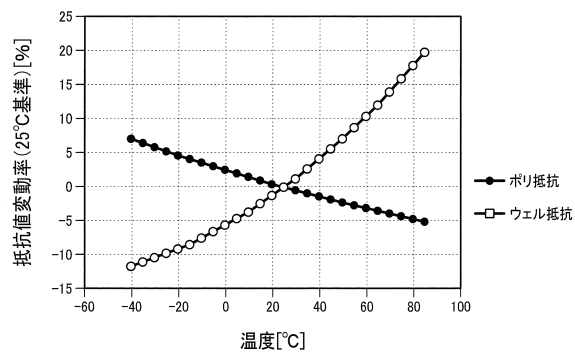
(A)



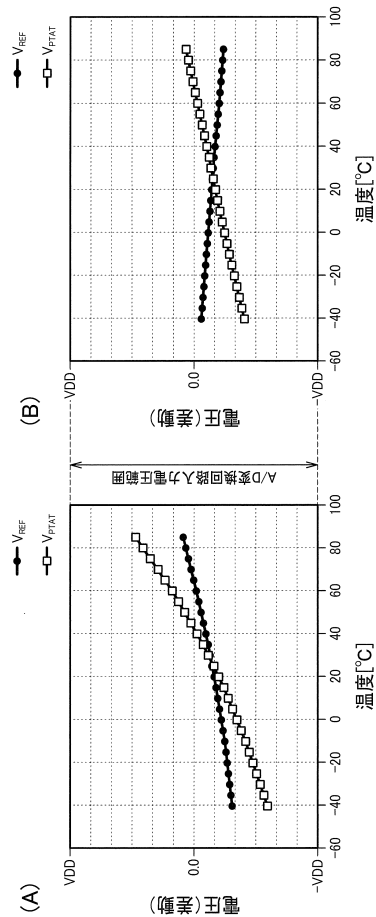
(B)



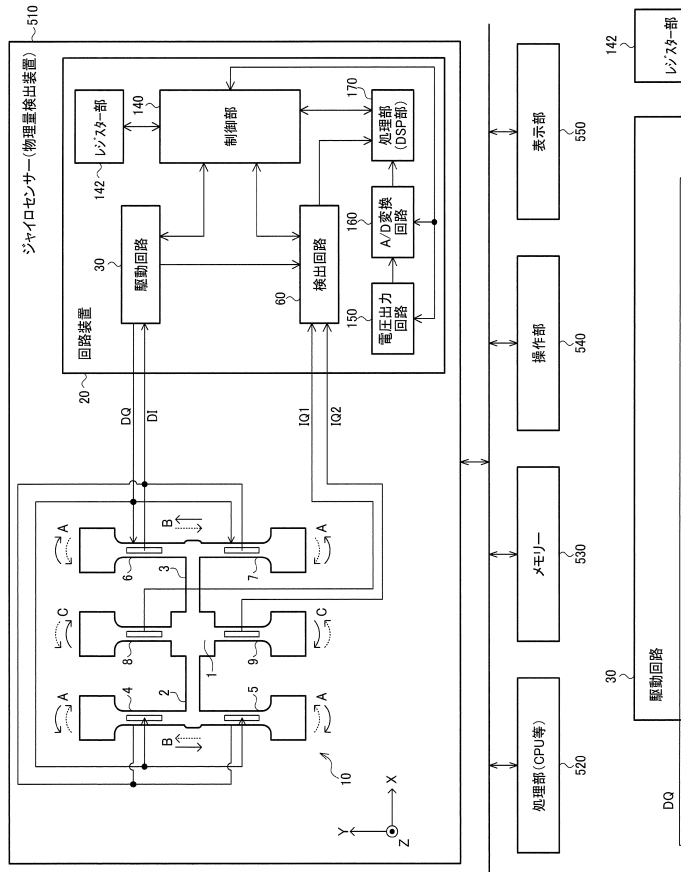
【図 10】



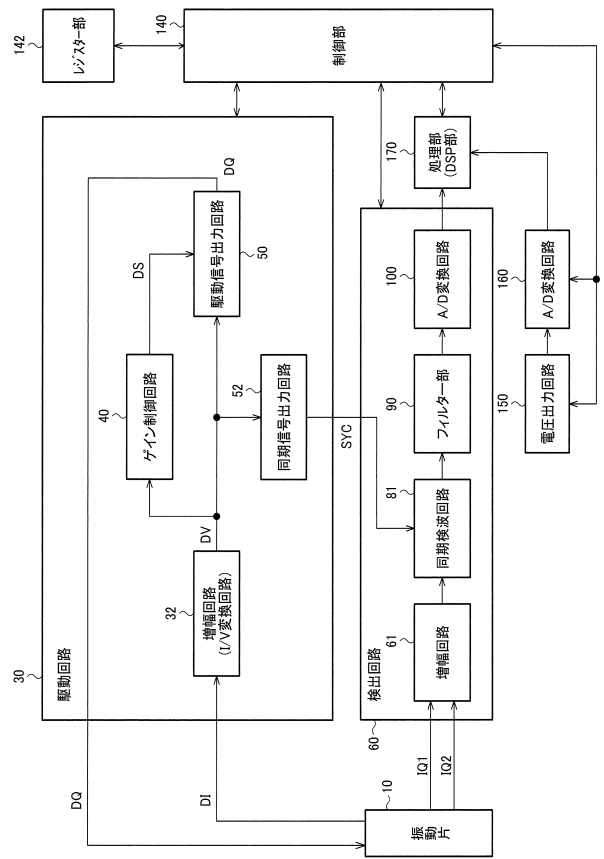
【図 11】



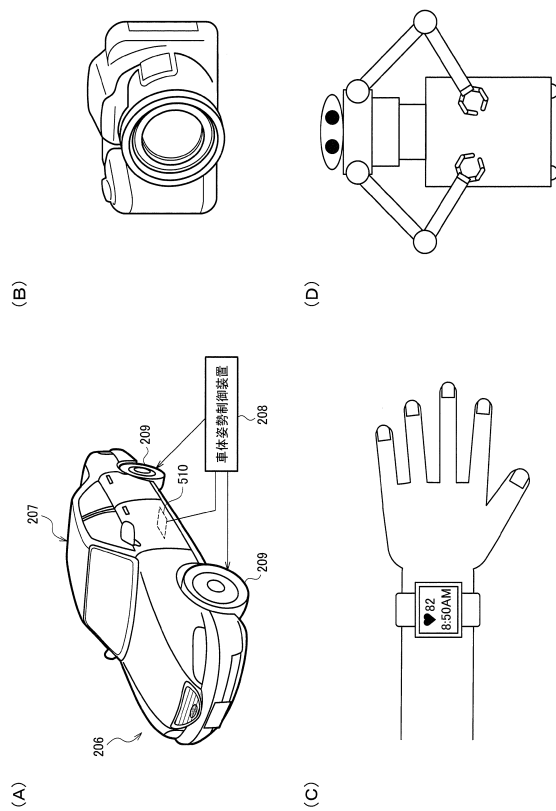
【図 16】



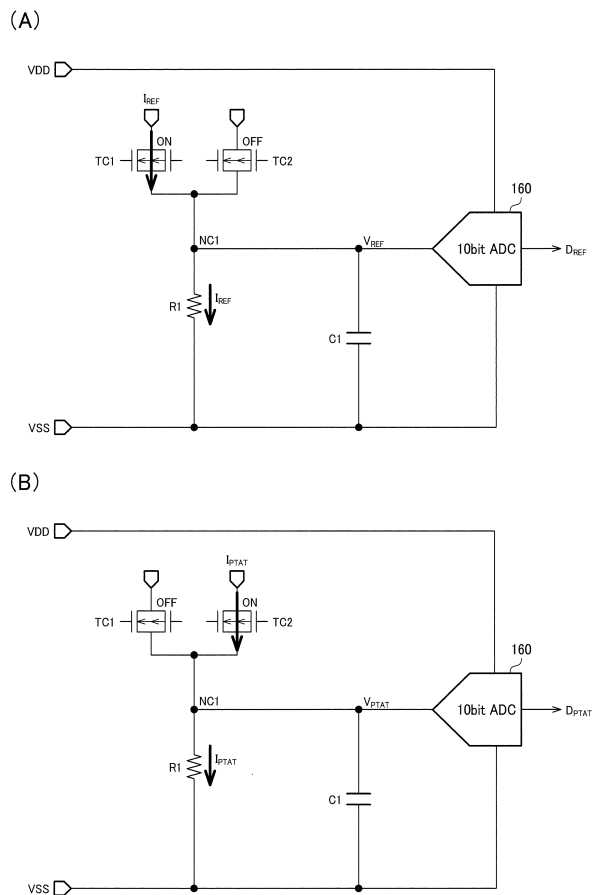
【図 17】



【図 18】



【図 19】



フロントページの続き

(51)Int.Cl. F I
H 0 3 M 1/08 A

(72)発明者 羽田 秀生
長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

審査官 平野 真樹

(56)参考文献 特開 2 0 0 5 - 2 6 5 5 2 1 (J P , A)
特開 2 0 1 3 - 2 0 5 0 8 5 (J P , A)
米国特許第 7 1 5 0 5 6 1 (U S , B 1)
実開昭 5 9 - 3 2 9 4 2 (J P , U)
特開 2 0 1 1 - 1 7 6 4 1 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 1 K 7 / 0 0 - 7 / 4 2
H 0 1 L 2 1 / 8 2 2 , 2 7 / 0 4
H 0 3 M 1 / 0 0 - 1 / 8 8