

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5371374号  
(P5371374)

(45) 発行日 平成25年12月18日 (2013.12.18)

(24) 登録日 平成25年9月27日 (2013.9.27)

(51) Int.Cl.		F I	
HO4J 11/00	(2006.01)	HO4J 11/00	Z
HO3M 13/27	(2006.01)	HO3M 13/27	

請求項の数 23 (全 25 頁)

(21) 出願番号	特願2008-278957 (P2008-278957)	(73) 特許権者	593081408
(22) 出願日	平成20年10月29日 (2008.10.29)		ソニー ヨーロッパ リミテッド
(65) 公開番号	特開2009-112011 (P2009-112011A)		イギリス国 サリー, ウェブリッジ, プ
(43) 公開日	平成21年5月21日 (2009.5.21)		ルックランズ, ザ ハイツ (番地なし)
審査請求日	平成23年9月8日 (2011.9.8)	(74) 代理人	100104215
(31) 優先権主張番号	0721272.3		弁理士 大森 純一
(32) 優先日	平成19年10月30日 (2007.10.30)	(74) 代理人	100117330
(33) 優先権主張国	英国 (GB)		弁理士 折居 章
		(72) 発明者	マシュー ポール アソール タイラー
			イギリス ハンプシャー リングウッド
			サザンプトンロード 224
		(72) 発明者	サミュエル アサンベン アツングシリ
			イギリス ハンプシャー ベイジングスト
			ーク シモンズウォーク 13

最終頁に続く

(54) 【発明の名称】 データ処理方法及び装置

(57) 【特許請求の範囲】

【請求項1】

送信すべき入力データシンボルを、直交周波数分割多重 (Orthogonal Frequency Division Multiplexed: OFDM) シンボルの所定の数のサブキャリア信号にマッピングするデータ処理装置であって、

前記 OFDM シンボルの前記サブキャリア信号にマッピングするための、所定の数の入力データシンボルをインタリーブメモリに読み込み、当該入力データシンボルを、前記読み込みの順序とは異なる、アドレスのセットによって規定された順序で前記インタリーブメモリから前記サブキャリア信号に読み出して、前記入力データシンボルを当該サブキャリア信号にインタリーブしてマッピングを実行するインタリーブと、

前記入力データシンボル毎に、当該入力データシンボルがマッピングされる前記サブキャリア信号のうちの1つを示すアドレスのセットを生成するアドレス生成部とを具備し、前記アドレス生成部は、

所定数のレジスタ段を有し、生成多項式に従って擬似ランダムビットシーケンスを生成する線形フィードバックシフトレジスタと、

前記サブキャリア信号のうちの1つの前記アドレスを生成するために、前記レジスタ段の保持データを受信して、当該レジスタ段に存在するビットを、置換順序に従って置換する置換回路と、

アドレスチェック回路と共に動作して、前記生成されたアドレスが所定の最大有効アドレスを超えると、アドレスを再生成する制御部とを有し、

前記所定の最大有効アドレスは、3 2 0 0 0 であり、

前記線形フィードバックシフトレジスタは、1 4 段のレジスタ段及び当該線形フィードバックシフトレジスタのための生成多項式

【数 1】

$$R'_i[13] = R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[2] \oplus R'_{i-1}[12]$$

を有し、

前記置換順序は、以下の表

【表 1】

R <sub>i</sub> ビット位置	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R <sub>i</sub> ビット位置	6	5	0	10	8	1	11	12	2	9	4	3	13	7

10

に規定された置換コードに従って、1つの付加的なビットを用いて、n番目の前記レジスタ段に存在するビットR'<sub>i</sub>[n]から、i番目のデータシンボルについての15ビットのアドレスR<sub>i</sub>[n]を形成することを特徴とする

データ処理装置。

【請求項 2】

請求項 1 に記載のデータ処理装置であって、

前記所定の最大有効アドレスは、2 4 0 0 0 ~ 3 2 7 6 8 の値である

データ処理装置。

20

【請求項 3】

請求項 1 に記載のデータ処理装置であって、

前記 OFDM シンボルは、既知のシンボルを搬送するように構成されたパイロットサブキャリアを有し、

前記所定の最大有効アドレスは、前記 OFDM シンボルに存在する前記パイロットサブキャリアの数に依存する

データ処理装置。

【請求項 4】

請求項 1 に記載のデータ処理装置であって、

前記インタリーブは、偶数 OFDM シンボルについては、前記アドレス生成部によって生成された前記アドレスのセットに従って前記入力データシンボルを前記インタリーブメモリに読み込み、並び順で前記インタリーブメモリから読み出すことによって、当該入力データシンボルの前記サブキャリア信号へのマッピングを実行し、奇数 OFDM シンボルについては、前記入力データシンボルを並び順で前記インタリーブメモリに読み込み、前記アドレス生成部によって生成された前記アドレスのセットに従って前記インタリーブメモリから読み出すことによって、当該入力データシンボルの前記サブキャリア信号へのマッピングを実行する

30

データ処理装置。

【請求項 5】

送信すべき入力データシンボルを、OFDM シンボルの所定のサブキャリア信号にマッピングするデータ処理装置を有する、OFDM を用いてデータを送信する送信機であって

40

前記データ処理装置は、

前記 OFDM シンボルの前記サブキャリア信号にマッピングするための、所定の数の入力データシンボルをインタリーブメモリに読み込み、当該入力データシンボルを、前記読み込みの順序とは異なる、アドレスのセットによって規定された順序で前記インタリーブメモリから前記サブキャリア信号に読み出して、前記入力データシンボルを当該サブキャリア信号にインタリーブしてマッピングを実行するインタリーブと、

前記入力データシンボル毎に、当該入力データシンボルがマッピングされる前記サブキャリア信号のうちの1つを示すアドレスのセットを生成するアドレス生成部とを有し、

50

前記アドレス生成部は、

所定数のレジスタ段を有し、生成多項式に従って擬似ランダムビットシーケンスを生成する線形フィードバックシフトレジスタと、

前記サブキャリア信号のうちの1つの前記アドレスを生成するために、前記レジスタ段の保持データを受信して、当該レジスタ段に存在するビットを、置換順序に従って置換する置換回路と、

アドレスチェック回路と共に動作して、前記生成されたアドレスが所定の最大有効アドレスを超えると、アドレスを再生成する制御部とを有し、

前記所定の最大有効アドレスは32000であり、

前記線形フィードバックシフトレジスタは、14段のレジスタ段及び当該線形フィードバックシフトレジスタのための生成多項式

【数2】

$$R'_i[13] = R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[2] \oplus R'_{i-1}[12]$$

を有し、

前記置換順序は、以下の表

【表2】

R <sub>i</sub> ビット位置	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R <sub>i</sub> ビット位置	6	5	0	10	8	1	11	12	2	9	4	3	13	7

に従って、1つの付加的なビットを用いて、n番目の前記レジスタ段に存在するビットR'<sub>i</sub>[n]から、i番目のデータシンボルについての15ビットのアドレスR<sub>i</sub>[n]を形成することを特徴とする

送信機。

【請求項6】

請求項5に記載の送信機であって、

DVB-T (Digital Video Broadcasting-Terrestrial) 規格、DVB-H (Digital Video Broadcasting-Handheld) 規格、又はDVB-T2 (Digital Video Broadcasting-Terrestrial2) 規格を含むデジタルビデオ放送規格に従ってデータを送信する

送信機。

【請求項7】

OFDMシンボルの所定数のサブキャリア信号から受信したデータシンボルを出力シンボルストリームにマッピングするデータ処理装置であって、

前記OFDMシンボルの前記サブキャリア信号から受信した所定数のデータシンボルをインタリーブメモリに読み込み、当該データシンボルを、前記読み込みの順序とは異なる、アドレスのセットによって規定された順序で前記インタリーブメモリから前記出力シンボルストリームに読み出して、前記データシンボルを前記サブキャリア信号からデインタリーブしてマッピングを実行するデインタリーブと、

前記受信されたデータシンボル毎に、当該受信されたデータシンボルが前記出力シンボルストリームにマッピングされるサブキャリア信号を示すアドレスのセットを生成するアドレス生成部とを具備し、

前記アドレス生成部は、

所定数のレジスタ段を有し、生成多項式に従って擬似ランダムビットシーケンスを生成する線形フィードバックシフトレジスタと、

前記サブキャリア信号のうちの1つの前記アドレスを生成するために、前記レジスタ段の保持データを受信して、当該レジスタ段に存在するビットを、置換順序に従って置換する置換回路と、

アドレスチェック回路と共に動作して、前記生成されたアドレスが所定の最大有効アドレスを超えると、アドレスを再生成する制御部とを有し、

10

20

30

40

50

前記所定の最大有効アドレスは、3 2 0 0 0 であり、

前記線形フィードバックシフトレジスタは、1 4 段のレジスタ段及び当該線形フィードバックシフトレジスタのための生成多項式

【数 3】

$$R'_i[13] = R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[2] \oplus R'_{i-1}[12]$$

を有し、

前記置換順序は、以下の表

【表 3】

R <sub>i</sub> ビット位置	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R <sub>i</sub> ビット位置	6	5	0	10	8	1	11	12	2	9	4	3	13	7

10

に従って、1つの付加的なビットを用いて、n番目の前記レジスタ段に存在するビット  $R'_i[n]$  から、i番目のデータシンボルについての15ビットのアドレス  $R_i[n]$  を形成することを特徴とする

データ処理装置。

【請求項 8】

請求項 7 に記載のデータ処理装置であって、

前記所定の最大有効アドレスは、2 4 0 0 0 ~ 3 2 7 6 8 の値である

データ処理装置。

20

【請求項 9】

請求項 7 に記載のデータ処理装置であって、

前記 OFDM シンボルは、既知のシンボルを搬送するように構成されたパイロットサブキャリアを有し、

前記所定の最大有効アドレスは、前記 OFDM シンボルに存在する前記パイロットサブキャリアの数に依存する

データ処理装置。

【請求項 10】

請求項 7 に記載のデータ処理装置であって、

前記デインタリーバは、偶数 OFDM シンボルについては、前記サブキャリア信号から受信した前記データシンボルを並び順に従ってインタリーバメモリに読み込み、当該データシンボルを、前記アドレス生成部によって生成された前記アドレスのセットに従って前記インタリーバメモリから前記出力シンボルストリームに読み出すことによって、前記データシンボルを前記出力シンボルストリームにマッピングし、奇数 OFDM シンボルについては、前記データシンボルを、前記アドレス生成部によって生成されたアドレスのセットに従って前記インタリーバメモリに読み込み、当該データシンボルを、並び順に従って、前記インタリーバメモリから前記出力シンボルストリームに読み出すことによって、前記サブキャリア信号から受信したデータシンボルを前記出力シンボルストリームにマッピングするように構成される

30

データ処理装置。

40

【請求項 11】

OFDM シンボルの所定の数のサブキャリア信号から受信したデータシンボルを出力シンボルストリームにマッピングするデータ処理装置を有する、OFDM 変調されたデータを受信する受信機であって、

前記データ処理装置は、

前記 OFDM シンボルの前記サブキャリア信号から受信した所定の数のデータシンボルをインタリーバメモリに読み込み、当該データシンボルを、前記読み込みの順序とは異なる、アドレスのセットによって規定された順序で前記インタリーバメモリから前記出力シンボルストリームに読み出して、前記データシンボルを前記サブキャリア信号からデインタリーブしてマッピングを実行するデインタリーバと、

50

前記受信されたデータシンボル毎に、当該受信されたデータシンボルが前記出力シンボルストリームにマッピングされるサブキャリア信号を示すアドレスのセットを生成するアドレス生成部とを有し、

前記アドレス生成部は、

所定数のレジスタ段を有し、生成多項式に従って擬似ランダムビットシーケンスを生成する線形フィードバックシフトレジスタと、

前記サブキャリア信号のうちの1つの前記アドレスを生成するために、前記レジスタ段の保持データを受信して、当該レジスタ段に存在するビットを、置換順序に従って置換する置換回路と、

アドレスチェック回路と共に動作して、前記生成されたアドレスが所定の最大有効アドレスを超えるとき、アドレスを再生成する制御部とを有し、

前記所定の最大有効アドレスは、32000であり、

前記線形フィードバックシフトレジスタは、14段のレジスタ段及び当該線形フィードバックシフトレジスタのための生成多項式

【数4】

$$R'_i[13] = R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[2] \oplus R'_{i-1}[12]$$

を有し、

前記置換順序は、以下の表

【表4】

R <sub>i</sub> ビット位置	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R <sub>i</sub> ビット位置	6	5	0	10	8	1	11	12	2	9	4	3	13	7

に規定された置換コードに従って、1つの付加的なビットを用いて、n番目の前記レジスタ段に存在するビット  $R'_i[n]$  から、i番目のデータシンボルについての15ビットのアドレス  $R_i[n]$  を形成することを特徴とする

受信機。

【請求項12】

請求項11に記載の受信機であって、

DVB-T規格、DVB-H規格、又はDVB-T2規格を含むデジタルビデオ放送規格に従って変調されたデータを受信する

受信機。

【請求項13】

送信すべき入力データシンボルを、OFDMシンボルのサブキャリア信号にマッピングするマッピング方法であって、

前記OFDMシンボルの前記サブキャリア信号にマッピングするための所定数の入力データシンボルをインタリーブメモリに読み込むステップと、

前記読み込まれた入力データシンボルを、前記読み込みの順序とは異なる、アドレスのセットによって規定された順序で前記インタリーブメモリから前記サブキャリア信号に読み出して、前記入力データシンボルを前記サブキャリア信号にインタリーブしてマッピングを実行するステップと、

前記入力データシンボル毎に、当該入力データシンボルがマッピングされる前記サブキャリア信号のうちの1つを示すアドレスのセットを生成するステップとを具備し、

前記アドレスのセットを生成するステップは、

所定数のレジスタ段を有する線形フィードバックシフトレジスタを用いて、生成多項式に従って擬似ランダムビットシーケンスを生成するステップと、

前記レジスタ段の保持データを受信し、当該レジスタ段に存在するビットを、置換回路を用いて、置換順序に従って置換することで前記アドレスを生成するステップと、

前記生成されたアドレスが所定の最大有効アドレスを超えるとき、アドレスを再生成す

10

20

30

40

50

るステップとを含み、

前記所定の最大有効アドレスは、3 2 0 0 0 であり、

前記線形フィードバックシフトレジスタは、1 4 段のレジスタ段及び当該線形フィードバックシフトレジスタのための生成多項式

【数 5】

$$R'_i[13] = R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[2] \oplus R'_{i-1}[12]$$

を有し、

前記置換順序は、以下の表

【表 5】

R' <sub>i</sub> ビット位置	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R <sub>i</sub> ビット位置	6	5	0	10	8	1	11	12	2	9	4	3	13	7

に規定された置換コードに従って、1つの付加的なビットを用いて、n番目の前記レジスタ段に存在するビットR'<sub>i</sub>[n]から、i番目のデータシンボルについての15ビットのアドレスR<sub>i</sub>[n]を形成することを特徴とする

マッピング方法。

【請求項 1 4】

請求項 1 3 に記載のマッピング方法であって、

前記所定の最大有効アドレスは、2 4 0 0 0 ~ 3 2 7 6 8 の値である

マッピング方法。

【請求項 1 5】

請求項 1 4 に記載のマッピング方法であって、

前記 OFDM シンボルは、既知のシンボルを搬送するように構成されたパイロットサブキャリアを有し、

前記所定の最大有効アドレスは、前記 OFDM シンボルに存在する前記パイロットサブキャリアの数に依存する

マッピング方法。

【請求項 1 6】

OFDM を用いてデータを送信する送信方法であって、

OFDM シンボルの所定の数のサブキャリア信号にマッピングするための、所定の数の入力データシンボルを受信するステップと、

前記受信された所定の数の入力データシンボルをインタリーブメモリに読み込むステップと、

前記読み込まれた入力データシンボルを、前記読み込みの順序とは異なる、アドレスのセットによって規定された順序で前記インタリーブメモリから前記サブキャリア信号に読み出して、前記データシンボルを前記サブキャリア信号にインタリーブしてマッピングを実行するステップと、

前記入力データシンボル毎に、当該入力データシンボルがマッピングされる前記サブキャリア信号のうちの1つを示すアドレスのセットを生成するステップとを具備し、

前記アドレスのセットを生成するステップは、

所定数のレジスタ段を有する線形フィードバックシフトレジスタを用いて、生成多項式に従って擬似ランダムビットシーケンスを生成するステップと、

前記レジスタ段の保持データを受信し、当該レジスタ段に存在するビットを、置換回路を用いて、置換順序に従って置換することで前記アドレスを生成するステップと、

前記生成されたアドレスが所定の最大有効アドレスを超えると、アドレスを再生成するステップとを含み、

前記所定の最大有効アドレスは、3 2 0 0 0 であり、

前記線形フィードバックシフトレジスタは、1 4 段のレジスタ段及び前記線形フィードバックシフトレジスタのための生成多項式

10

20

30

40

50

【数 6】

$$R'_i[13] = R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[2] \oplus R'_{i-1}[12]$$

を有し、

前記置換順序は、以下の表

【表 6】

R' <sub>i</sub> ビット位置	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R <sub>i</sub> ビット位置	6	5	0	10	8	1	11	12	2	9	4	3	13	7

に規定された置換コードに従って、1つの付加的なビットを用いて、n番目の前記レジスタ段に存在するビット  $R'_i[n]$  から、i番目のデータシンボルについての15ビットのアドレス  $R_i[n]$  を形成することを特徴とする

10

送信方法。

【請求項 17】

請求項 16 に記載の送信方法であって、さらに、

前記入力データシンボルを、DVB-T規格、DVB-H規格、又はDVB-T2規格を含むデジタルビデオ放送規格に従って変調されたOFDMシンボルで通信する

送信方法。

【請求項 18】

OFDMシンボルの所定の数のサブキャリア信号から受信したデータシンボルを出力シンボルストリームにマッピングするマッピング方法であって、

20

前記OFDMシンボルの前記サブキャリア信号から受信した所定の数のデータシンボルをインタリーブメモリに読み込み、

前記データシンボルを、前記読み込みの順序とは異なる、アドレスのセットによって規定された順序で前記インタリーブメモリから前記出力シンボルストリームに読み出して、前記データシンボルを前記サブキャリア信号からデインタリーブしてマッピングを実行するステップと、

受信されたデータシンボル毎に、当該受信されたデータシンボルを前記出力シンボルストリームがマッピングされるサブキャリア信号を示すアドレスのセットを生成するステップとを具備し、

30

前記アドレスのセットを生成するステップは、

所定数のレジスタ段を有する線形フィードバックシフトレジスタを用いて、生成多項式に従って擬似ランダムビットシーケンスを生成するステップと、

前記レジスタ段の保持データを受信し、当該レジスタ段に存在するビットを、置換回路を用いて、置換順序に従って置換することで前記アドレスを生成するステップと、

前記生成されたアドレスが所定の最大有効アドレスを超えると、アドレスを再生成するステップとを含み、

前記所定の最大有効アドレスは、32000であり、

前記線形フィードバックシフトレジスタは、14段のレジスタ段及び当該線形フィードバックシフトレジスタのための生成多項式

40

【数 7】

$$R'_i[13] = R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[2] \oplus R'_{i-1}[12]$$

を有し、

前記置換順序は、以下の表

【表 7】

R' <sub>i</sub> ビット位置	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R <sub>i</sub> ビット位置	6	5	0	10	8	1	11	12	2	9	4	3	13	7

に規定された置換コードに従って、1つの付加的なビットを用いて、n番目の前記レジスタ

50

タ段に存在するビット  $R'_i[n]$  から、 $i$  番目のデータシンボルについての 15 ビット  
のアドレス  $R_i[n]$  を形成することを特徴とする

マッピング方法。

【請求項 19】

請求項 18 に記載のマッピング方法であって、

前記所定の最大有効アドレスは、24000 ~ 32768 の値である

マッピング方法。

【請求項 20】

請求項 18 に記載のマッピング方法であって、

前記 OFDM シンボルは、既知のシンボルを搬送するように構成されたパイロットサブ  
キャリアを有し、

前記所定の最大有効アドレスは、前記 OFDM シンボルに存在する前記パイロットサブ  
キャリアの数に依存する

マッピング方法。

【請求項 21】

OFDM 変調されたシンボルからデータを受信する受信方法であって、

出力シンボルストリームを形成するために、前記 OFDM シンボルの所定の数のサブキ  
ャリア信号から、所定の数のデータシンボルを受信するステップと、

前記 OFDM シンボルの前記サブキャリア信号から受信した前記所定の数のデー  
タシンボルをインタリーブメモリに読み込むステップと、

前記データシンボルを、前記読み込みの順序とは異なる、アドレスのセットによっ  
て規定された順序で前記インタリーブメモリから前記出力シンボルストリームに読み出して、  
前記データシンボルを前記サブキャリア信号からデインタリーブしてマッピングを実行す  
るステップと、

前記受信されたデータシンボル毎に、当該受信されたデータシンボルが前記出力シン  
ボルストリームにマッピングされるサブキャリア信号を示すアドレスのセットを生成するス  
テップとを具備し、

前記アドレスのセットを生成するステップは、

所定数のレジスタ段を有する線形フィードバックシフトレジスタを用いて、生成多項式  
に従って、擬似ランダムビットシーケンスを生成するステップと、

前記レジスタ段の保持データを受信し、当該レジスタ段に存在するビットを、置換回路  
を用いて、置換順序に従って置換することで前記アドレスを生成するステップと、

前記生成されたアドレスが所定の最大有効アドレスを超えると、アドレスを再生成す  
るステップとを含み、

前記所定の最大有効アドレスは、32000 であり、

前記線形フィードバックシフトレジスタは、14 段のレジスタ段及び当該線形フィード  
バックシフトレジスタのための生成多項式

【数 8】

$$R'_i[13] = R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[2] \oplus R'_{i-1}[12]$$

を有し、

前記置換順序は、以下の表

【表 8】

$R'_i$ ビット位置	13	12	11	10	9	8	7	6	5	4	3	2	1	0
$R_i$ ビット位置	6	5	0	10	8	1	11	12	2	9	4	3	13	7

に規定された置換コードに従って、1 つの付加的なビットを用いて、 $n$  番目の前記レジ  
スタ段に存在するビット  $R'_i[n]$  から、 $i$  番目のデータシンボルについての 15 ビット  
のアドレス  $R_i[n]$  を形成することを特徴とする

受信方法。

【請求項 2 2】

請求項 2 1 に記載の受信方法であって、  
前記 OFDM シンボルから前記所定の数のデータシンボルを受信するステップは、  
DVB-T 規格、DVB-H 規格、又は DVB-T 2 規格を含むデジタルビデオ放送規格に従ってデータを受信するステップを含む  
受信方法。

【請求項 2 3】

OFDM シンボルの所定の数のサブキャリア信号にインタリーブされたデータシンボルを送信する際に用いられ、当該データシンボル毎に、当該データシンボルがマッピングされるサブキャリア信号を示すアドレスのセットを生成するアドレス生成装置であって、  
所定数のレジスタ段を有し、生成多項式に従って擬似ランダムビットシーケンスを生成する線形フィードバックシフトレジスタと、  
前記アドレスを生成するために、前記レジスタ段の保持データを受信して、当該レジスタ段に存在するビットを、置換順序に従って置換する置換回路と、  
アドレスチェック回路と共に動作して、前記生成されたアドレスが所定の最大有効アドレスを超えるとき、アドレスを再生成する制御部とを具備し、  
前記所定の最大有効アドレスは、32000 であり、  
前記線形フィードバックシフトレジスタは、14 段のレジスタ段及び当該線形フィードバックシフトレジスタのための生成多項式

10

【数 9】

20

$$R'_i[13] = R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[2] \oplus R'_{i-1}[12]$$

を有し、  
前記置換順序は、以下の表

【表 9】

R <sub>i</sub> ビット位置	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R <sub>i</sub> ビット位置	6	5	0	10	8	1	11	12	2	9	4	3	13	7

に規定された置換コードに従って、1つの付加的なビットを用いて、n 番目の前記レジスタ段に存在するビット R' <sub>i</sub> [ n ] から、i 番目のデータシンボルについての 15 ビットのアドレス R <sub>i</sub> [ n ] を形成することを特徴とする

30

アドレス生成装置。  
【発明の詳細な説明】  
【技術分野】  
【0001】

本発明は、入力シンボルを、OFDM (Orthogonal Frequency Division Multiplexed: 直交周波数分割多重) シンボルのサブキャリア信号にマッピングするデータ処理装置及び方法に関する。本発明はまた、インタリーブメモリへの書き込み/インタリーブメモリからの読み出しの際に用いられるアドレス生成部にも関する。

【0002】

40

本発明はまた、OFDM シンボルの所定の数のサブキャリア信号から受信されたシンボルを、出力シンボルストリームにマッピングするデータ処理装置にも関する。

【0003】

本発明の実施の形態は、OFDM 送信装置/受信装置を提供し得る。

【背景技術】

【0004】

DVB-T (Digital Video Broadcasting-Terrestrial) 規格は、直交周波数分割多重 (OFDM) を利用して、ビデオ画像及び音声を表すデータを、放送無線通信信号を介して受信装置に送信する。DVB-T 規格には、2つの周知のモードがあり、これらは 2K モード及び 8K モードとして知られている。2K モードは 2048 のサブキャリアを提供

50

し、一方、8 Kモードは8 1 9 2のサブキャリアを提供する。同様に、DVB-H (Digital Video Broadcasting-Handheld) 規格には、4 Kモードが提供され、この4 Kモードにおいては、サブキャリアの数は4 0 9 6である。

【0005】

DVB-T又はDVB-Hを用いて送信されるデータの品位を改善するために、入力データシンボルがOFDMシンボルのサブキャリア信号にマッピングされるように、入力データシンボルをインタリーブするためのシンボルインタリーバが設けられる。このようなシンボルインタリーバは、アドレス生成部と共に、インタリーブメモリを有する。アドレス生成部は、各入力シンボルについてアドレスを生成する。各アドレスは、データシンボルがマッピングされるOFDMシンボルのサブキャリア信号のうちの1つを示す。2 Kモード及び8 Kモードの場合、DVB-T規格では、マッピングのためのアドレスを生成する構成が開示されている。同様に、DVB-H規格の4 Kモードの場合、マッピングのためのアドレスを生成する構成が提供されており、また、このマッピングを実行するためのアドレス生成部が、下記特許文献1において開示されている。このアドレス生成部は、擬似乱数ビット列を生成する線形フィードバックシフトレジスタと、置換回路とを有する。置換回路は、アドレスを生成するために、線形フィードバックシフトレジスタの保持データの順序を置換する。アドレスは、入力データシンボルをOFDMシンボルのサブキャリアにマッピングするために、インタリーブメモリに格納された入力データシンボルを搬送するためのOFDMシンボルのサブキャリア信号のうちの1つを示す情報を提供する。同様に、受信装置におけるアドレス生成部は、データシンボルを読み出して出力データストリームを形成するために、OFDMシンボルのサブキャリアから受信したデータシンボルを格納するためのインタリーブメモリのアドレスを生成するように構成される。

10

20

【0006】

【特許文献1】欧州特許出願公開第1 6 6 2 7 3 9号明細書

【特許文献2】欧州特許出願公開第1 4 6 3 2 5 6号明細書

【特許文献3】米国特許出願公開第2 0 0 6 / 2 8 2 7 1 2号明細書

【特許文献4】国際公開第2 0 0 5 / 0 9 1 5 0 9号パンフレット

【非特許文献1】Dr. Jonathan De Vile, " ' Reply to examination report ' ( 欧州特許出願公開1 4 6 3 2 5 6号に関する書面 ) 、 [ online ] 、 2005年8月2日、インターネット <URL : http://www.epoline.org/portal/public/!ut/p/kcxml/04\_Sj9Spykssy0xPLMnMz0vM0Y\_QjzKLN4i3dAfJgFjGpvqRqCK0cAFfj\_zcVKBwpDmQ726kH6LvRr-gX5AbGIFunK41AEFiqlol!/delta/base64xml/L01DVE83b0qKN3VhQ1NZS0NsRuTDbEVLQ2xFAQSEvWUtVSUFBSUIJSUIJSU1NSUIJTUIJQ0NJS0dLR09NRUFFQUtCskJKT0JGTkZOT0ZBLzRCMWIjb25RvndHeE9VVG9LNzI ZUTdEbUc0UjJIS054anNPY2JnayEvN18wX0cyLzEyMzg2NzIvUkRPQ1NPUIRPUIRFUI9kZXNjZW5kaW5nL1JET0NTT1JURkIFTEQvZGF0ZS9vcmdIcG9saW5lcG9ydGFsZnJhbWV3b3JrcG9ydGxldGJhc2VTdGF0ZVBvcnRsZXRCYXNlQWN0aW9uL29yZy5lcG9saW5lLnBvcnRhbc5hcHBsaWVndGlvbnMucmVnaXN0ZXJwbHVzLnBvcnRsZXQuUIBBY3Rpb25EaXNwbGF5RG9jdW1lbnRMaXN0>"

30

【発明の開示】

【発明が解決しようとする課題】

【0007】

DVB-T2として知られる、地上デジタルビデオ放送規格のさらなる発展に従い、データ送信のためのさらなるモードが提案されている。

40

【課題を解決するための手段】

【0008】

本発明の一態様によれば、データ処理装置が提供される。当該データ処理装置は、送信すべき入力データシンボルを、OFDMシンボルの所定の数のサブキャリア信号にマッピングするように構成される。当該データ処理装置は、前記OFDMシンボルの前記サブキャリア信号にマッピングするための所定の数のデータシンボルをインタリーブメモリに読み込み、当該データシンボルを前記インタリーブメモリから前記サブキャリア信号に読み出してマッピングを実行するインタリーバを具備する。前記データシンボルを前記サブキ

50

キャリア信号にインタリーブするために、前記読み出しは、前記読み込みの順序とは異なる順序で行われ、この順序はアドレスのセットから規定される。これにより、前記データシンボルが前記サブキャリア信号にインタリーブされる。前記アドレスのセットは、アドレス生成部によって規定され、アドレスは、前記入力シンボル毎に生成され、当該データシンボルがマッピングされる前記サブキャリア信号のうちの1つを示す。

【0009】

前記アドレス生成部は、線形フィードバックシフトレジスタと、置換回路と、制御部とを有する。前記線形フィードバックシフトレジスタは、所定数のレジスタ段を有し、生成多項式に従って擬似ランダムビット列を生成する。前記置換回路は、前記OFDMシンボルの前記サブキャリア信号のうちの1つのアドレスを形成するために、前記レジスタ段の保持データを受信し、前記レジスタ段に存在するビットを、置換順序に従って置換する。

10

【0010】

前記制御部は、アドレスチェック回路と共に動作して、生成されたアドレスが所定の最大有効アドレスを超えるとき、アドレスを再生成する。当該データ処理装置は、前記所定の最大有効アドレスが約32000であり、前記線形フィードバックシフトレジスタは、14のレジスタ段及び当該線形フィードバックシフトレジスタのための生成多項式

【0011】

【数1】

$$R'_i[13] = R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[2] \oplus R'_{i-1}[12]$$

20

【0012】

を有し、前記置換順序は、以下の表

【0013】

【表1】

R <sub>i</sub> ビット位置	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R <sub>i</sub> ビット位置	6	5	0	10	8	1	11	12	2	9	4	3	13	7

【0014】

に規定された置換コードに従って、1つの付加的なビットを用いて、n番目の前記レジスタ段に存在するビットR'<sub>i</sub>[n]から、i番目のデータシンボルについての15ビットのアドレスR<sub>i</sub>[n]を形成することを特徴とする。

30

【0015】

2Kモード及び8Kモードを提供するDVB-T規格、並びに4Kモードを提供するDVB-H規格は周知であるが、DVB-T2規格のために、16Kモードが提案されている。8Kモードは、DVB送信装置間の伝搬遅延を許容するのに十分なガードインターバルを有する単一周波数ネットワークを確立するための構成を提供するのに対し、2Kモードは、携帯用途において利点を提供することで知られている。これは、2Kシンボルのインターバルは、8Kシンボルのインターバルの4分の1しかないため、より頻りにチャンネル推定を更新することができ、受信装置が、ドップラー効果及び他の効果によるチャンネルにおける時間的変動をより正確に追跡できるからである。したがって、2Kモードは携帯用途に適している。

40

【0016】

単一周波数のネットワーク内で、DVB送信装置を均等に分散して配置(an even sparser deployment)するために、16Kモードを提供することが提案されている。16Kモードを実現するためには、入力データシンボルをOFDMシンボルのサブキャリア信号にマッピングするためのシンボルインタリーバを設けなければならない。

【0017】

本発明の実施形態は、送信するデータシンボルを、約32000のサブキャリア信号を有するOFDMシンボルにマッピングするためのシンボルインタリーバとして動作可能なデータ処理装置を提供することができる。一実施形態では、前記サブキャリア信号の数は

50

、実質的に24000～32768の値である。さらに、前記OFDMシンボルは、既知のシンボルを搬送するように構成されたパイロットサブキャリアを有してもよい。前記所定の最大有効アドレスは、前記OFDMシンボルに存在する前記パイロットサブキャリア信号の数に依存する。したがって、例えば、DVB-T2、DVB-T又はDVB-H等のDVB規格のために、32Kモードを提供することができる。

【0018】

送信すべきデータシンボルを、OFDMシンボルの約32000のサブキャリア信号にマッピングすることは、線形フィードバックシフトレジスタのための適切な生成多項式及び置換順序を確立するために、シミュレーション分析及びテストが必要とされるという技術的課題を呈する。これは、誤り訂正符号化方式の能力を最適化するために、マッピングには、入力データストリームからの連続したシンボルが、出来る限り大きく周波数分離されるように、シンボルをサブキャリア信号にインタリーブすることが必要とされるからである。

10

【0019】

DVB-T2のために提案された、LDPC/BCH符号化等の誤り訂正符号化方式は、通信により生じるシンボル値のノイズ及び劣化が非相関であるときに、より良好に動作する。地上放送チャンネルは、相関フェージングにより、時間領域及び周波数領域の両方において悪影響を受ける可能性がある。したがって、符号化されたシンボルを、OFDMシンボルの別々のサブキャリア信号にできるだけ分離することにより、誤り訂正符号化方式の性能を向上させることができる。

20

【0020】

後に説明するように、シミュレーション性能分析から、上記のような線形フィードバックシフトレジスタのための生成多項式と置換順序との組み合わせが、良好な性能を提供することが発見された。さらに、線形フィードバックシフトレジスタのための生成多項式のタップ及び置換順序を変更することによって2Kモード、4Kモード及び8Kモードのそれぞれについてアドレスを生成することができる構成を提供することにより、32Kモードのためのシンボルインタリーバを費用効果的に実現することができる。さらに、送信装置及び受信装置は、生成多項式及び置換順序を変更することにより、2Kモード、4Kモード、8Kモード及び32Kモードの間で変更されることができる。これは、ソフトウェアにおいて（又は埋込信号によって）実行されることができ、これにより、柔軟性のある実施態様が提供される。

30

【0021】

アドレスが所定の最大有効アドレスを超える場合、次のアドレスが有効アドレスとなる可能性を低減するために、線形フィードバックシフトレジスタの保持データからアドレスを形成するために用いられる付加的なビットを、トグル回路によって生成してもよい。このビットは各アドレスによって1～0の間で変化する。一例では、付加的なビットは最上位ビットである。

【0022】

本発明の種々の態様及び特徴が、添付の特許請求の範囲において規定される。本発明のさらなる態様は、OFDMシンボルの所定の数のサブキャリア信号から受信したシンボルを、出力シンボルストリームにマッピングするデータ処理装置及び方法、並びに送信装置及び受信装置を含む。

40

【発明を実施するための最良の形態】

【0023】

これより、本発明の実施形態を、添付の図面を参照して、例示としてのみ説明する。図面において、同様の部分には対応する参照符号が付される。

【0024】

既に提案したように、DVB-T2規格において利用可能なモードは、1Kモード、16Kモード、及び32Kモードを含むように拡大適用されるべきである。以下の説明は、本発明の実施形態の技術によるシンボルインタリーバの動作を説明するために提供される

50

が、このシンボルインタリーバは他のモード及び他のDVB規格と共に用いることができることを理解されたい。

【0025】

図1は、DVB-T2規格に従って、例えばビデオ画像及び音声信号を送信するために用いることができる符号化OFDM(Coded OFDM: COFDM)送信装置の例示的なブロック図を示す。図1では、プログラムソースが、COFDM送信装置によって送信されるべきデータを生成する。ビデオ符号化部2、音声符号化部4及びデータ符号化部6が、送信すべきビデオデータ、音声データ及び他のデータを生成し、これらのデータはプログラムマルチプレクサ10に供給される。プログラムマルチプレクサ10の出力は、ビデオデータ、音声データ及び他のデータを送信するために必要な他の情報と多重化された多重化

10

【0026】

図1に示すように、COFDM送信装置20は、多重適応化/エネルギー拡散ブロック22においてストリームを受信する。多重適応化/エネルギー拡散ブロック22は、データをランダム化し、適切なデータを、ストリームの誤り訂正符号化を実行する前方誤り訂正符号化部24に供給する。ビットインタリーバ26は、符号化されたデータビットをインタリーブするために設けられる。この符号化されたデータビットは、DVB-T2の例の場合、LDPC(Low Density Parity Check: 低密度パリティチェック)/BCH(Bo

20

【0027】

データセルは、図1においてブランチB等によって生成されたデータセルと共に、他のチャンネル31を介して、フレームビルダ32によって受信される。その後、フレームビルダ32は、多数のデータセルを、COFDMシンボルで搬送されるべきシーケンスに形成する。ここで、COFDMシンボルは、複数のデータセルを有し、各データセルはサブキャリアのうちの1つにマッピングされる。サブキャリアの数は、システムの動作モードに依存して、1K、2K、4K、8K、16K又は32K等があり、これらは、例えば以下の表の例に従って、それぞれ異なる数のサブキャリアを提供する。

30

【0028】

【表2】

モード	サブキャリア
1K	756
2K	1512
4K	3024
8K	6048
16K	12096
32K	24192

40

DVB-T/HIにおけるサブキャリアの数

【0029】

したがって、一例では、32Kモードの場合のサブキャリアの数は24192である。DVB-T2システムの場合、OFDMシンボル当たりのサブキャリアの数は、パイロツ

50

トキャリア及び他の予備のキャリアの数に依存して変化する。したがって、DVB-T2では、DVB-Tとは異なり、データを搬送するためのサブキャリアの数は固定されない。放送業者は、1K、2K、4K、8K、16K、32Kの動作モードのうちの一つを選択することができる。これらの動作モードは、OFDMシンボル当たりのデータのための、或る範囲のサブキャリアをそれぞれ提供することができる。これらの動作モードのそれぞれについて、利用可能なサブキャリアの最大数は、それぞれ1024、2048、4096、8192、16384、32768である。DVB-T2では、物理層フレームは、多数のOFDMシンボルからなる。典型的には、フレームは、1つ又は複数のプリアンブル又はP2OFDMシンボルで開始され、これらの次に、OFDMシンボルを搬送する複数のペイロードが続く。この物理層フレームの終端は、フレームクローズシンボルによってマークされる。各動作モードについて、サブキャリアの数は各シンボルのタイプによって異なり得る。さらに、サブキャリアの数は、帯域幅の拡大が選択されたか否か、トーンリザベーションが可能となっているか否か、及び、どのパイロットサブキャリアパターンが選択されたかに応じてそれぞれ異なり得る。したがって、OFDMシンボル当たりの特定の数のサブキャリアを一般化することは難しい。しかしながら、周波数インタリーブは、各モードについて、サブキャリアの数が、所与のモードの場合のサブキャリアの最大利用可能数以下であるいかなるシンボルもインタリーブすることができる。例えば、1Kモードでは、インタリーブは、サブキャリアの数が1024以下のシンボルに対して動作し、16Kモードでは、サブキャリアの数が16384以下のシンボルに対して動作する。

10

20

#### 【0030】

その後、各COFDMシンボルで搬送されるべきデータセルのシーケンスは、シンボルインタリーブ33に送られる。その後、COFDMシンボルビルダブロック37によって、パイロット信号及び埋込信号形成部36から供給されたパイロット信号及び同期信号が挿入され、COFDMシンボルが生成される。その後、OFDM変調部38が、時間領域においてOFDMシンボルを形成し、このOFDMシンボルは、シンボル間にガードインターバルを生成するためのガード挿入処理部40に供給され、その後、デジタルアナログ変換部42に供給され、最後に、RFフロントエンド44内のRF増幅部に供給され、その結果、COFDM送信装置によってアンテナ46から放送される。

#### 【0031】

##### [32Kモードの提供]

例えば、新たな16Kモードを構築するために、いくつかの要素が定義されるべきである。そのうちの1つは32Kシンボルインタリーブ33である。図2において、ビットコンステレーションマッピング部28、シンボルインタリーブ33及びフレームビルダ32が、より詳細に示される。

30

#### 【0032】

上述したように、本発明の実施形態は、OFDMサブキャリア信号に対するデータシンボルの準最適マッピングを提供する装置を提供する。例示的な技術によれば、シミュレーション分析により検証された置換コード及び生成多項式に従って、COFDMサブキャリア信号に対する入力データシンボルの最適なマッピングを達成するために、シンボルインタリーブが提供される。

40

#### 【0033】

図2に示すように、本発明の実施形態の技術を例示的に説明するために、ビットコンステレーションマッピング部28及びフレームビルダ32のより詳細な例示的な説明が提供される。ビットインタリーブ26からチャンネル62を介して受信されたデータビットは、変調方式により提供されるシンボル当たりのビット数に応じてグループ化され、データセルにマッピングされるビットのセットとなる。このビットのグループは、データワードを形成し、データチャンネル64を介して、並行してマッピング処理部66に供給される。その後、マッピング処理部66は、事前に割り当てられたマッピングに従って、データシンボルのうちの一つを選択する。コンステレーションポイントは、フレームビルダ32への

50

入力のセットのうちの1つとして出力チャンネル29に提供される実成分及び仮想成分によって表現される。

#### 【0034】

フレームビルダ32は、ビットコンステレーションマッピング部28からチャンネル29を介して、他のチャンネル31からのデータセルと共にデータセルを受信する。各COFDMシンボルのセルは、多数のCOFDMセルシーケンスからなるフレームを構築した後、アドレス生成部102によって生成された書き込みアドレス及び読み出しアドレスに従って、インタリーブメモリ100に書き込まれ、インタリーブメモリ100から読み出される。適切なアドレスを生成することにより、書き込み及び読み出しの順序に従って、データセルのインタリーブが達成される。アドレス生成部102及びインタリーブメモリ100の動作は、図3、図4及び図5を参照して、より詳細に説明される。その後、インタリーブされたデータセルは、パイロット信号/埋込信号形成部36から受信されたパイロット信号及び同期シンボルと結合されてOFDMシンボルビルダ37に供給され、COFDMシンボルを形成し、このCOFDMシンボルは、上述のようにOFDM変調部38に供給される。

10

#### 【0035】

##### [インタリーブ]

図3は、シンボルをインタリーブするための本発明の実施形態の技術を説明する、シンボルインタリーブ33の部分の一例を提供する。図3では、フレームビルダ32からの入力データセルがインタリーブメモリ100に書き込まれる。データセルは、アドレス生成部102によりチャンネル104を介して供給された書き込みアドレスに従って、インタリーブメモリ100に書き込まれ、アドレス生成部102によりチャンネル106を介して供給された読み出しアドレスに従って、インタリーブメモリ100から読み出される。アドレス生成部102は、以下に説明するように、COFDMシンボルが奇数であるか偶数であるかに応じて、書き込みアドレス及び読み出しアドレスを生成する。COFDMシンボルが奇数であるか偶数であるかは、チャンネル108から供給された信号により、選択されたモードに応じて識別される。選択されたモードは、チャンネル110から供給された信号により識別される。上述のように、モードは、1Kモード、2Kモード、4Kモード、8Kモード、16Kモード、32Kモードのうちの1つであり得る。インタリーブメモリ100の例示的な実施態様を提供する図4を参照して以下に説明するように、書き込みアドレス及び読み出しアドレスは、奇数OFDMシンボルと偶数OFDMシンボルとについて別々に生成される。

20

30

#### 【0036】

図4に示す例では、上側部分において、送信機におけるインタリーブ33のインタリーブメモリ100の動作が説明され、下側部分において、受信機におけるデインタリーブのデインタリーブメモリ340の動作が説明される。インタリーブメモリ100及びデインタリーブメモリ340は、動作の理解を容易にするために、共に図4に示される。図4に示すように、インタリーブメモリ100とデインタリーブメモリ340メモリとの間の、他の装置及び通信チャンネルを介した通信の表現は簡略化され、インタリーブメモリ100とデインタリーブメモリ340との間の部分140として表現される。以下において、インタリーブメモリ100の動作を説明する。

40

#### 【0037】

図4は、4つの入力データセルを、COFDMシンボルの4つのサブキャリア信号にインタリーブする例のみを示すが、図4において説明される技術は、1Kモードの場合の756、2Kモードの場合の1512、4Kモードの場合の3024、8Kモードの場合の6048、16Kモードの場合の12096、及び32Kモードの場合の24192等、より多くの数のサブキャリアに拡大適用され得ることは理解されるであろう。

#### 【0038】

図4に示すインタリーブメモリ100の入力アドレス及び出力アドレスの指定は、奇数シンボルの場合と、偶数シンボルの場合とについて示される。偶数COFDMシンボルの

50

場合、データセルは入力チャネルから取得され、アドレス生成部 1 0 2 によって C O F D M シンボル毎に生成されたアドレスのシーケンス 1 2 0 に従ってインタリーブメモリ 1 2 4 . 1 に書き込まれる。この書き込みアドレスは、上述のように、インタリーブが書き込みアドレスのシャッフルによって達成されるように、偶数シンボルに適用される。したがって、各インタリーブされたシンボルについて、 $y ( h ( q ) ) = y ' ( q )$  である。

【 0 0 3 9 】

奇数シンボルの場合、インタリーブメモリ 1 2 4 . 1 と同じインタリーブメモリ 1 2 4 . 2 が用いられる。しかし、図 4 に示すように、奇数シンボルの場合、書き込み順序 1 3 2 は、前の偶数シンボル 1 2 6 の読み出しに用いられるアドレスシーケンスと同じアドレスシーケンスである。この特徴により、奇数シンボルインタリーブ及び偶数シンボルインタリーブの実施態様は、所与のアドレスに対する読み出し動作が書き込み動作の前に行われる場合、1つのインタリーブメモリ 1 0 0 のみを用いることができる。奇数シンボルの場合にインタリーブメモリ 1 2 4 に書き込まれたデータセルは、その後、次の偶数 C O F D M シンボルの場合に、アドレス生成部 1 0 2 によって生成されたシーケンス 1 3 4 で読み出され、以下同様に処理される。したがって、シンボルにつき1つのアドレスだけが生成され、奇数 / 偶数 C O F D M シンボルについての書き込み及び読み出しは並行して実行される。

10

【 0 0 4 0 】

要約すると、図 4 に表現されるように、すべてのアクティブなサブキャリアについてアドレスのセット  $H ( q )$  が計算されると、入力ベクトル  $Y ' = ( y ' 0 , y ' 1 , y ' 2 , \dots , y ' N_{m a x} - 1 )$  が処理されて、インタリーブされたベクトル  $Y ' = ( y 0 , y 1 , y 2 , \dots , y N_{m a x} - 1 )$  が生成される。このインタリーブされたベクトル  $Y ' = ( y 0 , y 1 , y 2 , \dots , y N_{m a x} - 1 )$  は、以下の式によって定義される。

20

偶数シンボルの場合： $y H ( q ) = y ' q ( q = 0 , \dots , N_{m a x} - 1 )$

奇数シンボルの場合： $y q = y ' H ( q ) ( q = 0 , \dots , N_{m a x} - 1 )$

【 0 0 4 1 】

言い換えれば、偶数 O F D M シンボルの場合、入力ワードは、置換された順序でメモリに書き込まれ、並び順で読み出されるが、奇数シンボルの場合、並び順で書き込まれ、置換された順序で読み出される。上記の場合、置換  $H ( q )$  は、以下の表によって定義される。

30

【 0 0 4 2 】

【表 3】

<b>q</b>	<b>0</b>	<b>1</b>	<b>2</b>	<b>3</b>
<b>H(q)</b>	1	3	0	2

単純なケース(Nmux = 4)における置換

【 0 0 4 3 】

図 4 に示すように、デインタリーブメモリ 3 4 0 は、インタリーブ 3 3 のアドレス生成部 1 0 2 と等価のアドレス生成部によって生成された、アドレス生成部 1 0 2 により生成されたアドレスのセットと同じアドレスのセットを、書き込みアドレスと読み出しアドレスとを逆転させて適用することにより、インタリーブ 1 0 0 によって適用されたインタリーブを逆転させる。したがって、偶数シンボルの場合、書き込みアドレス 3 4 2 は並び順であり、読み出しアドレス 3 4 4 は、アドレス生成部によって提供される。これに対して、奇数シンボルの場合、書き込み順序 3 4 6 は、アドレス生成部によって生成されたアドレスのセットから規定され、読み出し順序 3 4 8 は並び順である。

40

【 0 0 4 4 】

[ 3 2 K モードにおけるアドレス生成 ]

3 2 K モードにおける置換関数  $H ( q )$  の生成に用いられるアルゴリズムの概略ブロック図が、図 5 に示される。

50

## 【 0 0 4 5 】

3 2 Kモードにおけるアドレス生成部 1 0 2 の実施態様が、図 5 には、1 4 段のレジスタ段 2 0 0 と、生成多項式に従ってシフトレジスタの格段 2 0 0 に接続された x o r ゲート 2 0 2 とにより、線形フィードバックシフトレジスタが形成される。したがって、レジスタ段 2 0 0 の保持データに従って、レジスタ段 R [ 0 ]、R [ 1 ]、R [ 2 ]、R [ 2 ] の保持データを以下の生成多項式に従って x o r 演算することにより、シフトレジスタの次のビットが x o r ゲート 2 0 2 の出力から、提供される。

## 【 0 0 4 6 】

## 【数 2】

$$R'_i[13] = R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[2] \oplus R'_{i-1}[12]$$

10

## 【 0 0 4 7 】

生成多項式に従って、シフトレジスタ 2 0 0 の保持データから、擬似ランダムビット列が生成される。しかしながら、上述したように、3 2 Kモード用のアドレスを生成するために、置換回路 2 1 0 が設けられ、この置換回路 2 1 0 は、その出力において、シフトレジスタ 2 0 0 内のビットの順序を順序  $R'_i[n]$  から順序  $R_i[n]$  に効果的に置換する。その後、置換回路 2 1 0 の出力からの 1 4 個のビットは、接続チャンネル 2 1 2 に供給される。接続チャンネル 2 1 2 には、チャンネル 2 1 4 を介して、トグル回路 2 1 8 によって提供された最上位ビットが加えられる。したがって、チャンネル 2 1 2 上では 1 5 ビットのアドレスが生成される。しかし、アドレスの信頼性を保証するために、アドレスチェック回路 2 1 6 が、生成されたアドレスを分析して、アドレスが所定の最大値を超えているか否かを判断する。この所定の最大値は、用いられているモードについて利用可能であり、C O F D M シンボル内のデータシンボルに対して利用可能なサブキャリア信号の最大数に相当し得る。しかしながら、3 2 Kモードにおけるインタリーブは、他のモードに用いることもでき、アドレス生成部 1 0 2 は、有効アドレスの最大数に従って調整することにより、2 Kモード、4 Kモード、8 Kモード、1 6 Kモード、及び 3 2 Kモードに用いることもできる。

20

## 【 0 0 4 8 】

生成されたアドレスが所定の最大値を超える場合、アドレスチェック回路 2 1 6 により制御信号が生成され、接続チャンネル 2 2 0 を介して制御部 2 2 4 に供給される。この場合、生成されたアドレスは廃棄され、特定のシンボルのために新たなアドレスが再生成される。

30

## 【 0 0 4 9 】

3 2 Kモードの場合、L F S R (Linear Feedback Shift Register : 線形フィードバックシフトレジスタ) を用いて、 $(N_r - 1)$  のビットワード  $R'_i$  が定義される。ここで、 $N_r = \log_2 M_{max}$  であり、 $M_{max} = 32768$  である。

## 【 0 0 5 0 】

このシーケンスを生成するために用いられる多項式は以下の通りである。

## 【 0 0 5 1 】

## 【数 3】

$$32Kモード: R'_i[13] = R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[2] \oplus R'_{i-1}[12]$$

40

## 【 0 0 5 2 】

式中、 $i$  は  $0 \sim M_{max} - 1$  の間で変化する。

## 【 0 0 5 3 】

$R'_i$  ワードが生成されると、 $R'_i$  ワードは置換されて、 $R_i$  と呼ばれる別の  $(N_r - 1)$  のビットワードが生成される。 $R_i$  は、以下に示すビット置換によって  $R'_i$  から導き出される。

## 【 0 0 5 4 】

50

【表 4】

R <sub>i</sub> ビット位置	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R <sub>i</sub> ビット位置	6	5	0	10	8	1	11	12	2	9	4	3	13	7

32Kモードにおけるビット置換

【0055】

すなわち、32Kモードの場合、例えばR<sub>i</sub>'のビット番号12は、R<sub>i</sub>のビット位置番号5へ移動されることを意味する。

【0056】

その後、アドレスH(q)が、以下の式によりR<sub>i</sub>から導き出される。

10

【0057】

【数4】

$$H(q) = (i \bmod 2) \cdot 2^{N_r-1} + \sum_{j=0}^{N_r-2} R_i(j) \cdot 2^j$$

【0058】

上記の式のうち、

【0059】

【数5】

$$(i \bmod 2) \cdot 2^{N_r-1}$$

20

【0060】

の部分は、図5において、トグルブロックT218によって示されている。

【0061】

その後、生成されたアドレスが許容可能なアドレスの範囲内にあるか否かを検証するために、H(q)に対してアドレスチェックが実行される。例えば、32Kモードにおいて、(H(q) < N<sub>max</sub>)の場合(ここで、N<sub>max</sub> = 24192)、アドレスは有効である。アドレスが有効でない場合、制御部はそれを通知され、指数iを増分することにより、新たなH(q)を生成しようと試みる。

【0062】

トグルブロックの役割は、1行内でN<sub>max</sub>を超えるアドレスを2度生成しないことを確実にすることである。実際、N<sub>max</sub>を超える値が生成された場合、これは、アドレスH(q)の最上位ビット(Most Significant Bit: MSB)(すなわち、トグルビット)が1であることを意味する。そこで、生成される次の値は、0に設定されたMSBを有し、これにより有効なアドレスが生成されることが保証される。

30

【0063】

以下の式は、以上の挙動をまとめて、このアルゴリズムのループ構造を理解し易くするためのものである。

【0064】

【数6】

q = 0;

40

for (i = 0; i < M<sub>max</sub>; i = i + 1)

{ H(q) = (i mod 2) · 2<sup>N<sub>r</sub>-1</sup> + ∑<sub>j=0</sub><sup>N<sub>r</sub>-2</sup> R<sub>i</sub>(j) · 2<sup>j</sup>;

if (H(q) < N<sub>max</sub>) q = q + 1; }

[ 32Kモードにおけるアドレス生成部のための分析 ]

【0065】

上記で説明した、1Kモードにおけるアドレス生成部102のための生成多項式及び置換コードの選択は、以下のインタリーバの相対的な性能のシミュレーション分析によって確

50

認められる。インタリーバの相対的な性能は、連続したシンボルを分離するインタリーバの相対的な能力、すなわち「インタリーブ品質」を用いて評価されてきた。上述のように、単一のインタリーブメモリを用いるためには、インタリーブを奇数シンボル及び偶数シンボルの両方に対して効果的に実行しなければならない。インタリーブ品質の相対的な測定値は、(複数のサブキャリアにおける)距離Dを定義することによって求められる。インタリーバの入力において距離Dであり、インタリーバの出力において距離Dであるサブキャリアの数を特定するために、以下の式に示す基準Cが選択され、その後、各距離Dについてのサブキャリアの数は、その相対的な距離に関して重み付けされる。基準Cは、奇数COFDMシンボル及び偶数COFDMシンボルの両方において評価される。Cを最小とすることにより、優れた品質のインタリーバが実現される。

10

【0066】

【数7】

$$C = \sum_1^{d=D} N_{\text{even}}(d) / d + \sum_1^{d=D} N_{\text{odd}}(d) / d$$

【0067】

式中、 $N_{\text{even}}(d)$  及び  $N_{\text{odd}}(d)$  はそれぞれ、偶数シンボル及び奇数シンボルにおける、インタリーバの出力において、サブキャリア間の間隔がd以内のままである複数のサブキャリアである。

【0068】

20

上記で特定された、32KモードにおいてD=5である場合のインタリーバの分析が図6に示される。図6(a)は偶数COFDMシンボルの場合であり、図6(b)は奇数COFDMシンボルの場合である。上記の分析に従って、32Kモードの場合の上記で特定した置換コードについてのCの値は、 $C = 21.75$  であり、すなわち、上記の式によれば、出力において間隔が5以下である重み付けされたシンボルのサブキャリアの数は、 $21.75$  であった。

【0069】

偶数COFDMシンボルの場合の、別の置換コードについての対応する分析が図6(c)に提供され、奇数COFDMシンボルの場合の対応する分析が図6(d)に提供される。図6(a)及び図6(b)において示された結果との比較から分かるように、シンボル間の間隔がD=1、D=2等の小さい距離であることを示す成分がより多く存在し、図6(a)及び図6(b)に示された結果と比較して、上記で特定された32Kモードのシンボルインタリーバの場合の置換コードが、優れた品質のインタリーバを生成することを示している。

30

【0070】

[置換コードの変形例]

上記で特定した基準Cによって判断される、良好な品質を有するシンボルインタリーバを提供するために、以下の15のコード([n]R<sub>i</sub>ビット位置、n=1~15)が設定された。

【0071】

40

【表 5】

R <sub>i</sub> ビット位置	13	12	11	10	9	8	7	6	5	4	3	2	1	0
[1]R <sub>i</sub> ビット位置	0	6	1	7	2	11	12	5	9	8	3	10	4	13
[2]R <sub>i</sub> ビット位置	9	5	0	7	2	8	3	6	12	11	4	1	10	13
[3]R <sub>i</sub> ビット位置	9	12	0	1	2	13	5	8	6	3	7	4	10	11
[4]R <sub>i</sub> ビット位置	13	8	1	12	11	0	9	5	3	7	6	2	10	4
[5]R <sub>i</sub> ビット位置	5	8	7	0	3	2	11	4	13	6	1	10	12	9
[6]R <sub>i</sub> ビット位置	8	9	5	13	0	10	7	1	12	3	2	4	11	6
[7]R <sub>i</sub> ビット位置	11	10	0	7	2	9	8	1	5	3	6	4	12	13
[8]R <sub>i</sub> ビット位置	11	4	0	13	10	12	5	7	2	8	3	1	6	9
[9]R <sub>i</sub> ビット位置	4	0	5	1	12	2	10	3	13	9	6	11	8	7
[10]R <sub>i</sub> ビット位置	4	7	0	8	10	1	6	3	2	9	11	12	13	5
[11]R <sub>i</sub> ビット位置	4	6	0	13	12	1	11	2	8	3	10	7	9	5
[12]R <sub>i</sub> ビット位置	0	5	1	9	2	12	3	6	8	7	4	10	11	13
[13]R <sub>i</sub> ビット位置	12	4	2	11	10	1	13	6	0	9	3	8	5	7
[14]R <sub>i</sub> ビット位置	10	6	0	13	12	11	8	5	2	4	3	1	9	7
[15]R <sub>i</sub> ビット位置	7	6	0	1	10	3	9	4	2	5	8	11	12	13

32Kモードにおけるビット置換

## 【 0 0 7 2 】

## 〔受信装置〕

図 7 は、本発明の実施形態の技術と共に用いることができる受信装置の例を説明するための図である。図 7 に示すように、C O F D M 信号は、アンテナ 3 0 0 によって受信され、チューナ 3 0 2 によって復調され、アナログ - デジタル変換部 3 0 4 によってデジタル形式に変換される。ガードインターバル除去処理部 3 0 6 は、周知の技術により、高速フーリエ変換 (Fast Fourier Transform: F F T) 処理部 3 0 8 をチャネル推定 / 補正処理部 3 1 0 と共に用いて、埋込 - 信号復号部 3 1 1 と協働して、受信された C O F D M シンボルからデータが再生される前に、C O F D M シンボルからガードインターバルを除去する。復調されたデータは、マッピング部 3 1 2 から再生され、シンボルデインタリーバ 3 1 4 に供給される。シンボルデインタリーバ 3 1 4 は、受信したデータシンボルを逆マッピングして、デインタリーブされたデータを有する出力データストリームを再生成するように動作する。

## 【 0 0 7 3 】

図 8 に示すように、シンボルデインタリーバ 3 1 4 は、図 7 に示したデータ処理装置に設けられ、インタリーブメモリ 5 4 0 及びアドレス生成部 5 4 2 を有する。インタリーブメモリ 5 4 0 は、図 4 に示したものと同様であり、上述したように、アドレス生成部 5 4 2 により生成されたアドレスのセットを利用することによってデインタリーブするように動作する。アドレス生成部 5 4 2 は、図 8 に示すように形成され、各 C O F D M サブキャリア信号から再生されたデータシンボルを出力データストリームにマッピングするために、対応するアドレスを生成するように構成される。

## 【 0 0 7 4 】

図 7 に示す C O F D M 受信装置の残りの部分には、誤りを訂正し、ソースデータの推定値を再生するための誤り訂正符号化部 3 1 8 が設けられる。

## 【 0 0 7 5 】

本発明の実施形態の技術によって提供される、受信装置及び送信装置両方にとっての利点の 1 つは、受信装置及び送信装置において動作するシンボルインタリーバ及びシンボルデインタリーバは、生成多項式及び置換順序を変更することにより、1 K モード、2 K モード、4 K モード、8 K モード、16 K モード、及び 32 K モードの間で切り替わることができることである。したがって、図 8 に示すアドレス生成部 5 4 2 は、モードを示す情

10

20

30

40

50

報が供給される入力544と、奇数COFDMシンボル/偶数COFDMシンボルが存在するか否かを示す情報が供給される入力546とを有する。これにより、図5に示すようなアドレス生成部を有する、図3及び図8に示すようなシンボルインタリーバ及びデインタリーバを形成することができるため、柔軟性のある実施態様が提供される。したがって、アドレス生成部は、各モードについて指示される生成多項式及び置換順序を変更することにより、種々の異なるモードに適應することができる。例えば、これは、ソフトウェアの変更を用いることにより達成される。或いは、他の実施形態では、受信装置は、埋込信号処理部311においてDVB-T2のモードを示す埋込信号を検出することができ、この信号を用いて、検出されたモードに従うシンボルデインタリーバを自動的に構成することができる。

10

**【0076】**

本発明の範囲から逸脱することなく、上述した実施形態に対して種々の変更が行われてもよい。特に、本発明の態様を表すために用いられた生成多項式及び置換順序の例示的な表現は、限定を意図しておらず、等価な形式の生成多項式及び置換順序に拡大適用される。

**【0077】**

当然のことながら、図1に示す送信装置及び図7に示す受信装置は、例示の目的のみで提供され、限定を意図していない。例えば、ビットインタリーバ及びマッピング部及びデマッピング部に対するシンボルインタリーバ及びデインタリーバの位置は変更され得ることが理解されるであろう。当然のことながら、インタリーバはv-ビットベクトルの代わりにI/Qシンボルをインタリーブし得るが、インタリーバ及びデインタリーバの効果は、その相対位置を変更しても同様の効果を達成することができる。受信装置において、同様の変更を行ってもよい。したがって、インタリーバ及びデインタリーバは異なるデータタイプに対して動作してもよく、例示的な上記実施形態において記載した位置とは異なる位置に配置してもよい。

20

**【0078】**

上述したように、特定のモードの実施態様を参照して説明したインタリーバの置換コード及び生成多項式を、そのモードでのキャリアの数に従って所定の許容されるアドレスの最大数を変更することにより、他のモードに等しく適用することができる。

**【0079】**

上述のように、本発明の実施形態は、DVB-T、DVB-T2及びDVB-H等のDVB規格で用いられ、これらは本明細書に参照として援用される。例えば、本発明の実施形態は、DVB-H規格に従って、ハンドヘルド端末において動作する送信装置又は受信装置において用いられてもよい。このハンドヘルド端末は、例えば、携帯電話(第2世代、第3世代又はより高次の世代のいずれか)又は個人情報端末又はタブレット型パーソナルコンピュータに組み込まれてもよい。このようなハンドヘルド端末は、建物の中、又は例えば自動車若しくは電車での高速移動中に、DVB-H又はDVB-Tに互換性のある信号を受信可能であってもよい。このハンドヘルド端末は、電池、電気の幹線、又は低圧直流電源によって電力供給されてもよく、又は自動車のバッテリーによって電力供給されてもよい。DVB-Hによって提供されるサービスは、音声、メッセージ、インターネットの閲覧、ラジオ、静止画及び/又は動画、テレビジョンサービス、双方向サービス、ビデオオンデマンド又はニアビデオオンデマンド及びオプション等であり得る。これらのサービスは、互いに組み合わせさせて動作してもよい。

30

40

**【0080】**

本発明の他の例示的な実施形態は、ヨーロッパ電気通信標準化協会(European Telecommunications Standards Institute: ETSI)規格EN302 755に従って指定されたDVB-T2において用いられる。本発明の他の例示的な実施形態は、DVB-C2として知られているケーブル送信規格で用いられる。しかしながら、本明細書はDVBでの利用に限定されず、他の固定及び移動体の両方の送信又は受信用の規格に拡大適用されてもよいことは理解されるであろう。

50

【図面の簡単な説明】

【0081】

【図1】例えばDVB-T2規格で用いることができる、符号化OFDM送信装置の概略ブロック図である。

【図2】シンボルマッピング部及びフレームビルダがインタリーバの動作を説明する、図1に示す送信装置の部分の概略ブロック図である。

【図3】図2に示すシンボルインタリーバの概略ブロック図である。

【図4】図3に示すインタリーバメモリ、及び受信装置における対応するシンボルデインタリーバの概略ブロック図である。

【図5】32Kモードの場合の、図3に示すアドレス生成部の概略ブロック図である。

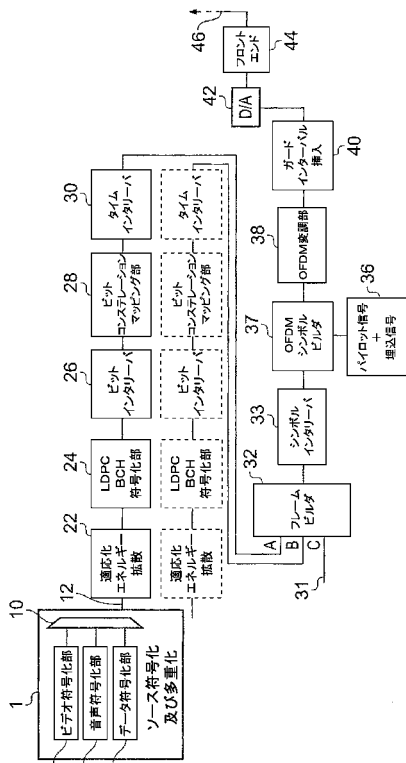
10

【図6】図6(a)は、偶数OFDMシンボルの場合の、図5に示すアドレス生成部を用いるインタリーバの結果を示す図である。図6(b)は、奇数OFDMシンボルの場合の、設計シミュレーション結果を示す図である。図6(c)は、偶数OFDMシンボルの場合の、異なる置換コードを用いるアドレス生成部の比較結果を示す図である。図6(d)は、奇数OFDMシンボルの場合の、異なる置換コードを用いるアドレス生成部の比較結果を示す図である。

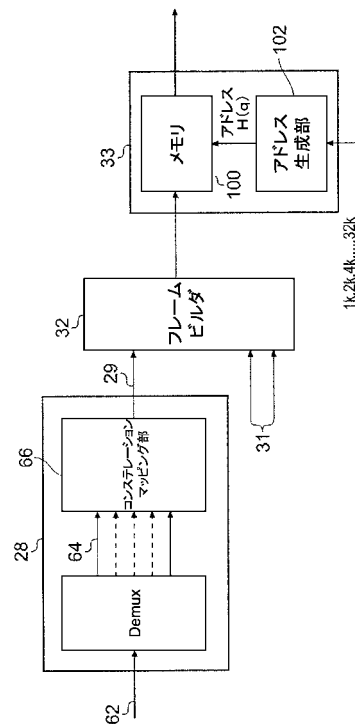
【図7】例えばDVB-T2規格で用いることができる、符号化OFDM受信装置の概略ブロック図である。

【図8】図7に示すシンボルデインタリーバの概略ブロック図である。

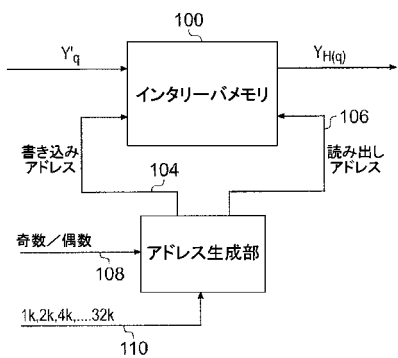
【図1】



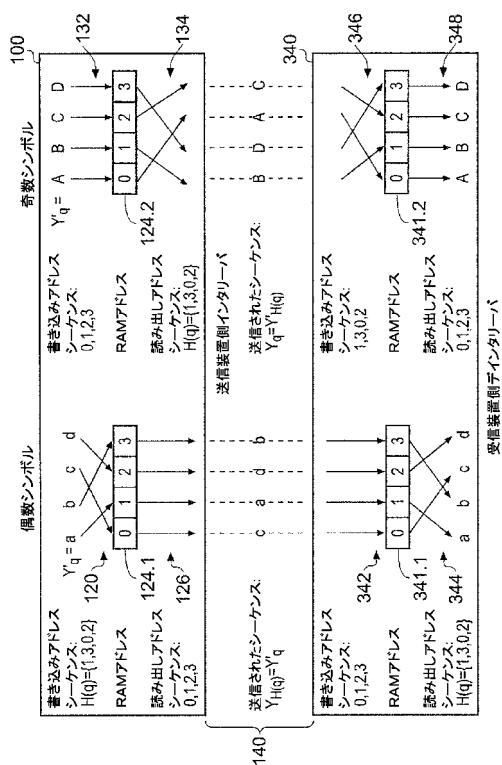
【図2】



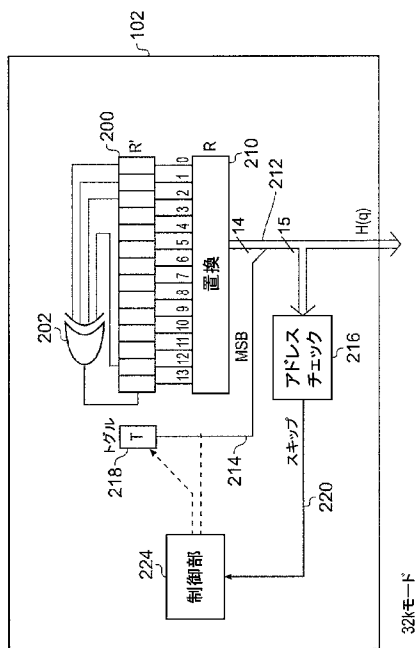
【図3】



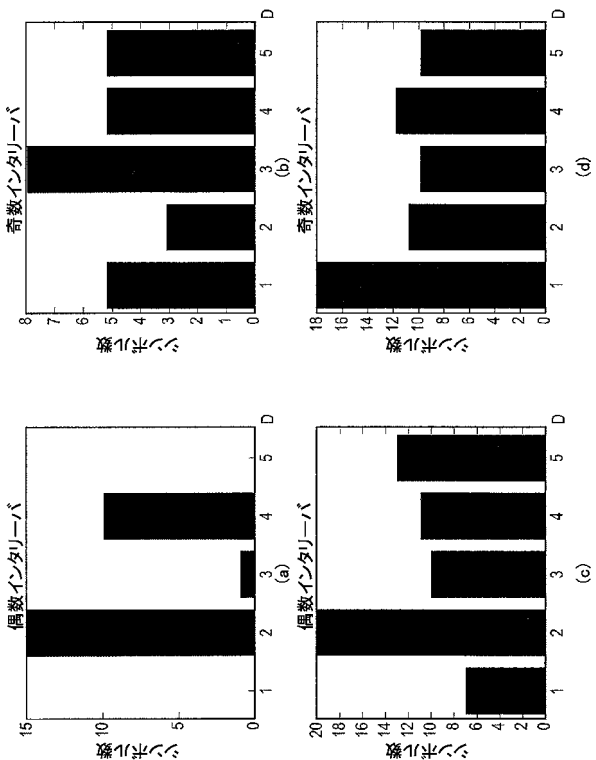
【図4】



【図5】



【図6】





---

フロントページの続き

審査官 中木 努

- (56)参考文献 特開2009-239886(JP,A)  
特開2009-112013(JP,A)  
特開2009-112012(JP,A)  
特開2009-112010(JP,A)  
特開2009-112009(JP,A)  
特開2009-112008(JP,A)  
特許第5048629(JP,B2)  
欧州特許出願公開第01662739(EP,A1)  
欧州特許出願公開第01463256(EP,A1)  
欧州特許出願公開第01463255(EP,A1)

- (58)調査した分野(Int.Cl., DB名)  
H04J 11/00  
H03M 13/27