

[12] 发 明 专 利 说 明 书

[21] ZL 专利号 98102632. X

[45] 授权公告日 2002 年 5 月 22 日

[11] 授权公告号 CN 1085451C

[22] 申请日 1998.6.22

[21] 申请号 98102632. X

[30] 优先权

[32] 1997. 6. 24 [33] JP [31] 167401/97

[73]专利权人 日本电气株式会社

地址 日本国东京都

[72]发明人 柳修三

[56] 参考文献

EP 0718998A2 1996. 6. 26 H04J13/02

JP 8070264A 1996. 3.12 H04B1/707

JP 9055716A 1997. 2. 25 H04J13/04

审查员 秦力军

[74] 专利代理机构 中科专利商标代理有限责任公司

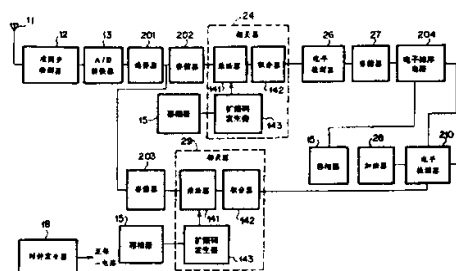
代理人 朱进桂

权利要求书2页 说明书7页 附图页数3页

[54]发明名称 在码分多址通信中的同步捕捉电路

[57] 摘要

CDMA 同步捕捉电路利用一部分接收数据来计算相关值以便检测峰值位置,然后决定相关值较大的较高的暂时峰值位置。本发明的 CDMA 同步捕捉电路使用剩余的接收数据计算在暂时峰值位置上给出优先等级的剩余的相关值,以及最终通过把上述两种相关值相加从相关电平来决定一峰值。



权 利 要 求 书

1. 一种码分多址通信的同步捕捉电路，其中通过扩频调制的接收信号被转换为基带信号，以小于扩频码序列一个周期的时间间隔定义的每个定时单位计算所述基带信号的相关值，在所述扩频码序列的长度上积分所述相关值，检测所述相关值的最大值指定的接收相位位置，在所述扩频码序列一个周期的精度范围内，估算所述基带信号的扩频码产生定时，其特征在于包括：

提供有两个存储区域的存储装置，用于按规定的时间单元把所述基带信号分配为第一接收信号和第二接收信号并分别把它们存储在所述第一存储区域和第二存储区域；

第一相关器，用于在所述扩频码序列的一个周期范围内，计算第一接收数据的相关值，在所述扩频码序列的长度上积分所述相关值，且获得第一相关值；

第一电平检测器，用于检测比所规定阈值电平大的所述第一相关值，且存储所检测的第一相关值及对应于所述被检测的第一相关值的扩频码产生定时；

电平排序电路，用于按大小次序排列所述第一电平检测器的输出且存储规定数目的排列的输出及对应于所述排列输出的扩频码产生定时；

第二相关器，用于利用存储在所述电平排序电路中的扩频码产生定时计算所述第二接收数据的相关值；

加法器，用于把来自所述第二相关器的输出及存储在所述电平排序电路中的相关值相加，该相关值具有与来自所述第二相关器的输出相同的接收相位；以及

第二电平检测器，用于使用来自所述加法器的输出检测具有所述基带信号的最大相关值的接收相位位置。

2. 按权利要求 1 所说的用于码分多址通信的同步捕捉电路，其特征在于至少计算一次相关值，作为来自所述第一相关器和所述第二相关器

的相关值累加及输出。

3. 按权利要求 1 所说的用于码分多址通信的同步捕捉电路，其特征在于，其中所述第一相关器和所述第二相关器中分别设置有多个相关器，且每一个相关器使用彼此不同的扩频码产生定时来计算相关值。

4. 按权利要求 1 所说的用于码分多址通信的同步捕捉电路，其特征在于，其中所述第二电平检测器以相关值的大小顺序输出多个扩频码产生定时。

说明书

在码分多址通信中的同步捕捉电路

本发明涉及使用码分多址（C D M A）系统的接收装备，尤其涉及在一移动通信系统中使用的C D M A接收装备的同步捕捉电路。

通常，在C D M A系统中，一发射设备通过使用扩频码的谱扩散调制方法发射数据信号，而接收设备通过使用复制的扩频码用反扩散解调接收的数据，例如，M（最大长度码）序列特征标记或G O L D特征标记。

在上述C D M A系统中，上述的接收设备提供有同步捕捉电路，该电路正确地估计扩频码相位（扩散信号生成定时）用于反扩散接收信号，特别是在接收装备中，发射装备中扩频码产生定时的一个周期（一个码片）精度范围内，同步捕捉电路估计扩频码生成定时，然后，在接收装备中反扩散电路的扩频码发生器在上述的生成定时启动。

在此，参阅图3，说明一常规C D M A同步捕捉电路，图3所示的同步捕捉电路提供有用于接收从发射装备（未显示）发射的信号的天线11；准同步检测器12，用于将接收的信号变换为基带信号；A / D变换器13，用于把基带信号变换为数字数据；相关器14，用于从A / D变换后的数字数据计算相关值；移相器15，用于采用所规定的时间移位扩频码产生定时；存储器16，用于存储扩频码一个周期的相关值，接收信号电平检测器17，用于检测一个周期的相关值中最大的相关值，以及时钟发生器18，用于产生时钟；相关器14还提供乘法器141、积分器142以及用于在规定的定时中产生扩频码的扩频码发生器143。

在图3显示的C D M A同步捕捉电路中，通过接收天线11接收的射频（R F）信号由准同步检测器12变换为基带信号，然后利用A / D变换器13转换为数字信号，之后数字信号被输入到相关器14。

相关器 1 4 把在一个码片单元中从扩频码发生器 1 4 3 输出的扩频码序列与从 A / D 变换器 1 3 输出的数字信号相乘。然后，乘法器 1 4 1 的输出被输入到积分器 1 4 2，并在扩频码序列的长度上累积。

来自积分器 1 4 2 的输出在扩频码序列中的某一确定扩频码产生定时变为该相关值。

相关器 1 4 的输出被存储在存储器 1 6 中，特别是在相关值从相关器 1 4 被输出后，扩频码发生器 1 4 3 的相位被移位比扩频码的码片速率小的规定时间以及使用如上述移位的扩频码产生定时类似地计算接收信号的相关值，且在存储器 1 6 中存储计算结果。

因此，计算扩频码序列至少一个周期（一个码片）内的相关值，且存储在存储器 1 6 中。

其次，信号电平检测器 1 7 从存储在存储器 1 6 中的相关值选择具有最大相关值的接收信号的延时位置，使用该接收信号的延时位置，反扩散电路（未示出）利用从上述接收信号的延时位置而产生的扩频码序列反扩散该接收信号作为复制。

此外，因为基站和移动站之间的传送线处在移动通信中，通过接收设备接收的信号幅度和相位一直在改变，如果被存储在存储器 1 6 中的扩频码的一个周期（一个码片）内的相关值被计算多于两次，相应地，最大相关值的质量会得到改善。

在移动通信中，由于通信装置的移动，通信装置接收由多个障碍物反射的多径波以及来自某一发射机的直达波，在城市里，因为许多障碍物，例如建筑物坐落得很近，在直达波之后不久那些多径波到达，而在郊区，在较长延时之后，这些多径波才到达，因为在发射机 / 接收器附近有较少障碍物。

通过使用 C D M A 系统，如果多路径波产生的时间间隔比扩频码的一个码片长，多路径能分离开，而且通过合成多路径（R A K E 合成），利用路径分集，能改善接收的信号的质量。

但是，为了象市区一样在郊区进行 R A K E 合成，准确地检测多路径是必要的。特别在郊区，搜索范围必须是足够长以覆盖多路径波到达的区域，但是，搜索范围越长，在同步捕捉电路中相关值计算量越大，

而且，处理时间的减少，导致了相关器增加，而且增大了整个电路、以及随频率范围被加宽，电功率消耗也增加。

因此，常规的CDMA同步捕捉电路有一缺点在于同步捕捉范围越广，进行的时间就越长。

所以，本发明的一目的在于提供用于减少相关值计算量的CDMA同步捕捉电路。

根据本发明的一个方面，提供一种码分多址通信的同步捕捉电路，其中通过扩频调制的接收信号被转换为基带信号，以小于扩频码序列一个周期的时间间隔定义的每个定时单位计算所述基带信号的相关值，在所述扩频码序列的长度上积分所述相关值，检测所述相关值的最大值指定的接收相位位置，在所述扩频码序列一个周期的精度范围内，估算所述基带信号的扩频码产生定时，其特征在于包括：

提供有两个存储区域的存储装置，用于按规定的时间单元把所述基带信号分配为第一接收信号和第二接收信号并分别把它们存储在第一存储区域和第二存储区域；

第一相关器，用于在所述扩频码序列的一个周期范围内，计算第一接收数据的相关值，在所述扩频码序列的长度上积分所述相关值，且获得第一相关值；

第一电平检测器，用于检测比所规定阈值电平大的所述第一相关值，且存储所检测的第一相关值及对应于所述被检测的第一相关值的扩频码产生定时；

电平排序电路，用于按大小次序排列所述第一电平检测器的输出且存储规定数目的排列的输出及对应于所述排列输出的扩频码产生定时；

第二相关器，用于利用存储在所述电平排序电路中的扩频码产生定时计算所述第二接收数据的相关值；

加法器，用于把来自所述第二相关器的输出及存储在所述电平排序电路中的相关值相加，该相关值具有与来自所述第二相关器的输出相同的接收相位；以及

第二电平检测器，用于使用来自所述加法器的输出检测具有所述基带信号的最大相关值的接收相位位置。

本发明的C D M A同步捕捉电路利用这些相关值，通过使用一部分接收数据来计算相关值以便检测峰值位置，然后，决定相关值大的一较高暂时峰值位置。

接着，本发明的C D M A同步捕捉电路使用余下的接收数据计算在暂时峰值位置给出优先权的剩余的相关值，最后由上述两种相关值相加从相关电平决定一峰值，由此，运算量被减少。

本发明的C D M A同步捕捉电路使用在搜索范围内用于累积扩频码序列的“ n ”个相关值计算结果中的前“ K ”个（ n ：整数， $K < n$ ）计算结果来计算暂时相关值，检测前 m 个相位位置，只为由前“ K ”个计算结果计算的每个相关值大于规定阈值的特征标记生成定时保持接收的相位和相关值。首先，“ m ”个相位位置被加到剩余的“（ $n - K$ ）”个相关值从而获得最终的相关值。

接着，剩余的“（ $n - K$ ）”个相关值加到对应于剩余接收相位的相关值，然后，如果相加的结果比先前获得的对“ m ”个相位位置的相关值大，先前获得的值就被大的值所替换。

如上所述，用于在规定的搜索范围内检测峰值位置的C D M A同步捕捉电路，首先通过采用一部分接收数据通过相关计算决定暂时的峰值位置，然后通过采用剩余接收数据计算剩余相关值且通过两相关值相加来计算最后的峰值。另一方面，本发明的C D M A同步捕捉电路在由预先接收的数据累积的相关值比预定阈值小的扩频码产生定时不计算任何相关值。

相应地，当搜索范围很广时，用于检测最大峰值的进行时间能有效地被缩短。

而且，按照本发明，每一次搜索相关值的计算量能有效地减少，因此相关器的数目能有效地被减少，以及整个电路的规模能有效地减小。

图1为本发明的一C D M A同步捕捉电路的方块图。

图2为本发明的另一C D M A同步捕捉电路的方块图。

图3为常规C D M A同步捕捉电路的方块图。

参阅附图说明本发明实施的方式。

用图1中的数字表示图3中所示的相同元件。

如图 1 所示的 C D M A 同步捕捉电路，由接收天线 1 1 所接收的射频（R F）信号由准同步检测器 1 2 转换为基带信号，然后由 A / D 变换器 1 3 转换为数字信号，该数字信号被输到选择器 2 0 1。

选择器 2 0 1 在搜索范围内按所规定的时间单位分配对于同步检测所需的接收数据。并把数据作为第一数据和第二数据分别存储在第一存储器 2 0 2 和第二存储器 2 0 3。

第一相关器 2 4，提供有乘法器 1 4 1、积分器 1 4 2、及扩频码发生器 1 4 3，第一相关器 2 4 在扩频码序列与一个整数相乘的长度范围内对扩频码发生器 1 4 3 输出的扩频码序列和来自第一存储器 2 0 2 的输出信号的相乘结果积分。第一相关器 2 4 的输出或第一相关值被输入到第一电平检测器 2 6，以及如果它们比所述阈值大，那么它们同扩频码产生定时一起存入第三存储器 2 7，另一方面，如果它们比所述阈值小，则不存入第三存储器 2 7。

第三存储器 2 7 的输出被输入到电平排序电路 2 0 4 以及排列 L 个（L 为比 1 大的整数）相位位置和 L 个相关值，并按相关值的大小顺序保持在电平排序电路 2 0 4 中，保持在电平排序电路 2 0 4 中的相位信息被输入到移相器 1 5 及根据该接收的相位信息和来自存储器 2 0 3 的输出数据，由第二相关器 2 9 计算相关值，在这种连接中，与第一相关器 2 4 类似地形成和操作第二相关器 2 9。

加法器 2 8 将第二相关器 2 9 的输出加到排序电路 2 0 4 的输出。相应地，加法器 2 8 的输出被由 A / D 变换器 1 3 的输出所给出的接收数据变为相关值。然后，由加法器 2 8 的输出被输入到第二电平检测器 2 1 0。

通过重复上述过程，计算作为来自电平排序电路 2 0 4 的输出的 L 个最后相关值并输入到第二电平检测器 2 1 0，该检测器按相关值的大小排列那些 L 个值。

类似地，存储在第三存储器 2 7 中的剩余接收相位，相关计算由第二相关器 2 9 进行，以及由电平排序电路 2 0 4 的输出与由第二相关器 2 9 的输出由加法器 2 8 相加，从加法器 2 8 的输出输入到第二电平检测器 2 1 0，然后，假如相加的结果大于前面计算过的 L 个值的最小

值，则第三存储器 2 7 由相加结果重写。

因此，通过计算与存储在第三存储器 2 7 中的所有接收的相位有关的相关值，较高的 L 个相位和对应的相关值被存储在第二电平检测器 2 1 0 中，在这种连接中，相关值变成最大的接收相位位置作为扩频码产生定时被输到反扩散电路（未示出）。

参阅图 2，说明本发明的 C D M A 同步捕捉电路的另一实施例，在图 2 中所提数字应用到图 1 和图 3 所示的相同元件。

如图 2 所示的实施例包含有 2 组相关器对，即：相关器 2 4 和 2 9，相关器 3 4 与 3 9，每一相关器有相同的结构。

在图 2 所示的 C D M A 捕捉电路中，由接收天线 1 1 所接收的射频（R F）信号由准同步检测器 1 2 转换为基带信号，然后由 A / D 变换器 1 3 转换为数字信号，接着，该数字信号被输入到选择器 2 0 1。

选择器 2 0 1 按规定的时间单位在同步检测所需的搜索范围内分配接收数据，并把数据作为第一接收数据和第二接收数据分别输入到第一存储器 2 0 2 和第二存储器 2 0 3。

第一相关器 2 4 在扩频码序列与一个整数相乘的长度范围内对扩频码发生器 1 4 3 输出的扩频码序列和来自第一存储器 2 0 2 的输出信号积分。

第一相关器 2 4 的输出被输入到第一电平检测器 2 6，然后，如果相关值大于给定的阈值，则把扩频码产生定时和相关值存入第三存储器 2 7，另一方面，如果相关值比给定的值小，则扩频码产生定时和相关值不存入第三存储器 2 7。

类似地，第三相关器 3 4 在扩频码序列与一个整数相乘的长度范围内对从与扩频码发生器 1 4 3 不同的另一个扩频码发生器输出的扩频码序列和来自第一存储器 2 0 2 的输出信号积分。第三相关器 3 4 的输出被输入到第一电平检测器 2 6，在这种情况下，如果相关值比规定阈值大，则扩频码产生定时和相关值被存入第三存储器 2 7，另一方面，如果相关值比规定值小，则扩频码产生定时和相关值不存入第三存储器 2 7。

由第三存储器 2 7 的输出被输入到电平排序电路 2 0 4，然后，以

相关值的大小顺序，较高的L个相位位置（接收的相位信息）和相关值被保存。

在电平排序电路204中的接收相位信息被输入到移相器15，且在该接收相位信息和来自第二存储器203的输出数据的基础上由第二相关器29及第四相关器39计算相关值。此时，第四相关器39计算与由第二相关器29所计算的不同的相位定时的相关值。

加法器28将第二相关器29的输出，第四相关器39的输出，以及排序电路204的输出相加。加法器28的输出变为由A/D变换器13的输出给出的接收数据所输出的相关值。然后加法器28的输出被输入到第二电平检测器210。

重复上述过程，计算作为从电平排序电路204输出的L个最终的相关值并输入到第二电平检测器210，并以相关值大小的顺序排列这L个值。

类似地，关于存储在第三存储器27中的剩余接收相位，相关计算由第二相关器29及第四相关器39进行。然后，电平排序电路204的输出、第二相关器29的输出及第四相关器39的输出由加法器28相加，加法器28的输出被输入到第二电平检测器210，以及，如果相加的结果比前面计算的L个值的最小值大，则第三存储器27由该相加结果重写。

因此，通过计算与所有存储在第三存储器27中的接收相位有关的相关值，较高的L个相位及对应的相关值被存入第二电平检测器210。

相关值最大的接收相位位置作为扩频码产生定时馈送给反扩散电路（未示出）。

如上所述，使用两个具有不同相位定时的相关器，相关值的计算速度加倍，毕竟多个相关器进一步加速相关运算的过程。

尽管本发明已经显示并描述了关于它的最佳实施例方式，对于熟悉本行业的技术人员将明白，可以对其中的形式及其细节进行其他改变，省略及附加而没有脱离本发明的精神及范围。



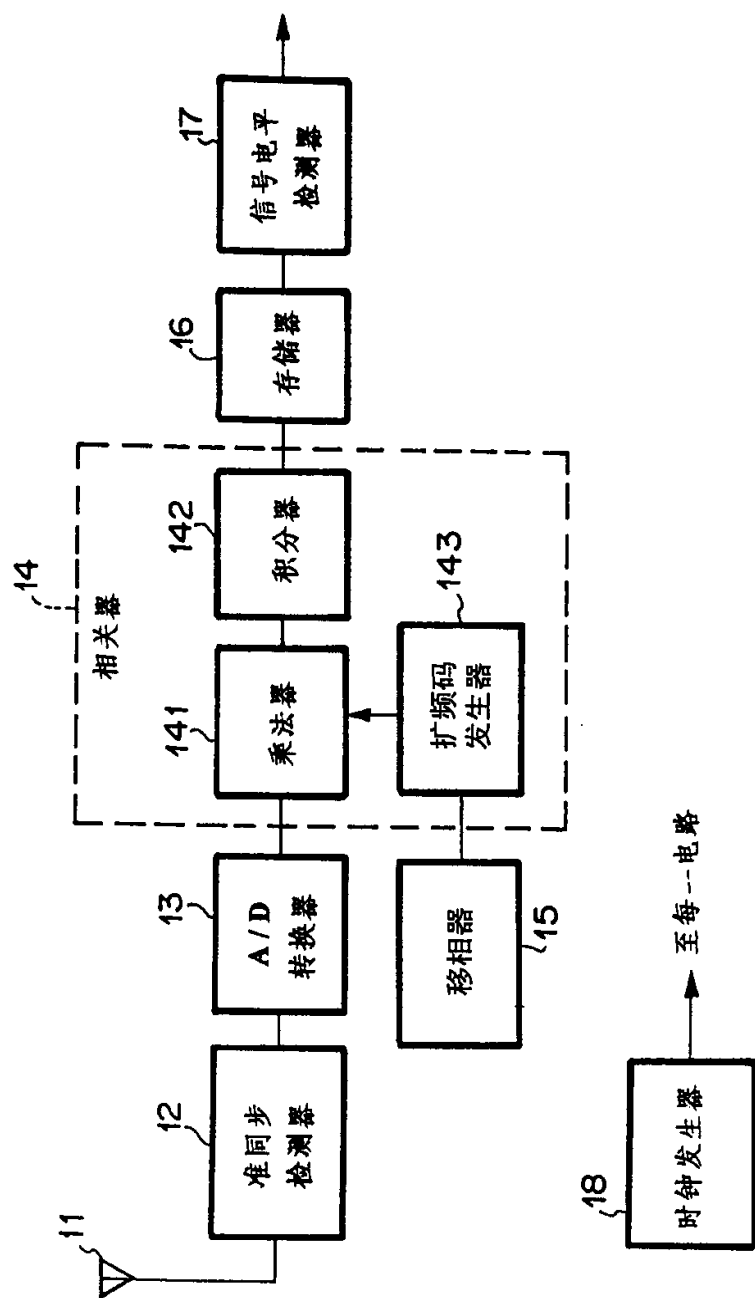


图 3