



19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 296 142**

51 Int. Cl.:
H02H 7/122 (2006.01)
H02M 7/48 (2007.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Número de solicitud europea: **05714745 .6**
86 Fecha de presentación : **11.04.2005**
87 Número de publicación de la solicitud: **1756926**
87 Fecha de publicación de la solicitud: **28.02.2007**

54 Título: **Procedimiento para el tratamiento de errores en un circuito convertidor para la conmutación de tres niveles de tensión.**

30 Prioridad: **18.06.2004 EP 04405373**

45 Fecha de publicación de la mención BOPI:
16.04.2008

45 Fecha de la publicación del folleto de la patente:
16.04.2008

73 Titular/es: **ABB Schweiz AG.**
Brown Boveri Strasse 6
5400 Baden, CH

72 Inventor/es: **Knapp, Gerold;**
Hochstuhl, Gerhard;
Wieser, Rudolf y
Meysenc, Luc

74 Agente: **Ungría López, Javier**

ES 2 296 142 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Procedimiento para el tratamiento de errores en un circuito convertidor para la conmutación de tres niveles de tensión.

Campo técnico

La invención se refiere al campo de los procedimientos de activación de circuitos convertidores. Parte de un procedimiento para el tratamiento de errores en un circuito convertidor para la conmutación de tres niveles de tensión de acuerdo con el preámbulo de la reivindicación 1.

Estado de la técnica

Los conmutadores de semiconductores de potencia se utilizan actualmente en la técnica de convertidores y especialmente en circuitos convertidores para la conmutación de tres niveles de tensión. Un circuito convertidor de este tipo para la conmutación de tres niveles de tensión se indica en el documento DE 699 02 227 T2. En la figura 1a se muestra un sistema convertidor convencional para una fase del circuito convertidor, en el que el sistema convertidor parcial mostrado en la figura 1a corresponde a un sistema convertidor parcial del documento DE 699 02 227 T2. De acuerdo con la figura 1a, en el circuito convertidor está previsto un circuito de tensión continua formado por dos condensadores conectados en serie, en el que el circuito de tensión continua presenta una primera conexión principal y una segunda conexión principal y una conexión parcial formada por los dos condensadores adyacentes y conectados entre sí. El valor de la capacidad de los dos condensadores se selecciona habitualmente de la misma magnitud. Entre la primera conexión principal y la segunda conexión principal se encuentra una tensión continua, en la que entre la primera conexión principal y la conexión parcial, es decir, en un condensador se encuentra, por lo tanto, la mitad de la tensión continua $U_{DC}/2$ y entre la conexión parcial y la segunda conexión principal, es decir, en el otro condensador se encuentra, por lo tanto, de la misma manera la mitad de la tensión continua. La tensión continua se designa de acuerdo con la figura 1a con U_{DC} .

Cada sistema convertidor parcial del circuito convertidor de acuerdo con el documento DE 699 02 227 T2 o bien de acuerdo con la figura 1a presenta un primero, segundo, tercero, cuarto, quinto y sexto conmutadores de semiconductores de potencia, en los que el primero, segundo, tercero y cuarto conmutadores de semiconductores de potencia están conectados en serie y el primer conmutador de semiconductores de potencia está conectado con la primera conexión principal y el cuarto conmutador de semiconductores de potencia está conectado con la segunda conexión principal. El punto de conexión del segundo conmutador de semiconductores de potencia con el tercer conmutador de semiconductores de potencia forma una conexión de fases. Además, el quinto y sexto conmutador de semiconductores de potencia están conectados en serie y forman un grupo de conmutación terminal, en el que el punto de conexión del quinto conmutador de semiconductores de potencia está conectado con el sexto conmutador de semiconductores de potencia con la conexión parcial, el quinto conmutador de semiconductores de potencia está conectado con el punto de conexión del primer conmutador de semiconductores de potencia con el segundo conmutador de semiconductores de potencia y el sexto conmutador de semiconductores de potencia está conectado con el punto de conexión del tercer conmutador de semiconductores de potencia con el cuarto conmutador de semiconductores de potencia. El primero, segundo, tercero y cuarto conmutadores de semiconductores de potencia son un conmutador de semiconductores de potencia bidireccional activable, formados en cada caso por un transistor bipolar con electrodo de puerta (IGBT) dispuesto aislado y por un diodo conmutado antiparalelo al transistor bipolar. El quinto y sexto conmutadores de semiconductores de potencia del documento DE 699 02 227 T2 son un conmutador de semiconductores de potencia unidireccional no activable, formados en cada caso por un diodo. En este caso, el quinto y sexto conmutadores de semiconductores de potencia forman un grupo de conmutación terminal pasivo. Pero también es concebible que el quinto y sexto conmutadores de semiconductores de potencia sean un conmutador de semiconductores de potencia bidireccional activable, formados en cada caso por un transistor bipolar con electrodo de puerta (IGBT) dispuesto aislado y por un diodo conectado antiparalelo al transistor bipolar. Entonces el quinto y sexto conmutadores de semiconductores de potencia forman un grupo de conmutación terminal activo.

Además, en el documento DE 699 02 227 T2 se indica un procedimiento para el tratamiento de errores en un circuito convertidor para la conmutación de tres niveles de tensión. En primer lugar, en el caso de que se produzca un error, por ejemplo en virtud de un conmutador de semiconductores de potencia defectuoso, se detecta si el error se encuentra en una trayectoria superior de corriente errónea o en una trayectoria inferior de corriente errónea del circuito convertidor. En este caso, la trayectoria superior de corriente errónea está definida por una corriente errónea a través del primero, segundo, tercero y sexto conmutadores de semiconductores de potencia o por una corriente errónea a través del primero y quinto conmutadores de semiconductores de potencia. Además, la trayectoria inferior de corriente errónea está definida por una corriente errónea a través del segundo, tercero, cuarto y quinto conmutadores de semiconductores de potencia o por una corriente errónea a través del cuarto y sexto conmutadores de semiconductores de potencia. Para el tratamiento de errores se desconectan en primer lugar el o los conmutadores de semiconductores de potencia, que se desaturan. Para ello es necesaria la supervisión de cada conmutador de semiconductores de potencia sobre la desaturación por medio de una instalación de supervisión de la desaturación. Una desaturación de este tipo en el conmutador de semiconductores de potencia, especialmente en el IGBT, se produce, por ejemplo, cuando se produce un error, por ejemplo, un cortocircuito en la trayectoria de corriente principal, es decir, entre el ánodo y el cátodo o bien entre el colector y el emisor del IGBT. También son concebibles evidentemente otros errores. En tal caso de error, se incrementa la corriente en la trayectoria de corriente principal muy rápidamente hasta una amplitud alta de

la corriente, de manera que la integral de la corriente sobre el tiempo adopta valores inadmisiblemente altos. Mientras se produce esta sobrecorriente, se acciona el IGBT en la desaturación, incrementándose rápidamente la tensión del ánodo-cátodo en el IGBT. Especialmente sobre el valor de la tensión a conmutar. De esta manera se consigue un estado extraordinariamente crítico del IGBT: El IGBT conduce, por una parte, en la trayectoria de corriente principal sobre el ánodo y el cátodo una corriente alta (sobrecorriente). Por otra parte, al mismo tiempo existe una tensión alta del ánodo-cátodo entre el ánodo y el cátodo del IGBT. De ello resulta una potencia de pérdida momentánea extremadamente alta, que puede destruir el IGBT. Después de la desconexión del o de los conmutadores de semiconductores de potencia desaturados se conmutan entonces los conmutadores de semiconductores de potencia de acuerdo con una secuencia de conmutación de errores, de tal manera que aparece un cortocircuito de fases en cada sistema convertidor parcial, es decir, que el conmutador convertidor está entonces cortocircuitado en cada una de sus fases.

A través del cortocircuito de todas las fases del circuito conmutador de acuerdo con el documento DE 699 02 227 T2 se puede configurar, sin embargo, una corriente de cortocircuito en el sistema convertidor parcial afectado por el error así como en los otros sistemas convertidores parciales, que carga los conmutadores de semiconductores de potencia. De esta manera, un conmutador de semiconductores de potencia cargado de este modo puede envejecer mucho más rápidamente o incluso se puede dañar, de manera que se perjudica en gran medida la disponibilidad del circuito convertidor o en el peor de los casos no existe ya esta disponibilidad.

El documento JP-A-11032426, que se considera como el estado más próximo de la técnica, publica, además, un procedimiento para el tratamiento de errores en un circuito convertidor para la conmutación de tres niveles de tensión. Para evitar una sobretensión en uno de los convertidores de semiconductores de potencia, en el caso de detección de una sobrecorriente a través del primero y segundo convertidores de semiconductores de potencia y en el caso de una sobrecorriente a través del tercero y cuarto convertidores de semiconductores de potencia, se desconectan en primer lugar el primero y cuarto convertidores de semiconductores de potencia y a continuación el segundo y tercero convertidores de semiconductores de potencia.

Representación de la invención

Por lo tanto, el cometido de la invención es indicar un procedimiento para el tratamiento de errores en un circuito convertidor para la conmutación de tres niveles de tensión, que no requiere esencialmente un cortocircuito en el lado de las fases de todas las fases del circuito convertidor para la consecución de un estado funcional seguro del circuito convertidor en el caso de fallo. Este cometido se soluciona a través de las características de la reivindicación 1. En las reivindicaciones dependientes se indican desarrollos ventajosos de la invención.

En el procedimiento para el tratamiento de errores en un circuito convertidor para la conmutación de tres niveles de tensión, el circuito convertidor presenta un sistema convertidor parcial previsto para cada fase y comprende un circuito de tensión continua formado por dos condensadores conectados en serie, en el que el circuito de tensión continua comprende una primera conexión principal y una segunda conexión principal y una conexión parcial formada por los dos condensadores adyacentes y conectados entre sí. Además, cada sistema convertidor parcial presenta un primero, segundo, tercero y cuarto conmutadores de semiconductores de potencia bidireccionales activables, y un quinto y sexto conmutadores de semiconductores de potencia, en el que el primero, segundo, tercero y cuarto conmutadores de semiconductores de potencia están conectados en serie. El primer conmutador de semiconductores de potencia está conectado con la primera conexión principal y el cuarto conmutador de semiconductores de potencia está conectado con la segunda conexión principal. Además, el quinto y sexto conmutadores de semiconductores de potencia están conectados en serie, en el que el punto de conexión del quinto conmutador de semiconductores de potencia está conectado con el sexto conmutador de semiconductores de potencia con la conexión parcial, el quinto conmutador de semiconductores de potencia está conectado con el punto de conexión del primer conmutador de semiconductores de potencia con el segundo conmutador de semiconductores de potencia y el sexto conmutador de semiconductores de potencia está conectado con el punto de conexión del tercer conmutador de semiconductores de potencia con el cuarto conmutador de semiconductores de potencia. Además, de acuerdo con el procedimiento, una trayectoria superior de corriente errónea o una trayectoria inferior de corriente errónea es detectada en el caso de que aparezca un error en el sistema convertidor parcial, en el que la trayectoria superior de corriente errónea conduce a través del primero, segundo, tercero y sexto conmutadores de semiconductores de potencia o a través del primero y quinto conmutadores de semiconductores de potencia y la trayectoria inferior de corriente errónea conduce a través del segundo, tercero, cuarto y quinto conmutadores de semiconductores de potencia o a través del cuarto y sexto conmutadores de semiconductores de potencia. Además, los conmutadores de semiconductores de potencia bidireccionales activables se conmutan de acuerdo con una secuencia de conmutación de errores. De acuerdo con la invención, de acuerdo con la secuencia de conmutación de errores en el caso de la detección de la trayectoria superior o de la trayectoria inferior de la corriente errónea, se establece el estado de conmutación presente durante la detección de cada conmutador de semiconductores de potencia bidireccional activable. De esta manera, se consigue de una forma ventajosa que no se realice en primer lugar ninguna activación posterior de los conmutadores de semiconductores de potencia bidireccionales activables y, por lo tanto, tampoco ninguna conmutación. En el caso de la detección de la trayectoria superior de la corriente errónea en el sistema convertidor parcial, se desconecta de acuerdo con la invención el primer conmutador de semiconductores de potencia y a continuación el tercer conmutador de semiconductores de potencia. En el caso de la detección de la trayectoria inferior de corriente errónea en el sistema convertidor parcial, se desconecta el cuarto conmutador de semiconductores de potencia y a continuación el segundo conmutador de semiconductores de potencia. De esta manera se consigue de una forma ventajosa que el sistema convertidor parcial afectado por el error y, por lo tanto, todo el circuito convertidor sea desplazado a un estado de funcionamiento seguro. Con preferencia, se desconectan

los conmutadores de semiconductores de potencia de los sistemas convertidores parciales no afectados por el error del circuito convertidor. De este modo se puede evitar en la mayor medida posible una configuración de una corriente de cortocircuito en el sistema convertidor parcial afectado por el error así como en los otros sistemas convertidores parciales, de manera que se cargan menos los conmutadores de semiconductores de potencia del sistema convertidor
 5 afectado por el error así como los otros sistemas convertidores parciales. El envejecimiento de los conmutadores de semiconductores de potencia se puede retardar, por lo tanto, de una manera ventajosa o se puede impedir en la mayor medida posible un daño de los conmutadores de semiconductores de potencia. De esta manera, en general, se eleva la disponibilidad del circuito convertidor.

10 Además, a través de la desconexión de los dos conmutadores de semiconductores de potencia correspondientes se configura, en el caso de detección de una trayectoria superior o bien inferior de corriente errónea, una trayectoria de marcha libre de la corriente de carga que fluye en el funcionamiento normal del circuito convertidor, siendo protegido, además, con ventaja el circuito de tensión continua contra un cortocircuito a través de la desconexión de los dos conmutadores de semiconductores de potencia correspondientes.

15 Éstos y otros cometidos, ventajas y características de la presente invención se deducen a partir de la descripción detallada siguiente de formas de realización preferidas de la invención en combinación con el dibujo.

20 Breve descripción de los dibujos

En este caso:

La figura 1a muestra una primera forma de realización de un sistema convertidor parcial convencional de un
 25 circuito convertidor conocido para la conmutación de tres niveles de tensión.

La figura 1b muestra una segunda forma de realización de un sistema convertidor parcial convencional de un
 circuito convertidor conocido para la conmutación de tres niveles de tensión.

30 La figura 2a muestra a modo de ejemplo una configuración de la corriente en un sistema convertidor parcial según la figura 1b en el caso de un error del primer conmutador de semiconductores de potencia del sistema convertidor parcial.

35 La figura 2b muestra la configuración de la corriente en el caso de un error de acuerdo con la figura 2a después de la realización de una secuencia de conmutación de errores de acuerdo con el procedimiento según la invención para el tratamiento de errores.

40 La figura 3a muestra a modo de ejemplo una configuración de la corriente en un sistema convertidor parcial según la figura 1b en el caso de un error del segundo conmutador de semiconductores de potencia del sistema convertidor parcial.

La figura 3b muestra la configuración de la corriente en el caso de un error según la figura 3a después de la
 realización de la secuencia de conmutación de errores según el procedimiento de acuerdo con la invención para el
 tratamiento de errores.

45 La figura 4a muestra un circuito lógico ejemplar para la detección de una trayectoria superior y de una trayectoria inferior de corriente errónea para un sistema convertidor parcial según la figura 1a y

La figura 4b muestra un circuito lógico ejemplar para la detección de una trayectoria superior y de una trayectoria
 50 inferior de corriente errónea para un sistema convertidor parcial según la figura 1b.

Los signos de referencia utilizados en el dibujo y su significado se indican de forma resumida en la lista de signos
 de referencia. En principio, en las figuras las partes iguales están provistas con los mismos signos de referencia. Las
 formas de realización descritas representa de forma ejemplar el objeto de la invención y no tienen ningún efecto
 55 limitativo.

Modos de realización de la invención

En la figura 1a se muestra la forma de realización ya descrita detallada al principio de un sistema convertidor 1
 60 convencional de un circuito convertidor conocido para la conmutación de tres niveles de tensión. El circuito convertidor presenta un sistema convertidor parcial 1 previsto para cada fase R, S, T, en el que en la figura 1a solamente se representa un sistema convertidor parcial 1 para la fase R. El circuito convertidor comprende un circuito de tensión continua 3 formado por dos condensadores conectados en serie, en el que el circuito de tensión continua 2 presenta una primera conexión principal 2 y una segunda conexión principal 4 y una conexión parcial 5 formada por dos condensadores adyacentes y conectados entre sí. Además, el sistema convertidor parcial 1 presenta un primero, segundo,
 65 tercero y cuarto conmutadores de semiconductores de potencia S1, S2, S3, S4 bidireccionales activables y un quinto y sexto conmutadores de semiconductores de potencia (S5, S6). El conmutador de semiconductores de potencia S1, S2, S3, S4 respectivo bidireccional activable está formado especialmente por un transistor bipolar con electrodo de puerta

ES 2 296 142 T3

(IGBT) dispuesto aislado y por un diodo conectado antiparalelo al transistor bipolar. Pero también es concebible realizar un conmutador de semiconductores de potencia bidireccional activable mencionado anteriormente, por ejemplo como MOSFET de potencia con diodo conectado adicionalmente antiparalelo. De acuerdo con la figura 1a, el quinto y el sexto conmutador de semiconductores de potencia S5, S6 es un conmutador de semiconductores de potencia bidireccional no activable, que está formado en cada caso por un diodo. En este caso, el quinto y sexto conmutadores de semiconductores de potencia forman un grupo de conmutación terminal pasivo.

De acuerdo con la figura 1a, el primero, segundo, tercero y cuarto conmutadores de semiconductores de potencia S1, S2, S3, S4 y el primer conmutador de semiconductores de potencia S1 están conectados con la primera conexión principal 3 y el cuarto conmutador de semiconductores de potencia S4 está conectado con la segunda conexión principal 4. Por lo demás, el quinto y sexto conmutadores de semiconductores de potencia S5, S6 están conectados en serie, en los que el punto de conexión del quinto conmutador de semiconductores de potencia S5 está conectado con el sexto conmutador de semiconductores de potencia S6 con la conexión parcial 5, y el quinto conmutador de semiconductores de potencia S5 está conectado con el punto de conexión del primer conmutador de semiconductores de potencia S1 con el segundo conmutador de semiconductores de potencia S2 y el sexto conmutador de semiconductores de potencia S6 está conectado con el punto de conexión del tercer conmutador de semiconductores de potencia S3 con el cuarto conmutador de semiconductores de potencia S4.

En la figura 1b se muestra una segunda forma de realización de un sistema convertidor parcial convencional de un circuito convertidor conocido para la conmutación de tres niveles de tensión. A diferencia, de la primera forma de realización del sistema convertidor parcial según la figura 1a, el quinto y sexto conmutadores de semiconductores de potencia S5, S6 son de la misma manera un conmutador de semiconductores de potencia bidireccional activable, que está formado en cada caso por un transistor bipolar con electrodo de puerta (IGBT) dispuesto aislado y por un diodo conectado antiparalelo al transistor bipolar. De acuerdo con la figura 1b, el quinto y sexto conmutadores de semiconductores de potencia S5, S6 forman un grupo de conmutación terminal activo.

En el procedimiento de acuerdo con la invención para el tratamiento de errores del circuito convertidor para la conmutación de tres niveles de tensión se detecta ahora, en el caso de que aparezca un error en el sistema convertidor parcial 1, una trayectoria superior de la corriente errónea A o una trayectoria inferior de la corriente errónea B en el sistema convertidor parcial 1, en el que la trayectoria de corriente errónea A conduce sobre el primero, segundo, tercero y sexto conmutadores de semiconductores de potencia S1, S2, S3, S6 o sobre el primero y quinto conmutadores de semiconductores de potencia S1, S5 y la trayectoria inferior de la corriente errónea conduce sobre el segundo, tercero, cuarto y quinto conmutadores de semiconductores de potencia S2, S3, S4 y S5 o sobre el cuarto o sexto conmutadores de semiconductores de potencia S4, S6. Además, se conmutan los conmutadores de semiconductores de potencia S1, S2, S3, S4, S5 y S6 bidireccionales activables, es decir, de acuerdo con la forma de realización de la figura 1a, los conmutadores de semiconductores de potencia S1, S2, S3 y S4 y de acuerdo con la forma de realización según la figura 1b, los conmutadores de semiconductores de potencia S1, S2, S3, S4, S5 y S6, se acuerdo con una secuencia de conmutación de errores. Por ejemplo, en la figura 2a se muestra una configuración de la corriente en el sistema convertidor parcial según la figura 1b en el caso de un error del primer conmutador de semiconductores de potencia S1 del sistema convertidor parcial 1, cuyo primer conmutador de semiconductores de potencia S1 erróneo está identificado por una estrella. En este caso, una trayectoria superior de la corriente errónea A está configurada, por ejemplo, sobre el primero, segundo, tercero y sexto conmutadores de semiconductores de potencia S1, S2, S3, S6, como ya se ha mencionado anteriormente. Además, la trayectoria de corriente original antes del error de la corriente de carga C hacia la fase se representa al mismo tiempo en la figura 2a para completar.

De acuerdo con la invención, conforme a la secuencia de conmutación de errores, en el caso de la detección de la trayectoria superior o inferior de la corriente errónea A, B se establece el estado de conmutación existente durante la detección de cada conmutador de semiconductores de potencia S1, S2, S3, S4 bidireccional activable. De esta manera se consigue con ventaja que no se lleve a cabo en primer lugar ninguna activación adicional de los conmutadores de semiconductores de potencia S1, S2, S3, S4 bidireccionales activables y, por lo tanto, tampoco ningún tratamiento de conmutación. Además, en el caso de la detección de la trayectoria superior de la corriente errónea A, de acuerdo con la secuencia de conmutación de errores, se desconecta el primer conmutador de semiconductores de potencia S1 y a continuación el tercer conmutador de semiconductores de potencia S3. Además, en el caso de la detección de la trayectoria inferior de la corriente errónea, de acuerdo con la secuencia de conmutación de errores, se desconecta el cuarto conmutador de semiconductores de potencia S4 y a continuación el segundo conmutador de semiconductores de potencia S2. El sistema convertidor parcial 1 afectado por el error y, por lo tanto, todo el circuito convertidor se desplaza a través de las medidas descritas anteriormente con ventaja a un estado de funcionamiento seguro. Una configuración de una corriente de cortocircuito en el sistema convertidor parcial 1 afectado por el error así como en los otros sistemas convertidores parciales 1 se puede evitar de esta manera casi completamente, de modo que se cargan menos los convertidores de semiconductores de potencia S1, S2, S3, S4, S5, S6 del sistema convertidor parcial 1 afectado por el error así como los otros sistemas convertidores parciales 1 de las otras fases R, S, T. De esta manera se puede ralentizar con ventaja el envejecimiento de los convertidores de semiconductores de potencia S1, S2, S3, S4, S5, S6 o bien se puede evitar en la mayor medida posible un daño de los convertidores de semiconductores de potencia S1, S2, S3, S4, S5, S6. En general, se eleva con ello la disponibilidad del circuito convertidor. Además, se simplifica el mantenimiento del circuito convertidor, puesto que, en general, en el caso de un error, se dañan menos convertidores de semiconductores de potencia S1, S2, S3, S4, S5, S6 y, por lo tanto, deben sustituirse también menos convertidores de semiconductores de potencia S1, S2, S3, S4, S5, S6.

Además, a través de la desconexión de los dos convertidores de semiconductores de potencia S1, S2, S3, S4 correspondientes, en el caso de detección de una trayectoria superior o inferior de la corriente errónea A, B se configura de una manera ventajosa una trayectoria de marcha libre de la corriente de carga C que fluye en el funcionamiento normal del circuito convertidor, estando protegido el circuito de tensión continua a través de la desconexión de los dos conmutadores de semiconductores de potencia correspondientes, además, con ventaja frente a un cortocircuito. En la figura 2b se representa a tal fin, por ejemplo, una configuración de la corriente en el caso de un error de acuerdo con la figura 2a después de la realización de la secuencia de conmutación de errores descrita en detalle anteriormente de acuerdo con el procedimiento según la invención para el tratamiento de errores. En este caso, se desconecta el primer conmutador semiconductor de potencia S1 y el tercer conmutador semiconductor de potencia S3, siendo desconectado de la misma manera el cuarto conmutador de semiconductores de potencia S4 y aplicándose en el tercero y cuarto conmutadores de semiconductores de potencia S3, S4 en cada caso la mitad de la tensión continua $U_{DC}/2$ del circuito de tensión continua y fluyendo la corriente de carga C a través del primero y segundo conmutadores de semiconductores de potencia S1, S2 erróneos, como antes del error del primer convertidor de semiconductores de potencia S1. De esta manera, se consigue, en general, un estado de funcionamiento seguro del sistema convertidor parcial 1 afectado por el error y con ello también de todo el circuito convertidor.

Por ejemplo, en la figura 3a se representa una configuración de la corriente en el sistema convertidor parcial 1 de acuerdo con la figura 1b en el caso de un error del segundo convertidor de semiconductores de potencia S2 de sistema convertidor parcial 1, cuyo segundo convertidor de semiconductores de potencia S2 está identificado por medio de una estrella. En este caso, una de las trayectorias inferiores de la corriente errónea B está configurada, por ejemplo, sobre el segundo, tercero, cuarto y quinto convertidores de semiconductores de potencia S2, S3, S4, S5, como ya se ha mencionado anteriormente. Además, la trayectoria de corriente original antes del error de la corriente de carga C hacia la fase se representa al mismo tiempo en la figura 3a para completar. Por último, la figura 3b representa a modo de ejemplo una configuración de la corriente en el caso de un error de acuerdo con la figura 3a después de la realización de la secuencia de conmutación de errores descrita anteriormente con detalle de acuerdo con el procedimiento según la invención para el tratamiento de errores. En este caso, el cuarto conmutador de semiconductores de potencia S4 y el segundo conmutador de semiconductores de potencia S2 están desconectados, estando desconectado de la misma manera el primer conmutador de semiconductores de potencia S1, aplicándose en el primero y cuarto conmutadores de semiconductores de potencia S1, S4, respectivamente, la mitad de la tensión continua $U_{DC}/2$ del circuito de tensión continua y fluyendo la corriente de carga C a través del quinto y del segundo conmutadores de semiconductores de potencia erróneo S5, S2, como antes del error del segundo conmutador de semiconductores de potencia S2. De esta manera se consigue, en general un estado de funcionamiento seguro del sistema convertidor parcial 1 afectado por el error y de este modo también de todo el circuito convertidor también en el caso de un error en la trayectoria inferior de la corriente errónea B.

De acuerdo con la figura 1b, como ya se ha descrito anteriormente, el quinto y sexto conmutadores de semiconductores de potencia S5, S6 con en cada caso un conmutador de semiconductores de potencia bidireccional activable. En el procedimiento de acuerdo con la invención se conecta ahora, en el caso de la detección de la trayectoria superior de la corriente errónea A de acuerdo con la secuencia de conmutación de errores, el sexto conmutador de semiconductores de potencia S6 antes de la desconexión del primer conmutador de semiconductores de potencia S1, especialmente cuando el sexto conmutador de semiconductores de potencia S6 no estaba conectado todavía anteriormente. En el caso de la detección de la trayectoria inferior de la corriente errónea B, se conecta de acuerdo con la secuencia de conmutación de errores, el quinto conmutador de semiconductores de potencia S5 antes de la desconexión del cuarto conmutador de semiconductores de potencia S4, especialmente cuando el quinto conmutador de semiconductores de potencia S5 no estaba conectado todavía anteriormente. De esta manera, se consigue el estado de funcionamiento seguro ya mencionado del sistema convertidor parcial de acuerdo con la figura 1b y con ello de todo el circuito convertidor.

Se ha revelado que es ventajoso que en el caso de detección de la trayectoria superior de corriente errónea A, se desconecte el tercer conmutador de semiconductores de potencia S3 con un tiempo de retardo t_v opcional con respecto al primer conmutador de semiconductores de potencia S1, y que en el caso de la detección de la trayectoria inferior de la corriente errónea B, se desconecte el segundo conmutador de semiconductores de potencia S2 con un tiempo de retardo t_v opcional con respecto al cuarto conmutador de semiconductores de potencia S4. De esta manera, se garantiza que el primer se desconecte el tercer conmutador de semiconductores de potencia S3 con un tiempo de retardo t_v opcional con respecto al primer conmutador de semiconductores de potencia S1 esté ya desconectado cuando se desconecta el tercer conmutador de semiconductores de potencia S3, y que el cuarto conmutador de semiconductores de potencia S4 esté ya desconectado cuando se desconecta el segundo conmutador de semiconductores de potencia S2. Con preferencia, el tiempo de retardo (t_v) se selecciona en el orden de magnitud de $1 \mu s$ a $5 \mu s$.

De acuerdo con la invención, se desconectan los conmutadores de semiconductores de potencia S1, S2, S3, S4, S5, S6 bidireccionales activables de los sistemas convertidores parciales 1 no afectados por el error del circuito convertidor, con lo que se puede asegurar, además, que se suprime una configuración de una corriente de cortocircuito en los sistemas convertidores parciales 1 no afectados por el error, como se produce en procedimientos del estado de la técnica a través del cortocircuito de todas las fases R, S, T. Los conmutadores de semiconductores de potencia S1, S2, S3, S4, S5, S6 de los sistemas convertidores parciales 1 no afectados son cargados menos de esta manera en comparación con procedimientos conocidos. De una manera preferida, en el caso de desconexión de los conmutadores de semiconductores de potencia S1, S2, S3, S4, S5, S6 bidireccionales activables de los sistemas convertidores parciales 1 no afectados por el error del circuito convertidor, se desconecta en cada caso el conmutador de semiconductores

ES 2 296 142 T3

de potencia S1, S4, bidireccional activable “exterior”, es decir, el primero o bien el cuarto conmutador de semiconductores de potencia S1, S4 bidireccional exterior, antes que el conmutador de semiconductores de potencia S2, S3 bidireccional activable “interior”, es decir, el segundo o bien el tercer conmutador de semiconductores de potencia S2, S3 bidireccional activable respectivo.

5

A continuación se describen en detalle las posibilidades de detección de la trayectoria superior e inferior de corriente erróneas A y B, respectivamente.

10 Para la detección de la trayectoria superior o de la trayectoria inferior A, B se supervisa en cada caso la desaturación de cada conmutador de semiconductores de potencia S1, S2, S3, S4, S5, S6 bidireccional activable de los circuitos convertidores parciales 1 de las fases R, S, T y se supervisa, además, la dirección de una corriente sobre la conexión parcial 5 de cada circuito convertidor parcial 1. Para la supervisión de la dirección de la corriente sobre la conexión parcial 5 se supervisa la corriente con preferencia con respecto a un valor umbral o bien se compara con un valor umbral, para garantizar una detección de la dirección de la corriente también en el caso de una corriente ruidosa. La trayectoria superior de la corriente errónea A se detecta cuando el primero, segundo, tercero, quinto o sexto conmutadores de semiconductores de potencia S1, S2, S3, S4, S5, S6 bidireccionales activables están desaturados y se detecta una corriente sobre la conexión parcial 5 en la dirección del circuito de tensión continua 2. En cambio, se detecta la trayectoria inferior de la corriente errónea B cuando el segundo, tercero, cuarto, quinto o sexto conmutadores de semiconductores de potencia S2, S3, S4, S5, S6 bidireccionales activables están desaturados y se detecta una corriente sobre la conexión parcial 5 desde la dirección del circuito de tensión continua 2. Para la supervisión de la corriente a través de la conexión parcial 5, está previsto en la conexión parcial 5 con preferencia un sensor correspondiente.

25 De una manera alternativa a la detección descrita anteriormente de la trayectoria superior o inferior de la corriente errónea A, B, se supervisa de la misma manera la desaturación de cada conmutador de semiconductores de potencia S1, S2, S3, S4, S5, S6 bidireccional activable, siendo supervisado entonces, a diferencia de lo anterior una corriente a través de la primera conexión principal 3 y una corriente a través de la segunda conexión principal 4. Para la supervisión de la corriente respectiva a través de la primera conexión principal 3 o bien a través de la segunda conexión principal 4 se supervisa con preferencia un valor umbral de la corriente respectiva, para garantizar una detección de la corriente respectiva también en el caso de una corriente ruidosa. La trayectoria superior de la corriente errónea A se detecta cuando el primero, segundo, tercero, quinto o sexto conmutadores de semiconductores de potencia S1, S2, S3, S5, S6 bidireccionales activables están desaturados y se detecta una corriente sobre la primera conexión principal 3. En cambio, se detecta la trayectoria inferior de la corriente errónea B en el caso de una desaturación del segundo, tercero, cuarto, quinto o sexto conmutadores de semiconductores de potencia S2, S3, S4, S5, S6 bidireccionales activables y se detecta una corriente sobre la segunda conexión principal 4. Para la supervisión de la corriente en la trayectoria superior e inferior de la corriente errónea A y B, respectivamente, está previsto en la primera conexión principal 3 y en la segunda conexión principal 4 con preferencia un sensor correspondiente, que solamente tiene que estar en condiciones de detectar una corriente, pero no la dirección de la corriente. Tal sensor de corriente está constituido sencillo y, por lo tanto, robusto.

40 De una manera alternativa a las detecciones descritas anteriormente de la trayectoria superior o inferior de la corriente errónea A, B, se supervisa en primer lugar la tensión del ánodo - cátodo U_{ce} general de cada conmutador de semiconductores de potencia S1, S2, S3, S4, S5, S6 bidireccional activable con respecto a un valor umbral U_{ce} . En particular, esta supervisión de la tensión del ánodo - cátodo se realiza en el sistema convertidor parcial 1 según la figura 1a en los conmutadores de semiconductores de potencia S1, S2, S3 y S4 bidireccionales activables y en el sistema convertidor parcial 1 según la figura 1b en los conmutadores de semiconductores de potencia S1, S2, S3, S4, S5, S6 bidireccionales activables. En la figura 4a se muestra un circuito lógico ejemplar para la detección de la trayectoria superior e inferior de la corriente errónea A, B para el sistema convertidor parcial 1 según la figura 1a. Además, en la figura 4b se muestra un circuito lógico ejemplar para la detección de la trayectoria superior e inferior de la corriente errónea para el sistema convertidor parcial 1 según la figura 1b. Las señales de estado de conmutación SS1, SS2, SS3 y SS4 mostradas en la figura 4a para los conmutadores de semiconductores de potencia S1, S2, S3 y S4 bidireccionales activables las señales de estado de conmutación SS1, SS2, SS3, SS4, SS5 y SS6 mostradas en la figura 4b para los conmutadores de semiconductores de potencia S1, S2, S3, S4, S5 y S6 bidireccionales activables son variables lógicas, en las que la señal de estado de conmutación SS1, SS2, SS3, SS4, SS5 y SS6 son un “0” lógico para un conmutador de semiconductores de potencia S1, S2, S2, S3, S5, S6 bidireccional activable correspondiente desconectado y son “1” lógico para un conmutador de semiconductores de potencia S1, S2, S2, S3, S5, S6 bidireccional activable correspondiente conectado. Además, las señales de valor umbral SU_{ce1} , $Suce2$, $Suce3$ y $Suce4$ mostradas en la figura 4a para los conmutadores de semiconductores de potencia S1, S2, S3, S4 bidireccionales activables, supervisados en cuanto al valor umbral U_{ce} , th de la tensión del ánodo - cátodo correspondiente y las señales de valor umbral SU_{ce1} , $Suce2$, $Suce3$, $Suce4$, $Suce5$ y $Suce6$ mostradas en la figura 4b para los conmutadores de semiconductores de potencia S1, S2, S3, S4, S5, S6 bidireccionales activables correspondientes son variables lógicas, en las que la señal del valor umbral S1, S2, S3, S4, S5, S6 es “0” lógico para una tensión del ánodo - cátodo U_{ce} , que excede el valor umbral SU_{ce} del conmutador de semiconductores de potencia S1, S2, S3, S4, S5, S6 correspondiente y es “1” lógico para una tensión del ánodo - cátodo U_{ce} , que no alcanza el valor umbral U_{ce} , th del conmutador de semiconductores de potencia S1, S2, S3, S4, S5, S6 correspondiente.

65

La trayectoria superior de la corriente errónea A se detecta ahora según la invención en el caso de que se exceda el valor umbral U_{ce} , th en uno o varios conmutadores de semiconductores de potencia S1, S2, S3, S4, S5, S6 bidireccionales activables conectados y en el cuarto conmutador de semiconductores de potencia S4 bidireccional activable

ES 2 296 142 T3

desconectado con valor umbral $U_{ce, th}$ excedido o en el caso de que se exceda el valor umbral $U_{ce, th}$ en uno o varios conmutadores de semiconductores de potencia S1, S2, S3, S4, S5, S6 bidireccionales activables conectados y en el primer conmutador de semiconductores de potencia S1 bidireccional activable conectado. Además, se detecta la trayectoria superior de la corriente errónea A según la invención también en el caso de que no se alcance el valor umbral $U_{ce, th}$ en uno o varios conmutadores de semiconductores de potencia S1, S2, S3, S4 bidireccionales activables desconectados y en el cuarto conmutador de semiconductores de potencia S4 bidireccional activable desconectado con valor umbral $U_{ce, th}$ excedido o en el caso de que no se alcance el valor umbral $U_{ce, th}$ en uno o varios conmutadores de semiconductores de potencia S1, S2, S3, S4 bidireccionales activables desconectados y en el primer conmutador de semiconductores de potencia S1 bidireccional activable conectado.

En cambio, se detecta la trayectoria inferior de la corriente errónea B según la invención en el caso de que se exceda el valor umbral $U_{ce, th}$ en uno o varios conmutadores de semiconductores de potencia S1, S2, S3, S4, S5, S6 bidireccionales activables conectados y en el primer conmutador de semiconductores de potencia S4 bidireccional activable desconectado con valor umbral $U_{ce, th}$ excedido o en el caso de que se exceda el valor umbral $U_{ce, th}$ en uno o varios conmutadores de semiconductores de potencia S1, S2, S3, S4, S5, S6 bidireccionales activables conectados y en el cuarto conmutador de semiconductores de potencia S4 bidireccional activable conectado. Además, se detecta la trayectoria inferior de la corriente errónea B según la invención también en el caso de que no se alcance el valor umbral $U_{ce, th}$ en uno o varios conmutadores de semiconductores de potencia S1, S2, S3, S4 bidireccionales activables desconectados y en el primer conmutador de semiconductores de potencia S1 bidireccional activable desconectado con valor umbral $U_{ce, th}$ excedido o en el caso de que no se alcance el valor umbral $U_{ce, th}$ en uno o varios conmutadores de semiconductores de potencia S1, S2, S3, S4 bidireccionales activables desconectados y en el cuarto conmutador de semiconductores de potencia S4 bidireccional activable conectado. De una manera ventajosa, a través de este tipo de detección de la trayectoria superior e inferior de la corriente errónea A, B, se puede prescindir totalmente de sensores de corriente para la detección, de manera que se reduce de una forma ventajosa el gasto de cableado y de material y se puede constituir el sistema convertidor parcial de esta manera más sencillo y de coste más favorable. Además, se reduce ventajosamente la tendencia a interferencia del sistema convertidor parcial 1 y, por lo tanto, de todo el circuito convertidor, de donde resulta una disponibilidad elevada de todo el circuito convertidor.

- 1 Sistema convertidor parcial
- 2 Circuito de tensión continua
- 3 Primera conexión principal
- 4 Segunda conexión principal
- 5 Conexión parcial
- S1 Primer conmutador de semiconductores de potencia
- S2 Segundo conmutador de semiconductores de potencia
- S3 Tercer conmutador de semiconductores de potencia
- S4 Cuarto conmutador de semiconductores de potencia
- S5 Quinto conmutador de semiconductores de potencia
- S6 Sexto conmutador de semiconductores de potencia
- A Trayectoria superior de la corriente errónea
- B Trayectoria inferior de la corriente errónea
- C Trayectoria de la corriente de carga.

REIVINDICACIONES

1. Procedimiento para el tratamiento de errores en un circuito convertidor para la conmutación de tres niveles de tensión, en el que el circuito convertidor presenta un sistema convertidor parcial (1) previsto para cada fase y comprende un circuito de tensión continua (2) formado por dos condensadores conectados en serie, en el que el circuito de tensión continua (2) comprende una primera conexión principal (3) y una segunda conexión principal (4) y una conexión parcial (5) formada por los dos condensadores adyacentes y conectados entre sí, y que presenta un primero, segundo, tercero y cuarto conmutadores de semiconductores de potencia bidireccionales (S1, S2, S3, S4) activables, y un quinto y sexto conmutadores de semiconductores de potencia (S5, S6), en el que el primero, segundo, tercero y cuarto conmutadores de semiconductores de potencia (S1, S2, S3, S4) están conectados en serie y el primer conmutador de semiconductores de potencia (S1) está conectado con la primera conexión principal (3) y el cuarto conmutador de semiconductores de potencia (S4) está conectado con la segunda conexión principal (4), y en el que el quinto y sexto conmutadores de semiconductores de potencia (S5, S6) están conectados en serie, el punto de conexión del quinto conmutador de semiconductores de potencia (S5) está conectado con el sexto conmutador de semiconductores de potencia (S6) con la conexión parcial (5), el quinto conmutador de semiconductores de potencia (S5) está conectado con el punto de conexión del primer conmutador de semiconductores de potencia (S1) con el segundo conmutador de semiconductores de potencia (S2) y el sexto conmutador de semiconductores de potencia (S6) está conectado con el punto de conexión del tercer conmutador de semiconductores de potencia (S3) con el cuarto conmutador de semiconductores de potencia (S4),

en el que una trayectoria superior de corriente errónea (A) o una trayectoria inferior de corriente errónea (B) es detectada en el sistema convertidor parcial (1), en el que la trayectoria superior de corriente errónea (A) conduce a través del primero, segundo, tercero y sexto conmutadores de semiconductores de potencia (S1, S2, S3, S6) o a través del primero y quinto conmutadores de semiconductores de potencia (S1, S5) y la trayectoria inferior de corriente errónea conduce a través del segundo, tercero, cuarto y quinto conmutadores de semiconductores de potencia (S2, S3, S4, S5) o a través del cuarto y sexto conmutadores de semiconductores de potencia (S4, S6), y

en el que los conmutadores de semiconductores de potencia bidireccionales (S1, S2, S3, S4) activables se conmutan de acuerdo con una secuencia de conmutación de errores, **caracterizado** porque de acuerdo con la secuencia de conmutación de errores en el caso de la detección de la trayectoria superior o de la trayectoria inferior de la corriente errónea (A, B), se establece el estado de conmutación presente durante la detección de cada conmutador de semiconductores de potencia bidireccional (S1, S2, S3, S4) activable,

porque en el caso de la detección de la trayectoria superior de la corriente errónea (A) se desconecta el primer conmutador de semiconductores de potencia (S1) y a continuación el tercer conmutador de semiconductores de potencia (S3, y porque en el caso de la detección de la trayectoria inferior de corriente errónea (B) se desconecta el cuarto conmutador de semiconductores de potencia (S4) y a continuación el segundo conmutador de semiconductores de potencia (2).

2. Procedimiento de acuerdo con la reivindicación 1, **caracterizado** porque el quinto y sexto conmutadores de semiconductores de potencia (S5, S6) son un conmutador de semiconductores de potencia bidireccional activable, en el que en el caso de la detección de la trayectoria superior de la corriente errónea (A), se desconecta el sexto conmutador de semiconductores de potencia (S6) antes de la desconexión del primer conmutador de semiconductores de potencia (S1) y en el caso de la detección de la trayectoria inferior de la corriente errónea (B), se desconecta el quinto conmutador de semiconductores de potencia (S5) antes de la desconexión del cuarto conmutador de semiconductores de potencia (S4).

3. Procedimiento de acuerdo con la reivindicación 1 ó 2, **caracterizado** porque en el caso de la detección de la trayectoria superior de la corriente errónea (A), se desconecta el tercer conmutador de semiconductores de potencia (S3) con un tiempo de retardo (t_v) opcional con respecto al primer conmutador de semiconductores de potencia (S1) y porque en el caso de la detección de la trayectoria inferior de la corriente errónea (B), se desconecta el segundo conmutador de semiconductores de potencia (S2) con un tiempo de retardo (t_v) opcional con respecto al cuarto conmutador de semiconductores de potencia (S4).

4. Procedimiento de acuerdo con la reivindicación 3, **caracterizado** porque el tiempo de retardo (t_v) se selecciona en el orden de magnitud de $1 \mu s$ a $5 \mu s$.

5. Procedimiento de acuerdo con una de las reivindicaciones anteriores, **caracterizado** porque se desconectan los conmutadores de semiconductores de potencia (S1, S2, S3, S4, S5, S6) bidireccionales activables de los sistema convertidores parciales (1) no afectados por el error.

6. Procedimiento de acuerdo con una de las reivindicaciones 1 a 5, **caracterizado** porque para la detección de la trayectoria superior o inferior de la corriente errónea (A, B), se supervisa la desaturación de cada uno de los conmutadores de semiconductores de potencia (S1, S2, S3, S4, S5, S6) bidireccionales activables, y porque se supervisa la dirección de la corriente a través de la conexión parcial (5).

ES 2 296 142 T3

7. Procedimiento de acuerdo con la reivindicación 6, **caracterizado** porque se detecta la trayectoria superior de la corriente erróneas (A) en el caso de una dessaturación del primero, segundo, tercero, cuarto quinto o sexto conmutadores de semiconductores de potencia (S1, S2, S3, S4, S5, S6) bidireccionales activables y una corriente a través de la conexión parcial (5) en la dirección del circuito de tensión continua (5), y porque se detecta la trayectoria inferior de la corriente erróneas (B) en el caso de una dessaturación del segundo, tercero, cuarto quinto o sexto conmutadores de semiconductores de potencia (S2, S3, S4, S5, S6) bidireccionales activables y una corriente a través de la conexión parcial (5) desde la dirección del circuito de tensión continua (5).

8. Procedimiento de acuerdo con una de las reivindicaciones 1 a 5, **caracterizado** porque para la detección de la trayectoria superior o inferior de la corriente errónea (A, B) se supervisa la dessaturación de cada conmutador de semiconductores de potencia (S1, S2, S3, S4, S5, S6) bidireccionales activables, y porque se supervisa una corriente a través de la primera conexión principal (3) y una corriente a través de la segunda conexión principal (4).

9. Procedimiento de acuerdo con la reivindicación 8, **caracterizado** porque se detecta la trayectoria superior de la corriente errónea (A) en el caso de dessaturación del primero, segundo, tercero, quinto o sexto conmutadores de semiconductores de potencia (S1, S2, S3, S5, S6) bidireccionales activables y en el caso de una corriente a través de la primera conexión principal (3), y porque se detecta la trayectoria inferior de la corriente errónea (B) en el caso de dessaturación del segundo, tercero, cuarto, quinto o sexto conmutadores de semiconductores de potencia (S2, S3, S4, S5, S6) bidireccionales activables y en el caso de una corriente a través de la segunda conexión principal (4).

10. Procedimiento de acuerdo con una de las reivindicaciones 1 a 5, **caracterizado** porque se supervisa un valor umbral (U_{ce} , t_h) de la tensión del ánodo - cátodo (U_{ce}) de cada uno de los conmutadores de semiconductores de potencia (S1, S2, S3, S4, S5, S6) bidireccionales activables,

porque se detecta la trayectoria superior de corriente errónea (A)

(a1) en el caso de que se exceda el valor umbral (U_{ce} , t_h) cuando uno o varios conmutadores de semiconductores de potencia (S1, S2, S3, S4, S5, S6) bidireccionales activables están conectados y el cuarto conmutador de semiconductores de potencia (S4) bidireccional activable está desconectado con valor umbral (U_{ce} , t_h) excedido, o

(b1) en el caso de que se exceda el valor umbral (U_{ce} , t_h) cuando uno o varios conmutadores de semiconductores de potencia (S1, S2, S3, S4, S5, S6) bidireccionales activables están conectados y el primer conmutador de semiconductores de potencia (S1) bidireccional activable está desconectado, o

(c1) en el caso de que no se alcance el valor umbral (U_{ce} , t_h) cuando uno o varios conmutadores de semiconductores de potencia (S1, S2, S3, S4) bidireccionales activables están desconectados y el cuarto conmutador de semiconductores de potencia (S4) bidireccional activable está desconectado con valor umbral (U_{ce} , t_h) excedido, o

(d1) en el caso de que no se alcance el valor umbral (U_{ce} , t_h) cuando uno o varios conmutadores de semiconductores de potencia (S1, S2, S3, S4) bidireccionales activables están desconectados y el primer conmutador de semiconductores de potencia (S1) bidireccional activable está conectado,

y porque se detecta la trayectoria inferior de corriente errónea (B)

(a2) en el caso de que se exceda el valor umbral (U_{ce} , t_h) cuando uno o varios conmutadores de semiconductores de potencia (S1, S2, S3, S4, S5, S6) bidireccionales activables están conectados y el primer conmutador de semiconductores de potencia (S4) bidireccional activable está desconectado con valor umbral (U_{ce} , t_h) excedido, o

(b2) en el caso de que se exceda el valor umbral (U_{ce} , t_h) cuando uno o varios conmutadores de semiconductores de potencia (S1, S2, S3, S4, S5, S6) bidireccionales activables están conectados y el cuarto conmutador de semiconductores de potencia (S4) bidireccional activable está desconectado, o

(c2) en el caso de que no se alcance el valor umbral (U_{ce} , t_h) cuando uno o varios conmutadores de semiconductores de potencia (S1, S2, S3, S4) bidireccionales activables están desconectados y el primer conmutador de semiconductores de potencia (S1) bidireccional activable está desconectado con valor umbral (U_{ce} , t_h) excedido, o

(d2) en el caso de que no se alcance el valor umbral (U_{ce} , t_h) cuando uno o varios conmutadores de semiconductores de potencia (S1, S2, S3, S4) bidireccionales activables están desconectados y el cuarto conmutador de semiconductores de potencia (S4) bidireccional activable está conectado.

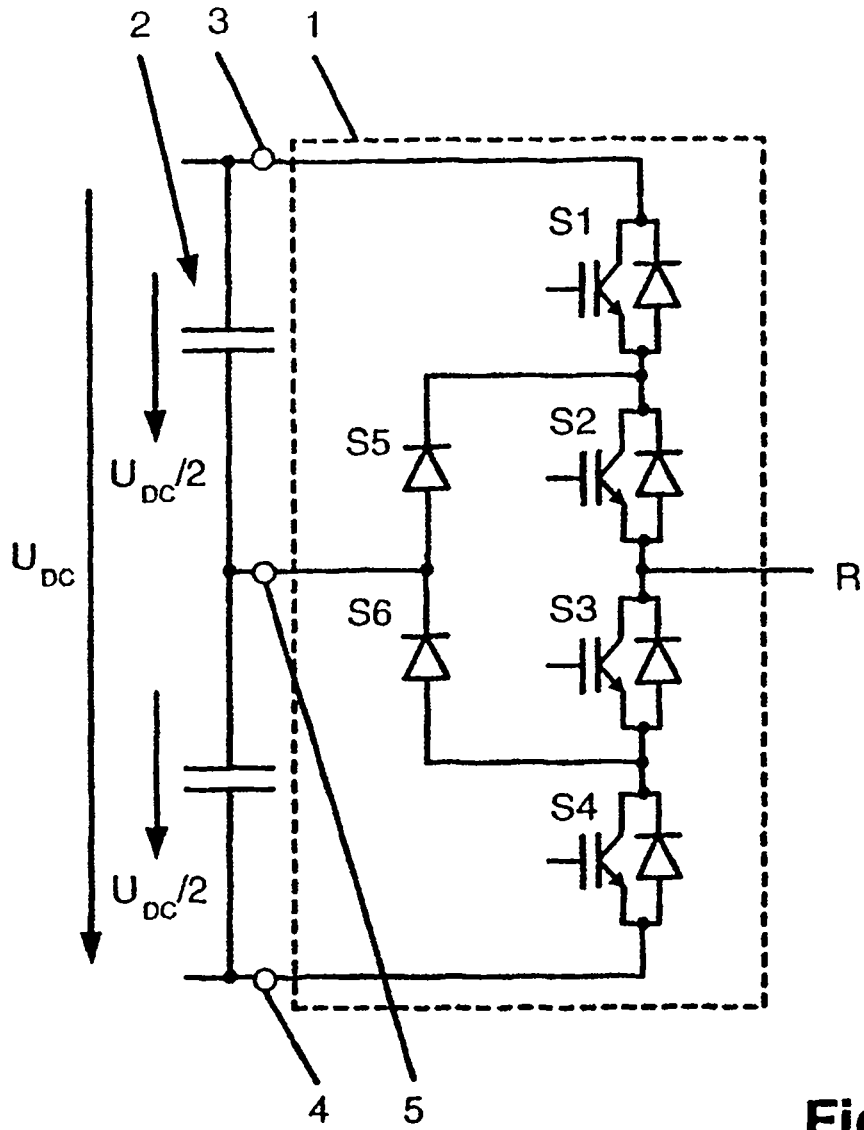


Fig. 1a

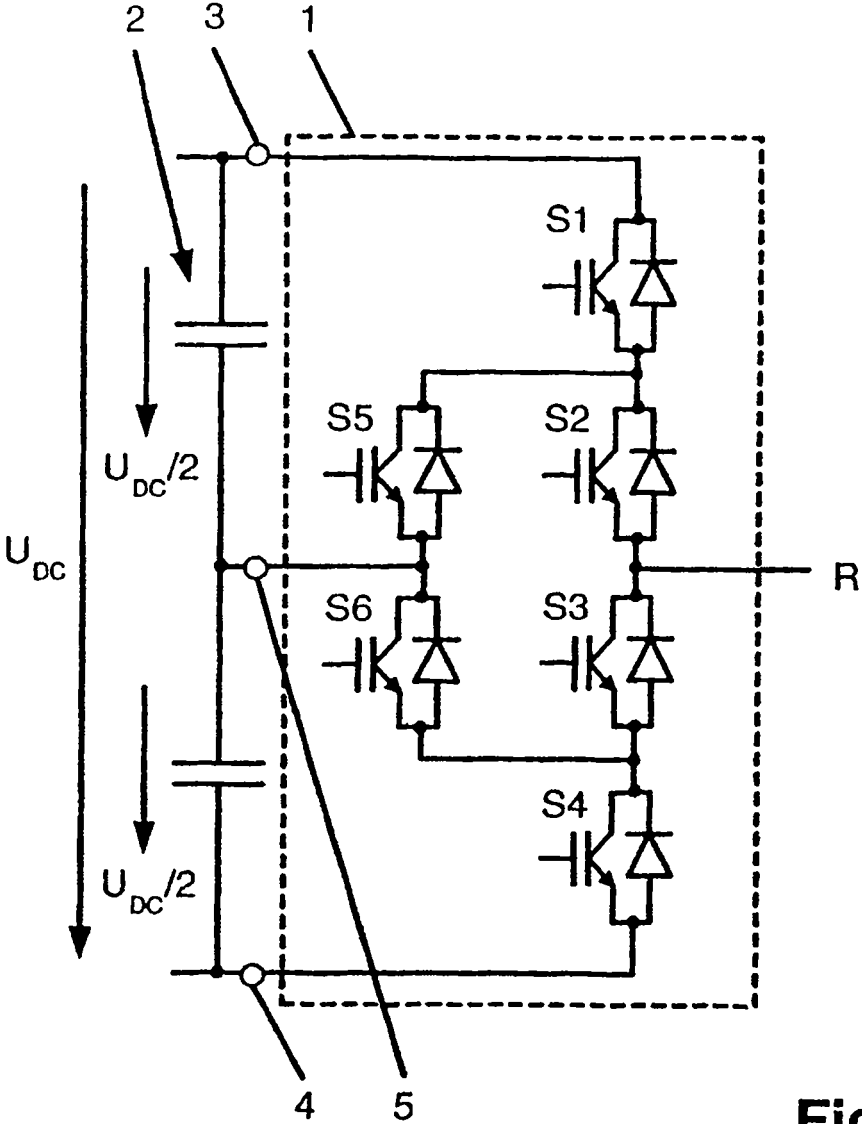


Fig. 1b

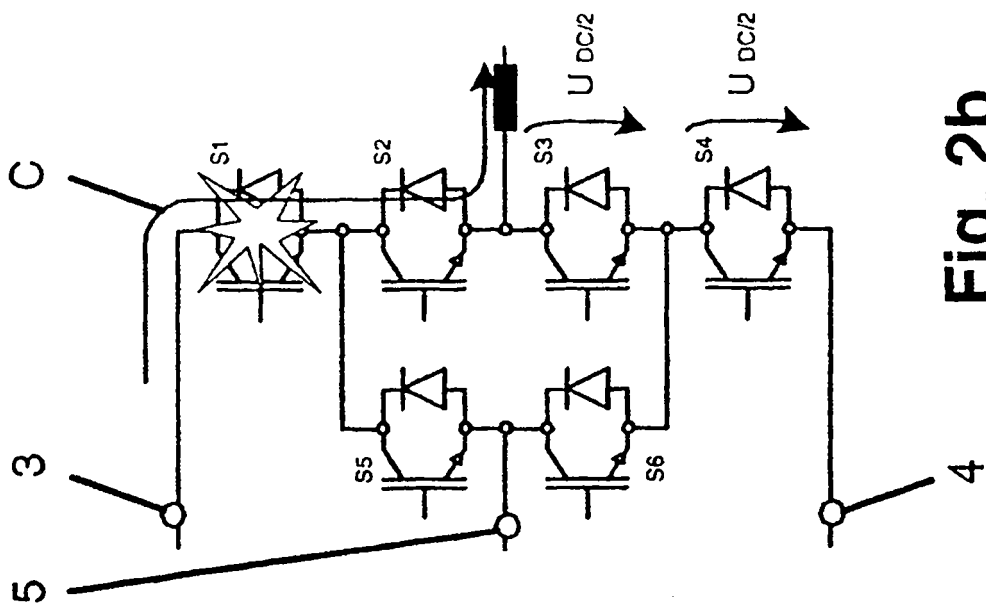


Fig. 2b

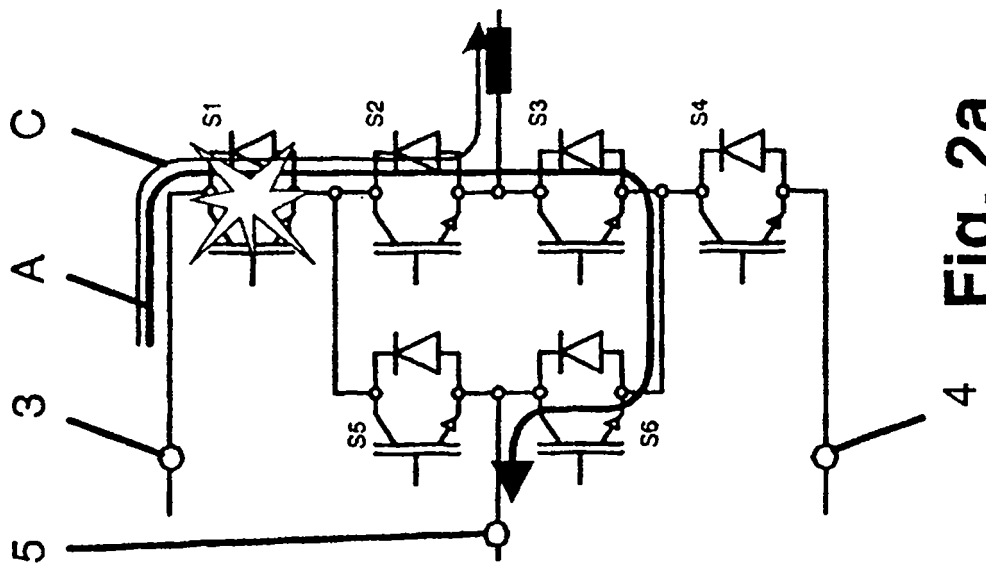


Fig. 2a

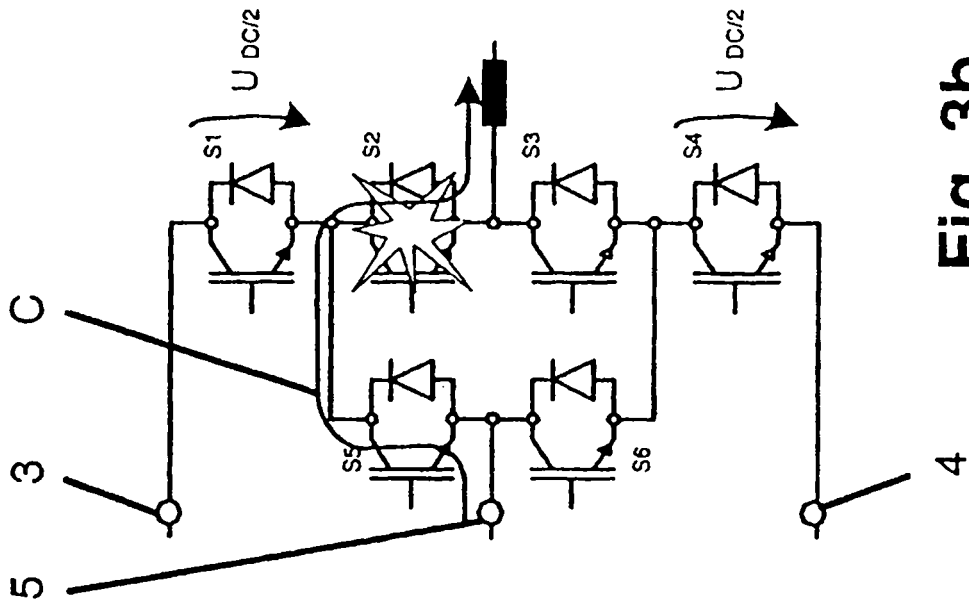


Fig. 3b

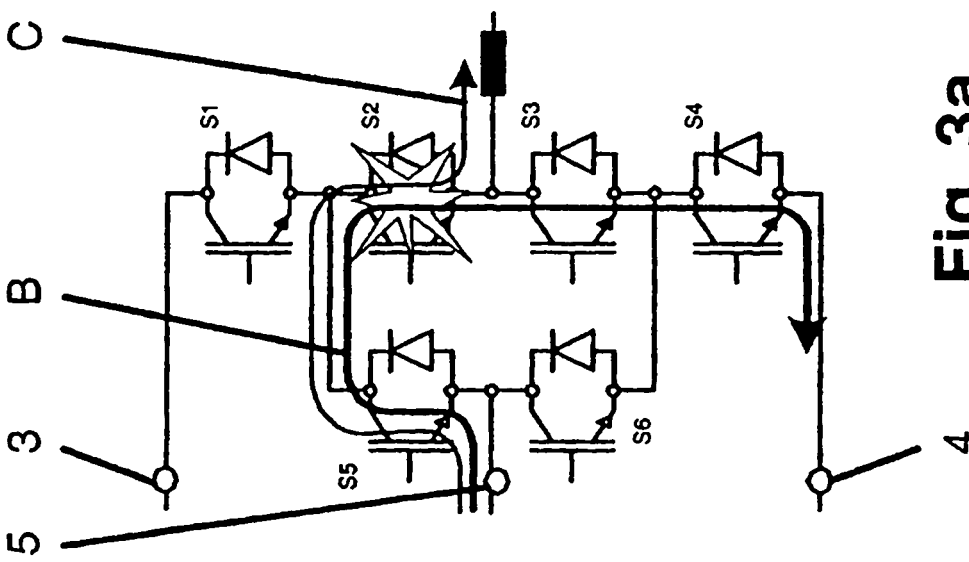


Fig. 3a

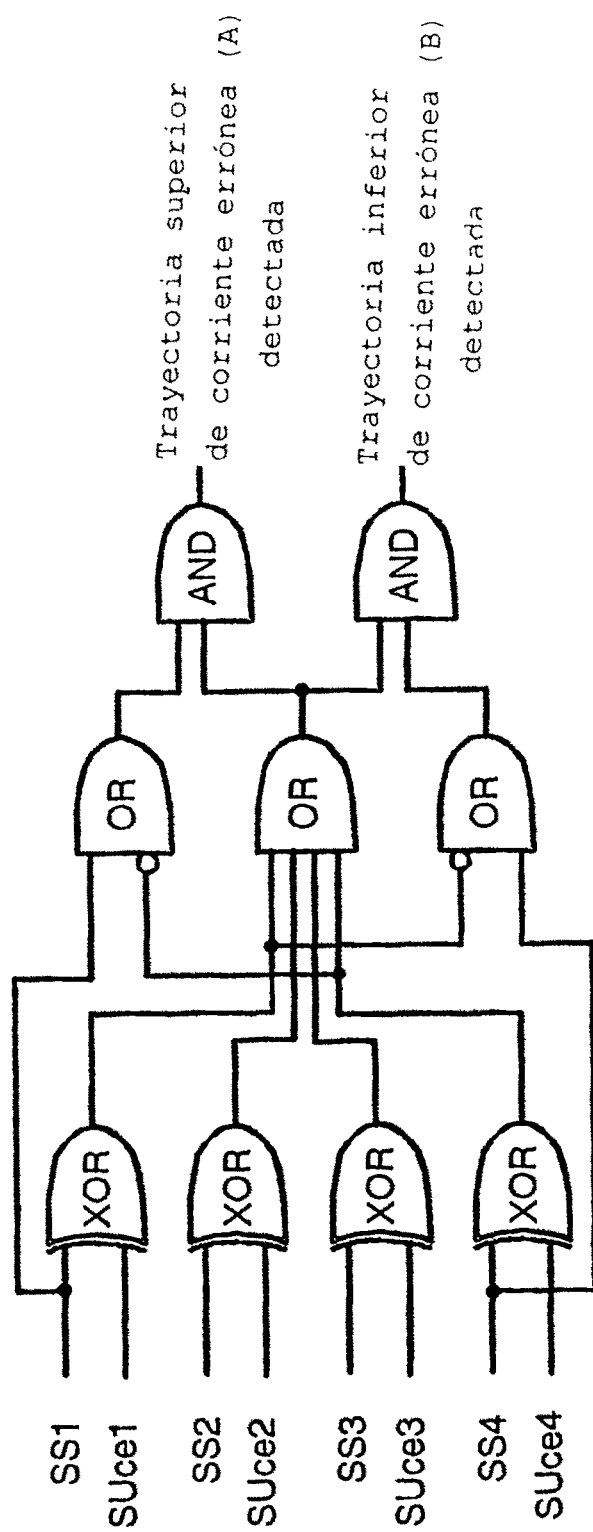


Fig. 4a

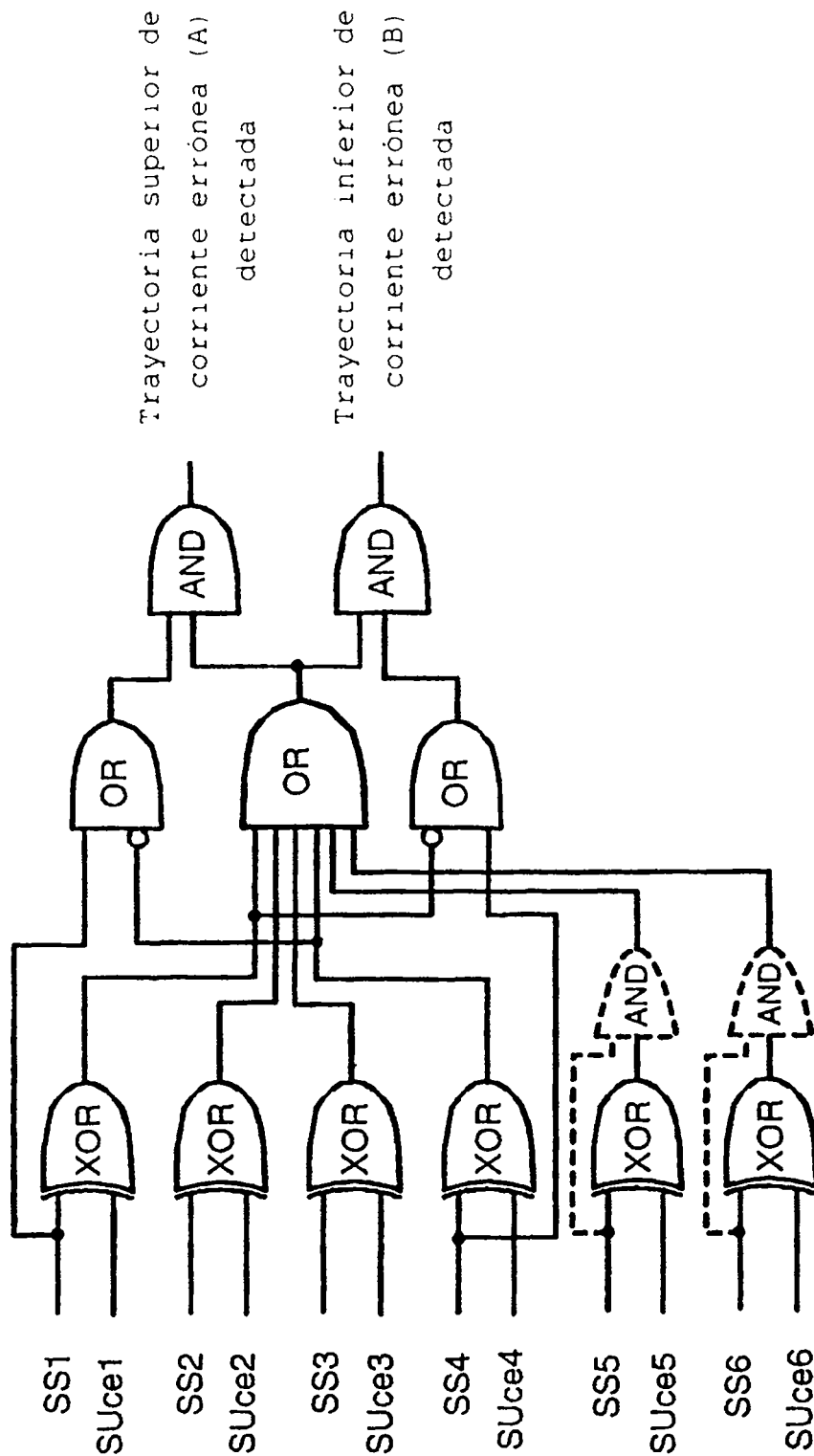


Fig. 4b