

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4686579号  
(P4686579)

(45) 発行日 平成23年5月25日(2011.5.25)

(24) 登録日 平成23年2月18日(2011.2.18)

(51) Int. Cl. F I  
**HO2M 3/155 (2006.01)** HO2M 3/155 H  
**HO2M 3/28 (2006.01)** HO2M 3/28 H

請求項の数 11 (全 19 頁)

(21) 出願番号	特願2008-195612 (P2008-195612)	(73) 特許権者	000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号
(22) 出願日	平成20年7月30日(2008.7.30)	(74) 代理人	100100310 弁理士 井上 学
(65) 公開番号	特開2010-35357 (P2010-35357A)	(74) 代理人	100098660 弁理士 戸田 裕二
(43) 公開日	平成22年2月12日(2010.2.12)	(72) 発明者	佐瀬 隆志 茨城県日立市大みか町七丁目1番1号 株式会社 日立製作所 日立研究所内
審査請求日	平成22年3月3日(2010.3.3)	(72) 発明者	叶田 玲彦 茨城県日立市大みか町七丁目1番1号 株式会社 日立製作所 日立研究所内

最終頁に続く

(54) 【発明の名称】 電源装置

(57) 【特許請求の範囲】

【請求項1】

インダクタLとコンデンサCとから成るパワー系出力フィルタと、  
 該パワー系出力フィルタのLの両端に並列に設けた第1、第2のCR平滑フィルタと、  
 該パワー系出力フィルタに出力電力を供給する一対の相補的なオンオフ動作の電力半導体スイッチング素子と、

該一対の電力半導体スイッチング素子の駆動手段と、

該駆動手段に駆動信号を供給するパルス幅変調を行うPWM発振器と、

該PWM発振器に前記第1のCR平滑フィルタの出力と新規の基準電圧との誤差信号を供給する誤差増幅器と、

該新規の基準電圧を生成する差動増幅器と加算器と基準電圧とから成る新規基準電圧生成回路と、

該第2のCR平滑フィルタの出力と上/下限しきい値との大小関係を判別する過渡変動検出回路と、

該過渡変動検出回路の出力情報により負荷状態に応じて所望のデューティのPWMパルスを前記駆動手段に出力するセレクタと、

ソフトスタート動作期間と定常動作期間とを判別する情報を検出する出力電圧検出回路と、を備えた一次系帰還制御方式の降圧型DC-DCコンバータの電源装置において、

前記定常動作期間の軽負荷時に、インダクタLに流れる電流を検出して軽負荷と判定した際は、前記一対の電力半導体スイッチング素子と前記PWM発振器とをスリープにし、

電源装置の出力電圧が低下して前記第2のCR平滑フィルタの出力が前記過渡変動検出回路の下限しきい値に到達した時に、前記一对の電力半導体スイッチング素子のうち上側電力半導体スイッチング素子をオンにし、

その時点のインダクタLに流れる電流を検出して軽負荷が持続している際は、電源装置の出力電圧を上昇させ、

電源装置の出力電圧が所定の電圧まで上昇し、前記出力電圧検出回路の出力が変化したタイミングで前記上側電力半導体スイッチング素子をオフ、前記一对の電力半導体スイッチング素子のうち下側電力半導体スイッチング素子をオフにして、再度スリープになる軽負荷処理手段を設けたことを特徴とする電源装置。

【請求項2】

請求項1に記載の電源装置において、

前記軽負荷処理手段は、前記差動増幅器の出力電圧と軽負荷設定電圧とを比較するコンパレータと、

該コンパレータの出力状態を前記出力電圧検出回路に新たに設けた出力パルスや前記PWM発振器の出力パルスの立下りエッジタイミングにより確定した出力信号を発生し、

前記一对の電力半導体スイッチング素子と前記PWM発振器とをオフさせるためのD型フリップフロップと、

該過渡変動検出回路で負荷急増を検出した時に発生する100%デューティのPWMパルス100によりセットされ、前記出力電圧検出回路に新たに設けた出力パルスの立上りエッジタイミングによりリセットされて得られるパルスを発生し、

前記一对の電力半導体スイッチング素子のうち、上側電力半導体スイッチング素子のみをオンさせるためのRS型フリップフロップと、を備えたことを特徴とする電源装置。

【請求項3】

請求項2に記載の電源装置において、

前記出力電圧検出回路に新たに設けた出力パルスは、2つのコンパレータとRS型フリップフロップから成る出力電圧検出回路にインバータ回路を付加したことを特徴とする電源装置。

【請求項4】

請求項2に記載の電源装置において、

前記一对の電力半導体スイッチング素子と前記PWM発振器のオフ信号を、前記D型フリップフロップの出力と前記RS型フリップフロップの出力とのオア信号から得ることを特徴とする電源装置。

【請求項5】

請求項1に記載の電源装置において、

前記PWM発振器のPWMパルス発生にワンショット・マルチバイブレータを用いて、該ワンショット・マルチバイブレータに前記セレクタの機能を兼用させることにより、前記セレクタを省略したことを特徴とする電源装置。

【請求項6】

電源装置の出力電圧をフィードバックしてデジタル化して得たデジタル出力電圧信号と、目標値の基準電圧をデジタル化して得たデジタル基準電圧信号と、の差信号がゼロになるように制御するためのデジタル電圧制御手段と、

デジタルパルス幅変調を行うDPWM発生器から成るデジタル信号処理部と、

駆動手段を介して、前記デジタル信号処理部のDPWM発生器から出力されるPWMパルス信号で駆動する一对の相補的なオンオフ動作の電力半導体スイッチング素子と、

該一对の電力半導体スイッチング素子でスイッチングして得た方形波電圧を直流に変換するインダクタLとコンデンサCとから成るパワー系出力フィルタと、

該パワー系出力フィルタのインダクタLの両端に設けた第2のCR平滑フィルタの出力と上/下限しきい値との大小関係を判別する負荷急変時の過渡変動検出回路と、

該過渡変動検出回路の出力情報により負荷状態に応じて所望のデューティのPWMパルス信号を前記駆動手段に出力するセレクタと、

10

20

30

40

50

を備えた降圧型DC-DCコンバータのデジタル制御の電源装置において、

定常動作期間の軽負荷時に、インダクタLに流れる電流を検出して軽負荷と判定した際は、前記一对の電力半導体スイッチング素子と前記DPWM発生器とをスリープにし、

電源装置の出力電圧が低下して前記第2のCR平滑フィルタの出力が前記過渡変動検出回路の下限しきい値に到達した時に、前記一对の電力半導体スイッチング素子のうち上側電力半導体スイッチング素子をオンにし、

その時点のインダクタLに流れる電流を検出して軽負荷が持続している際は、電源装置の出力電圧を上昇させ、

電源装置の出力電圧が所定の電圧まで上昇した時に前記上側電力半導体スイッチング素子をオフ、前記一对の電力半導体スイッチング素子のうち下側電力半導体スイッチング素子をオフにして、再度スリープになる軽負荷処理手段を前記デジタル信号処理部に設けたことを特徴とするデジタル制御の電源装置。

10

#### 【請求項7】

請求項6記載の電源装置において、

前記軽負荷処理手段の制御アルゴリズムは、タイマ割込みにより、前記インダクタL電流の検出を前記第2のCR平滑フィルタの出力電圧と電源装置の出力電圧をそれぞれA/D変換器を介した後のデジタル差電圧信号としてリードし、該デジタル差電圧信号とデジタル軽負荷設定電圧信号とを比較して、軽負荷と判断したならば前記デジタル信号処理部に設けたデジタル軽負荷出力信号により、前記一对の電力半導体スイッチング素子と前記DPWM発生器をオフして、スリープになる処理、或いは、軽負荷でなければ前記デジタル信号処理部に設けたデジタル軽負荷出力信号により、スリープを解除する処理を行い、

20

前記過渡変動検出回路の下限しきい値に電源装置の出力電圧が到達した時に発生する100%デューティのPWMパルス信号100による割込みにより、前記上側電力半導体スイッチング素子を前記デジタル信号処理部に設けたデジタル軽負荷出力信号によりオン後、前記インダクタL電流の検出を前記第2のCR平滑フィルタの出力電圧と電源装置の出力電圧をそれぞれA/D変換器を介した後のデジタル差電圧信号としてリードし、

該デジタル差電圧信号とデジタル軽負荷設定電圧信号とを比較して、軽負荷と判断したならば予め設定した回数がゼロになるまで前記上側電力半導体スイッチング素子のオン状態を持続し、ゼロになったら前記上側電力半導体スイッチング素子を前記デジタル信号処理部に設けたデジタル軽負荷出力信号によりオフして、再度スリープになる処理を行うことを特徴とするデジタル制御の電源装置。

30

#### 【請求項8】

電源装置と、該電源装置から直流電圧の供給を受けるCPUとメモリと、該メモリの情報を記憶するハードディスク装置とを有する情報処理装置において、

上記電源装置は、請求項1から請求項7に記載の1つの電源装置を有することを特徴とする情報処理装置。

#### 【請求項9】

請求項8に記載の電源装置をIC化して、CPUやメモリの半導体チップのパッケージに内蔵したことを特徴とする情報処理装置。

40

#### 【請求項10】

請求項8に記載の電源装置をCPUやメモリの半導体チップに内蔵したことを特徴とする情報処理装置。

#### 【請求項11】

請求項8に記載の電源装置をオンボード上に実装したことを特徴とする情報処理装置。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、電源装置に係わり、特に一次系帰還制御電源装置(仮称)の軽負荷時の効率

50

向上に関し、更には、一次系帰還制御電源装置の特徴である高速応答性との両立が可能な軽負荷の制御技術に関するものである。

【背景技術】

【0002】

電源装置における軽負荷時の効率向上に関しては、バーストモード、電圧モード、リップルモード、等で実施されている例がある。バーストモードの例ではインダクタ電流を検出して、軽負荷なら数サイクルのバースト動作を継続して出力電圧を徐々に回復し、スリープにする。この時、負荷へは上側/下側パワーMOSFETと不要回路はオフしているので、出力コンデンサのみで給電する。このため、制御電力は小さいが、スイッチングロスは大いという欠点がある。この技術は〔非特許文献1〕に開示されている。

10

【0003】

次に、電圧モードの例では軽負荷時には相補的に上側/下側パワーMOSFETを1回のみオンオフして出力電圧を回復し、下側パワーMOSFETがオン時に上側/下側パワーMOSFETの midpoint 電圧が負から正に切替った時点でスリープにする。この時、上側/下側パワーMOSFETのみをオフする。このため、スイッチングロスは上側/下側パワーMOSFETの1回分で済むが、上側/下側パワーMOSFETの midpoint 電圧検出のために制御回路が常時動作しており制御電力が大いという欠点がある。これらの技術は〔特許文献1〕に開示されている。

【0004】

また、リップルモードの例では軽負荷時には出力電圧がリップル幅の下限しきい値から上限しきい値に到達するまでは、相補的に上側/下側パワーMOSFETのオンオフ動作を繰返して出力電圧を徐々に回復し、下側パワーMOSFETがオン時に上側/下側パワーMOSFETの midpoint 電圧が負から正に切替った時点でスリープにする。この時、上側/下側パワーMOSFETのみをオフにする。このため、スイッチングロス、制御電力共に大いという欠点がある。これらの技術は〔特許文献2〕に開示されている。

20

【0005】

【特許文献1】特開2007-20315号公報

【特許文献2】特開2007-20352号公報

【特許文献3】特開2004-080985号公報

【特許文献4】特開2005-184870号公報

【特許文献5】特開2008-113542号公報

30

【非特許文献1】リニアテクノロジー LTC3410 データシート

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明において、解決しようとする課題は、軽負荷時の効率向上のため、一次系帰還制御電源装置においてスイッチングロスと制御電力の両方を削減することを目的とするものである。

【0007】

また、軽負荷時の効率向上動作と、一次系帰還制御電源装置の特徴である高速応答性の両立を確保することを目的とするものである。

40

【0008】

また、本発明の技術をデジタル制御電源装置に適用することにより、軽負荷時の効率向上を実現するものである。

【課題を解決するための手段】

【0009】

本発明は、一次系帰還制御電源装置において、インダクタ電流を第2のCR平滑フィルタを用いて検出し、軽負荷と判定した場合には上側/下側パワーMOSFETと制御部の不要回路(PWM発振器、等)をオフしてスリープにする。そして、電源装置の出力電圧が低下して過渡変動検出回路の下限しきい値に到達した時に、上側パワーMOSFETを

50

オンして出力電圧を回復し、出力電圧が所定の電圧に到達した時に上側パワーMOSFETをオフして、再度スリープにすることを最も主要な特徴とする。そして、このために、一次系帰還制御電源装置の特徴である高速応答性を損なわないようにしたことを特徴とする。

【0010】

また、上述の方法を制御アルゴリズムで実現することにより、高速応答のデジタル制御電源装置に適用するようにしたことを特徴とする。

【発明の効果】

【0011】

本発明によると、軽負荷時には上側パワーMOSFETの1回のオン動作のみで出力電圧が回復できるのでスイッチングロスが最少にでき、かつ制御部のPWM発振器、等を停止するので制御電力が最も削減できる。

10

【0012】

また、軽負荷時の電力削減にと適用する電源装置の高速応答性は損なわれないので、軽負荷時の省電力化による効率向上と高速応答性の両立が図れるという利点がある。

【0013】

更に、本発明の技術によれば、デジタル制御に適用することで軽負荷時に最も省電力が期待できるポイントに設定値のチューニングが容易であり、アナログ制御より軽負荷時の省電力効果が期待できるという利点がある。

【発明を実施するための最良の形態】

20

【0014】

本発明の実施の形態について、簡単に述べる。

【0015】

本発明を適用する電源装置は、降圧型DC-DCコンバータの電源装置において、通常の設定制御ループとは別に、負荷急変時の過渡変動検出回路による高速応答ループを並列に設けた一次系帰還制御電源装置であり、インダクタ電流を第2のCR平滑フィルタを用いて検出し、軽負荷と判定した場合には上側/下側パワーMOSFETと制御部の不要回路(PWM発振器、等)をオフしてスリープにする。そして、電源装置の出力電圧が低下して過渡変動検出回路の下限しきい値に到達した時に、上側パワーMOSFETをオンして出力電圧を回復し、出力電圧が所定の電圧に到達した時に上側パワーMOSFETをオフして、再度スリープにする。これにより、出力電圧の所定電圧への回復は1回の上側パワーMOSFETのオン動作のみとなるのでスイッチングロスが最少になり、かつ定常制御ルートも動作しないので制御電力の削減が図れ、軽負荷時の省電力化による効率向上と高速応答性の両立を実現している。

30

【0016】

また、上述の軽負荷時の方法を制御アルゴリズムで実現することにより、高速応答のデジタル制御の電源装置への適用を可能にしている。

【0017】

以下、本発明の各実施例を図面を用いて説明する。

【実施例1】

40

【0018】

図1に本実施例の電源装置を示す。図1で、 $V_i$ が入力端子、 $V_o$ が出力端子である。入力端子 $V_i$ には上側パワーMOSFET(Q1)が接続され、接地電位側には下側パワーMOSFET(Q2)が接続される。パワーMOSFETのQ1とQ2の midpoint にはインダクタLとコンデンサC<sub>o</sub>とから成るパワー系出力フィルタであるLC平滑フィルタが接続される。そして、LC平滑フィルタのインダクタLの両端には抵抗RとコンデンサCとから成る第1のCR平滑フィルタと、抵抗R<sub>2</sub>とコンデンサC<sub>2</sub>とから成る第2のCR平滑フィルタとがそれぞれ並列接続され、さらにLC平滑フィルタの midpoint には出力端子 $V_o$ と差動増幅器AMPの一方の入力(-)と出力電圧検出回路VODETの入力が、第1のCR平滑フィルタの midpoint には誤差増幅器EAの一方の入力(-)が、第2のCR平滑フィ

50

ルタの midpoint には過渡変動検出回路 TVD の入力と差動増幅器 AMP の他方の入力 (+) が接続される。ここで、インダクタ L には内在する等価直列抵抗 ESR を以下で説明で使用するために図示している。

【 0 0 1 9 】

また、誤差増幅器 EA の他方の入力 (+) には、基準電圧 Vref と差動増幅器 AMP の出力電圧が加算器 ADD を介して得られる新規の基準電圧 Vref が接続され、誤差増幅器 EA の出力には、パルス幅変調 (Pulse Width Modulation: PWM と略す) 発振器 PWM, ドライバ DRV を介してパワー MOSFET の Q1, Q2 のゲートが接続される。パワー MOSFET の Q1, Q2 は逆相で駆動され、交互に導通する。本実施例では、出力電圧 Vout は入力電圧 Vin より小さい。

10

【 0 0 2 0 】

また、過渡変動検出回路 TVD の複数の入力には、コンデンサ C2 と抵抗 R2 から成る第 2 の CR 平滑フィルタの midpoint 電圧と新規の基準電圧 Vref に上下限電圧幅 ± を加えた電圧とが接続され、過渡変動検出回路 TVD の出力には、これらの入力電圧の大小関係により過渡負荷変動を検出して PWM 発振器 PWM のデューティを 0%、または 100% に強制的に制御する信号 0、または 100 が接続される。

【 0 0 2 1 】

また、出力電圧検出回路 VODET の複数の入力には、LC 平滑フィルタの midpoint 電圧と基準電圧 Vref と基準電圧 Vref の 90% 電圧  $Vref * 0.9$  とが接続され、出力電圧検出回路 VODET の出力 SPeriod には、図示していないがソフトスタート回路が接続される。ソフトスタート回路は電源起動時に電源装置の出力電圧をゆるやかに所定の電圧 (ここでは、基準電圧 Vref を用いた) に立上げるために用いられる。例えば、本発明の電源装置では電源起動期間中は過渡変動検出回路 TVD の出力 100 の信号によるアクションを禁止する、等である。以上が一次系帰還制御電源装置の基本構成である。

20

【 0 0 2 2 】

次に、一次系帰還制御電源装置の基本構成に軽負荷時の効率向上のために追加した回路 (以下、軽負荷効率改善回路 LL と記す) を説明する。軽負荷効率改善回路 LL は、RS 型フリップフロップ FF と、D 型フリップフロップ DFF と、コンパレータ CMP と、軽負荷設定電圧 I と、立上りエッジパルス発生回路 EGr1 と、立下りエッジパルス発生回路 EGf1, EGf2 と、オア回路 OR1, OR2 と、アンド回路 AN と、で構成される。

30

【 0 0 2 3 】

そして、RS 型フリップフロップ FF の一方の入力 S には過渡変動検出回路 TVD の出力 100 が、また RS 型フリップフロップ FF の他方の入力 R には立上りエッジパルス発生回路 EGr1 を介して出力電圧検出回路 VODET の出力 DETout が接続され、更に RS 型フリップフロップ FF の一方の出力 Q にはオア回路 OR2 を介してドライバ DRV が接続される。

【 0 0 2 4 】

また、D 型フリップフロップ DFF の一方の入力 T には、出力電圧検出回路 VODET の出力 DETout が立下りエッジパルス検出回路 EGf1 を介して、また PWM 発振器 PWM の出力が立下りエッジパルス検出回路 EGf2, アンド回路 AN を介して、オア回路 OR1 に接続されてから接続される。D 型フリップフロップ DFF の他方の入力 D にはコンパレータ CMP の出力が接続され、コンパレータ CMP の一方の入力 (-) には差動増幅器 AMP の出力が、コンパレータ CMP の他方の入力 (+) には軽負荷設定電圧 I が接続される。更に、D 型フリップフロップ DFF の出力 Q にはドライバ DRV, PWM 発振器 PWM, オア回路 OR2, アンド回路 AN がそれぞれ接続される。

40

【 0 0 2 5 】

次に、図 1 の回路動作を説明する。まずは、無負荷条件での定常状態の動作 (後述の図 3 の (b) の  $(Vref +) > VocR > (Vref -)$  の条件の時) である。この場合、第 1 の CR 平滑フィルタ, 誤差増幅器 EA, PWM 発振器 PWM, ドライバ D

50

R Vによる制御ループの動作である。入力端子V iに印加された入力電圧は、上側パワーM O S F E T ( Q 1 )と下側パワーM O S F E T ( Q 2 )のオン/オフ制御によって第1のC R平滑フィルタを介して電圧に変換される。この変換電圧V F Bは新規の基準電圧V r e f (この値は、無負荷では基準電圧V r e fに等しい)と誤差増幅器E Aで比較され、誤差増幅器E Aの出力に誤差電圧が増幅されて発生する。この誤差電圧はP W M発振器P W MでP W Mパルスに変換される。このP W MパルスはドライバD R Vで上側パワーM O S F E T ( Q 1 )と下側パワーM O S F E T ( Q 2 )とを駆動するオン/オフ時間比(デューティ: )に変換され、誤差電圧がゼロになるように負帰還制御され、変換電圧V F Bは新規の基準電圧V r e fに等しくなる。この場合、定常状態においてC R平滑フィルタを通して得られる変換電圧V F Bは入力電圧V i nのデューティに比例する。従って、 $V F B = V r e f = V r e f \cdot V i n$ の関係式が成立する。ここで、前記デューティは、オン時間/(オン時間とオフ時間の和)で定義するので、0~1の間の値をとる。

10

## 【0026】

通常の降圧型コンバータの場合では、定常状態での電圧変換率が出力電圧と入力電圧の割合、すなわちデューティに等しいことがわかっているため、L C平滑フィルタの出力、すなわち出力端子V oに得られる出力電圧V o u tは、入力電圧をV i n、デューティをとると、 $V o u t = \cdot V i n$ の関係式で求まる。

## 【0027】

上記2つの式より、 $V o u t = V r e f = \cdot V i n$ の関係が成立する。従って、出力電圧は、直接L C平滑フィルタ出力を帰還して制御しなくても、他の方法でデューティを間接的に制御できれば出力端子V oの出力電圧V o u tを直接制御したことに同等になり、出力端子V oには入力電圧V i nのデューティに比例した電圧が得られる。換言すると、パワーM O S F E T ( Q 1 )、( Q 2 )を駆動して、C R平滑フィルタの出力を負帰還制御することで、L C平滑フィルタの出力にも入力電圧V i nのデューティに比例した所望の電圧が出力電圧V o u tとして得ることができる。

20

## 【0028】

しかしながら、以上が成立するのは無負荷の条件に限られ、負荷電流I oが流れるとインダクタLの等価直列抵抗E S Rによって電圧降下が発生し、第1のC R平滑フィルタの出力電圧(平均値)V o u t (この電圧は変換電圧V F Bとも云う)と出力端子V oに得られる出力電圧V o u tとが等しくならない現象が生じる。即ち、V o u tを制御しているため、V o u tはV o u tよりE S R x I oだけ低下した電圧となる。このため、インダクタLの等価直列抵抗E S Rによる負荷電流依存をなくするためには、誤差増幅器の他方の入力(+)に元の基準電圧V r e fに電圧(E S R x I o)を加算した電圧を新規の基準電圧V r e fとして与えることにより補償することができる。具体的には、新規の基準電圧V r e fとしては、第2のC R平滑フィルタの出力電圧V o C Rと出力端子V oの出力電圧V o u tから差電圧(E S R x I o)を差動増幅器A M Pを用いて取り出し、この差電圧を基準電圧V r e fに加算器A D Dで加えた電圧を用いている。これにより、負荷電流I oが変化しても常に出力端子V oに得られる出力電圧V o u tを元の基準電圧V r e fと等しくなるようにしている。

30

40

## 【0029】

次は、過渡負荷変動時(負荷急変時)の動作である。負荷急変時の制御は、過渡変動検出回路T V Dを用いて、第2のC R平滑フィルタの出力電圧V o C Rと、新規の基準電圧V r e fに上下限電圧幅±を加えた電圧の関係から、出力電圧V o u tの動作状態を検出して、定常状態と負荷急変状態を判定し、その動作状態に見合った制御に切り換える方法を採用している。ここで、出力電圧V o u tの急激な変化を第2のC R平滑フィルタの出力電圧V o C Rで見ているのは、出力電圧V o u tの変化がコンデンサC 2を介して第2のC R平滑フィルタの出力電圧V o C Rに伝達されるため(この場合、第2のC R平滑フィルタは出力端子V oからは微分回路に見えるため)、第2のC R平滑フィルタの出力電圧V o C Rを用いても出力電圧V o u tの変化が検出できるとの考え方である。即ち、

50

( a )  $V_{OCR} ( V_{ref} + )$  の条件は、負荷電流が急激に減少して出力電圧  $V_{out}$  が上昇した場合（負荷急減時）で、そのアクションとして PWM 発振器 PWM の出力デューティ を強制的に 0 % にする。これにより、上側パワー MOS FET ( Q 1 ) はオフ、下側パワー MOS FET ( Q 2 ) はオンとなるので、出力電圧  $V_{out}$  が急激に低下して出力電圧  $V_{out}$  の変動を抑える。

【 0 0 3 0 】

( b )  $( V_{ref} + ) > V_{OCR} > ( V_{ref} - )$  の条件は、定常状態の動作であり、上述したように PWM 発振器 PWM の出力デューティ は  $( V_{out} / V_{in} )$  の比で制御される。

【 0 0 3 1 】

( c )  $V_{OCR} ( V_{ref} - )$  の条件は、負荷電流が急激に増加して出力電圧  $V_{out}$  が低下した場合（負荷急増時）であり、PWM 発振器 PWM の出力デューティ を強制的に 1 0 0 % にする。これにより、上側パワー MOS FET ( Q 1 ) はオン、下側パワー MOS FET ( Q 2 ) はオフとなるので、出力電圧  $V_{out}$  が急激に増加して出力電圧  $V_{out}$  の変動を抑える。

【 0 0 3 2 】

上記 ( a ) , ( b ) , ( c ) の切換えを、詳細な過渡変動検出回路 TVD と PWM 発振器 PWM の一実施例を用いて、具体的に示す。

【 0 0 3 3 】

図 2 は、過渡変動検出回路 TVD であり、2 つのコンパレータ CP 1、CP 2 で構成され、これらをウインドコンパレータとして用いる。入力の  $V_{OCR}$  と  $V_{ref} \pm$  の大小関係により、出力の 0 と 1 0 0 には図 3 に示す状態情報が得られる。この 0 と 1 0 0 の状態情報は、図 4 のワンショット・マルチバイブレータ OSM と誤差増幅器 EA の出力電圧を電流に変換する  $V / I$  変換器（図示せず）と発振器（図示せず）で構成される PWM 発振器 PWM に入力され、図 3 の ( a ) , ( b ) , ( c ) の結果が図 4 の出力に得られる。即ち、

( a ) の場合は、0 が選択されるので、図 4 内の電圧  $V_2$  が電源電圧  $V_{cc}$  になり、図 4 の出力 に “ L ” を出力する。これにより、上側パワー MOS FET ( Q 1 ) はオフ、下側パワー MOS FET ( Q 2 ) はオンとなる。

【 0 0 3 4 】

( b ) の場合は、0 , 1 0 0 によって、図 4 の出力 には変化を与えないので、誤差増幅器 EA の出力電圧を  $V / I$  変換器を介して変換した電流  $I_{PWM}$  により、図 5 の動作波形に得られるような所望のデューティ の PWM パルスを図 4 の出力 に出す。これにより、上側 / 下側パワー MOS FET ( Q 1 ) , ( Q 2 ) は所望のデューティ の PWM パルスで動作する。この場合、スイッチング周期  $T_s$  としては発振器で発生したクロック CLK が用いられる。

【 0 0 3 5 】

( c ) の場合は、1 0 0 が選択されるので、図 4 内の電圧  $V_2$  が接地電位 GND となり、図 4 の出力 に “ H ” を出力する。これにより、上側パワー MOS FET ( Q 1 ) はオン、下側パワー MOS FET ( Q 2 ) はオフとなる。

【 0 0 3 6 】

本電源制御方式の特徴は、上側パワー MOS FET ( Q 1 ) と下側パワー MOS FET ( Q 2 ) のデューティ 制御による電圧変換手段として、制御ループに CR 平滑フィルタを用いる一次遅れの制御方法なので、従来技術のように LC 平滑フィルタの 2 次遅れがなく、制御ループが振動系とはならないため、出力には振動波形は発生せず、ループが安定になる。従って、本実施例によれば、LC 平滑フィルタのコンデンサに ESR の小さいチップ・セラミック・コンデンサを使用しても、制御ループが安定化できる。これが、一次系帰還制御方式たる所以である。

【 0 0 3 7 】

また、負荷急変時には過渡制御ループにより、強制的に出力電圧の変動を極力抑えるこ

10

20

30

40

50



とができるので、負荷急変時の高速応答性に優れる。よって、本電源制御方式は定常ループの安定性と高速応答性を両立して動作している電源装置とすることができる。なお、一次系帰還制御電源装置の回路、動作は、〔特許文献3〕、〔特許文献4〕に記載の電源装置に詳述しているので、こちらを参照されたい。

#### 【0038】

次は、軽負荷時の動作である。図1の実施例と図6の動作タイミング波形を用いて説明する。今、電源装置は軽負荷時のスリープ状態にあると考えると、図6(c), (d), (j)に示すように上側/下側パワーMOSFET(Q1), (Q2)とPWM発振器PWMは停止(オフ)しているので、負荷への電力供給はLC平滑フィルタの出力コンデンサCoの蓄積されたエネルギーで賄われる。このため、出力コンデンサCoの端子電圧、即ち出力電圧Voutは、負荷電流をIo、出力コンデンサCoをCoとすると、図6(b)のようにIo/Coの傾斜で降下していく。降下した出力電圧Voutが第2のCR平滑フィルタの出力VoCRで見て過渡変動検出回路TVDの下限しきい値(Vref - )に到達したならば、過渡変動検出回路TVDの出力100は“L”から“H”に変化し(図6(e)のt1のタイミング)、この変化がRS型フリップフロップFFの入力Sに入力されると、RS型フリップフロップFFの出力Qは“L”から“H”にセットされ(図6(c)のt2のタイミング)、オア回路OR2、ドライバDRVを介して上側パワーMOSFET(Q1)をオンにする(図6(c))。これにより、出力電圧Voutは図6(b)のように上昇するので、出力電圧Voutと所定に電圧(ここでは、基準電圧Vref)とを比較している出力電圧検出回路VODETの出力DETOutは“L”から“H”に変化する(図6(f))。この波形の立上りタイミングがRS型フリップフロップFFの入力Rに入力されると、RS型フリップフロップFFの出力Qは“H”から“L”にリセットされ(図6(c)のt3のタイミング)、オア回路OR2,ドライバDRVを介して上側パワーMOSFET(Q1)がオフして(図6(c))、上側パワーMOSFET(Q1)は再度スリープ状態になる(この時、下側パワーMOSFET(Q2)とPWM発振器PWMは既にオフ状態にある。図6(d), (j))。この動作により、上側/下側パワーMOSFET(Q1), (Q2)の midpoint 電圧Vxは図6(a)のように、上側パワーMOSFET(Q1)の1回のスイッチング動作が行われる。

#### 【0039】

このスリープ状態にある時の軽負荷状態は、インダクタL電流を周期的に検出することで確認できる。このため、インダクタL電流を第2のCR平滑フィルタの出力電圧VoCRと出力電圧Voutの差電圧の形で差動増幅器AMPを用いて検出し、この検出電圧(VoCR - Vout = ES R x Io)と軽負荷設定電圧IとをコンパレータCMPで比較して、(VoCR - Vout = ES R x Io) < IならばコンパレータCMPの出力Isenseを“L”と判定し(図6(h)のt4のタイミング)、D型フリップフロップDFFFの入力Dにセットする。一方、この時、上側/下側パワーMOSFET(Q1), (Q2)とPWM発振器PWMは停止(オフ)しているので、負荷への電力供給は、出力コンデンサCoに蓄積されたエネルギーで賄われる。このため、出力コンデンサCoの端子電圧、即ち出力電圧Voutは、図6(b)のようにIo/Coの傾斜で降下していくので、この降下電圧と所定の電圧(ここでは、基準電圧Vref)とを出力電圧検出回路VODETで比較し、出力電圧検出回路VODETの出力DETOutが“H”から“L”に切換る立下りタイミング(図6(f)のt4)がD型フリップフロップDFFFの入力Tに入力されると、D型フリップフロップDFFFの出力Qは再度“L”にセットされ(図6(i))、軽負荷状態(スリープ)を確定する。これにより、上側/下側パワーMOSFET(Q1), (Q2)とPWM発振器PWMを停止(オフ)し(図6(c), (d), (j)参照)、スリープ状態になる。このスリープ期間は、出力電圧Voutが降下して過渡変動検出回路の下限しきい値に到達するまでで、この時点で100のアクションが発生することにより、以上の一連の動作が繰返されて軽負荷状態が持続される。なお、この100のアクションが発生しても、軽負荷でなければ、負荷急変時の制御が動作することは云うまでもない。

10

20

30

40

50

## 【 0 0 4 0 】

以上の動作説明は、D型フリップフロップDFFの入力Tに入力される信号が、以前の負荷状態が軽負荷にある時が前提だったので、出力電圧検出回路VODETの出力DEToutの立下りタイミングで説明したが、以前の負荷状態が軽負荷以外にある時にはPWM発振器PWMの出力の立下りタイミングでの動作となるが、ここではその説明は省略する。

## 【 0 0 4 1 】

ここで用いた出力電圧検出回路VODETの詳細な一実施例は、図7に示すように2つのコンパレータCP3, CP4とナンド回路NA11, NA12から成るフリップフロップによって構成される。電源起動時のソフトスタート期間を設定するための信号SSperiodを出力するものであるが、この他に、図7にはインバータIN11を追加して、軽負荷時の出力電圧の変化情報を得るための信号DEToutを出力するようにしている。

10

## 【 0 0 4 2 】

この方法によって、軽負荷時には1回の上側パワーMOSFET(Q1)のオン動作で出力電圧を所定の電圧まで回復し、その後上側/下側パワーMOSFET(Q1), (Q2)をオフ、PWM発振器PWM、等の制御回路をオフして、スリープ状態となる。このため、パワーMOSFETのスイッチングロス是最も少なく、制御電力も削減できる。また、負荷急変時には軽負荷時の動作とは別に過渡変動検出回路の動作によって上側/下側パワーMOSFET(Q1), (Q2)を駆動するPWMデューティを強制的に0%、又は100%にできるので、出力電圧Voutが急激に上昇、又は低下しても出力電圧Voutの変動を極力抑えることができる。これにより、軽負荷時の効率向上と高速応答性の両立が可能となる。

20

## 【 実施例 2 】

## 【 0 0 4 3 】

図8にもう一つの本実施例を示す。図8では、図1と同じ構成要素には同じ符号を付している。図8が、図1と異なる点は、下側パワーMOSFET(Q2)とPWM発振器PWMの停止(オフ)信号をD型フリップフロップDFFの出力Qを用いるのではなく、オア回路OR2の出力を上側パワーMOSFET(Q1)と同様に用いた点である。この場合は、軽負荷時には1回の上側パワーMOSFET(Q1)のオン動作で出力電圧を所定の電圧まで回復するのはこれまでと同様であるが、上側パワーMOSFET(Q1)がオフしてから下側パワーMOSFET(Q2)がオン動作となるので、図6(a)に示した下側パワーMOSFET(Q2)の寄生ダイオードで導通する部分が下側パワーMOSFET(Q2)のオン動作となる。よって、パワーMOSFETのスイッチングロスとしては若干増えるが、制御電力の削減効果は図1と同様に得られるので、軽負荷時の省電力化と高速応答性は両立できる。

30

## 【 0 0 4 4 】

以上の実施例では、インダクタ電流の検出を第2のCR平滑フィルタを用いて行っていたが、センス抵抗法やカレントトランス法、等によりインダクタ電流(又は、負荷電流も可)を検出することによっても、同様に実現できる。この場合、図1、図8のコンパレータCMPの一方の入力(-)にセンス抵抗法やカレントトランス法、等で得られた電流情報の電圧換算値を接続することによって可能となる。例えば、電流情報の検出には、新たに差動増幅器を設けて、その出力をコンパレータCMPの一方の入力(-)に加えることが必要になる。また、軽負荷設定電圧Iの大きさもそれぞれの電流検出方法の検出感度によっては変える必要がある。

40

## 【 0 0 4 5 】

本発明の軽負荷時の処理を箇条書きにすると、

(1) インダクタ電流を検出して軽負荷と判断したなら、上側/下側パワーMOSFETとPWM発振器をオフして、スリープ状態になること、

(2) 出力電圧が低下して設定した下限しきい値に到達したならば、上側パワーMOSFETをオンして出力電圧を回復し、所定の電圧に達したならば上側パワーMOSFET

50

をオフして、再度スリープ状態になること、  
であり、この処理を以上の実施例ではアナログ制御で実現した。以下では、この処理をデジタル制御で実現した実施例について説明する。

【実施例 3】

【0046】

図9に、図1の電源装置をデジタル制御化した一実施例を示す。図9では、図1の回路、機能を置換えするため、コンデンサCと抵抗Rから成る第1のCR平滑フィルタの出力からフィードバックしていた変換電圧VFBを出力端子Voから得るようにしたこと、コンパレータCP1、CP2で構成される過渡変動検出回路TVDを高速処理のためデジタル信号処理部100とは別に設けたこと、新規の基準電圧Vrefの差動増幅器AMPと加算器ADDによる発生をデジタル信号処理部100内において変換電圧VFB（出力電圧Voutとも云う）と電圧VoCRをA/D変換器ADo、ADoCRを介してデジタル信号に変換後の減算器SUBoによる減算結果のデジタルインダクタ電流信号DIOESRとデジタル基準電圧信号Drefとの加算器ADDrefによる加算結果の新規のデジタル基準電圧信号Drefとして発生したこと、電圧Vref±を新規のデジタル基準電圧信号Drefとデジタル過渡変動検出幅信号Dとを基にデジタル信号処理部100内のVref±発生回路Vで得るようにしたこと、出力電圧検出回路VODETの機能をデジタル信号処理部100内のデジタル電圧制御手段DVCで実現するようにしたこと（図示せず）、変換電圧VFBと基準電圧Vrefに対応したデジタル基準電圧信号Drefを用いた誤差増幅器EAの処理をデジタル信号処理部100内のデジタル電圧制御手段DVCで得るようにしたこと、PWM発振器PWMをデジタルPWM発生器DPWMとセレクタSELで構成するようにしたこと、等で実施している。更に、本発明の軽負荷時の処理をデジタル電圧制御手段DVCで実施するため、デジタル電圧制御手段DVCには、デジタル軽負荷設定電圧信号DI、信号100、減算器SUBoの減算結果であるデジタルインダクタ電流信号DIOESRのデジタル電圧制御手段DVCへの取り込みと、ドライバDRVへの演算結果を出力するためにデジタル軽負荷出力信号DLLを追加している。なお、このデジタル制御電源装置の回路、動作は、〔特許文献5〕に詳述しているので、こちらを参照されたい。

【0047】

図9のデジタル制御電源装置では、軽負荷時の処理に限って図10、図11の制御アルゴリズムを用いて説明する。

【0048】

軽負荷状態の検出、判定は、図10に示す制御アルゴリズムによって処理を実行する。図10では、周期的にタイマ割込みが発生すると、（1）インダクタL電流をリードし、（2）インダクタL電流相当のデジタルインダクタ電流信号DIOESRとデジタル軽負荷設定電圧信号DIの大小関係を比較し、軽負荷状態と判定したならば、（3）デジタル軽負荷出力信号DLLを用いて、ドライバDRVを介して上側/下側パワーMOSFET（Q1）、（Q2）とDPWM発生器を停止（オフ）して、スリープ状態にして処理を終了し、また軽負荷状態以外と判定したならば、（4）スリープ状態を解除して処理を終了する。ここで、スリープ状態になった場合には、上側/下側パワーMOSFET（Q1）、（Q2）は共にオフしているので、負荷への給電は出力コンデンサCoに蓄積されたエネルギーで賄われるため、出力コンデンサCoの端子電圧、即ち出力電圧Voutは徐々に低下していくので、この出力電圧Voutが過渡変動制御回路TVDの下限しきい値（Vref-）に到達した時に、信号100の割込みが発生する。この信号100の割込みによって、図11に示す処理を実行する。図11では、信号100の割込みが発生すると、（5）デジタル軽負荷出力信号DLLを用いて、ドライバDRVを介して上側パワーMOSFET（Q1）をオンし、次に（6）インダクタL電流をリードし、（7）信号100が軽負荷時、又は負荷急増時のアクションであるかを判断して、軽負荷時と判定した場合には、（8）出力電圧が所定に電圧に回復する一定時間を計数し

て完了した時に、(9) デジタル軽負荷出力信号DLLを用いて、ドライバDRVを介して上側パワーMOSFET(Q1)をオフして処理を終了し、また負荷急変時と判定した場合には、なにもしないで処理を終了する。軽負荷状態はこの一連の処理が実行される。

【0049】

以上の制御アルゴリズムは、次のような方法に代えても同様に実現可能である。

【0050】

(1) 図10のタイマ割込みに代えて、図11(8)で用いたような回数をセットして演算処理で周期的な時間間隔を決定する方法を用いること。タイマ割込みを不要にできる。

10

【0051】

(2) 図11の信号100の割込みの代わりに、出力電圧Vout(ここでは、変換電圧VFB)をサイクリックにリードして、その都度この出力電圧Voutと過渡変動検出回路TVDの下限しきい値を比較する方法を用いること。この場合、出力電圧Voutをこれまでの過渡変動検出回路TVDの下限しきい値と比較すると、デジタル処理速度の関係で、出力電圧は更に降下した電圧から回復を開始する可能性があるため、出力電圧との比較のために過渡変動検出回路TVDの下限しきい値とは別に設けた値を用いること必要になる。

【0052】

(3) 図11(8)の回数計数による出力電圧の所定の電圧への回復方法に代えて、出力電圧Voutをサイクリックにリードして、その都度この出力電圧Voutと所定の電圧を比較する方法を用いること。この場合も、上記(2)に記したようにデジタル処理速度を考慮して所定の電圧値を設定する必要がある。

20

【0053】

このデジタル制御によって、軽負荷時には1回の上側パワーMOSFET(Q1)のオン動作とDPWM発生器、等の制御回路の停止ができるので、パワーMOSFETのスイッチングロスをもっと少なくでき、かつ制御電力も削減できる。また、負荷急変時の動作も損なわない。よって、軽負荷時の省電力化による効率向上と高速応答性の両立が可能となる。

【0054】

また、デジタル制御はデジタル軽負荷設定電圧信号DIの設定値の変更が容易なので、軽負荷時の範囲を任意に設定できる等、きめ細かな制御が可能で、軽負荷時の制御電力の削減効果はアナログ制御に比べて更に向上する可能性がある。

30

【実施例4】

【0055】

また、図9のデジタル信号処理部100に市販のDSPコア、プロセッサ、専用ハードウェア、等を用いることができるなら、本発明のコンパレータCP1、CP2、及びセレクタSELを外付部品で追加することにより、図12の実施形態も実現可能である。なお、Vref±発生回路Vをデジタル信号処理部100で実現しているが、できない場合は外付回路で対応することも可能であるが、ここではその回路は容易に実現できるので省略する。

40

【0056】

本発明は、軽負荷時の処理の考え方が重要であって、本発明で提示した実施例に限定されるものではない。

【実施例5】

【0057】

図13は、本発明の電源装置をHDD(Hard disk Drive)装置へ適用した実施例である。HDD装置において、実施例1～実施例4に記載の電源装置であるDC-DCコンバータDC-DC1～DC-DCnはHDD装置にデータを記憶するための制御を司るプロセッサCPUや高速大容量メモリDRAM、SRAM、等で構成されるボードに対象毎に

50

異なる適した電圧の電力を供給している。なお、HDD装置HDD1～HDDmには本発明とは別の電源装置DC-DC11～DC-DC1mが適用される。

【実施例6】

【0058】

図14は、実施例1～実施例4に記載の電源装置であるDC-DCコンバータDC-DC1～DC-DCnをHDD装置にデータを記憶するための制御を司るプロセッサCPUや高速大容量メモリDRAM, SRAM、等と同一チップ上、或いは同一パッケージ上に構成して、対象毎に異なる適した電圧の電力を供給している。このようにDC-DCコンバータDC-DC1～DC-DCnを実装することにより、DC-DCコンバータと負荷となるプロセッサCPUや高速大容量メモリDRAM, SRAM、等との電源配線距離を極力短くできるので、負荷急変時の出力電圧変動を極端に低減でき、高速応答に効果がある。

10

【0059】

以上では、半導体スイッチング素子としてパワーMOSFETを例に説明したが、オンボード構成であれば、代わりにIGBTやGaNデバイス, SiC (Silicon Carbide) デバイスなどの他のパワースwitchング素子を用いてもよい。

【0060】

また、電源装置をプロセッサCPUや高速大容量メモリDRAM, SRAM、等と同一チップ上、或いは同一パッケージ上に構成(内蔵)するのであれば、半導体スイッチング素子としてこれらのチップと同一プロセスの、例えばCMOSデバイスのスイッチング素子を用いてもよい。

20

【0061】

また、上側の半導体スイッチング素子はN型を例に説明したが、P型であってもよい。

【産業上の利用可能性】

【0062】

本発明の電源装置は絶縁型DC-DCコンバータへの応用も可能で、一石のフォワード型コンバータ, 二石のフォワード型, プッシュプル型, ハーフブリッジ型, フルブリッジ型、等の絶縁型DC-DCコンバータの用途にも適用可能である。

【0063】

実施例1～実施例5の電源装置はこの他、図示しないが、VRMや、携帯機器用のDC-DCコンバータや、汎用のDC-DCコンバータ、等へ応用展開ができることは言うまでもない。

30

【図面の簡単な説明】

【0064】

【図1】実施例1の電源装置の回路ブロック図である。

【図2】図1の電源装置で過渡変動検出回路の詳細を示す回路図である。

【図3】図2の動作状態モードを示す図である。

【図4】図1の電源装置でPWM発振器PWMに用いるワンショット・マルチバイブレータの詳細を示す回路図である。

【図5】図4のワンショット・マルチバイブレータの動作を示す図である。

40

【図6】図1の電源装置で軽負荷時の動作を示す図である。

【図7】図1の電源装置で出力検出回路の詳細を示す回路図である。

【図8】実施例2の電源装置の回路ブロック図である。

【図9】実施例3の電源装置の回路ブロック図である。

【図10】図9の電源装置でタイマ割込み処理の制御アルゴリズムを示す図である。

【図11】図9の電源装置で信号100割込み処理の制御アルゴリズムを示す図である。

【図12】実施例4の電源装置の回路ブロック図である。

【図13】本実施例を搭載したHDD装置の情報処理用電源の説明図である。

【図14】本実施例を搭載したHDD装置のもう一つの情報処理用電源の説明図である。

50

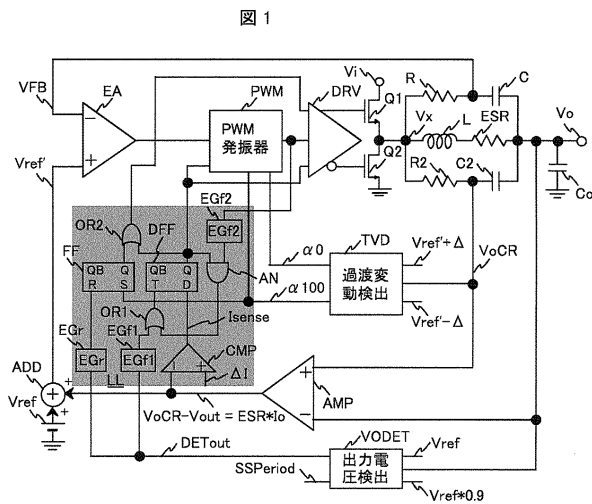
## 【符号の説明】

## 【0065】

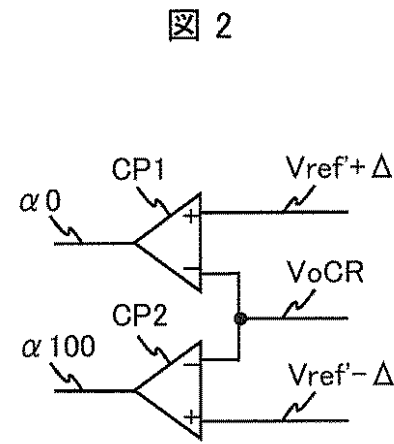
A D o , A D o C R	A / D 変換器	
A D D , A D D , A D D r e f	加算器	
A M P	差動増幅器	
A N	アンド回路	
A S I C	特定用途向け I C	
C o , C , C 2 , C T	コンデンサ	
C C	定電流源	
C M P , C P 1 ~ C P 4	コンパレータ	10
D C - D C 1 ~ D C - D C n , D C - D C 1 1 ~ D C - D C 1 m	D C - D C コンバータ	
C P U	プロセッサ (中央処理装置)	
D R A M	ダイナミック R A M	
D R V	ドライバ	
D A + , D A -	D / A 変換器	
D	デジタル上下限電圧幅信号	
D I	デジタル軽負荷設定電圧信号	
D P W M	デジタルパルス幅変調 ( D P W M ) 発生器	
D r e f	デジタル基準電圧信号	
D V C	デジタル電圧制御手段	20
E A	誤差増幅器	
E G r	立上りエッジパルス発生回路	
E G f 1 , E G f 2	立下りエッジパルス発生回路	
E S R	等価直列抵抗	
F F , D F F	フリップフロップ	
G N D	グランド	
H D D 1 ~ H D D m	H D D 装置	
I C	ロジック I C	
I N 1 1 , I N 2 1 ~ I N V 2 9	インバータ	
L	インダクタ	30
L I N E	給電ライン	
L L	軽負荷効率改善回路	
M 2 1 ~ M 2 8	M O S	
O R 1 , O R 2	オア回路	
O S M	ワンショット・マルチバイブレータ	
P B	プリント配線基板	
P G	パワーグランド	
N A 1 1 , N A 1 2 , N A 2 1 ~ N A 2 4	ナンド回路	
N R 2 1 , N R 2 2	ノア回路	
P W M	パルス幅変調 ( P W M ) 発振器	40
Q 1	上側パワー M O S F E T	
Q 2	下側パワー M O S F E T	
R , R 2 , R L	抵抗	
S E L	セレクタ	
S R A M	スタティック R A M	
S U B , S U B o	減算器	
T V D	過渡変動検出回路	
V c c	電源端子	
V i	入力端子	
V o	出力端子	50

VODET 出力電圧検出回路  
 Vref 基準電圧  
 Vref 新規の基準電圧  
 Vref ± 発生回路  
 上下限電圧幅  
 I 軽負荷設定電圧  
 V 上下限電圧発生回路

【図1】



【図2】



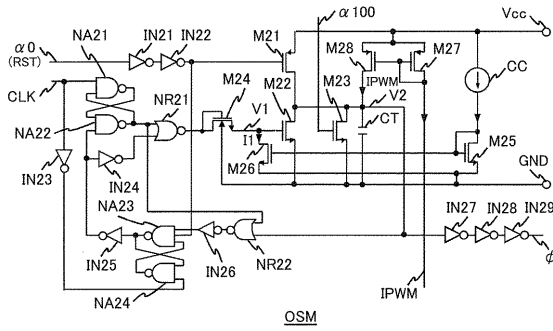
【図3】

図3

比較レベル		$\alpha 0$	$\alpha 100$	PWM Duty
VoCR	$V_{ref} + \Delta$	L	L	(a) 0% (急減)
	$V_{ref}$	H	L	(b) 所望の $\alpha$ (定常)
	$V_{ref} - \Delta$	H	H	(c) 100% (急増)

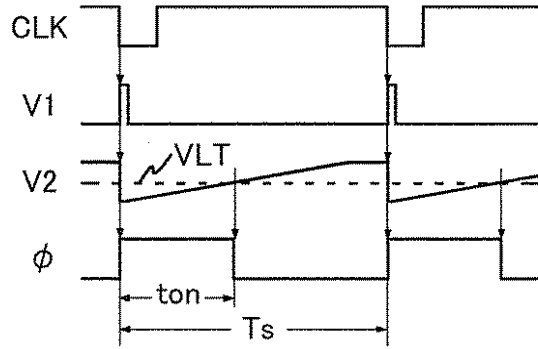
【 図 4 】

図 4



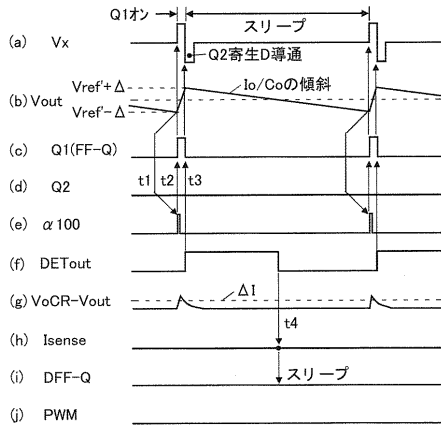
【 図 5 】

図 5



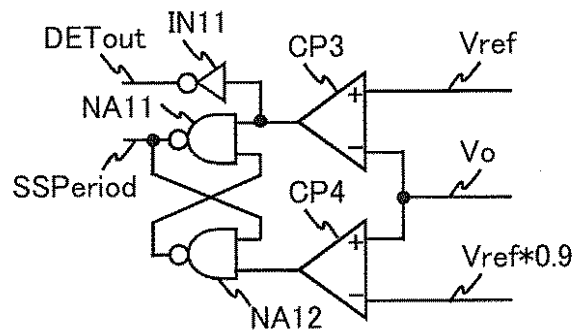
【 図 6 】

図 6



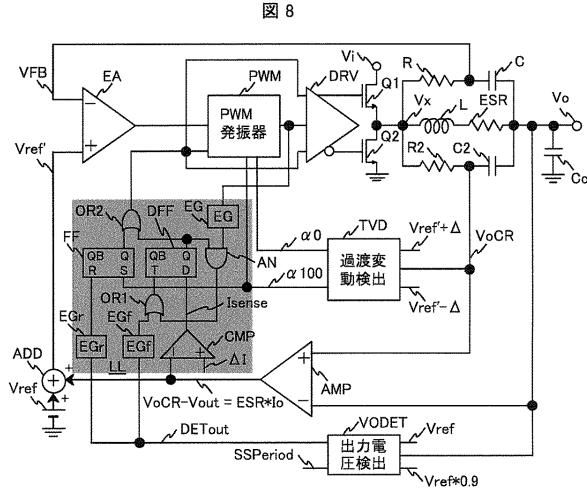
【 図 7 】

図 7

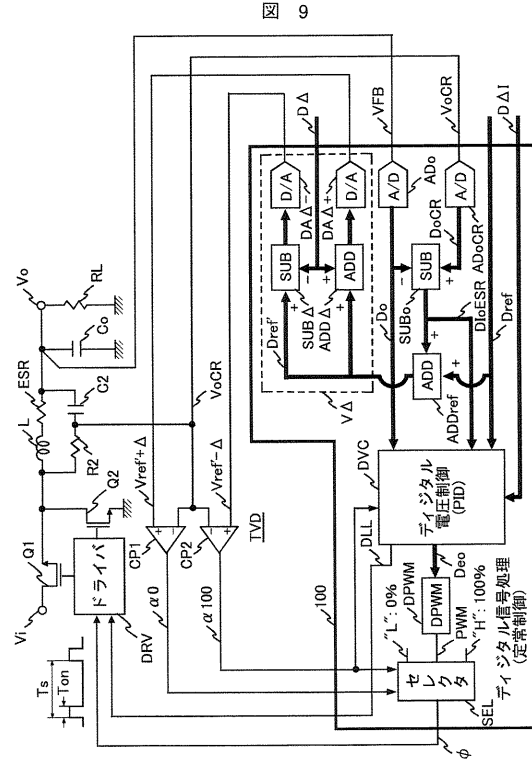




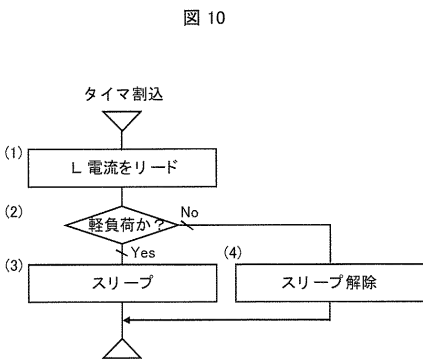
【図 8】



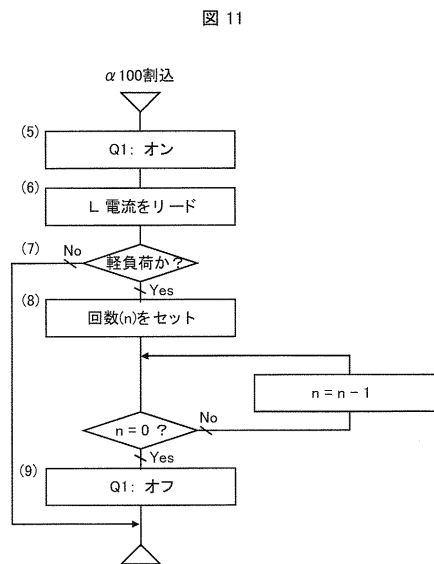
【図 9】



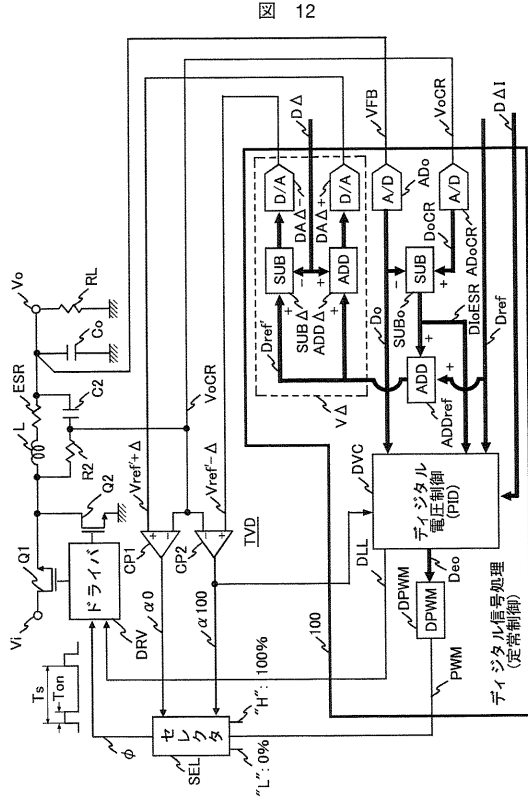
【図 10】



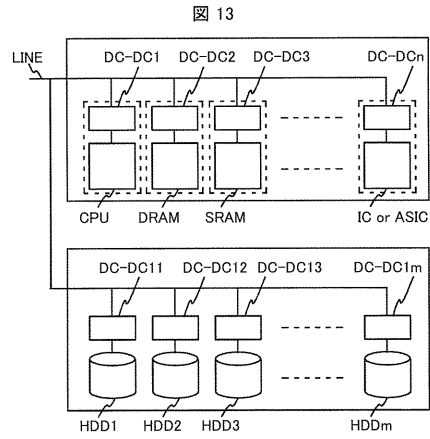
【図 11】



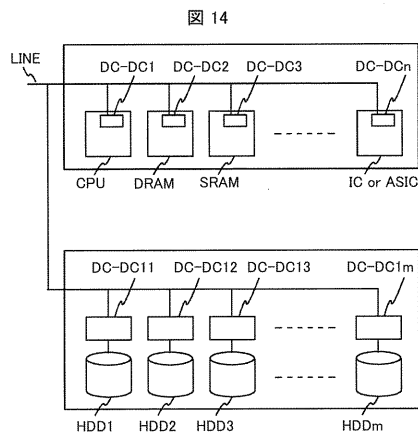
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



---

フロントページの続き

(72)発明者 露木 洋輔

神奈川県小田原市中里322番2号  
システム事業部内

株式会社 日立製作所 RAID

審査官 服部 俊樹

(56)参考文献 特開平07-177732(JP,A)  
特開平09-140126(JP,A)  
特開平08-340670(JP,A)  
特開2004-080985(JP,A)  
特開2000-193687(JP,A)  
特開2007-020315(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/155

H02M 3/28