(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년01월31일
(11) 등록번호 10-1944239
(24) 등록일자 2019년01월25일

(51) 국제특허분류(Int. Cl.)
H01L 27/12 (2006.01) *H01L 27/32* (2006.01)
(52) CPC특허분류
H01L 27/1225 (2013.01)
H01L 27/124 (2013.01)
(21) 출원번호 10-2018-7005532(분할)
(22) 출원일자(국제) 2010년09월21일
심사청구일자 2018년02월26일
(85) 번역문제출일자 2018년02월26일
(65) 공개번호 10-2018-0026549
(43) 공개일자 2018년03월12일
(62) 원출원 특허 10-2017-7024898
원출원일자(국제) 2010년09월21일
심사청구일자 2017년09월05일
(86) 국제출원번호 PCT/JP2010/066744
(87) 국제공개번호 WO 2011/043216
국제공개일자 2011년04월14일
(30) 우선권주장
JP-P-2009-235180 2009년10월09일 일본(JP)
(56) 선행기술조사문헌
JP2009021612 A
(뒷면에 계속)
전체 청구항 수 : 총 9 항

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
아라사와 료
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
시시도 히데아키
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
장훈

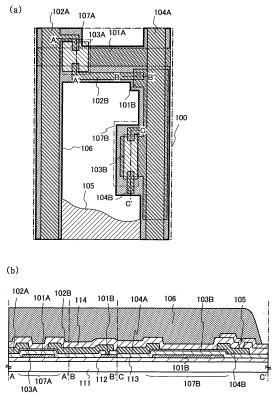
심사관 : 고연화

(54) 발명의 명칭 **발광 표시 장치 및 이를 포함한 전자 기기**

(57) 요 약

하나의 목적은 산화물 반도체를 이용한 박막 트랜지스터를 포함한 화소가 높은 개구율을 갖는 발광 표시 장치를 제공하는 것이다. 상기 발광 표시 장치는 각각이 박막 트랜지스터(107A) 및 발광 소자(105)를 포함한 복수의 화소들(100)을 포함한다. 상기 화소(100)는 주사선(101A)으로서 기능하는 제 1 배선에 전기적으로 접속된다. 상기 박막 트랜지스터(107A)는 게이트 절연막(113)을 개재하여 상기 제 1 배선(101A) 위에 산화물 반도체 층(103A)을 포함한다. 상기 산화물 반도체 층(103A)은 상기 제 1 배선(101A)이 제공되는 영역의 단부를 넘어 연장된다. 상기 발광 소자(105) 및 상기 산화물 반도체 층(103A)은 서로 중첩한다.

대 표 도 - 도1



(52) CPC특허분류
H01L 27/3211 (2013.01)

(56) 선행기술조사문헌
JP2007133371 A
KR1020070107058 A
US20080012076 A1
US20060043510 A1
KR1020060052371 A
KR1020070104310 A
US20090224245 A1
JP2001117115 A
US20030042484 A1

명 세 서

청구범위

청구항 1

표시 장치에 있어서,

제 1 화소 전극 및 트랜지스터를 포함하는 제 1 화소;

제 2 화소 전극을 포함하는 제 2 화소; 및

상기 트랜지스터의 게이트에 전기적으로 접속된 주사선을 포함하고,

상기 제 2 화소는 상기 제 1 화소에 인접하고,

상기 트랜지스터는 상기 주사선에 중첩하는 산화물 반도체층을 포함하고,

상기 트랜지스터의 채널 길이 방향의 상기 산화물 반도체층의 길이는 상기 산화물 반도체층과 상기 주사선이 서로 중첩하는 영역에서 상기 주사선의 폭보다 길고,

상기 산화물 반도체층은 상기 제 2 화소 전극에 중첩하고, 상기 제 1 화소 전극에 중첩하지 않는, 표시 장치.

청구항 2

표시 장치에 있어서,

제 1 화소 전극, 트랜지스터, 및 용량 소자를 포함하는 제 1 화소;

제 2 화소 전극을 포함하는 제 2 화소;

상기 트랜지스터에 전기적으로 접속된 주사선;

상기 용량 소자에 전기적으로 접속된 전원선을 포함하고,

상기 제 2 화소는 상기 제 1 화소에 인접하고,

상기 트랜지스터는 상기 주사선에 중첩하는 산화물 반도체층을 포함하고,

상기 트랜지스터의 채널 길이 방향의 상기 산화물 반도체층의 길이는 상기 산화물 반도체층과 상기 주사선이 서로 중첩하는 영역에서 상기 주사선의 폭보다 길고,

상기 산화물 반도체층은 상기 제 2 화소 전극에 중첩하고, 상기 제 1 화소 전극에 중첩하지 않고,

상기 전원선은 상기 주사선에 중첩하는 영역을 포함하는, 표시 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 산화물 반도체층은 게이트 절연막을 개재하여 상기 주사선 위에 있는, 표시 장치.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 산화물 반도체층은 인듐, 갈륨, 및 아연을 포함하는, 표시 장치.

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 산화물 반도체층은 투광성을 갖는, 표시 장치.

청구항 6

제 1 항 또는 제 2 항에 있어서,

상기 주사선은 구리를 포함하는, 표시 장치.

청구항 7

제 2 항에 있어서,

상기 전원선은 티타늄 및 몰리브덴을 포함하는, 표시 장치.

청구항 8

제 1 항 또는 제 2 항에 있어서,

상기 주사선은 분기된 배선을 포함하지 않는, 표시 장치.

청구항 9

제 1 항 또는 제 2 항의 상기 표시 장치를 포함하는, 전자 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 발광 표시 장치에 관한 것이다. 또한, 본 발명은 상기 발광 표시 장치를 포함한 전자 기기에 관한 것이다.

배 경 기 술

[0002] 유리 기판과 같은 평판 위에 형성된 박막 트랜지스터는, 통상적으로 액정 표시 장치로 보여지는 바와 같이, 비정질 실리콘 또는 다결정 실리콘을 사용하여 제조된다. 비정질 실리콘을 사용하여 제조된 박막 트랜지스터는 낮은 전계 효과 이동도를 가지지만, 보다 큰 유리 기판 위에 형성될 수 있다. 반대로, 결정 실리콘을 사용하여 제조된 박막 트랜지스터는 높은 전계 효과 이동도를 갖지만, 레이저 어닐링과 같은 결정화 단계를 필요로 하고 보다 큰 유리 기판에 항상 적절한 것은 아니다.

[0003] 상기를 고려하여, 박막 트랜지스터가 산화물 반도체를 사용하여 제조되고 전자 기기 또는 광학 장치에 적용되는 기술에 관심이 모아지고 있다. 예를 들면, 특허 문서 1은 박막 트랜지스터가 산화물 반도체 막으로서 In-Ga-Zn-O-계 산화물 반도체 또는 산화 아연을 사용하여 제조되고 이러한 트랜지스터가 발광 표시 장치의 스위칭 소자 등으로서 사용되는 기술을 개시한다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본 공개 특허 출원 제2009-031750호

발명의 내용

해결하려는 과제

[0005] 산화물 반도체가 채널 영역을 위해 사용되는 박막 트랜지스터의 상기 전계 효과 이동도는 비정질 실리콘이 채널 영역을 위해 사용되는 박막 트랜지스터보다 높다. 산화물 반도체를 사용하여 형성된 이러한 박막 트랜지스터를 포함한 화소가 EL 표시와 같은 발광 표시 장치에 적용되는 것으로 기대된다. 더욱이, 화소 당 상기 면적은 3D 표시 또는 4K2K 표시와 같은 보다 높은 부가가치의 발광 표시 장치에서 감소하는 것으로 기대되지만, 증가된 개구율을 갖는 화소를 포함한 발광 표시 장치가 요구된다.

[0006] 상기한 것을 고려하여, 본 발명의 목적은 산화물 반도체를 사용한 박막 트랜지스터를 포함한 화소가 높은 개구

율을 갖는 발광 표시 장치를 제공하는 것이다.

과제의 해결 수단

[0007] 본 발명의 일 실시형태에 따르면, 발광 표시 장치는 박막 트랜지스터 및 발광 소자를 포함한 화소를 포함한다. 상기 화소는 주사선으로서 기능하는 제 1 배선에 전기적으로 접속된다. 상기 박막 트랜지스터는 게이트 절연막을 개재하여 상기 제 1 배선 위에 산화물 반도체 층을 포함한다. 상기 산화물 반도체 층은 상기 제 1 배선이 제공되는 영역의 단부를 넘어 연장된다. 상기 발광 소자 및 상기 산화물 반도체 층은 서로 중첩한다.

[0008] 본 발명의 일 실시형태에 따르면, 발광 표시 장치는 박막 트랜지스터 및 발광 소자를 포함한 화소를 포함한다. 상기 화소는 주사선으로서 기능하는 제 1 배선 및 신호선으로서 기능하는 제 2 배선에 전기적으로 접속된다. 상기 박막 트랜지스터는 게이트 절연막을 개재하여 상기 제 1 배선 위에 산화물 반도체 층을 포함한다. 상기 산화물 반도체 층은 상기 제 1 배선이 제공되는 영역의 단부를 넘어 연장된다. 상기 제 2 배선은 상기 제 1 배선 위의 상기 게이트 절연막 위에서 연장되고 상기 산화물 반도체 층 상에 있고 그것과 접촉한다. 상기 발광 소자 및 상기 산화물 반도체 층은 서로 중첩한다.

[0009] 본 발명의 일 실시형태에 따르면, 발광 표시 장치는 박막 트랜지스터 및 발광 소자를 포함한다. 상기 화소는 주사선으로서 기능하는 제 1 배선 및 신호선으로서 기능하는 제 2 배선에 전기적으로 접속된다. 상기 박막 트랜지스터는 게이트 절연막을 개재하여 상기 제 1 배선 위에 산화물 반도체 층을 포함한다. 상기 산화물 반도체 층은 상기 제 1 배선이 제공되는 상기 영역의 단부를 넘어 연장된다. 상기 제 2 배선은 상기 제 1 배선 위의 상기 게이트 절연막 및 상기 게이트 절연막 위의 층간 절연층 위로 연장되며, 상기 산화물 반도체 층상에 있고 그것과 접촉한다. 상기 발광 소자 및 상기 산화물 반도체 층은 서로 중첩한다.

[0010] 본 발명의 일 실시형태에 따르면, 발광 표시 장치는 제 1 박막 트랜지스터, 제 2 박막 트랜지스터, 및 발광 소자를 포함한 화소를 포함한다. 상기 화소는 주사선으로서 기능하는 제 1 배선 및 신호선으로서 기능하는 제 2 배선에 전기적으로 접속된다. 상기 제 1 박막 트랜지스터는 게이트 절연막을 개재하여 상기 제 1 배선 위에 산화물 반도체 층을 포함한다. 상기 산화물 반도체 층은 상기 제 1 배선이 제공되는 영역의 단부를 넘어 연장된다. 상기 제 2 배선은 상기 제 1 배선 위의 상기 게이트 절연막 위로 연장되고 상기 산화물 반도체 층 상에 있으며 그것과 접촉한다. 상기 산화물 반도체 층과 접촉하고 상기 제 1 박막 트랜지스터 및 상기 제 2 박막 트랜지스터를 전기적으로 접속시키는 제 3 배선은 상기 제 1 배선 위의 상기 게이트 절연막 위에서 연장된다. 상기 발광 소자 및 상기 산화물 반도체 층은 서로 중첩한다.

[0011] 본 발명의 일 실시형태에 따르면, 발광 표시 장치는 박막 트랜지스터 및 발광 소자를 포함한다. 상기 화소는 주사선으로서 기능하는 제 1 배선 및 신호선으로서 기능하는 제 2 배선에 전기적으로 접속된다. 상기 박막 트랜지스터는 게이트 절연막을 개재하여 상기 제 1 배선 위에 산화물 반도체 층을 포함한다. 상기 산화물 반도체 층은 상기 제 1 배선이 제공되는 영역의 단부를 넘어 연장된다. 상기 제 2 배선은 상기 제 1 배선 위의 상기 게이트 절연막 및 상기 게이트 절연 막 위의 층간 절연층 위에서 연장되며, 상기 산화물 반도체 층 상에 있고 그것과 접촉한다. 상기 산화물 반도체 층과 접촉하고 상기 제 1 박막 트랜지스터 및 상기 제 2 박막 트랜지스터를 전기적으로 접속시키는 제 3 배선은 상기 제 1 배선 위의 상기 게이트 절연막 및 상기 게이트 절연막 위의 상기 층간 절연층 위에서 연장된다. 상기 발광 소자 및 상기 산화물 반도체 층은 서로 중첩한다.

발명의 효과

[0012] 산화물 반도체가 사용되는 박막 트랜지스터를 포함한 화소의 상기 개구율을 증가시키는 것이 가능하다. 따라서, 발광 표시 장치는 고화질 표시부를 포함할 수 있다.

도면의 간단한 설명

[0013] 도 1a 및 도 1b는 발광 표시 장치의 평면도 및 단면도.

도 2a 내지 도 2c는 발광 표시 장치의 단면도들이다.

도 3a 및 도 3b는 각각 발광 표시 장치를 도시한 평면도.

도 4a 및 도 4b는 발광 표시 장치의 평면도 및 단면도.

도 5a 및 도 5b는 각각 발광 표시를 도시한 평면도.

도 6a 및 도 6b는 발광 표시 장치의 평면도 및 단면도.

도 7은 발광 표시 장치의 회로도.

도 8은 발광 표시 장치의 회로도.

도 9는 발광 표시 장치의 단면도.

도 10a 내지 도 10c는 각각 전자 기기를 도시한 도면.

도 11a 내지 도 11c는 각각 전자 기기를 도시한 도면.

도 12a 및 도 12b는 발광 표시 장치의 평면도 및 단면도.

발명을 실시하기 위한 구체적인 내용

[0014] 본 발명의 실시형태들은 상기 첨부한 도면들을 참조하여 상세히 기술될 것이다. 본 발명은 다음 설명에 제한되지 않으며, 이 기술분야의 숙련자들에 의해 본 명세서에 개시된 모드들 및 세부사항들이 본 발명의 사상 및 범위로부터 벗어나지 않고 다양한 방식들로 변경될 수 있음이 쉽게 이해된다. 그러므로, 본 발명은 본 명세서에 포함된 상기 실시형태들의 내용에 제한되는 것으로서 해석되어서는 안된다. 이하에 설명된 본 발명의 구조들에서, 동일한 참조 부호들은 동일한 부분들 및 상이한 도면들에서 유사한 기능들을 갖는 부분들을 위해 사용되며, 그것의 설명은 반복되지 않는다는 것을 주의하자.

[0015] 본 명세서에서 도면들에 도시된 층의 상기 사이즈, 상기 두께, 또는 각각의 구조의 영역은 몇몇 경우들에서 간단함을 위해 과장됨을 주의하자. 그러므로, 본 발명의 실시형태들은 이러한 스케일로 제한되지 않는다.

[0016] 본 명세서에 사용된 "제 1", "제 2", 및 "제 3"과 같은 용어들은 구조적 요소들의 혼동을 회피하기 위해 사용되며 상기 구조적 요소들의 수에 대한 제한을 의미하지 않음을 주의하자. 그러므로, 예를 들면, 상기 용어 "제 1"은 상기 용어 "제 2", "제 3" 등으로 적절하게 대체될 수 있다.

[0017] (실시형태 1)

[0018] 이 실시형태에서, 발광 표시 장치는 일 예로서, 박막 트랜지스터(이하에서, 또한 TFT라고 하는) 및 상기 TFT에 접속된 발광 소자를 포함하는 화소를 사용하여 설명될 것이다. 화소는 표시 장치의 각 화소에 제공된 소자들, 예를 들면, 박막 트랜지스터, 발광 소자, 및 배선과 같이, 전기 신호에 따라 표시를 제어하기 위한 소자들로 구성되는 소자 그룹을 나타낸다는 것을 주의하자. 화소는 컬러 필터 등을 포함할 수 있으며 그것의 밝기가 하나의 화소로 제어될 수 있는 하나의 컬러 구성요소에 대응할 수 있다. 그러므로, 예를 들면, R, G, 및 B의 컬러 요소들을 포함한 컬러 표시 장치에서, 이미지의 최소 단위는 R 화소, G 화소, 및 B 화소의 3개의 화소들로 구성되며 이미지는 복수의 화소들을 갖고 획득될 수 있다.

[0019] 발광 소자는 한 쌍의 전극들(애노드 및 캐소드) 사이에 발광 층을 포함하며, 상기 전극들 중 하나 위의 상기 발광 층에 포함된 소자를 적층함으로써 형성된다는 것을 주의하자. 본 명세서에서, 도면들에 도시된 발광 소자의 전극들 중 하나는 때때로 "발광 소자"라고 한다.

[0020] "A와 B가 접속된다"는 것을 설명할 때, A와 B가 전기적으로 서로 접속되는 경우, 및 A와 B가 직접 서로에 접속되는 경우가 본 명세서에 포함된다는 것을 주의하자. 여기서, A 및 B는 각각 전기적 기능을 갖는 물체이다. 구체적으로, 상기 설명 "A와 B가 접속된다"는 A와 B 사이의 부분이 회로 동작을 고려하여 하나의 노드로서 간주될 수 있는 경우, 예를 들면, A와 B가 트랜지스터와 같은 스위칭 소자를 통해 접속되고 상기 스위칭 소자의 도전에 의해 동일하거나 또는 실질적으로 동일한 전위들을 갖는 경우, 및 A와 B가 저항기를 통해 접속되며 상기 저항기의 반대 단부들에서 생성된 상기 전위 차는 A와 B를 포함한 회로의 동작에 악영향을 주지 않는 경우를 포함한다.

[0021] 도 1a는 화소의 평면도이다. 도 1a에 도시된 TFT는 상기 TFT의 소스 전극 및 드레인 전극으로서 작용하는 배선층이 게이트로서 작용하는 배선에 대해, 채널 영역으로서 작용하는 산화물 반도체 층의 맞은 편에 위치되는 역스태거 구조(inverted staggered structure)라고 하는 한 종류의 보텀-게이트(bottom-gate) 구조를 갖는다.

[0022] 도 1a에 도시된 화소(100)는 주사선으로서 기능하는 제 1 배선(101A), 신호선으로서 기능하는 제 2 배선(102A), 제 1 산화물 반도체 층(103A), 제 2 산화물 반도체 층(103B), 전원선(104A), 용량 전극(101B), 및 발광 소자(105)를 포함한다. 게다가, 도 1a에 도시된 상기 화소(100)는 상기 제 1 산화물 반도체 층(103A) 및 상기 용량 전극(101B)을 전기적으로 접속하기 위한 제 3 배선(102B)을 포함하여, 제 1 박막 트랜지스터(107A)가 형성되도

록 한다. 더욱이, 도 1a의 상기 화소(100)는 상기 제 2 산화물 반도체 층(103B) 및 상기 발광 소자(105)를 전기적으로 접속하기 위한 제 4 배선(104B)을 포함하여, 제 2 박막 트랜지스터(107B)가 형성되도록 한다.

[0023] 각각의 화소를 위한 발광 소자들을 분리하기 위한 격벽(partition)(106)이 상기 제 1 배선(101A), 상기 제 2 배선(102A), 상기 제 3 배선(102B), 상기 제 4 배선(104B), 상기 제 1 산화물 반도체 층(103A), 상기 제 2 산화물 반도체 층(103B), 상기 전원선(104A), 및 상기 용량 전극(101B) 위에 제공된다. 상기 제 4 배선(104B)에 접속된 상기 발광 소자(105)는 상기 격벽(106)에 의해 둘러싸여진다는 것을 주의하자.

[0024] 상기 제 1 배선(101A)은 또한 상기 제 1 박막 트랜지스터(107A)의 게이트로서 기능한다. 상기 용량 전극(101B)은 또한 상기 제 2 박막 트랜지스터(107B)의 게이트 및 용량 소자의 일 전극으로서 기능하는 배선이다. 상기 제 2 배선(102A)은 또한 상기 제 1 박막 트랜지스터(107A)의 소스 전극 및 드레인 전극 중 하나로서 기능한다. 상기 제 3 배선(102B)은 또한 상기 제 1 박막 트랜지스터(107A)의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나로서 기능한다. 상기 전원선(104A)은 또한 상기 제 2 박막 트랜지스터(107B)의 소스 전극 및 드레인 전극 중 하나 및 상기 용량 소자의 다른 전극으로서 기능하는 배선이다. 상기 제 4 배선(104B)은 또한 상기 제 2 박막 트랜지스터(107B)의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나로서 기능한다.

[0025] 상기 제 1 배선(101A) 및 상기 용량 전극(101B)은 동일한 층으로부터 형성되며, 상기 제 2 배선(102A), 상기 제 3 배선(102B), 상기 전원선(104A), 및 상기 제 4 배선(104B)은 상기 동일한 층으로부터 형성된다는 것을 주의하자. 또한, 상기 전원선(104A) 및 상기 용량 전극(101B)은 상기 제 2 박막 트랜지스터(107B)의 저장 용량 소자를 형성하기 위해 부분적으로 서로 중첩한다.

[0026] 상기 제 1 박막 트랜지스터(107A)에 포함된 상기 제 1 산화물 반도체 층(103A)은 게이트 절연막(도시되지 않음)을 개재하여 상기 제 1 배선(101A) 위에 제공된다. 상기 제 1 산화물 반도체 층(103A)은 상기 배선(101A)이 제공되는 영역의 단부 및 상기 격벽(106)을 넘어 연장된다.

[0027] 상기 설명 "A가 B의 단부를 넘어 연장된다"는 적층된 A 및 B가 평면도에 보여질 때, A와 B의 단부들이 정렬되지 않으며, A의 단부가 B의 단부 밖에 위치되도록 A가 밖으로 연장되는 것을 의미함을 주의하자.

[0028] 상기 화소는 상기 제 1 박막 트랜지스터(107A) 및 상기 제 2 박막 트랜지스터(107B) 외에 복수의 박막 트랜지스터들을 포함할 수 있음을 주의하자. 상기 제 1 박막 트랜지스터(107A)는 상기 제 1 박막 트랜지스터(107A)를 포함한 화소를 선택하는 기능을 가지며, 또한 선택 트랜지스터라고 한다는 것을 주의하자. 상기 제 2 박막 트랜지스터(107B)는 상기 제 2 박막 트랜지스터(107B)를 포함한 화소에서 상기 발광 소자(105)로 흐르는 전류를 제어하는 기능을 가지며, 또한 구동 트랜지스터라고 한다.

[0029] 도 1b는 도 1a의 쇄선들(A-A', B-B', 및 C-C')에 따른 단면 구조를 도시한다. 도 1b에 도시된 상기 단면 구조에서, 상기 게이트로서 작용하는 상기 제 1 배선(101A) 및 상기 용량 전극(101B)은 하지막(112)을 개재하여 기판(111) 위에 제공된다. 게이트 절연막(113)은 상기 제 1 배선(101A) 및 상기 용량 전극(101B)을 커버하도록 제공된다. 상기 제 1 산화물 반도체 층(103A) 및 상기 제 2 산화물 반도체 층(103B)은 상기 게이트 절연막(113) 위에 제공된다. 상기 제 2 배선(102A) 및 상기 제 3 배선(102B)은 상기 제 1 산화물 반도체 층(103A) 위에 제공되며, 상기 전원선(104A) 및 상기 제 4 배선(104B)은 상기 제 2 산화물 반도체 층(103B) 위에 제공된다. 패시베이션 막으로서 기능하는 산화물 절연층(114)은 상기 제 1 산화물 반도체 층(103A), 상기 제 2 산화물 반도체 층(103B), 상기 제 2 배선(102A), 상기 제 3 배선(102B), 상기 전원선(104A), 및 상기 제 4 배선(104B) 위에 제공된다. 상기 격벽(106)은 상기 제 1 배선(101A), 상기 제 2 배선(102A), 상기 제 3 배선(102B), 상기 제 4 배선(104B), 상기 제 1 산화물 반도체 층(103A), 상기 제 2 산화물 반도체 층(103B), 상기 전원선(104A), 및 상기 용량 전극(101B) 위에 제공된다. 개구부는 상기 제 4 배선(104B) 위의 상기 산화물 절연층(114)에 형성된다. 상기 발광 소자(105)의 전극 및 상기 제 4 배선(104B)은 상기 개구부에서 접속된다. 쇄선(B-B')에 따른 상기 단면도에서, 상기 제 3 배선(102B) 및 상기 용량 전극(101B)은 상기 게이트 절연막(113)에 형성된 개구부를 통해 접속된다.

[0030] 도 1a 및 도 1b에 도시된 상기 화소는 도 7에 도시된 기판(700) 위에 복수의 화소들(701)과 같이 매트릭스상(狀)으로 위치된다는 것을 주의하자. 도 7은 화소부(702), 주사선 구동기 회로(703), 및 신호선 구동기 회로(704)가 상기 기판(700) 위에 위치되는 구조를 도시한다. 상기 화소들(701)이 선택 상태에 있는지 또는 비-선택 상태에 있는지 여부는 상기 주사선 구동기 회로(703)에 접속된 상기 제 1 배선(101A)으로부터 공급된 주사 신호에 따라 행(row)마다 결정된다. 상기 주사 신호에 의해 선택된 상기 화소(701)는 상기 신호선 구동기 회로(704)에 접속된 상기 제 2 배선(102A)으로부터의 비디오 전압(또한, 이미지 신호, 비디오 신호, 또는 비디

오 데이터라고 하는)을 공급받는다. 게다가, 상기 화소(701)는 상기 기판(700) 밖에서 제공된 전원 회로(705)로부터 연장되는 상기 전원선(104A)에 접속된다.

[0031] 도 7은 상기 주사선 구동기 회로(703) 및 상기 신호선 구동기 회로(704)가 상기 기판(700) 위에 제공되는 상기 구성을 도시하며, 대안적으로, 상기 주사선 구동기 회로(703) 및 상기 신호선 구동기 회로(704) 중 하나는 상기 기판(700) 위에 제공될 수 있다. 상기 화소부(702)만이 상기 기판(700) 위에 제공될 수 있다. 더욱이, 도 7은 상기 전원 회로(705)가 상기 기판(700) 밖에 제공되는 구성을 도시하며, 대안적으로, 상기 전원 회로(705)는 상기 기판(700) 위에 제공될 수 있다.

[0032] 도 7은 상기 복수의 화소들(701)이 상기 화소부(702)에서 매트릭스로(스트라이프로) 배열되는 일 예를 도시한다. 상기 화소들(701)은 반드시 매트릭스로 배열되는 것은 아니며 델타 패턴(delta pattern) 또는 베이어 배열(Bayer arrangement)로 배열될 수 있음을 주의하자. 상기 화소부(702)의 표시 방법으로서, 프로그레시브 방법(progressive method) 또는 인터레이스 방법(interlace method)이 이용될 수 있다. 컬러 표시를 위한 상기 화소에서 제어된 컬러 요소들은 R(빨간색), G(녹색), 및 B(파란색)의 3개의 컬러들에 제한되지 않으며, 3개 이상의 컬러들의 컬러 요소들, 예를 들면, RGBW(W는 흰색에 대응한다), 또는 노란색, 청록색, 자홍색 등 중 하나 이상이 부가된 RGB가 이용될 수 있다. 또한, 표시 영역들의 사이즈는 컬러 요소들의 점들 간의 차이일 수 있다.

[0033] 도 7은 행 방향 및 열 방향으로의 화소들의 수에 대응하는 상기 제 1 배선들(101A), 상기 제 2 배선들(102A), 및 상기 전원선들(104A)을 도시한다. 상기 제 1 배선들(101A), 상기 제 2 배선들(102A), 및 상기 전원선들(104A)은 하나의 화소에 포함된 서브-화소들의 수 또는 상기 화소의 트랜지스터들의 수에 의존하여 증가될 수 있음을 주의하자. 상기 화소들(701)은 몇몇 화소들과 공유된 상기 제 1 배선(101A), 상기 제 2 배선(102A), 및 상기 전원선(104A)으로 구동될 수 있다.

[0034] 도 1a는 상기 제 2 배선(102A)이 직사각형인 상기 TFT를 도시하며, 대안적으로, 상기 제 2 배선(102A)은 캐리어들이 이동하는 영역의 면적이 전류 흐름의 양을 증가시키기 위해 증가되도록 상기 제 3 배선(102B)을 둘러쌀 수 있음(구체적으로, 상기 제 2 배선(102A)은 U-형상 또는 C-형상일 수 있다)을 주의하자.

[0035] 상기 제 1 박막 트랜지스터(107A)인 영역을 제외하고 상기 제 1 배선(101A)의 폭은 상기 제 1 배선(101A)이 부분적으로 좁도록 감소될 수 있음을 주의하자. 상기 제 1 배선의 상기 폭이 감소될 때, 상기 화소의 상기 개구율은 증가될 수 있다.

[0036] 상기 개구율은 화소마다, 광이 투과되는 영역의 상기 면적을 나타낸다는 것을 주의하자. 그러므로, 상기 개구율은 광을 투과하지 않는 구성요소들에 의해 점유된 영역이 증가될 때마다 감소되는 반면, 상기 개구율은 광을 투과하는 구성요소들에 의해 점유된 영역이 증가될 때마다 증가된다. 발광 표시 장치에서, 상기 개구율은 광을 투과하지 않는 배선 등이 격벽 내에 제공된 발광 소자에 의해 점유된 영역과 중첩하지 않도록 위치되거나 또는 박막 트랜지스터의 사이즈가 감소되는 방식으로 증가된다.

[0037] 박막 트랜지스터는 게이트, 드레인, 및 소스의 적어도 3개의 단자들을 갖는 소자임을 주의하자. 상기 박막 트랜지스터는 드레인 영역 및 소스 영역 간의 채널 영역을 가지며, 전류는 상기 드레인 영역, 상기 채널 영역, 및 상기 소스 영역을 통해 흐를 수 있다. 여기에서, 상기 트랜지스터의 상기 소스 및 상기 드레인은 상기 트랜지스터의 상기 구조, 상기 동작 조건 등에 의존하여 변할 수 있기 때문에, 어떤 것이 소스 또는 드레인인지를 정의하는 것은 어려운 일이다. 그러므로, 소스 또는 드레인으로서 기능하는 영역은 몇몇 경우들에서 상기 소스 또는 상기 드레인이라고 하지 않는다. 이러한 경우에, 몇몇 경우들에서, 예를 들면, 상기 소스 및 상기 드레인 중 하나는 제 1 단자, 제 1 전극, 또는 제 1 영역이라고 하거나, 또는 상기 소스 및 상기 드레인의 다른 하나는 제 2 단자, 제 2 전극, 또는 제 2 영역이라고 한다.

[0038] 다음으로, 도 1a 및 도 1b에 도시된 상기 평면도 및 상기 단면도에 따라 상기 화소를 제조하기 위한 방법은 도 2a 내지 도 2c를 참조하여 설명될 것이다.

[0039] 유리 기판은 상기 투광 기판(111)으로서 사용될 수 있다. 도 2a는 상기 기판(111)으로부터 불순물들의 확산을 방지하거나 또는 상기 기판(111) 및 상기 기판(111) 위에 제공된 소자들 간에 밀착력을 향상시키기 위해 상기 하지막(112)이 상기 기판(111) 위에 제공되는 구조를 도시한다. 상기 하지막(112)은 반드시 제공되는 것은 아님을 주의하자.

[0040] 다음으로, 도전층은 상기 기판(111)의 전체 표면 위에 형성된다. 그 후, 레지스트 마스크가 형성되고, 불필요한 부분들이 에칭에 의해 제거되도록 제 1 포토리소그래피 단계가 수행되며, 그에 의해 상기 제 1 배선(101A) 및

상기 용량 전극(101B)이 형성된다. 이때, 에칭은 적어도 상기 제 1 배선(101A) 및 상기 용량 전극(101B)의 단부들이 테이퍼되도록 수행된다.

[0041] 상기 제 1 배선(101A) 및 상기 용량 전극(101B)은 바람직하게는 알루미늄(Al) 또는 구리(Cu)와 같은 저-저항 도전 재료를 사용하여 형성된다. 알루미늄의 단독 사용은 낮은 내열성 및 부식되는 경향과 같은 단점들을 가지기 때문에, 알루미늄은 내열성을 갖는 도전 재료와 결합하여 사용된다. 내열성을 갖는 도전 재료로서, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 및 스칸듐(Sc)으로부터 선택된 하나의 원소; 그것의 구성요소로서 이들 원소들 중 임의의 것을 포함한 합금; 이들 원소들 중 임의의 결합을 포함한 합금; 또는 성분으로서 이들 원소들의 임의의 것을 포함한 질화물을 사용하는 것이 가능하다.

[0042] 상기 TFT에 포함된 상기 배선 등은 잉크젯 방법 또는 인쇄 방법에 의해 형성될 수 있음을 주의하자. 따라서, 상기 배선 등은 실온에서 형성될 수 있으며, 저진공에서 형성될 수 있거나, 또는 큰 기판을 사용하여 형성될 수 있다. 상기 배선들 등이 포토마스크를 사용하지 않고 제조될 수 있기 때문에, 상기 트랜지스터의 레이아웃은 쉽게 변경될 수 있다. 또한, 레지스트를 사용할 필요가 없으므로, 재료 비용들은 감소되고 단계들의 수가 감소될 수 있다. 또한, 레지스트 마스크 등이 또한 잉크젯 방법 또는 인쇄 방법에 의해 형성될 수 있다. 레지스트가 잉크젯 방법 또는 인쇄 방법에 의해 의도된 부분들 위에만 형성되고, 레지스트 마스크를 형성하기 위해 노광 및 현상될 때, 레지스트가 상기 전체 표면 위에 형성되는 상기 경우와 비교하여 비용들이 감소될 수 있다.

[0043] 복수의 두께들(통상적으로, 2 종류들의 두께들)을 가진 영역들을 갖는 레지스트 마스크는 배선들 등을 형성하기 위해 다계조 마스크를 사용하여 형성될 수 있다.

[0044] 그 후, 절연막(이후, 상기 게이트 절연막(113)이라고 하는)이 상기 제 1 배선(101A) 및 상기 용량 전극(101B)의 상기 전체 표면 위에 형성된다. 상기 게이트 절연막(113)은 스퍼터링 방법 등에 의해 형성된다.

[0045] 예를 들면, 상기 게이트 절연막(113)으로서, 산화 실리콘막이 스퍼터링 방법에 의해 형성된다. 상기 게이트 절연막(113)이 이러한 산화 실리콘막에 제한되지 않으며, 산화질화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 또는 산화 탄탈막과 같은 다른 절연막의 단층 구조 또는 적층 구조를 갖고 형성될 수 있음은 말할 필요도 없다.

[0046] 산화물 반도체의 성막 전에, 상기 게이트 절연막(113)의 표면에 부착된 먼지는 바람직하게는 아르곤 가스가 플라즈마를 형성하기 위해 도입되는 역 스퍼터링에 의해 제거된다는 것을 주의하자. 질소 분위기, 헬륨 분위기 등은 아르곤 분위기 대신에 사용될 수 있음을 주의하자. 산소, N_2O 등이 부가되는 아르곤 분위기가 사용될 수 있다. 대안적으로, Cl_2, CF_4 등이 부가되는 아르곤 분위기가 사용될 수 있다.

[0047] 상기 게이트 절연막(113)의 상기 표면상에서 상기 플라즈마 처리 후, 산화물 반도체가 대기에 노출되지 않고 상기 게이트 절연막(113) 위에 성막된다. 상기 트랜지스터의 반도체 층을 위한 상기 산화물 반도체의 사용에 의해, 상기 전계-효과 이동도는 비정질 실리콘과 같은 실리콘-계 반도체 재료가 사용되는 상기 경우보다 더 높아질 수 있다. 상기 산화물 반도체의 예들은 산화 아연(ZnO) 및 산화 주석(SnO_2)임을 주의하자. 게다가, In, Ga 등이 ZnO에 첨가될 수 있다.

[0048] 상기 산화물 반도체를 위해, $InMO_3(ZnO)_x(x>0)$으로 표현된 박막이 사용될 수 있다. M은 갈륨(Ga), 철(Fe), 니켈(Ni), 망간(Mn), 및 코발트(Co)로부터 선택된 금속 원소들 중 하나 이상을 나타낸다는 것을 주의하자. 예를 들면, M은 몇몇 경우들에서 Ga을 나타내고, 한편, M은 다른 경우들에서 Ga에 부가하여 Ni 또는 Fe(Ga 및 Ni 또는 Ga 및 Fe)과 같은 상기 금속 원소를 나타낸다. 또한, 상기 산화물 반도체는 M으로서 포함된 상기 금속 원소 외에 불순물 원소로서 Fe 또는 Ni와 같은 천이 금속 원소 또는 상기 천이 금속의 산화물을 포함할 수 있다. 예를 들어, 상기 산화물 반도체 층으로서 In-Ga-Zn-O-계 막이 사용될 수 있다.

[0049] 상기 산화물 반도체($InMO_3(ZnO)_x(x>0)$ 막)으로서, M이 상이한 금속 원소인 $InMO_3(ZnO)_x(x>0)$ 막이 상기 In-Ga-Zn-O-계 막 대신에 사용될 수 있다. 상기 외에도, 다음의 산화물 반도체들이 상기 산화물 반도체로서 사용될 수 있다: In-Sn-Zn-O-계 산화물 반도체; In-Al-Zn-O-계 산화물 반도체; Sn-Ga-Zn-O-계 산화물 반도체; Al-Ga-Zn-O-계 산화물 반도체; Sn-Al-Zn-O-계 산화물 반도체; In-Zn-O-계 산화물 반도체; Sn-Zn-O-계 산화물 반도체; Al-Zn-O-계 산화물 반도체; In-O-계 산화물 반도체; Sn-O-계 산화물 반도체; 및 Zn-O-계 산화물 반도체.

[0050] In-Ga-Zn-O-계 산화물 반도체가 이 실시형태에서 상기 산화물 반도체로서 사용된다는 것을 주의하자. 여기에서, In_2O_3, Ga_2O_3, 및 ZnO가 1:1:1의 비로 포함되는 타겟이 사용된다. 상기 산화물 반도체는 다음의 조건들 하에서 성막된다: 상기 기판 및 상기 타겟 간의 거리는 100mm이며, 상기 압력은 0.6 Pa이고, 상기 직류(DC) 전력은 0.5

kW이며, 상기 분위기는 산소 분위기이다(산소 유량비 100%). 막 성막시 생성된 가루 물질들(또한 입자들 또는 먼지라고 하는)이 감소될 수 있고 상기 막 두께가 일정할 수 있기 때문에 바람직하게는 펄스 직류(DC) 전원이 사용된다는 것을 주의하자.

[0051] 상기 산화물 반도체를 성막시키기 위해 사용된 챔버는 상기 역 스퍼터링이 이전에 수행되는 상기 챔버와 동일하거나 또는 상이할 수 있음을 주의하자.

[0052] 스퍼터링 방법의 예들은 고-주파수 전원이 스퍼터링 전원으로서 사용되는 RF 스퍼터링 방법, 직류 전원이 사용되는 DC 스퍼터링 방법, 및 바이어스가 펄스 방식으로 인가되는 펄스 DC 스퍼터링 방법이다. RF 스퍼터링 방법은 절연막을 형성하기 위해 주로 사용되며. DC 스퍼터링 방법은 금속막을 형성하기 위해 주로 사용된다.

[0053] 또한, 복수의 상이한 재료들의 타겟들이 설치될 수 있는 멀티-소스 스퍼터링 장치가 또한 존재한다. 상기 멀티-소스 스퍼터링 장치를 가지고, 상이한 재료들의 막들이 동일한 챔버에 적층되도록 형성될 수 있거나 또는 복수의 종류들의 재료들의 막이 상기 동일한 챔버에서 방전에 의해 동시에 형성될 수 있다.

[0054] 또한, 상기 챔버 내부에 자석 기구(magnet system)가 제공되고 마그네트론 스퍼터링(magnetron sputtering)을 이용하는 스퍼터링 장치, 및 글로 방전(glow discharge)을 사용하지 않고 마이크로파들을 사용하여 생성된 플라즈마가 사용되는 ECR 스퍼터링을 이용한 스퍼터링 장치가 존재한다.

[0055] 더욱이, 스퍼터링에 의한 성막 방법의 예들은 타겟 물질 및 스퍼터링 가스 성분이 화합물 박막을 형성하기 위해 성막 동안 서로 화학적으로 반응하는 반응성 스퍼터링 방법, 및 전압이 또한 성막 동안 기판에 인가되는 바이어스 스퍼터링이다.

[0056] 다음으로, 상기 산화물 반도체 층은 탈수화 또는 탈수소화를 겪는다. 탈수화 또는 탈수소화에 대한 제 1 열 처리의 온도는 400℃ 이상 750℃ 미만, 바람직하게는 425℃ 이상 750℃ 미만이다. 상기 열 처리는 상기 열 처리의 온도가 425℃ 이상일 때 1시간 이하 동안 수행되며, 상기 열 처리는 바람직하게는 상기 온도가 425℃ 미만일 때 1시간보다 긴 동안 수행된다는 것을 주의하자. 여기에서, 상기 기판은 열 처리 장치들 중 하나인 전기로에 도입되며, 열 처리는 질소 분위기에서 상기 산화물 반도체 층 상에서 수행된다. 그 후, 상기 산화물 반도체 층은 대기에 노출되지 않아서 물 또는 수소가 상기 산화물 반도체 층에 들어가는 것을 방지하며, 따라서 상기 산화물 반도체 층이 획득된다. 이 실시형태에서, 서냉(slow cooling)은 탈수화 또는 탈수소화가 상기 산화물 반도체 층에 수행되는 상기 가열 온도 T로부터 물의 진입을 방지하기에 충분히 낮은 온도로 하나의 노(furnace)에서 수행되며, 구체적으로, 상기 서냉은 상기 온도가 상기 가열 온도 T로부터 100℃ 이상 떨어질 때까지 질소 분위기에서 수행된다. 질소 분위기에 제한되지 않고, 탈수화 또는 탈수소화가 희가스 분위기(예로서, 헬륨, 네온, 또는 아르곤)에서 수행될 수 있다.

[0057] 상기 열 처리 장치는 전기로에 제한되지 않으며 저항 발열체와 같은 발열체로부터의 열 복사 또는 열 전도에 의해 피처리물을 가열하는 장치를 제공받을 수 있다. 예를 들면, GRTA(gas rapid thermal annealing) 장치 또는 LRTA(lamp rapid thermal annealing) 장치와 같은 RTA(rapid thermal annealing) 장치가 사용될 수 있다. LRTA 장치는 할로겐 램프, 금속 할라이드 램프, 크세논 아크 램프, 탄소 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프와 같은 램프로부터 방출된 광(전자기파)의 복사에 의해 피처리물을 가열하기 위한 장치이다. GRTA 장치는 고온 가스를 사용하여 열 처리를 수행하기 위한 장치이다. 상기 가스로서, 상기 열 처리에 의해 피처리물과 거의 반응하지 않는 비활성 가스, 예를 들면, 질소 또는 아르곤과 같은 희가스가 사용된다.

[0058] 상기 산화물 반도체 층이 400℃ 이상 및 750℃ 미만의 온도로 열 처리될 때, 상기 산화물 반도체 층의 탈수화 또는 탈수소화가 달성될 수 있으며, 따라서 물(H_2O)이 나중 단계에서 상기 산화물 반도체 층에 다시 포함되는 것이 방지될 수 있다.

[0059] 상기 제 1 열 처리에서, 물, 수소 등은 바람직하게는 헬륨, 네온, 또는 아르곤과 같은 희가스 또는 질소에 포함되지 않는다. 열 처리 장치로 도입되는 헬륨, 네온, 또는 아르곤과 같은 상기 희가스 또는 질소의 순도는 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 상기 불순물 농도는 1 ppm 이하, 바람직하게는 0.1 ppm 이하이다)이 되도록 설정되는 것이 바람직하다.

[0060] 상기 산화물 반도체 층은 상기 산화물 반도체 층의 상기 재료 또는 상기 제 1 열 처리의 조건에 의존하여 미결정 막 또는 다결정 막이 되도록 결정화될 수 있음을 주의하자. 예를 들면, 상기 산화물 반도체 층은 90% 이상, 또는 80% 이상의 결정화율을 갖는 미결정 산화물 반도체 막이 되도록 결정될 수 있다. 더욱이, 상기 산화물 반도체 층은 상기 산화물 반도체 층의 상기 재료 또는 상기 제 1 열 처리의 상기 조건에 의존하여, 결정 성분을

포함하지 않는 비정질 산화물 반도체 막일 수 있다.

[0061] 탈수화 또는 탈수소화를 위한 상기 제 1 열 처리 후, 상기 산화물 반도체 층은 산소-결핍형(oxygen-deficient type)이 되고 상기 산화물 반도체 층의 상기 저항은 감소된다. 상기 제 1 열 처리 후 상기 산화물 반도체 층의 상기 캐리어 농도는 성막된 직후 상기 산화물 반도체 막보다 높고, 상기 산화물 반도체 층은 바람직하게는 $1\times10^{18}/cm^3$ 이상의 캐리어 농도를 가진다.

[0062] 다음으로, 제 2 포토리소그래피 단계는 레지스트 마스크가 형성되고 불필요한 부분들이 에칭에 의해 제거되도록 수행되며, 그에 의해 상기 산화물 반도체를 사용하여 형성된 상기 제 1 산화물 반도체 층(103A) 및 상기 제 2 산화물 반도체 층(103B)이 형성된다. 상기 제 1 산화물 반도체 층(103A) 및 상기 제 2 산화물 반도체 층(103B)을 위한 상기 제 1 열 처리가 상기 섬-형상 산화물 반도체 층으로 아직 가공되지 않은 상기 산화물 반도체 막에 수행될 수 있다. 이때 웨트 에칭 또는 드라이 에칭이 에칭 방법으로서 이용된다. 도 2a는 이 단계의 단면도이다.

[0063] 상기 게이트 절연막(113)의 성막 후, 상기 용량 전극(101B)에 도달하는 개구부(121)가 이후에 형성될 배선이 상기 용량 전극에 접속될 수 있도록 도 2a에 도시된 바와 같이 상기 게이트 절연막(113)에 형성될 수 있음을 주의하자.

[0064] 그 후, 도전막은 스퍼터링 방법 또는 진공 성막 방법에 의해 상기 산화물 반도체 층 위에 금속 재료로부터 형성된다. 상기 도전막을 위한 재료의 예들은 Al, Cr, Ta, Ti, Mo, 및 W로부터 선택된 하나의 원소, 성분으로서 상기 원소들 중 임의의 것을 포함하는 합금; 및 상기 원소들 중 임의의 조합을 포함한 합금이다. 또한, 200℃ 내지 600℃에서 열 처리가 수행되는 경우에서, 상기 도전막은 바람직하게는 이러한 열 처리에 대한 내열성을 가진다. Al의 단독 사용은 낮은 내열성 및 부식되는 경향과 같은 단점들을 가져오기 때문에, 알루미늄은 내열성을 가진 도전 재료와 결합하여 사용된다. Al과 결합하여 사용되는 내열성을 가진 상기 도전 재료로서, 다음 재료들 중 임의의 것이 사용될 수 있다: 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 및 스칸듐(Sc)으로부터 선택된 원소; 성분으로서 이들 상기 원소들 중 임의의 것을 포함한 합금; 이들 원소들을 조합하여 포함하는 합금; 및 성분으로서 이들 상기 원소들 중 임의의 것을 포함한 질화물.

[0065] 여기에서, 상기 도전막은 티타늄 막의 단층 구조를 가진다. 상기 도전막은 2층 구조를 가질 수 있으며, 티타늄 막이 알루미늄 막 위에 적층될 수 있다. 대안적으로, 상기 도전막은 Ti 막, Nd를 포함한 알루미늄 막(Al-Nd 막), 및 Ti 막이 이러한 순서로 적층되는 3층 구조를 가질 수 있다. 상기 도전막은 실리콘을 포함한 알루미늄 막의 단층 구조를 가질 수 있다.

[0066] 다음으로, 제 3 포토리소그래피 단계는 레지스트 마스크가 형성되고 불필요한 부분들이 에칭에 의해 제거되도록 수행되며, 그에 의해 상기 도전막으로 이루어진 상기 제 2 배선(102A), 상기 제 3 배선(102B), 상기 전원선(104A), 및 상기 제 4 배선(104B)이 형성된다. 이때 웨트 에칭 또는 드라이 에칭이 에칭 방법으로서 이용된다. 예를 들면, Ti의 도전막이 암모니아 과수(31 wt%의 과산화수소 : 28 wt%의 암모니아 : 물 = 5:2:2)을 사용한 웨트 에칭으로 에칭될 때, 상기 제 1 산화물 반도체 층(103A) 및 상기 제 2 산화물 반도체 층(103B)은 상기 제 2 배선(102A), 상기 제 3 배선(102B), 상기 전원선(104A), 및 상기 제 4 배선(104B)이 부분적으로 에칭되는 동안 남겨질 수 있다.

[0067] 상기 산화물 반도체 층의 노출된 영역은 때때로 상기 에칭 조건들에 의존하여 상기 제 3 포토리소그래피 단계에서 에칭된다. 이러한 경우에, 상기 제 2 배선(102A) 및 상기 제 3 배선(102B) 간의 영역의 상기 제 1 산화물 반도체 층(103A)의 두께는 상기 제 2 배선(102A) 또는 상기 제 3 배선(102B)과 중첩하는 영역의 상기 제 1 배선(101A) 위의 상기 제 1 산화물 반도체 층(103A)보다 작다. 게다가, 상기 전원선(104A) 및 상기 제 4 배선(104B) 간의 영역의 상기 제 2 산화물 반도체 층(103B)의 두께는 상기 전원선(104A) 또는 상기 제 4 배선(104B)과 중첩하는 영역의 상기 용량 전극(101B) 위의 상기 제 2 산화물 반도체 층(103B)보다 작다.

[0068] 그 후, 상기 산화물 절연층(114)은 상기 게이트 절연막(113), 상기 제 1 산화물 반도체 층(103A), 상기 제 2 산화물 반도체 층(103B), 상기 제 2 배선(102A), 상기 제 3 배선(102B), 상기 전원선(104A), 및 상기 제 4 배선(104B) 위에 형성된다. 이 단계에서, 상기 제 1 산화물 반도체 층(103A)의 부분과 상기 제 2 산화물 반도체 층(103B)의 부분은 상기 산화물 절연층(114)과 접촉한다. 상기 제 1 배선(101A)과 중첩하는 상기 제 1 산화물 반도체 층(103A)의 영역 및 상기 게이트 절연막(113)을 개재하여 상기 용량 전극(101B)과 중첩하는 상기 제 2 산화물 반도체 층(103B)의 영역이 채널 형성 영역들로서 작용한다는 것을 주의하자.

[0069] 상기 산화물 절연층(114)은 스퍼터링 방법과 같이, 물 또는 수소와 같은 불순물들이 상기 산화물 절연층으로 혼

입되지 않는 방법에 의해 적어도 1nm의 두께로 적절하게 형성될 수 있다. 이 실시형태에서, 산화 실리콘막은 상기 산화물 절연층과 같이 스퍼터링 방법에 의해 형성된다. 막 형성에서 상기 기판 온도는 실온 이상 300℃보다 낮거나 동일하며, 이 실시형태에서는 100℃이다. 상기 산화 실리콘막은 희가스(통상적으로, 아르곤) 분위기, 산소 분위기, 또는 희가스(통상적으로, 아르곤) 및 산소의 혼합 분위기에서 스퍼터링 방법에 의해 형성될 수 있다. 타겟으로서, 산화 실리콘 타겟 또는 실리콘 타겟이 사용될 수 있다. 예를 들면, 실리콘 타겟의 사용으로, 산화 실리콘막이 산소 및 희가스의 분위기에서 스퍼터링 방법에 의해 형성될 수 있다. 그 저항이 감소되는 상기 산화물 반도체 층과 접촉하여 형성되는 상기 산화물 절연층으로서, 수분, 수소 이온, 및 OH^-와 같은 불순물들을 포함하지 않고 외부로부터 이들 불순물들의 진입을 차단하는 무기 절연막이 사용된다. 구체적으로, 산화 실리콘막, 질화산화 실리콘막, 산화 알루미늄막, 또는 산화질화 알루미늄막이 사용된다. 스퍼터링 방법에 의해 형성된 산화물 절연층은 특히 조밀하며, 상기 산화물 절연층의 단층 조차 그것과 접촉하는 층으로 불순물들의 확산을 방지하기 위한 보호막으로서 사용될 수 있음을 주의하자. 인(P) 또는 붕소(B)로 도핑된 타겟은 인(P) 또는 붕소(B)가 상기 산화물 절연층에 첨가되도록 사용될 수 있다.

[0070] 이 실시형태에서, 상기 산화물 절연층(114)은 다음의 조건들에서 6N의 순도 및 0.01Ωcm의 저항을 갖는 주상 다결정(columnar polycrystalline)의 붕소-도핑된 실리콘 타겟을 사용한 펄스 DC 스퍼터링 방법에 의해 형성된다: 상기 기판 및 상기 타겟 간의 거리(T-S 거리)가 89 mm이고, 상기 압력은 0.4 Pa이고, 상기 직류(DC) 전원은 6 kW이며, 상기 분위기는 산소이다(상기 산소 유량은 100%이다). 상기 산화물 절연층(114)의 두께는 300 nm이다.

[0071] 상기 산화물 절연층(114)은 상기 산화물 반도체 층의 상기 채널 형성 영역으로서 작용하는 영역 상에 제공되고 그것과 접촉하며, 또한 채널 보호층으로서 기능한다는 것을 주의하자.

[0072] 다음으로, 제 2 열 처리(바람직하게는 200℃ 내지 400℃, 예를 들면, 250℃ 내지 350℃)가 비활성 가스 분위기 또는 질소 분위기에서 수행될 수 있다. 예를 들면, 상기 제 2 열 처리는 질소 분위기에서 1시간 동안 250℃에서 수행된다. 상기 제 2 열 처리에 의해, 열은 상기 제 1 산화물 반도체 층(103A)의 부분 및 상기 제 2 산화물 반도체 층(103B)의 부분이 상기 산화물 절연층(114)과 접촉하는 동안 인가된다.

[0073] 상기 제 1 열 처리에 의해 각각의 저항이 감소되는 상기 제 1 산화물 반도체 층(103A) 및 상기 제 2 산화물 반도체 층(103B), 상기 산화물 절연층(114)과 접촉하는 동안 상기 제 2 열 처리가 수행될 때, 상기 산화물 절연층(114)과 접촉하는 영역은 산소 부족이 된다. 따라서, 상기 산화물 절연층(114)과 접촉하는 상기 제 1 산화물 반도체 층(103A) 및 상기 제 2 산화물 반도체 층(103B)의 영역은 상기 제 1 산화물 반도체 층(103A) 및 상기 제 2 산화물 반도체 층(103B)의 깊이 방향으로 향하는 i-형 영역이 된다(즉, 상기 영역의 저항이 증가된다).

[0074] 그 후, 개구부(122)가 제 4 포토리소그래피 방법에 의해 상기 절연층(114)에 형성된다. 도 2b는 이 단계의 단면도이다.

[0075] 다음으로, 투광성 도전막이 상기 제 4 배선(104B)에 접속되도록 형성된다. 상기 투광성 도전막은 스퍼터링 방법, 진공 성막 방법 등에 의해 산화 인듐(InO_3), 산화 인듐 및 산화 주석의 합금(In_2O_3-SnO_2, ITO로 약기함) 등을 사용하여 형성된다. 대안적으로, 질소를 포함한 Al-Zn-O-계 막, 즉 Al-Zn-O-N-계 막, 질소를 포함한 Zn-O-계 막, 또는 질소를 포함한 Sn-Zn-O-계 막이 사용될 수 있다. Al-Zn-O-N-계 막에서 아연의 조성비(원자%)는 47 원자%이하이고 상기 막에서 알루미늄보다 높으며, 상기 막에서 알루미늄의 조성비(원자%)는 상기 막에서 질소보다 높다. 이러한 재료는 염산-계 용액으로 에칭된다. 그러나, 잔류물이 특히 ITO를 에칭할 때 쉽게 생성되기 때문에, 산화 인듐 및 산화 아연(In_2O_3-ZnO)의 합금이 에칭 가공성을 향상시키기 위해 사용될 수 있다.

[0076] 상기 투광성 도전막에서 조성비의 단위는 원자 퍼센트(원자%)이며, 조성비는 전자 프로브 X-레이 마이크로분석기(electron probe X-ray microanalyzer; EPMA)를 사용한 분석에 의해 평가된다는 것을 주의하자.

[0077] 다음으로, 레지스트 마스크가 형성되고 불필요한 부분들이 에칭에 의해 제거되도록 제 5 포토리소그래피가 수행되며, 그에 의해 상기 발광 소자의 전극들 중 하나를 형성한다. 상기 발광 소자는 한 쌍의 전극들(애노드 및 캐소드) 및 상기 쌍의 전극들 간에 발광층을 포함하고, 상기 한 쌍의 전극들 중 하나 위에 상기 발광층에 포함된 소자들을 적층함으로써 형성된다. 그러므로, 상기 발광 소자의 상기 쌍의 전극들 중 하나는 상기 발광 소자(105)로서 칭하여진다.

[0078] 다음으로, 각각의 화소를 위한 발광 소자들을 분리하기 위한 상기 격벽(106)이 상기 제 1 배선(101A), 상기 제 2 배선(102A), 상기 제 3 배선(102B), 상기 제 4 배선(104B), 상기 제 1 산화물 반도체 층(103A), 상기 제 2 산화물 반도체 층(103B), 상기 전원선(104A), 및 상기 용량 전극(101B) 위에 제공된다. 상기 제 4 배선(104B)에

접속된 상기 발광 소자(105)는 상기 격벽(106) 내부에 제공된다는 것을 주의하자. 도 2c는 이 단계의 단면도를 도시한다.

[0079] 이러한 방식으로, 상기 제 1 박막 트랜지스터(107A) 및 상기 제 2 박막 트랜지스터(107B)를 포함한 상기 화소가 제조될 수 있다. 게다가, 상기 화소들은 화소부를 형성하기 위해 매트릭스로 배열되며, 그에 의해 액티브-매트릭스 발광 표시 장치가 제조될 수 있다.

[0080] 도 1a 및 도 1b, 및 도 2a 내지 도 2c에 도시된 이 실시형태에서 상기 구조의 이점들은 도 3a 및 도 3b를 참조하여 상세히 설명될 것이다.

[0081] 도 3a 및 도 3b는 각각 도 1a에서 상기 평면도의 상기 산화물 반도체 층의 부근에 대한 확대도이다. 도 3a에서 상기 제 1 산화물 반도체 층(103A)의 상기 폭(도 3a에서 W1)이 증가되는 다이어그램은 상기 산화물 반도체 층(103A)의 상기 폭(도 3b에서 W2)을 도시한 도 3b에 대응한다.

[0082] 도 3a 및 도 3b에 도시된 바와 같이, 이 실시형태의 도 1a에서 상기 화소의 상기 평면도의 상기 제 1 산화물 반도체 층(103A)은 상기 제 1 배선(101A)으로부터 또 다른 배선을 분리하지 않고 상기 제 1 배선(101A) 위에 제공된다. 상기 제 2 배선(102A) 및 상기 제 3 배선(102B) 사이의 상기 산화물 반도체 층에 형성된 채널 영역은 상기 제 1 배선(101A)에 중첩하는 영역에 형성된다. 상기 TFT의 특성들은 광이 상기 채널 영역에 방출될 때 변할 수 있기 때문에, 상기 제 1 산화물 반도체 층(103A)은 상기 제 1 배선(101A)으로부터 분리된 배선에 의해 광으로부터 잘 차단되도록 요구하며, 이것은 상기 화소의 개구율의 감소를 초래한다. 반대로, 상기 개구율은 이 실시형태에서 상기 구조로 증가될 수 있으며, 여기서 상기 산화물 반도체 층은 상기 제 1 배선(101A)에 중첩하도록 제공되며, 상기 제 1 배선(101A)으로부터 분리된 배선은 형성되지 않는다.

[0083] 게다가, 상기 박막 트랜지스터의 상기 반도체 층으로서 투광성 산화물 반도체 층을 사용함으로써, 상기 산화물 반도체 층이 상기 제 1 배선(101A)과 중첩하는 의도된 영역으로부터 시프트되고 따라서 상기 발광 소자(105)와 중첩할지라도 개구율의 감소 없이 수행될 수 있다.

[0084] 상기 산화물 반도체 층이 미리 결정된 크기보다 큰 패턴을 갖고 형성될 때, 유리한 표시가 상기 산화물 반도체 층이 상기 의도된 위치로부터 약간 시프트되는 부분에 형성될지라도 오작동 및 개구율의 감소 없이 수행될 수 있다. 상기 발광 표시 장치를 위한 액티브-매트릭스 기판은 쉽게 제조될 수 있고, 상기 수율은 증가될 수 있다.

[0085] 다음으로, 저장 용량이 산화물 반도체 층을 포함한 박막 트랜지스터를 사용함으로써 감소되는 상기 경우에 대한 평면도의 특정 예가 설명될 것이다.

[0086] 게이트가 상기 트랜지스터를 턴 오프하게 하는 전압이 인가될 때 산화물 반도체를 포함한 박막 트랜지스터를 통해 흐르는 전류(이하, 누설 전류로서 칭하는)는 0.1pA 이하인 반면, 비정질 실리콘을 포함한 박막 트랜지스터는 약 수백 nA이다. 그러한 이유로, 산화물 반도체를 포함한 상기 박막 트랜지스터에서, 저장 용량은 감소될 수 있다. 달리 말하면, 산화물 반도체를 포함한 박막 트랜지스터를 포함한 화소에서 소자들의 레이아웃을 위한 자유도는 비정질 실리콘을 포함한 박막 트랜지스터를 포함한 화소와 비교하여 향상될 수 있다.

[0087] 상기 박막 트랜지스터의 상기 누설 전류가 매우 작기 때문에 산화물 반도체 층을 포함한 박막 트랜지스터의 저장 용량 소자를 생략하는 것이 가능하다. 구체적으로, 도 12a 및 도 12b는 저장 용량 소자가 생략되는 평면도 및 단면도를 도시한다. 도 12a에 도시된 화소의 상기 평면도는 용량선이 도 1a의 상기 평면도로부터 제거되는 도면에 대응한다. 도 12a의 상기 평면도 및 도 12b의 상기 단면도로부터 알 수 있는 바와 같이, 산화물 반도체 층을 포함한 박막 트랜지스터를 사용함으로써, 이끌어지는 상기 제 3 배선(102B) 등은 상기 제 2 박막 트랜지스터의 배치로 짧아질 수 있으며, 따라서, 상기 개구율은 증가될 수 있다.

[0088] 상술된 바와 같이, 이 실시형태에서 설명된 상기 구성은 산화물 반도체가 사용되는 박막 트랜지스터를 포함한 화소의 상기 개구율을 증가시키는 것을 가능하게 한다. 따라서, 발광 표시 장치는 고화질 표시부를 포함할 수 있다.

[0089] 이 실시형태는 상기 다른 실시형태들에 설명된 상기 구성들 중 임의의 것을 적절하게 결합하여 구현될 수 있다.

[0090] (실시형태 2)

[0091] 표시 장치의 화소가 실시형태 1과 상이한 구성을 갖는 TFT를 포함하는 일 예가 이하에 설명될 것이다.

[0092] 도 4a는 실시형태 1와 상이한 구조를 갖는 화소의 평면도이다. 도 4a에 도시된 TFT는 상기 TFT의 소스 전극 및 드레인 전극으로서 작용하는 배선 층이 게이트로서 작용하는 배선에 대하여, 채널 영역으로서 작용하는 산화물

반도체 층의 맞은 편에 위치되는 역 스태거 구조라고 하는 한 종류의 보텀-게이트 구조이다.

[0093] 도 4a에 도시된 화소(400)는 주사선으로서 기능하는 제 1 배선(401A), 신호선으로서 기능하는 제 2 배선(402A), 제 1 산화물 반도체 층(403A), 제 2 산화물 반도체 층(403B), 전원선(404A), 용량 전극(401B), 및 발광 소자(405)를 포함한다. 게다가, 상기 화소(400)는 상기 제 1 산화물 반도체 층(403A) 및 상기 용량 전극(401B)을 전기적으로 접속하기 위한 제 3 배선(402B)을 포함하며, 따라서 제 1 박막 트랜지스터(407A)가 형성되도록 한다. 더욱이, 상기 화소(400)는 상기 제 2 산화물 반도체 층(403B) 및 상기 발광 소자(405)를 전기적으로 접속하기 위한 제 4 배선(404B)을 포함하며, 따라서 제 2 박막 트랜지스터(407B)가 형성되도록 한다. 각각의 화소를 위한 발광 소자들을 분리하기 위한 격벽(406)은 상기 제 1 배선(401A), 상기 제 2 배선(402A), 상기 제 3 배선(402B), 상기 제 4 배선(404B), 상기 제 1 산화물 반도체 층(403A), 상기 제 2 산화물 반도체 층(403B), 상기 전원선(404A), 및 상기 용량 전극(401B) 위에 제공된다. 상기 제 4 배선(404B)에 접속된 상기 발광 소자(405)는 상기 격벽(406) 내부에 제공된다는 것을 주의하자.

[0094] 상기 제 1 배선(401A)은 또한 상기 제 1 박막 트랜지스터(407A)의 게이트로서 기능한다. 상기 용량 전극(401B)은 또한 저장 용량 소자의 일 전극 및 상기 제 2 박막 트랜지스터(407B)의 게이트로서 기능하는 배선이다. 상기 제 2 배선(402A)은 또한 상기 제 1 박막 트랜지스터(407A)의 소스 전극 및 드레인 전극 중 하나로서 기능한다. 상기 제 3 배선(402B)은 또한 상기 제 1 박막 트랜지스터(407A)의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나로서 기능한다. 상기 전원선(404A)은 또한 상기 제 2 박막 트랜지스터(407B)의 소스 전극 및 드레인 전극 중 하나 및 상기 저장 용량 소자의 다른 전극으로서 기능하는 배선이다. 상기 제 4 배선(404B)은 또한 상기 제 2 박막 트랜지스터(407B)의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나로서 기능한다.

[0095] 상기 제 1 배선(401A) 및 상기 용량 전극(401B)은 동일한 층으로부터 형성되며, 상기 제 2 배선(402A), 상기 제 3 배선(402B), 상기 전원선(404A), 및 상기 제 4 배선(404B)이 동일한 층으로부터 형성된다는 것을 주의하자. 또한, 상기 전원선(404A) 및 상기 용량 전극(401B)은 상기 제 2 박막 트랜지스터(407B)의 상기 저장 용량 소자를 형성하기 위해 서로 부분적으로 중첩한다. 상기 제 1 박막 트랜지스터(407A)에 포함된 상기 제 1 산화물 반도체 층(403A)은 게이트 절연막(도시되지 않음)을 개재하여 상기 제 1 배선(401A) 위에 제공되며, 상기 제 1 배선(401A) 및 상기 격벽(406)이 제공되는 영역의 단부를 넘어 연장된다.

[0096] 도 4b는 도 4a에서 쇄선들(A-A', B-B', 및 C-C')에 따른 단면도 구조를 도시한다. 도 4b에 도시된 상기 단면 구조에서, 상기 게이트로서 작용하는 상기 제 1 배선(401A) 및 상기 용량 전극(401B)은 하지막(412)을 개재하여 기판(411) 위에 제공된다. 게이트 절연막(413)은 상기 제 1 배선(401A) 및 상기 용량 전극(401B)을 커버하도록 제공된다. 상기 제 1 산화물 반도체 층(403A) 및 상기 제 2 산화물 반도체 층(403B)이 상기 게이트 절연막(413) 위에 제공된다. 상기 제 2 배선(402A) 및 상기 제 3 배선(402B)이 상기 제 1 산화물 반도체 층(403A) 위에 제공되며, 상기 전원선(404A) 및 상기 제 4 배선(404B)이 상기 제 2 산화물 반도체 층(403B) 위에 제공된다. 패시베이션 막으로서 기능하는 산화물 절연층(414)은 상기 제 1 산화물 반도체 층(403A), 상기 제 2 산화물 반도체 층(403B), 상기 제 2 배선(402A), 상기 제 3 배선(402B), 상기 전원선(404A), 및 상기 제 4 배선(404B) 위에 제공된다. 상기 격벽(406)은 상기 제 1 배선(401A), 상기 제 2 배선(402A), 상기 제 3 배선(402B), 상기 제 4 배선(404B), 상기 제 1 산화물 반도체 층(403A), 상기 제 2 산화물 반도체 층(403B), 상기 전원선(404A), 및 상기 용량 전극(401B) 위의 상기 산화물 절연층(414) 위에 제공된다. 개구부가 상기 제 4 배선(404B) 위의 상기 산화물 절연층(414)에 형성된다. 상기 제 4 배선(404B) 및 상기 발광 소자(405)의 전극이 상기 개구부에 접속된다. 쇄선(B-B')에 따른 단면도에서, 상기 제 3 배선(402B) 및 상기 용량 전극(401B)은 상기 게이트 절연막(413)에 형성된 개구부를 통해 접속된다.

[0097] 실시형태 1에서 도 1a 및 도 1b의 설명에서처럼, 도 4a 및 도 4b에 도시된 상기 화소는 매트릭스로 배열된 상기 복수의 화소들(701)과 같이 도 7에서 상기 기판(700) 위에 위치된다. 도 7의 상기 설명은 실시형태 1의 것과 유사하다.

[0098] 게다가, 도 4b에서 상기 단면도는 도 1b의 상기 단면도와 유사하며, 화소를 형성하기 위한 방법에 대한 상기 설명은 실시형태 1에서 도 2a 내지 도 2c의 설명과 유사하다.

[0099] 도 4a 및 도 4b에 도시된 이 실시형태에서 상기 구조의 이점들은 도 5a 및 도 5b를 참조하여 상세히 설명될 것이다.

[0100] 도 5a 및 도 5b는 각각 도 4a의 상기 평면도에서 상기 산화물 반도체 층의 부근에 대한 확대도이다. 도 5a에서 상기 제 1 산화물 반도체 층(403A)의 상기 폭(도 5a에서 W1)이 증가되는 다이어그램은 상기 제 1 산화물 반도체

층(403A)의 상기 폭(도 5b에서 W2)을 도시한 도 5b에 대응한다.

[0101] 도 5a 및 도 5b에 도시된 바와 같이, 이 실시형태의 도 4a에서 상기 화소의 상기 평면도의 상기 제 1 산화물 반도체 층(403A)은 상기 제 1 배선(401A)으로부터 또 다른 배선을 분리하지 않고 상기 제 1 배선(401A) 위에 제공된다. 상기 제 2 배선(402A) 및 상기 제 3 배선(402B) 사이의 상기 산화물 반도체 층에 형성된 채널 영역은 상기 제 1 배선(401A)을 중첩시키는 영역에 형성된다. 또한, 이 실시형태에서 상기 제 1 산화물 반도체 층(403A)은 상기 제 1 배선(401A) 위의 상기 게이트 절연막 위에 연장되고 상기 제 2 배선(402A) 및 상기 제 3 배선(402B)과 접촉한다.

[0102] 상기 TFT의 특성들은 광이 상기 채널 영역에 방출될 때 변할 수 있기 때문에, 상기 제 1 산화물 반도체 층(403A)은 상기 제 1 배선(401A)으로부터 분리된 배선에 의해 광으로부터 잘 차단되도록 요구하며, 이것은 상기 화소의 개구율의 감소를 초래한다. 반대로, 상기 개구율은 이 실시형태의 상기 구조로 증가될 수 있으며, 여기에서 상기 산화물 반도체 층은 상기 제 1 배선(401A)에 중첩하도록 제공되고, 상기 제 1 배선(401A)으로부터 분리된 배선은 형성되지 않으며, 상기 제 2 배선(402A) 및 상기 제 3 배선(402B)은 상기 제 1 산화물 반도체 층(403A)과 접촉하도록 상기 제 1 배선(401A) 위의 상기 게이트 절연막 위로 연장된다.

[0103] 게다가, 상기 박막 트랜지스터의 상기 반도체 층으로서 투광성 산화물 반도체 층을 사용함으로써, 상기 산화물 반도체 층이 상기 제 1 배선(401A)과 중첩하는 의도된 영역으로부터 시프트되어, 상기 발광 소자(405)와 중첩할지라도 표시는 개구율의 감소없이 수행될 수 있다.

[0104] 도 4a에 도시된 상기 제 1 배선(401A) 위에 연장된 상기 제 2 배선(402A) 및 상기 제 3 배선(402B)은 상기 제 1 배선(401A)에 중첩한다는 것을 주의하자. 상기 제 2 배선(402A) 및 상기 제 3 배선(402B)은 미앤더 패턴(meander pattern)으로 배치될 수 있거나 또는 선형적으로 제공될 수 있다.

[0105] 상기 산화물 반도체 층이 미리 결정된 크기보다 더 큰 패턴으로 형성될 때, 상기 산화물 반도체 층이 상기 의도된 위치로부터 약간 시프트되는 부분에 형성될지라도 유리한 표시가 오작동 및 개구율의 감소 없이 수행될 수 있다. 발광 표시 장치를 위한 액티브-매트릭스 기판이 쉽게 제조될 수 있으며, 상기 수율이 증가될 수 있다.

[0106] 상술된 바와 같이, 이 실시형태에서 상기 구성은 산화물 반도체가 사용되는 박막 트랜지스터를 포함한 화소의 상기 개구율을 증가시키는 것을 가능하게 한다. 따라서, 발광 표시 장치는 고화질 표시부를 포함할 수 있다.

[0107] 이 실시형태는 다른 실시형태들에 설명된 상기 구조들 중 임의의 것을 적절하게 결합하여 구현될 수 있다.

[0108] (실시형태 3)

[0109] 표시 장치의 화소는 실시형태 1 및 실시형태 2와 상이한 구성을 갖는 TFT를 포함하는 일 예가 이하에 설명될 것이다.

[0110] 도 6a 및 도 6b는 실시형태 2와 상이한 구성을 갖는 화소의 평면도 및 단면도이다. 도 6a의 상기 평면도의 상기 구조는 도 4a의 것과 유사하며, 그러므로 상기 설명은 반복되지 않음을 주의하자. 도 6b의 상기 단면도의 상기 구조는 층간 절연층(601A)이 상기 제 1 배선(401A) 및 상기 제 2 배선(402A) 사이에 제공되고 층간 절연층(601B)이 상기 제 1 배선(401A) 및 상기 제 3 배선(402B) 사이에 제공된다는 점에서 도 4b의 상기 단면도의 구성과 상이하다.

[0111] 상기 제 2 배선(402A) 및 상기 제 3 배선(402B)이 상기 제 1 배선(401A) 위에 연장될 때, 기생 용량(parasitic capacitance)은 상기 게이트 절연막(413)의 두께에 의존하여, 상기 제 1 배선(401A) 및 상기 제 2 배선(402A) 사이에, 상기 제 1 배선(401A) 및 상기 제 3 배선(402B) 사이에, 및 상기 제 1 배선(401A) 및 상기 전원선(404A) 사이에 생성될 수 있다. 상기 층간 절연층들(601A, 601B)은 도 6b에 도시된 바와 같이 제공되며, 그에 의해 상기 기생 용량이 감소될 수 있고, 오작동과 같은 결함들이 감소될 수 있다.

[0112] 상술된 바와 같이, 이 실시형태에 기술된 상기 구성은 산화물 반도체가 사용되는 박막 트랜지스터를 포함한 화소의 상기 개구율을 증가시키는 것을 가능하게 한다. 게다가, 이 실시형태에서, 실시형태 2의 상기 이점들 외에 기생 용량의 감소를 달성하는 것이 가능하다. 그러므로, 오작동이 발생할 가능성이 적고, 고화질 표시부를 포함하는 발광 표시 장치를 제공하는 것이 가능하다.

[0113] (실시형태 4)

[0114] 이 실시형태에서, 표시 소자인 발광 소자의 구성이 기술될 것이다.

[0115] 도 9는 박막 트랜지스터에 접속된 발광 소자의 단면 구조의 일 실시형태를 도시한다. 상기 발광 소자는 제 1 전극(911), 발광층을 포함한 EL 층(913), 및 제 2 전극(914)의 순서로의 적층에 의해 제공된다. 상기 제 1 전극(911) 및 상기 제 2 전극(914) 중 하나는 애노드로서 기능하고 다른 하나는 캐소드로서 기능한다. 상기 애노드로부터 주입된 정공들 및 상기 캐소드로부터 주입된 전자들은 상기 EL 층에 포함된 상기 발광층에서 재결합되며, 그에 의해 상기 발광 소자는 광을 방출한다. 상기 발광 소자의 상기 제 1 전극(911)은 상기 기판(111) 위에 형성된 상기 박막 트랜지스터(107B)에 접속된다. 상기 격벽(106)은 상기 제 1 전극(911) 및 상기 박막 트랜지스터(107B)의 상기 소스 또는 상기 드레인으로서 작용하는 상기 전극들 중 하나를 커버하도록 제공된다. 상기 EL 층(913)은 상기 제 1 전극(911) 위의 상기 격벽(106)의 개구부에 제공된다. 상기 제 2 전극(914)은 상기 EL 층(913) 및 상기 격벽(106)을 커버하도록 제공된다. 실시형태 1의 상기 박막 트랜지스터는 이 실시형태에서 사용되며, 다른 실시형태들 중 임의의 것에 도시된 상기 박막 트랜지스터가 사용될 수 있음을 주의하자.

[0116] 상기 제 1 전극(911) 또는 상기 제 2 전극(914)은 금속, 합금, 또는 도전성 화합물을 사용하여 형성된다.

[0117] 예를 들면, 상기 제 1 전극(911) 또는 상기 제 2 전극(914)은 높은 일 함수(4.0 eV 이상의 일 함수)를 갖는 금속, 합금, 도전 화합물 등을 사용하여 형성될 수 있다. 구체적으로, 산화 인듐-산화 주석(ITO : 산화 인듐 주석), 실리콘 또는 산화 실리콘을 포함한 산화 인듐 주석, 산화 인듐-산화 아연(IZO : 산화 인듐 아연), 또는 산화 텅스텐 및 산화 아연(IWZO)을 포함한 산화 인듐과 같은 투광성 도전 금속 산화물의 층을 사용하는 것이 가능하다.

[0118] 게다가, 상기 제 1 전극(911) 또는 상기 제 2 전극(914)은 낮은 일 함수(통상적으로, 3.8 eV 이하의 일 함수)를 갖는 금속, 합금, 도전 화합물 등을 사용하여 형성될 수 있다. 구체적으로, 다음 재료들 중 임의의 것을 사용하는 것이 가능하다, 예를 들면: 주기율표의 1족 또는 2족에 속하는 원소들(즉, 리튬 및 세슘과 같은 알칼리 금속 및 마그네슘, 칼슘, 및 스트론튬과 같은 알칼리 토금속) 및 이러한 원소의 합금(예를 들면, 알루미늄, 마그네슘, 및 은의 합금 및 알루미늄 및 리튬의 합금) 및 희토류 금속(예로서, 유로퓸 및 이테르븀) 및 이러한 원소의 합금.

[0119] 알칼리 금속, 알칼리 토금속, 또는 그것의 합금의 막이 진공 성막 방법, 스퍼터링 방법 등에 의해 형성된다. 또한, 은 페이스트(silver paste) 등은 상기 제 1 전극(911) 또는 상기 제 2 전극(914)을 형성하기 위해 잉크젯 방법에 의해 토출되어 소성될(bake) 수 있다. 상기 제 1 전극(911) 및 상기 제 2 전극(914)은 단층에 제한되지 않으며 적층 구조를 가질 수 있다.

[0120] 상기 EL 층으로부터 상기 외부로 방출된 광을 추출하기 위해, 상기 제 1 전극(911) 및 상기 제 2 전극(914) 중 하나 또는 둘 모두는 상기 EL 층으로부터 방출된 광을 투과하기 위해 형성된다. 상기 제 1 전극(911)만이 투광성을 가질 때, 광은 화살표(900)로 나타낸 방향으로 상기 제 1 전극(911)을 통과하고 신호선으로부터 입력된 비디오 신호에 대응하는 휘도로 상기 기판(111) 측으로부터 추출된다. 상기 제 2 전극(914)만이 투광성을 가질 때, 광은 상기 제 2 전극(914)을 통과하고 신호선으로부터 입력된 비디오 신호에 대응하는 휘도로 상기 밀봉 기판(916) 측으로부터 추출된다. 상기 제 1 전극(911) 및 상기 제 2 전극(914) 모두가 투광성들을 가질 때, 광은 상기 제 1 전극(911) 및 상기 제 2 전극(914)을 통과하고 신호선으로부터 입력된 비디오 신호에 대응하는 휘도로 상기 기판(111) 측 및 상기 밀봉 기판(916) 측 모두로부터 추출된다.

[0121] 예를 들면, 상기 투광성 전극은 투광성 도전 금속 산화물을 사용하여 형성되거나 또는 은, 알루미늄 등을 사용함으로써 수 나노미터들 내지 수십 나노미터들의 두께로 형성된다. 대안적으로, 상기 투광성 전극은 은 또는 알루미늄과 같은 금속의 얇은 층 및 투광성들을 갖는 도전 금속 산화층을 포함한 적층 구조를 가질 수 있다.

[0122] 상기 애노드로서 작용하는 상기 제 1 전극(911) 및 상기 제 2 전극(914) 중 하나는 바람직하게는 높은 일 함수(4.0 eV 이상의 일 함수)를 갖는 금속, 합금, 도전 화합물 등을 사용하여 형성된다. 상기 캐소드로서 작용하는 상기 제 1 전극(911) 및 상기 제 2 전극(914) 중 다른 하나는 바람직하게는 낮은 일 함수(3.8 eV 이하의 일 함수)를 갖는 금속, 합금, 도전 화합물 등을 사용하여 형성된다. 통상적으로, 상기 캐소드로서 작용하는 상기 전극은 알칼리 금속, 알칼리 토금속, 합금 또는 이러한 금속을 포함한 화합물; 또는 천이 금속(그것의 카테고리에서 희토류 금속을 포함하는)을 사용하여 형성될 수 있다.

[0123] 상기 EL 층(913)은 상기 발광층을 포함한다. 상기 EL 층(913)은 상기 발광층 이외에 정공-주입층, 정공-수송층, 전자-수송층, 및 전자-주입층을 포함할 수 있다. 상기 정공-수송층은 상기 애노드 및 상기 발광층 사이에 제공된다. 상기 정공-주입층은 상기 애노드 및 상기 발광층 사이에 또는 상기 애노드 및 상기 정공-수송 층 사이에 제공된다. 상기 전자-수송층은 상기 캐소드 및 상기 발광층 사이에 제공된다. 상기 전자-주입층은 상기 캐소드

및 상기 발광층 사이에 또는 상기 캐소드 및 상기 전자-수송층 사이에 제공된다. 상기 정공-주입층, 상기 정공-수송층, 상기 전자-수송층, 및 상기 전자-주입층 모두가 반드시 제공되는 것은 아니며, 제공될 층은 원하는 기능 등에 따라 적절하게 선택된다는 것을 주의하자.

[0124] 상기 발광층은 발광 물질을 포함한다. 발광 물질로서, 예를 들면, 형광을 나타내는 형광 화합물 또는 인광을 나타내는 인광 화합물이 사용될 수 있다.

[0125] 상기 발광층은 호스트 재료에 발광 물질을 분산시킴으로써 형성될 수 있다. 상기 발광층이 호스트 재료에서 발광 물질의 분산에 의해 형성될 때, 발광 물질들 간에 소광 반응(quenching reaction)이 발생하는 농도 소광 및 결정화를 억제하는 것이 가능하다.

[0126] 상기 발광 물질이 형광 화합물일 때, 상기 형광 화합물보다 높은 일중항 여기 에너지(기저 상태 및 일중항 여기 상태 사이의 에너지 차이)를 갖는 물질이 바람직하게는 상기 호스트 재료로서 사용된다. 상기 발광 물질이 인광 화합물일 때, 상기 인광 화합물보다 높은 삼중항 여기 에너지(기저 상태 및 삼중항 여기 상태 사이의 상기 에너지 차이)를 갖는 물질이 바람직하게는 상기 호스트 재료로서 사용된다.

[0127] 상기 호스트 재료에 분산된 상기 발광 물질로서, 인광 화합물 또는 형광 화합물이 사용될 수 있다.

[0128] 상기 발광층에 대해, 둘 이상의 종류들의 호스트 재료들 및 발광 물질이 사용되거나, 또는 둘 이상의 종류들의 발광 물질들 및 호스트 재료가 사용될 수 있다는 것을 주의하자. 대안적으로, 둘 이상의 종류들의 호스트 재료들 및 둘 이상의 종류들의 발광 물질들이 사용될 수 있다.

[0129] 상기 정공-주입층으로서, 높은 정공-수송 특성을 갖는 물질 및 전자-수용 특성을 갖는 물질을 포함하는 층이 사용될 수 있다. 높은 정공-수송 특성을 갖는 물질 및 전자-수용 특성을 갖는 물질을 포함하는 상기 층은 높은 캐리어 밀도 및 뛰어난 정공-주입 특성을 가진다. 게다가, 높은 정공-수송 특성을 갖는 물질 및 전자-수용 특성을 갖는 물질을 포함하는 상기 층이 상기 애노드로서 기능하는 상기 전극과 접촉하는 상기 정공-주입층으로서 사용될 때, 다양한 종류들의 금속들, 합금들, 도전 화합물들, 그 혼합물들 등이 상기 애노드로서 기능하는 상기 전극의 재료의 상기 일 함수에 상관없이 사용될 수 있다.

[0130] 상기 발광층, 상기 정공-주입층, 상기 정공-수송층, 상기 전자-수송층, 및 상기 전자-주입층이 성막 방법, 코팅 방법 등에 의해 형성될 수 있다.

[0131] 패시베이션 층(915)은 스퍼터링 방법 또는 CVD 방법에 의해 상기 제 2 전극(914) 및 상기 격벽(106) 위에 형성될 수 있다. 상기 패시베이션 층(915)의 배치는 상기 외부로부터 상기 발광 소자로 수분 및 산소의 유입으로 인한 상기 발광 소자의 열화를 감소시킬 수 있다. 상기 패시베이션 층(915) 및 상기 밀봉 기판(916) 사이의 공간은 질소로 채워질 수 있으며, 또한 건조제가 배치될 수 있다. 대안적으로, 상기 패시베이션 층(915) 및 상기 밀봉 기판(916) 간의 공간은 높은 수분 흡수력을 가진 투광성 유기 수지로 채워질 수 있다.

[0132] 상기 발광 소자가 백색 광을 방출할 때, 상기 기판(111) 또는 상기 밀봉 기판(916)에는 풀-컬러 표시가 수행될 수 있도록 컬러 필터, 컬러 변환층 등이 제공될 수 있다.

[0133] 상기 기판(111) 또는 상기 밀봉 기판(916)에는 콘트라스트(contrast)를 강화시키기 위해 편광판 또는 원형 편광판이 제공될 수 있다.

[0134] 실시형태 1 내지 실시형태 3 중 임의의 것의 상기 구조와 이 실시형태의 상기 화소의 결합으로, 산화물 반도체가 사용되는 박막 트랜지스터를 포함한 상기 화소의 상기 개구율을 증가시키는 것이 가능하다.

[0135] 이 실시형태는 다른 실시형태들에 기술된 상기 구성들 중 임의의 것과 적절하게 결합하여 구현될 수 있다.

[0136] (실시형태 5)

[0137] 이 실시형태에서, 발광 표시 장치에 적용될 수 있는 화소의 회로 구성이 설명될 것이다.

[0138] 도 8은 상기 발광 표시 장치에 적용될 수 있는 화소 구성의 일 예를 도시한다. 화소(800)는 제 1 박막 트랜지스터(801), 제 2 박막 트랜지스터(802), 용량 소자(803), 및 발광 소자(804)를 포함한다. 상기 제 1 박막 트랜지스터(801)의 게이트는 제 1 배선(805)에 전기적으로 접속된다. 상기 제 1 박막 트랜지스터(801)의 제 1 단자는 제 2 배선(806)에 전기적으로 접속된다. 상기 제 1 박막 트랜지스터(801)의 제 2 단자는 상기 용량 소자(803)의 제 1 전극 및 상기 제 2 박막 트랜지스터(802)의 게이트에 전기적으로 접속된다. 상기 용량 소자(803)의 제 2 전극은 전원선(807)에 전기적으로 접속된다. 상기 제 2 박막 트랜지스터(802)의 제 1 단자는 상기 전원선(807)

에 전기적으로 접속된다. 상기 제 2 박막 트랜지스터(802)의 제 2 단자는 상기 발광 소자(804)의 일 전극에 전기적으로 접속된다.

[0139] 상기 제 1 배선(805)은 실시형태 1의 상기 제 1 배선(101A)의 것과 유사한 기능을 갖는다. 상기 제 2 배선(806)은 실시형태 1의 상기 제 2 배선(102A)의 것과 유사한 기능을 갖는다. 상기 전원선(807)은 실시형태 1의 상기 전원선(104A)과 동일한 기능을 갖는다. 상기 발광 소자(804)는 실시형태 4에 기술된 상기 발광 소자와 동일한 구성을 갖는다.

[0140] 실시형태 1 내지 실시형태 4의 임의의 것의 구성과 이 실시형태의 상기 화소의 결합으로, 산화물 반도체가 사용되는 박막 트랜지스터를 포함한 상기 화소의 상기 개구율을 증가시키는 것이 가능하다.

[0141] 이 실시형태는 상기 다른 실시형태들에 기술된 임의의 상기 구성과 적절하게 결합하여 구현될 수 있다.

[0142] (실시형태 6)

[0143] 이 실시형태에서, 실시형태 1 내지 실시형태 5 중 임의의 것에 설명된 상기 발광 표시 장치를 포함한 전자 기기의 일 예가 설명될 것이다.

[0144] 도 10a는 하우징(9630), 표시부(9631), 스피커(9633), 조작키들(9635), 접속 단자(9636), 기록 매체 삽입 판독부(9672) 등을 포함할 수 있는 휴대용 게임기를 도시한다. 도 10a의 상기 휴대용 게임기는 상기 표시부 상에 표시하기 위해 상기 기록 매체에 저장된 프로그램 또는 데이터를 판독하는 기능, 무선 통신에 의해 또 다른 휴대용 게임기와 정보를 공유하는 기능 등을 갖는다. 도 10a의 상기 휴대용 게임기는 상기에 제한되지 않고 다양한 기능들을 가질 수 있다는 것을 주의하자.

[0145] 도 10b는 상기 하우징(9630), 상기 표시부(9631), 상기 스피커(9633), 상기 조작키들(9635), 상기 접속 단자(9636), 셔터 버튼(9676), 이미지 수신부(9677) 등을 포함할 수 있는 디지털 카메라를 도시한다. 도 10b의 텔레비전 수신 기능을 갖는 상기 디지털 카메라는 정지 화상 및/또는 동화상 촬영 기능; 상기 촬영된 이미지를 자동으로 또는 수동으로 보정하는 기능; 안테나로부터 다양한 종류들의 정보를 획득하는 기능; 및 상기 표시부 상에서 상기 안테나로부터 획득된 상기 정보 또는 상기 촬영된 이미지를 표시하는 기능과 같은 다양한 기능들을 갖는다. 도 10b의 상기 텔레비전 수신 기능을 갖는 상기 디지털 카메라는 상기에 제한되지 않고 다양한 기능들을 가질 수 있음을 주의하자.

[0146] 도 10c는 상기 하우징(9630), 상기 표시부(9631), 상기 스피커들(9633), 상기 조작키(9635), 상기 접속 단자(9636) 등을 포함할 수 있는 텔레비전 세트를 도시한다. 도 10c의 상기 텔레비전 세트는 텔레비전을 위한 전파를 이미지 신호로 변환하는 기능, 상기 이미지 신호를 표시에 적합한 신호로 변환하는 기능, 상기 이미지 신호의 프레임 주파수를 변환하는 기능 등을 가진다. 도 10c의 상기 텔레비전 세트는 상기에 제한되지 않고 다양한 기능들을 가질 수 있음을 주의하자.

[0147] 도 11a는 상기 하우징(9630), 상기 표시부(9631), 상기 스피커(9633), 상기 조작키들(9635), 상기 접속 단자(9636), 외부 접속 포트(9680), 포인팅 장치(9681) 등을 포함할 수 있는 컴퓨터를 도시한다. 도 11a의 상기 컴퓨터는 상기 표시부 상에서 다양한 정보(예로서, 정지 화상, 동화상, 및 텍스트 화상)를 표시하는 기능, 다양한 소프트웨어(프로그램들)에 의한 처리를 제어하는 기능, 무선 통신 또는 유선 통신과 같은 통신 기능, 상기 통신 기능을 갖고 다양한 컴퓨터 네트워크들에 접속되는 기능, 상기 통신 기능을 갖고 다양한 데이터를 송신 또는 수신하는 기능 등을 가질 수 있다. 도 11a의 상기 컴퓨터는 이들 기능들을 갖는 것에 제한되지 않으며 다양한 기능들을 가질 수 있음을 주의하자.

[0148] 도 11b는 상기 하우징(9630), 상기 표시부(9631), 상기 스피커(9633), 상기 조작키들(9635), 마이크로폰(9638) 등을 포함할 수 있는 휴대 전화를 도시한다. 도 11b의 상기 휴대 전화는 상기 표시부 상에서 다양한 정보(예로서, 정지 화상, 동화상, 및 텍스트 화상)를 표시하는 기능; 달력, 날짜, 시간 등을 상기 표시부 상에 표시하는 기능; 상기 표시부 상에 표시된 상기 정보를 동작시키거나 또는 편집하는 기능; 다양한 종류들의 소프트웨어(프로그램들)에 의한 처리를 제어하는 기능 등을 가질 수 있다. 도 11b에서 상기 휴대 전화의 상기 기능들은 상술된 것에 제한되지 않으며, 상기 휴대 전화는 다양한 기능들을 가질 수 있음을 주의하자.

[0149] 도 11c는 상기 하우징(9630), 상기 표시부(9631), 상기 조작키(9635) 등을 포함할 수 있는 전자 페이퍼(또한 e 북 또는 전자 서적이라고 하는)를 포함한 전자 기기를 도시한다. 도 11c의 상기 전자 서적은 다양한 정보(예로서, 정지 화상, 동화상, 및 텍스트 화상)를 상기 표시부 상에 표시하는 기능; 달력, 날짜, 시간 등을 상기 표시부 상에 표시하는 기능; 상기 표시부 상에 표시된 상기 정보를 조작하거나 또는 편집하는 기능; 다양한 종류들

의 소프트웨어(프로그램들)에 의한 처리를 제어하는 기능 등을 가질 수 있다. 도 11c의 상기 전자 서적은 상기에 제한되지 않고 다양한 기능들을 가질 수 있음을 주의하자.

[0150] 이 실시형태에서 기술된 상기 전자 기기에서, 상기 표시부에 포함된 복수의 화소들의 상기 개구율은 증가될 수 있다.

[0151] 이 실시형태는 상기 다른 실시형태들에 설명된 상기 구조들 중 임의의 것과 적절하게 결합하여 구현될 수 있다.

[0152] 본 출원은 그 전체 내용들이 참조로서 본 명세서에 포함되는, 2009년 10월 9일 일본 특허청에 출원된 일본 특허출원번호 제2009-235180호에 기초한다.

부호의 설명

[0153]

100 : 화소
103 : 산화물 반도체 층
105 : 발광층
106 : 격벽
111 : 기판
112 : 하지막
113 : 게이트 절연막
114 : 산화물 절연층
121, 122 : 개구부
400 : 화소
403 : 산화물 반도체 층
405 : 발광층
406 : 격벽
411 : 기판
412 : 하지막
413 : 게이트 절연막
414 : 산화물 절연층
700 : 기판
701 : 화소
702 : 화소부
703 : 주사선 구동기 회로
704 : 신호선 구동기 회로
705 : 전원 회로
800 : 화소
801, 802: 박막 트랜지스터
803 : 용량 소자
804 : 발광 소자
805, 806 : 배선
807 : 전원선
900 : 화살표
911 : 전극
912 : 격벽
913 ; EL 층
914: 전극
915 : 패시베이션 층
916 : 밀봉 기판
101A : 배선
101B : 용량 전극
102A, 102B : 배선
103A, 103B : 산화물 반도체 층
104A : 전원선
104B : 배선
107A, 107B : 박막 트랜지스터
401A : 배선
401B : 용량 전극
402A, 402B : 배선
403A, 403B : 산화물 반도체 층
404A : 전원선
404B : 배선
407A, 407B : 박막 트랜지스터
601A, 601B : 층간 절연층
9630 : 하우징
9631 : 표시부
9633 : 스피커
9635: 조작키
9636 : 접속 단자

9638 : 마이크로폰 9672 : 기록 매체 삽입 판독부

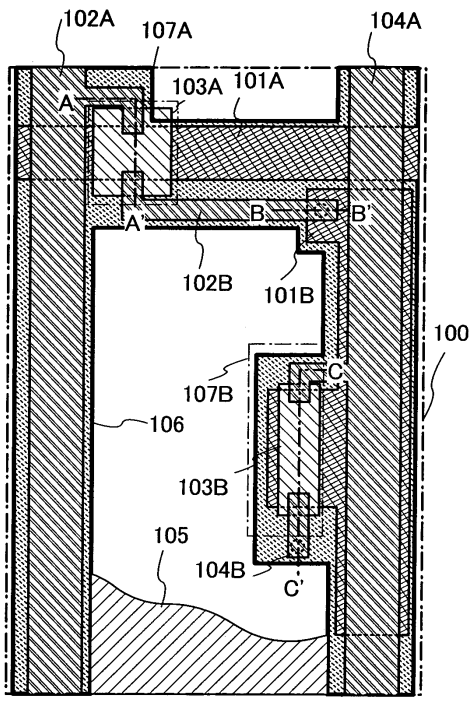
9676 : 셔터 버튼 9677 : 이미지 수신부

9680 : 외부 접속 단자 9681 : 포인팅 장치

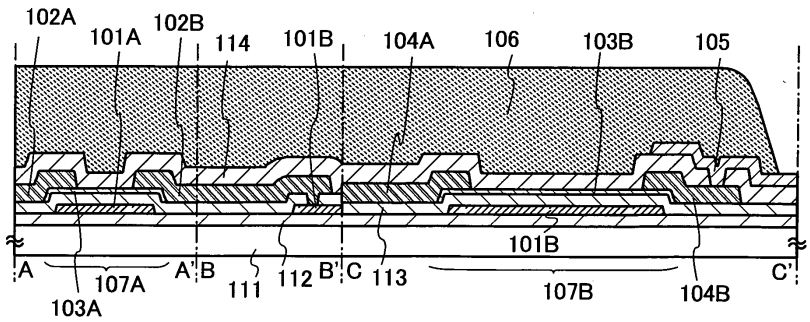
도면

도면1

(a)

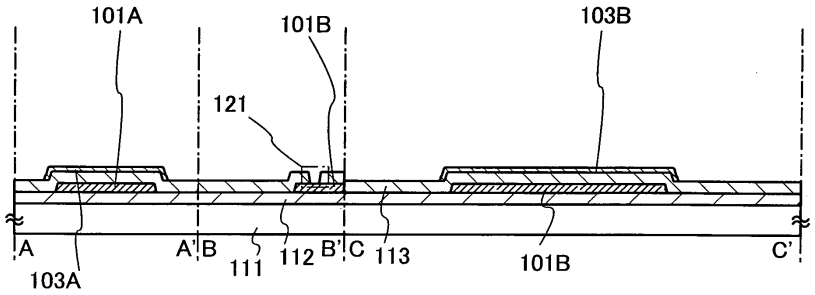


(b)

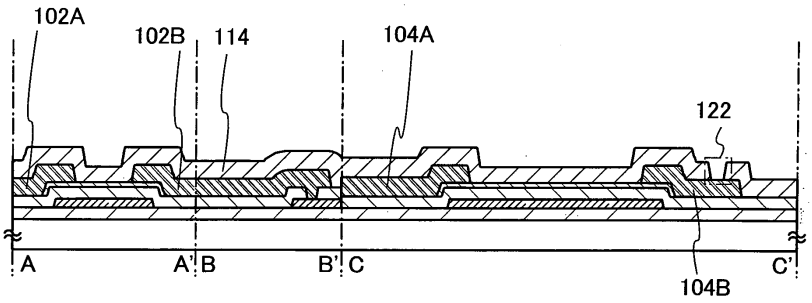


도면2

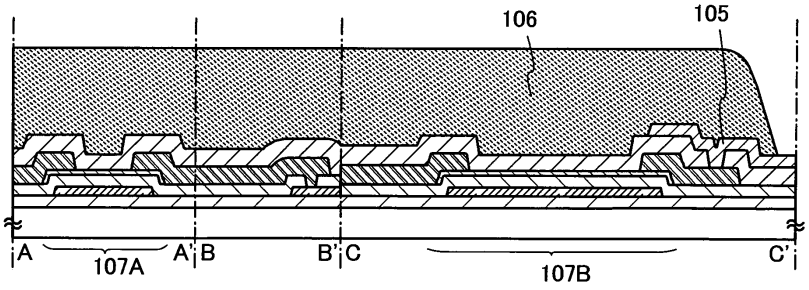
(a)


101A
101B
103B
121
A
A'
B
111
112
B'
C
113
101B
C'
103A

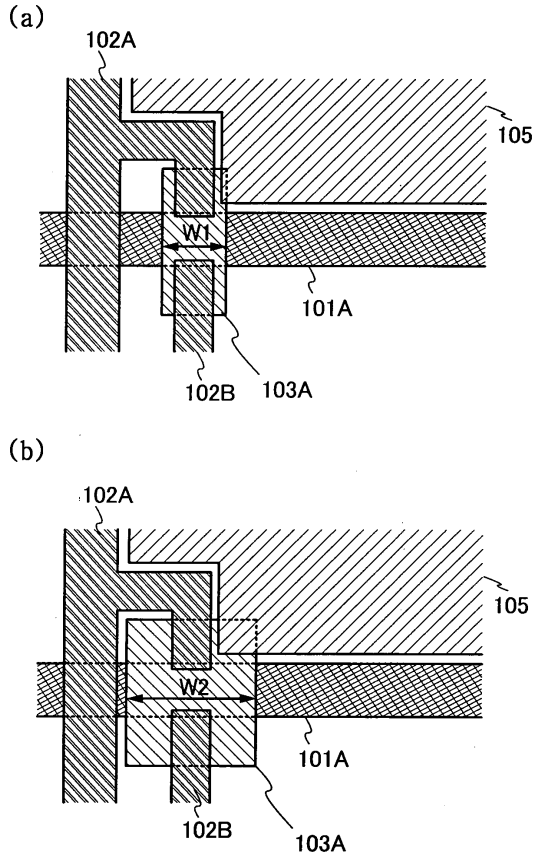
(b)


102A
102B
114
104A
122
A
A'
B
B'
C
C'
104B

(c)

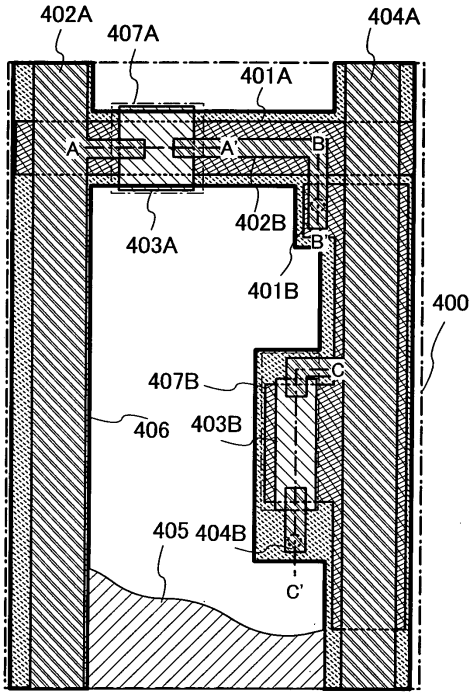

106
105
A
107A
A'
B
B'
C
107B
C'

도면3

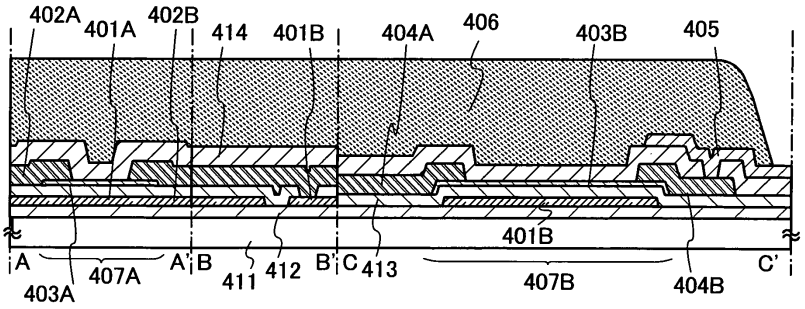


도면4

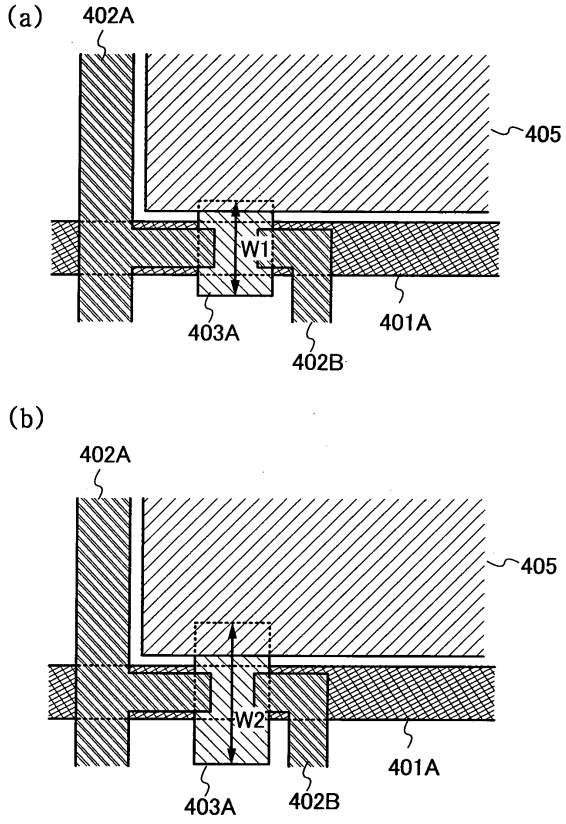
(a)


402A
407A
404A
401A
A
A'
B
B'
403A
402B
401B
400
C
407B
406
403B
405
404B
C'

(b)

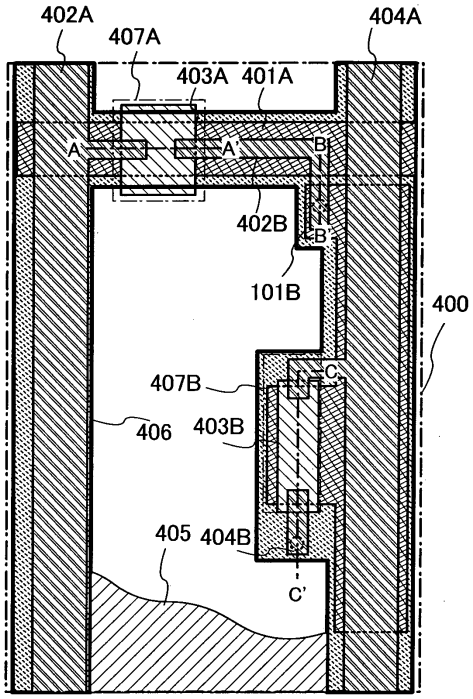

402A
401A
402B
414
401B
404A
406
403B
405
401B
A
A'
B
B'
C
C'
403A
407A
411
412
413
407B
404B

도면5

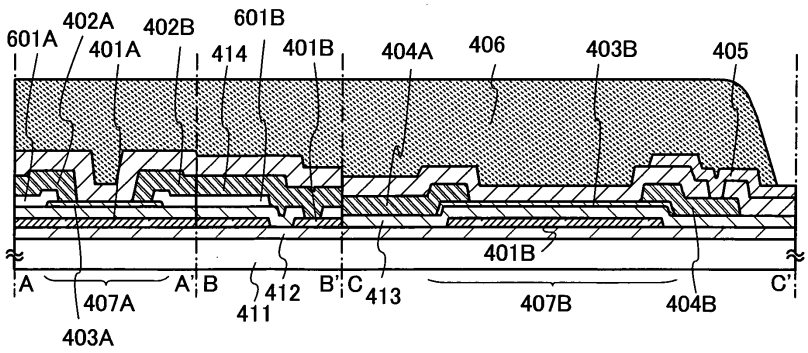


도면6

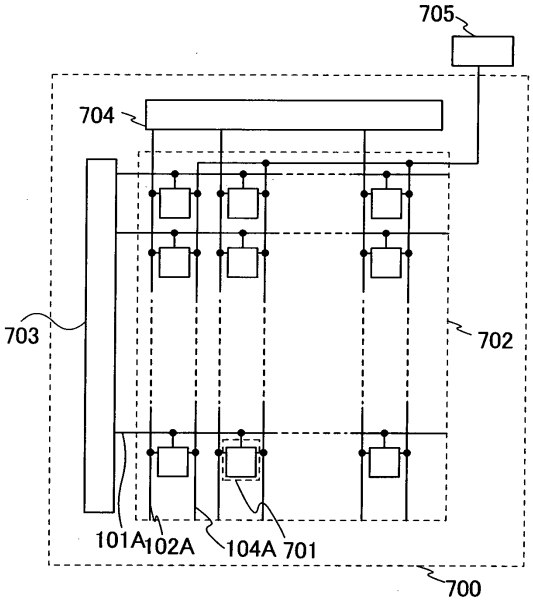
(a)


402A
407A
404A
403A
401A
A
A'
B
B'
402B
101B
400
C
C'
407B
406
403B
405
404B

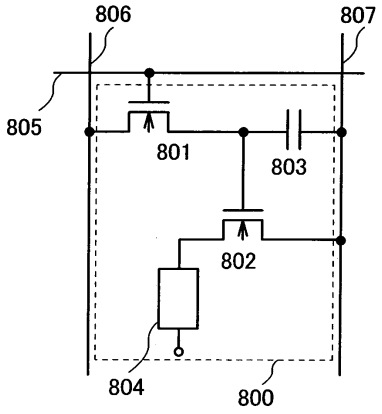
(b)


601A
402A
401A
402B
601B
414
401B
404A
406
403B
405
401B
A
A'
B
B'
C
C'
407A
403A
411
412
413
407B
404B

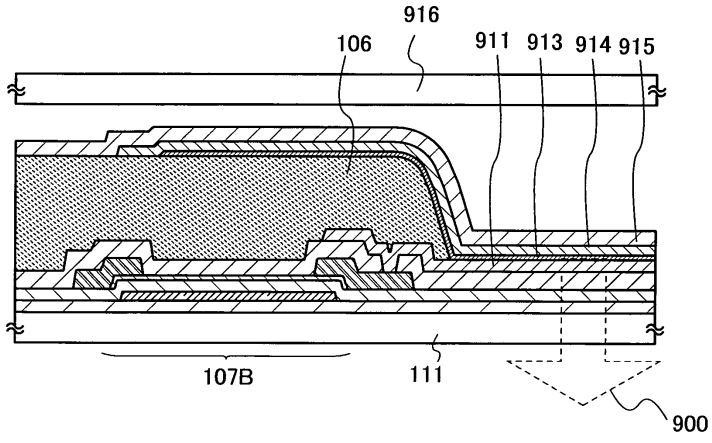
도면7


705
704
703
702
101A
102A
104A
701
700

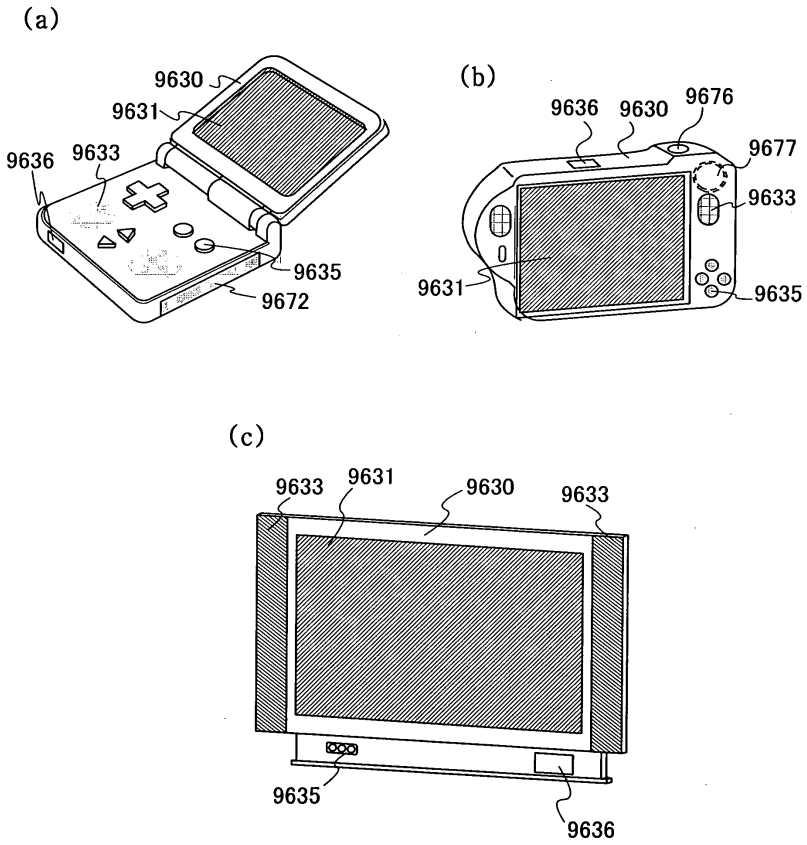
도면8


806
807
805
801
803
802
804
800

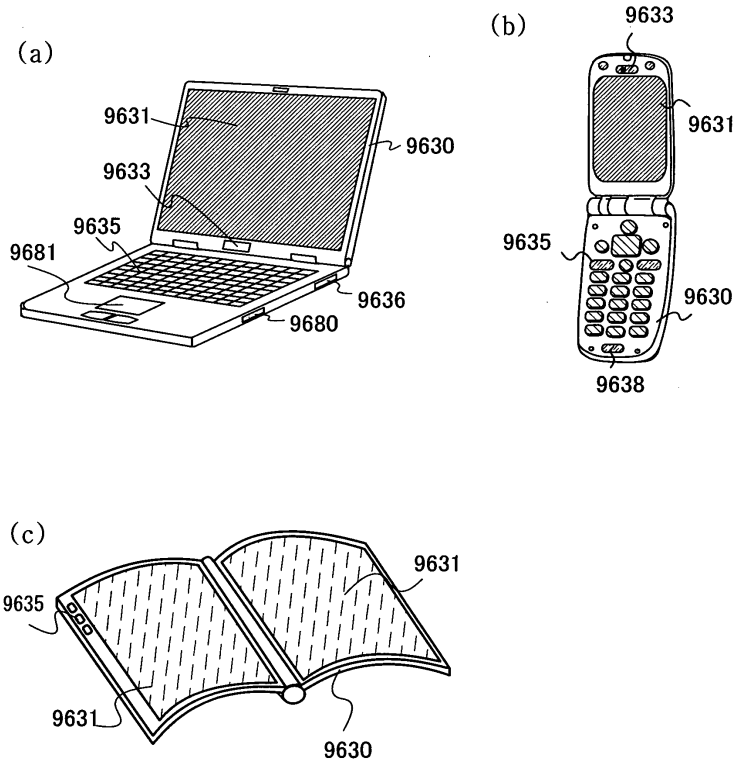
도면9


916
106
911
913
914
915
107B
111
900

도면10

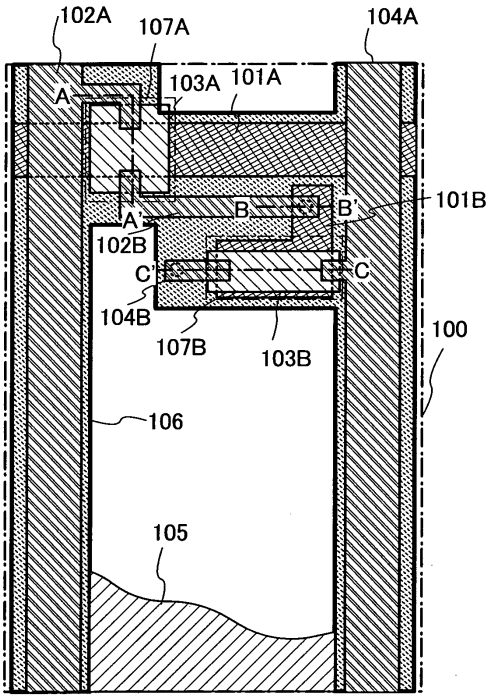

(a)
9630
9631
9636
9633
9635
9672
(b)
9636
9630
9676
9677
9633
9631
9635
(c)
9633
9631
9630
9633
9635
9636

도면11

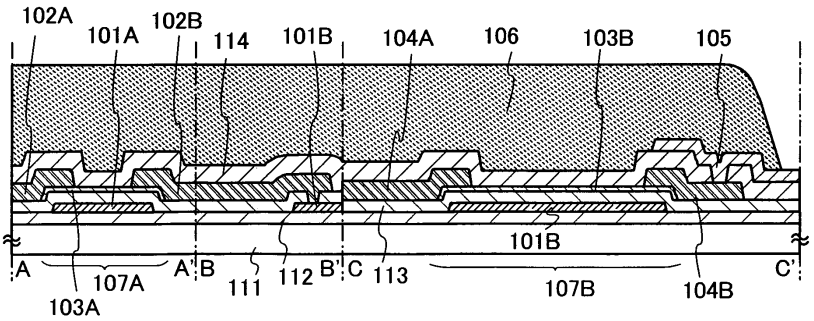

(a)
9631
9630
9633
9635
9681
9636
9680
(b)
9633
9631
9635
9630
9638
(c)
9631
9635
9631
9630

도면12

(a)


102A
107A
104A
103A
101A
A
A'
B
B'
101B
102B
C'
C
104B
107B
103B
100
106
105

(b)


102A
101A
102B
114
101B
104A
106
103B
105
101B
A
107A
103A
A'
B
111
112
B'
C
113
107B
104B
C'