



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

255 013

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 28 03 86
(21) PV 2225-86.K

(51) Int. Cl.⁴

G 11 C 8/00

(40) Zveřejněno 12 02 87
(45) Vydáno 01 05 89

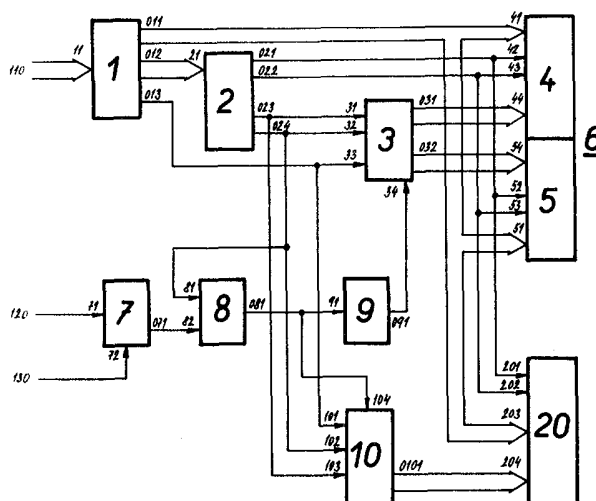
(75)
Autor vynálezu

ŠMÍD ZBYNĚK ing., BRNO

(54)

Zapojení adresových obvodů operační paměti

Cílem řešení je rozšířit operační paměť typu RAM o novou bázi, začleněnou do stávajícího systému. Uvedeného cíle se dosáhne zapojením s registrem adresy paměti, kodérem, výběrovými obvody, operační paměti, bistabilním klopným obvodem, součinným hradlem, invertorem, výběrovým obvodem rozšiřující se báze a pamětovými obvody rozšiřující se báze. Zapojení lze využít u malých výpočetních prostředků, zejména u inteligentních terminálů při rozšiřování jejich operační paměti.



Vynález se týká zapojení adresových obvodů operační paměti rozšířené o uživatelskou bázi.

Charakteristickou vlastností malých výpočetních prostředků je umístění základního programového vybavení do oblasti paměti typu ROM. Vazební adresy pro nepřímou adresaci, případně společné podprogramy, je v těchto systémech vhodné umístit v paměti typu ROM v oblastech, které jsou přímo adresově dostupné pro uživatelské aplikační programy, které jsou umístěny v oblasti paměti typu RAM. Pokud se v takovémto případě vyskytne potřeba zvětšit operační paměť typu RAM o novou bázi, nastanou problémy s jejím začleněním do stávajícího systému. Programy, které byly vytvořeny pro původní rozsah paměti a které tudíž předpokládají přímo adresově dostupnou oblast paměti typu ROM s vazebními adresami na systém, musí být pro rozšířenou oblast upraveny.

Uvedenou nevýhodu odstraňuje zapojení adresových obvodů operační paměti podle vynálezu, jehož podstatou je, že datový vstup bistabilního klopného obvodu tvoří současně datový vstup zapojení, řídicí vstup bistabilního klopného obvodu tvoří současně řídicí vstup zapojení, výstup bistabilního klopného obvodu je připojen na druhý vstup dvouvstupového součinnového hradla, jehož výstup je připojen na vstup invertoru a na čtvrtý vstup výběrového obvodu rozšiřující báze, jehož skupina výstupů je připojena na druhou skupinu vstupů paměťových obvodů rozšiřující báze, výstup invertoru je připojen na čtvrtý vstup výběrových obvodů, výstup registru adresy paměti je dále připojen na třetí vstup výběrového obvodu rozšiřující báze, třetí výstup kodéru je připojen dále na první vstup výběrového obvodu rozšiřující báze, čtvrtý výstup kodéru je dále připojen na první vstup dvouvstupového součinnového hradla a na druhý vstup výběrového obvodu rozšiřující báze, první skupina výstupů registru adresy paměti je dále připojena na první skupinu vstupů paměťových obvodů

rozšiřující báze, první výstup kodéru je dále připojen na první vstup paměťových obvodů rozšiřující báze, druhý výstup kodéru je dále připojen na druhý vstup paměťových obvodů rozšiřující báze.

Výhodou zapojení adresových obvodů operační paměti podle vynálezu je, že operační paměť typu RAM je poměrně jednoduchým zapojením rozšířena o novou bázi, začleněnou do stávajícího systému.

Příklad zapojení adresových obvodů operační paměti podle vynálezu je znázorněn na připojených výkresech, na nichž obr. 1 představuje blokové schéma zapojení, obr. 2 schématické promítání logické adresy na fyzickou adresu, obr. 3 schématické znázornění společných oblastí logické adresy paměti, obr. 4 příklad rozdělení oblastí paměti typu RAM a paměti typu ROM.

Skupina vstupů 11 registru 1 adresy paměti pro šestnáctibitovou logickou adresu tvoří současně skupinu vstupů 110 zapojení pro připojení na procesor neznázorněného výpočetního prostředku. První skupina výstupů 011 registru 1 adresy paměti pro bity 0 až 7 a 10 až 13 logické adresy je připojena na první skupinu vstupů 41 oblasti 4 paměti typu RAM operační paměti 6 a na první skupinu vstupů 51 oblasti 5 paměti typu ROM operační paměti 6. Druhá skupina výstupů 012 registru 1 adresy paměti pro bity 8 až 15 logické adresy je připojena na skupinu vstupů 21 kodéru 2. Výstup 013 registru 1 adresy paměti pro bit 13 logické adresy je připojen na třetí vstup 33 výběrových obvodů 3. První výstup 021 kodéru 2 pro bit 8 fyzické adresy je připojen na první vstup 42 oblasti 4 paměti typu RAM operační paměti 6 a na první vstup 52 oblasti 5 paměti typu ROM operační paměti 6. Druhý výstup 022 kodéru 2 pro bit 9 fyzické adresy je připojen na druhý vstup 43 oblasti 4 paměti typu RAM operační paměti 6 a na druhý vstup 53 oblasti 5 paměti typu ROM operační paměti 6. Třetí výstup 023 kodéru 2 pro bit 14 fyzické adresy je připojen na první vstup 31 výběrových obvodů 3. Čtvrtý výstup 024 kodéru 2 pro bit 15 fyzické adresy je připojen na druhý vstup 32 výběrových obvodů 3. První skupina výstupů 031 výběrových obvodů 3 pro řídicí signály je připojena na druhou skupinu vstupů 44 oblasti 4 paměti typu RAM operační paměti 6. Druhá skupina výstupů 032 výběrových obvodů 3 pro řídicí signály je připojena na druhou sku-

pinu vstupů 54 oblasti 5 paměti typu ROM operační paměti 6. Bity logické adresy, vystupující na první skupině výstupů 011 registru 1 adresy paměti, jsou shodné s bity fyzické adresy. Bity fyzické adresy, vystupující na prvním až čtvrtém výstupu 021 až 024 kodéru 2 jsou takové bity, které jsou nebo mohou být odlišné od odpovídajících bitů logické adresy. Kodér 2 je tvořen programovatelnou rychlou polovodičovou pamětí typu ROM o kapacitě 256 čtyřbitových slov. Počet vstupů ve skupině vstupů 21 kodéru 2 určuje minimální rozměry vzájemně vyměnitelných částí oblasti 4, 5 paměti typu RAM a paměti typu ROM. Volba bitů na prvním až čtvrtém výstupu 021 až 024 kodéru 2, které slouží k modifikaci vstupní logické adresy na výstupní fyzickou adresu paměti, závisí na potřebě vzájemné výměny částí oblastí 4, 5 paměti typu RAM a paměti typu ROM. Datový vstup 71 bistabilního klopného obvodu 7 pro vyšší bit logické adresové báze tvoří současně datový vstup 120 zapojení pro připojení na procesor. Řídicí vstup 72 bistabilního klopného obvodu 7 tvoří současně řídicí vstup 130 zapojení pro připojení na procesor. Výstup 071 bistabilního klopného obvodu 7 je připojen na druhý vstup 82 dvouvstupového součinnového hradla 8, jehož výstup 081 je připojen na vstup 91 invertoru 9 a na čtvrtý vstup 104 výběrového obvodu 10 rozšiřující báze, jehož skupina výstupů 0101 pro řídicí signály je připojena na druhou skupinu vstupů 204 paměťových obvodů 20 rozšiřující báze. Výstup 091 invertoru 9 je připojen na čtvrtý vstup 34 výběrových obvodů 3. Výstup 013 registru 1 adresy paměti pro bity 8 až 15 logické adresy je dále připojen na třetí vstup 101 výběrového obvodu 10 rozšiřující báze. Třetí výstup 023 kodéru 2 pro bit 14 fyzické adresy je připojen na první vstup 103 výběrového obvodu 10 rozšiřující báze. Čtvrtý výstup 024 kodéru 2 pro bit 15 fyzické adresy je dále připojen na první vstup 81 dvouvstupového součinnového hradla 8 a na druhý vstup 102 výběrového obvodu 10 rozšiřující báze. První skupina výstupů 011 registru 1 adresy paměti pro bity 0 až 7 a 10 až 13 logické adresy je dále připojena na první skupinu vstupů 203 paměťových obvodů 20 rozšiřující báze. První výstup 021 kodéru 2 pro bit 8 fyzické adresy je dále připojen na první vstup 201 paměťových obvodů 20 rozšiřující báze. Druhý výstup 022 kodéru 2 pro bit 9 fyzické adresy je dále připojen na druhý vstup 202 paměťových obvodů 20 rozšiřující báze.

Princip činnosti obvodů pro rozšíření operační paměti o uživatelskou bázi spočívá ve vhodném promítání logické adresy vý-

běru báze tak, aby byly splněny tři předpoklady. Předně musí být každá logická adresa promítána na existující fyzickou adresu paměti, aby bylo zaručeno, že kontrolní obvody parity nebudou signalizovat chybně vznik parity. Dále musí obvody pro rozšíření paměti respektovat v co největší míře stávající zapojení už existující nerozšířené paměti. Poslední, nejdůležitější vlastnost, kterou musí zapojení respektovat, je skutečnost, že rozšiřující báze paměti typu RAM musí mít ve své přímo adresovatelné části, tak zvané nulové stránce z pohledu logické adresy stejnou oblast registru a podprogramů paměti typu ROM jako původní báze paměti typu RAM. Tato vlastnost zajistí plnou kompatibilitu programových prostředků. Původní činnost adresových obvodů operační paměti spočívá v tom, že do registru 1 adresy paměti vstupuje šestnáctibitová logická adresa z procesoru výpočetního prostředku. Zde je uložena po dobu potřebnou pro zápisový nebo čtecí cyklus paměti. Tato logická adresa je pomocí kodéru 2 modifikována na fyzickou adresu paměti. Modifikovány jsou přitom pouze nezbytně nutné bity adresy s ohledem na velikost vzájemně zaměnitelných částí oblastí 4, 5 paměti typu RAM a paměti typu ROM a s ohledem na jejich vzájemnou polohu. Na skupiny vstupů 21 kodéru 2 je nutné přivést takový počet bitů logické adresy směrem od nejvyšších k nejnižším bitům, aby se hranice zaměněných částí oblastí 4, 5 paměti typu RAM a paměti typu ROM kryla se změnou nejnižšího bitu přiváděného do kodéru 2. Číslo výstupních bitů kodéru 2 a jejich počet je určen podle toho, které části oblasti 4, 5 paměti typu RAM a paměti typu ROM se navzájem zaměňují. Je-li oblast 5 paměti typu ROM menší než oblast 4 paměti typu RAM, je možno zanedbat další, to je parazitní vzájemné záměny v oblasti 4 paměti typu RAM, neboť nemění nic na požadavku jednoznačnosti přiřazení určitých slov paměti určité adrese. Příkladem toho by mohl být obr. 4 za předpokladu, že horní polovina adresového prostoru původní paměti, kde bit 15 je roven logické nule, tvoří v převážné míře paměť typu ROM, znázorněná šrafováním. Je to tak zvaná nulová báze paměti a bit 15 je nejnižší bit adresy báze. Oblast, kde je bit 15 v logické jedničce, tvoří v převážné míře obvody paměti typu RAM a nazývá se první báze. První sloupec adresového prostoru tvoří tak zvaná nulová stránka, která je v instrukcích přímo adresovatelná o kterékoliv běžné stránky v rámci příslušné báze. V této oblasti je provedena prostřednictvím kodéru 2 modifikace bitů 9 a 15 logické adresy paměti tak, aby se vzájemně promítaly poloviny nulových stránek, jak je naznače-

no. Rozšiřující báze paměti musí mít náplň paměti typu ROM v první polovině nulové stránky shodnou s nulovou stránkou první báze. K tomu slouží bistabilní klopný obvod 7, na který je přiveden vyšší bit adresy báze, jehož stav je zaznamenán pomocí signálu na řídicím vstupu 72. Výstupní signál bistabilního klopného obvodu 7 spolu s modifikovaným signálem nižšího bitu adresy báze, přiváděnými na dvouvstupové součinnové hradlo 8, provedou výběr fyzické adresy pro rozšiřující bázi. Signál na výstupu invertoru 9 a na výstupu dvouvstupového součinnového hradla 8 slouží k blokování výběrových obvodů 3 pro bázi nula a jedna nebo výběrového obvodu 10 rozšiřující báze. Výběrové obvody 3 mohou být shodné s výběrovým obvodem 10 rozšiřující báze. Fyzicky neexistující báze paměti, která je příslušná spolu s rozšiřující bázi vyššímu bodu adresy báze, se přitom promítá na fyzicky existující oblasti ostatních bází. Situaci nejlépe ozřejmí obr. 2, kde je schématicky znázorněno promítání logické adresy LA na fyzickou adresu FA jednotlivých bází 0B, 1B a 3B paměti a jejich nulových stránek a logické adresy, zahrnující čtyřbázový adresový prostor, daný dvěma bity adresy báze na fyzicky existující tři báze paměti a dále obr. 3, kde jsou pomocí číslic znázorněny společné oblasti logické adresy paměti.

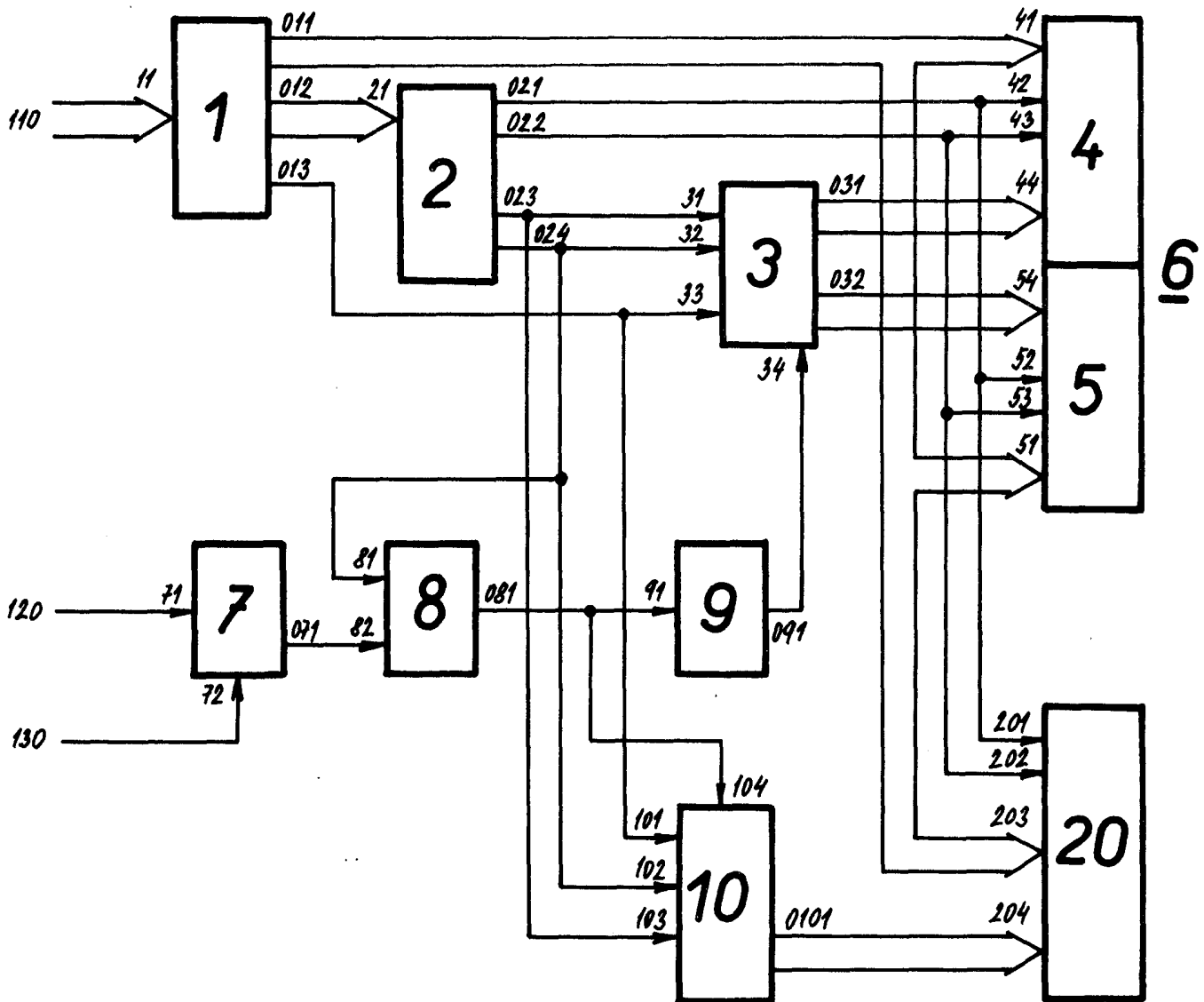
Vynálezu lze využít u malých výpočetních prostředků, zejména u inteligentních terminálů při rozšiřování jejich operační paměti.

P Ř E D M Ě T V Y N Á L E Z U

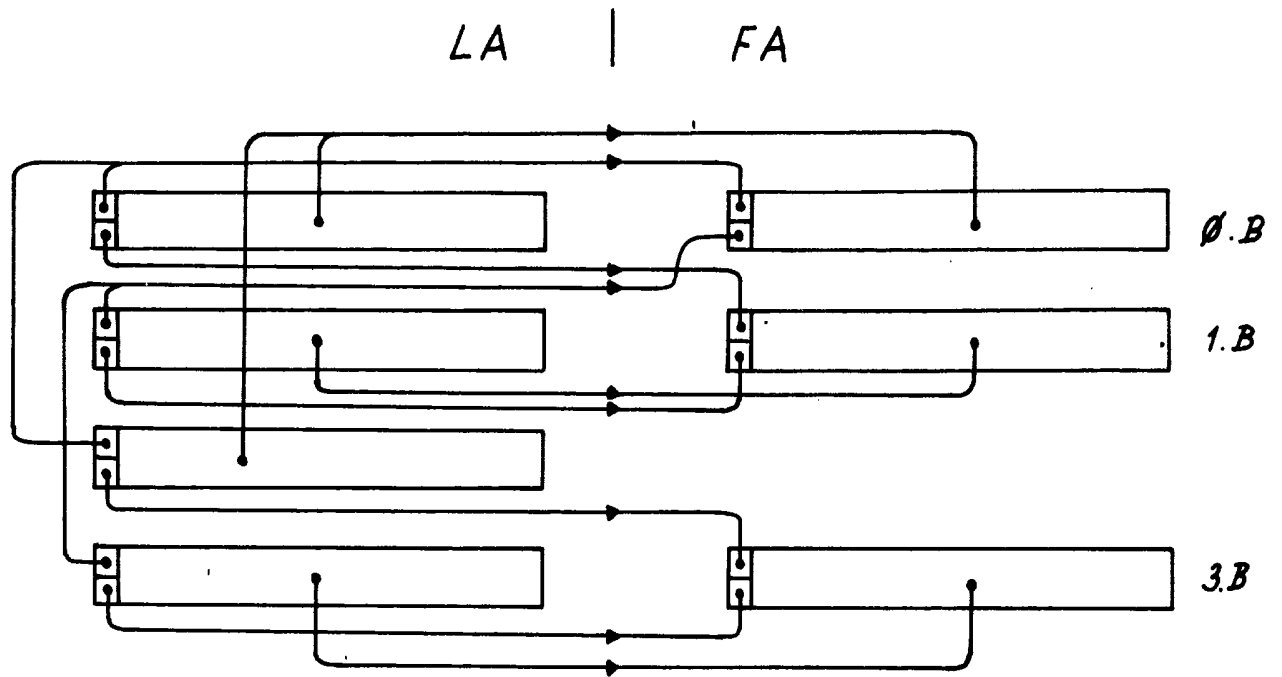
Zapojení adresových obvodů operační paměti, kde skupina vstupů registru adresy paměti tvoří současně skupinu vstupů zapojení, první skupina výstupů registru adresy paměti je připojena na první skupinu vstupů oblasti paměti typu RAM operační paměti a na první skupinu vstupů oblasti paměti typu ROM operační paměti, druhá skupina výstupů registru adresy paměti je připojena na skupinu vstupů kodéru, výstup registru adresy paměti je připojen na třetí vstup výběrových obvodů, první výstup kodéru je připojen na první vstup oblasti paměti typu RAM operační paměti a na první vstup oblasti paměti typu ROM operační paměti, druhý výstup kodéru je připojen na druhý vstup oblasti paměti typu RAM operační paměti a na druhý vstup oblasti paměti typu ROM operační paměti, třetí výstup kodéru je připojen na první vstup výběrových obvodů, čtvrtý výstup kodéru je připojen na druhý vstup výběrových obvodů, první skupina výstupů výběrových

obvodů je připojena na druhou skupinu vstupů oblasti paměti typu RAM operační paměti, druhá skupina výstupů výběrových obvodů je připojena na druhou skupinu vstupů oblasti paměti typu ROM operační paměti, vyznačené tím, že datový vstup (71) bistabilního obvodu (7) tvoří současně datový vstup (120) zapojení, řídicí vstup (72) bistabilního klopného obvodu (7) tvoří současně řídicí vstup (130) zapojení, výstup (071) bistabilního klopného obvodu (7) je připojen na druhý vstup (82) dvouvstupového součinnového hradla (8), jehož výstup (081) je připojen na vstup (91) invertoru (9) a na čtvrtý vstup (104) výběrového obvodu (10) rozšiřující báze, jehož skupina výstupů (0101) je připojena na druhou skupinu vstupů (204) paměťových obvodů (20) rozšiřující báze, výstup (091) invertoru (9) je připojen na čtvrtý vstup (34) výběrových obvodů (3), výstup (013) registru (1) adresy paměti je dále připojen na třetí vstup (101) výběrového obvodu (10) rozšiřující báze, třetí výstup (023) kodéru (2) je připojen dále na první vstup (103) výběrového obvodu (10) rozšiřující báze, čtvrtý výstup (024) kodéru (2) je dále připojen na první vstup (81) dvouvstupového součinnového hradla (8) a na druhý vstup (102) výběrového obvodu (10) rozšiřující báze, první skupina výstupů (011) registru (1) adresy paměti je dále připojena na první skupinu vstupů (203) paměťových obvodů (20) rozšiřující báze, první výstup (021) kodéru (2) je dále připojen na první vstup (201) paměťových obvodů (20) rozšiřující báze, druhý výstup (022) kodéru (2) je dále připojen na druhý vstup (202) paměťových obvodů (20) rozšiřující báze.

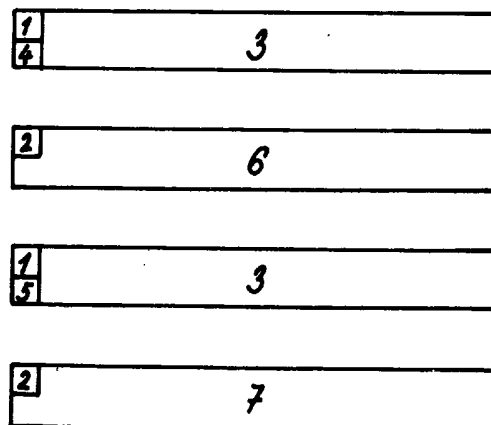
3 výkresy



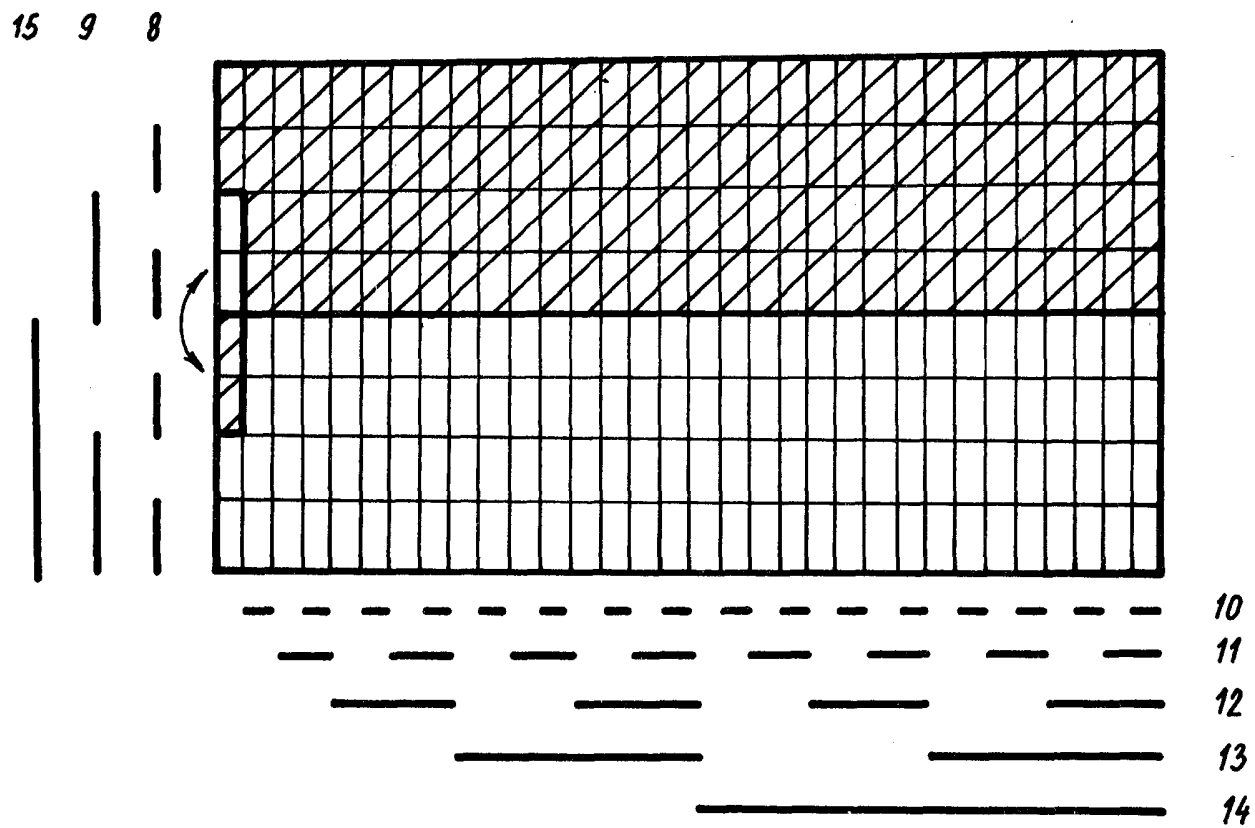
Obr. 1



Obr. 2



Obr. 3



Obr. 4