



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I527154 B

(45)公告日：中華民國 105 (2016) 年 03 月 21 日

(21)申請案號：099126312

(22)申請日：中華民國 99 (2010) 年 08 月 06 日

(51)Int. Cl. : **H01L21/768 (2006.01)**

(30)優先權：2009/08/13 美國

12/540,759

(71)申請人：萬國商業機器公司 (美國) INTERNATIONAL BUSINESS MACHINES CORPORATION (US)

美國

(72)發明人：班薩朗提 薩瑞亞 BANGSARUNTIP, SARUNYA (TH)；艾戴斯坦 丹尼爾 C EDELSTEIN, DANIEL C. (US)；海斯伯 威廉 D HINSBERG, WILLIAM D. (US)；金浩哲 KIM, HO-CHEOL (KR)；寇斯特 史帝文 KOESTER, STEVEN (US)；所羅門 保羅 M SOLOMON, PAUL M. (US)

(74)代理人：李宗德

(56)參考文獻：

US 5132878

US 6027995

US 7429177B2

US 2007/0038966A1

US 2008/0193658A1

Automated design of misaligned-carbon-nanotube-immune circuits, N. Patil et al, DAC 2007, June 4-8, 2007, pp.958~961

審查人員：彭大慶

申請專利範圍項數：26 項 圖式數：28 共 62 頁

(54)名稱

電接觸結構及其形成方法

ELECTRICAL CONTACT STRUCTURE AND THE MANUFACTURING METHOD

(57)摘要

本發明揭示一種形成於次微影節距結構與微影節距結構之間的內連線。具有次微影節距的複數個導線可經微影圖案化，並沿著與該複數個導線的縱向方向相距角度小於 45 度的直線切割。或是，可將與均聚物混合的共聚物放進凹陷區，且該共聚物自對準以形成複數個導線，該等導線在固定寬度區域中具有次微影節距，及在梯形區域中的相鄰導線之間具有微影尺寸。又或是，具次微影節距的第一複數個導線及具微影節距的第二複數個導線可在相同或不同的層級中形成。

An interconnection between a sublithographic-pitched structure and a lithographic pitched structure is formed. A plurality of conductive lines having a sublithographic pitch may be lithographically patterned and cut along a line at an angle less than 45 degrees from the lengthwise direction of the plurality of conductive lines. Alternately, a copolymer mixed with homopolymer may be placed into a recessed area and self-aligned to form a plurality of conductive lines having a sublithographic pitch in the constant width region and a lithographic dimension between adjacent lines at a trapezoidal region. Yet alternately, a first plurality of conductive lines with the sublithographic pitch and a second plurality of conductive lines with the lithographic pitch may be formed at the same level or at different.

指定代表圖：

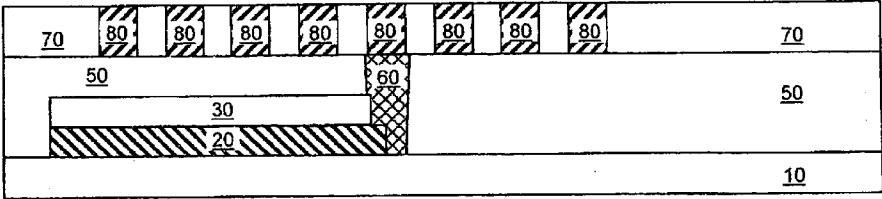


圖 7B

- 符號簡單說明：
- 10 . . . 基板
 - 20、80 . . . 導線
 - 30 . . . 介電材料部分
 - 50 . . . 第一介電層
 - 60 . . . 導電通孔
 - 70 . . . 第二介電層

發明專利說明書

103年12月24日修正
封條頁(本)

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：99126312

※ 申請日：99 年 8 月 6 日

※IPC 分類：H01L 21/768
(2006.01)

一、發明名稱：(中文/英文)

電接觸結構及其形成方法

ELECTRICAL CONTACT STRUCTURE AND THE
MANUFACTURING METHOD

二、中文發明摘要：

本發明揭示一種形成於次微影節距結構與微影節距結構之間的內連線。具有次微影節距的複數個導線可經微影圖案化，並沿著與該複數個導線的縱向方向相距角度小於45度的直線切割。或是，可將與均聚物混合的共聚物放進凹陷區，且該共聚物自對準以形成複數個導線，該等導線在固定寬度區域中具有次微影節距，及在梯形區域中的相鄰導線之間具有微影尺寸。又或是，具次微影節距的第一複數個導線及具微影節距的第二複數個導線可在相同或不同的層級中形成。

三、英文發明摘要：

An interconnection between a sublithographic-pitched structure and a lithographic pitched structure is formed. A plurality of conductive lines having a sublithographic pitch may be lithographically patterned and cut along a line at an angle less than 45 degrees from the lengthwise direction of

the plurality of conductive lines. Alternately, a copolymer mixed with homopolymer may be placed into a recessed area and self-aligned to form a plurality of conductive lines having a sublithographic pitch in the constant width region and a lithographic dimension between adjacent lines at a trapezoidal region. Yet alternately, a first plurality of conductive lines with the sublithographic pitch and a second plurality of conductive lines with the lithographic pitch may be formed at the same level or at different.

四、指定代表圖：

(一)本案指定代表圖為：圖 7B。

(二)本代表圖之元件符號簡單說明：

10 基板

20、80 導線

30 介電材料部分

50 第一介電層

60 導電通孔

70 第二介電層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無。

六、發明說明：

【發明所屬之技術領域】

本發明有關包括次微影節距結構與微影節距結構之間的內連線的結構及其製造方法。

【先前技術】

可採用自組合共聚物形成次微影節距結構，即，具有次微影節距的結構。先在適合的溶劑系統中溶解自組合嵌段共聚物以形成嵌段共聚物溶液，然後再將此溶液塗布在第一示範性結構的表面上，以形成嵌段共聚物層。用於溶解嵌段共聚物及形成嵌段共聚物溶液的溶劑系統可包含任何適合溶劑，其包括(但不限於)：甲苯、單甲基醚丙二醇乙酸酯(PGMEA)、單甲基醚丙二醇(PGME)、及丙酮。

半導體結構的尺寸一般受限於圖案化半導體結構實體特徵所用微影工具的最小可印刷尺寸。本技術中，將最小可印刷尺寸稱為「臨界尺寸」，其定義為最窄平行線或最窄平行間隔(具有採用可用微影工具形成的最小可印刷節距)的寬度。

儘管「微影最小尺寸」及「次微影尺寸」僅關於可用的微影工具來定義且一般隨著半導體技術世代的不同而改變，但應明白，微影最小尺寸及次微影尺寸應關於半導體製造時可用之微影工具的最佳效能來定義。在本申請案之申請日，微影最小尺寸約為 35 nm，且預期未來還會縮小。

將次微影節距結構併入半導體結構需要在次微影節距結構及微影節距結構之間的電接觸。因此需要提供此類電接

觸的結構。

【發明內容】

根據本發明之一具體實施例，提供一種第一結構，其包括：第一複數個導線，具有一第一節距且嵌入於至少一個介電層中，其中該第一複數個導線的每一個具有一對側壁平行於一第一垂直平面及一端壁位在一第二垂直平面內，其中在該第一垂直平面及該第二垂直平面之間的一角度小於 45 度；及複數個導電通孔，其中該複數個導電通孔的每一個接觸該複數個導線之一個的一末端部分且嵌入於該至少一個介電層中，及其中該第二垂直平面與該複數個導電通孔的每一個相交。

根據本發明之另一方面，提供一種第二結構，其包括：第一複數個導線，嵌入於至少一個介電層中且具有一固定寬度區域及至少一個毗鄰該固定寬度區域的變動間隔區域，其中該第一複數個導線在該固定寬度區域內具有一固定第一節距，及在該至少一個變動間隔區域內，在一相鄰對該第一複數個導線之間具有一變動距離，其中該變動距離隨著與該固定寬度區域之一末端部分的一橫向距離而增加；及複數個導電通孔，具有一第二節距，其中該複數個導電通孔的每一個接觸該複數個導線之一個的一末端部分，且嵌入於該至少一個介電層中，其中該第二節距大於該第一節距。

根據本發明之還另一方面，提供一種第三結構，其包括：第一複數個導線，具有一第一節距且嵌入於至少一個介電層中；及第二複數個導線，嵌入於該至少一個介電層中且具有一第二節距，其中該第二節距大於該第一節距，及該第

二複數個導線的至少一個電阻式連接至該第一複數個導線的至少兩個。

根據本發明之又另一方面，提供一種形成一結構的方法，其包括：形成第一複數個導線，其在一基板上具有一第一節距，其中該第一複數個導線的每一個具有一對側壁平行於一第一垂直平面；採用一光阻以圖案化該第一複數個導線，其沿著一第二垂直平面具有一側壁，其中該圖案化之第一複數個導線的每一個之一端壁形成於該第二垂直平面內，及其中在該第一垂直平面及該第二垂直平面之間的一角度小於 45 度；形成一介電層於該圖案化之第一複數個導線之上；及形成複數個導電通孔於該介電層中，其中該複數個導電通孔的每一個接觸該複數個導線之一個的一末端部分，及該第二垂直平面與該複數個導電通孔的每一個相交。

根據本發明之再另一方面，提供另一種形成一結構的方法，其包括：形成第一複數個導線，其具有一固定寬度區域及至少一個毗鄰該固定寬度區域的變動間隔區域，其中該第一複數個導線在該固定寬度區域內具有一固定第一節距，及在該至少一個變動間隔區域內，在一相鄰對該第一複數個導線之間具有一變動距離，其中該變動距離隨著與該固定寬度區域之一末端部分的一橫向距離而增加；形成一介電層於該複數個導線上；及形成複數個導電通孔，其在該介電層內具有一第二節距，其中該複數個導電通孔的每一個接觸該複數個導線之一個的一末端部分，其中該第二節距大於該第一節距。

根據本發明之再一方面，提供又另一種形成一結構的方

法，其包括：形成第一複數個導線，其在至少一個介電層中具有一第一節距；及形成第二複數個導線，其在該至少一個介電層中具有一第二節距，其中該第二節距大於該第一節距，及該第二複數個導線的至少一個電阻式連接至該第一複數個導線的至少兩個。

【實施方式】

如上述，本發明有關包括次微影節距結構及微影節距結構之間的內連線的結構及其製造方法，現將參考附圖來詳細說明。以相似的參考數字代表具有相同組成的相似及對應元件。

參考圖 1A 及 1B，根據本發明第一具體實施例的第一示範性結構包括：基板 10、在其頂面上形成的導電材料層 20L、介電材料層 30L、及具有第一節距 $ph1$ 的複數個聚合物嵌段線 40。基板 10 可以是任何類型的材料，包括但不限於：半導體基板、絕緣體基板、導體基板、或其組合。例如，基板 10 可以是包括至少一個半導體裝置(諸如場效電晶體)的半導體基板。基板 10 亦可包括一或多個介電層，其嵌入至少一個電阻式連接至導電材料層 20L 的金屬內連線結構。

導電材料層 20L 包括導電材料，諸如元素金屬、金屬合金、導電金屬化合物、及電摻雜半導體材料。例如，導電材料層 20L 可包括 W、Cu、Al、TaN、TiN、WN、金屬矽化物、金屬鍍化物、摻雜結晶半導體材料、摻雜多晶半導體材料、或其組合。導電材料層 20L 的厚度可介於 5 nm 至 200 nm，不過亦可採用更薄及更厚的厚度。

介電材料層 30L 包括介電材料，諸如氧化矽、氮化矽、氮氧化矽、碳摻雜氧化物、有機聚合物絕緣體、介電金屬氧化物(諸如 HfO_2 、 Al_2O_3)、或其組合。介電材料層 30L 的厚度可介於 5 nm 至 200 nm，不過亦可採用更薄及更厚的厚度。

複數個具有第一節距 $ph1$ 的聚合物嵌段線 40 係按本技術已知方法形成。明確地說，複數個具有第一節距 $ph1$ 的聚合物嵌段線 40 係採用自組合共聚物層形成。將複數個聚合物嵌段線中的圖案轉移至基板 10 上的導電材料層 20L。導電材料層 20L 在轉移圖案後的剩餘部分構成第一複數個導線。

例如，將模板層(未顯示)沈積於介電材料層 30L 的頂面上。圖案化模板層以包括凹陷區，在凹陷區內，曝露介電材料層 30L 的頂面。模板層的凹陷區在縱向方向中具有兩個平行邊緣。將包括自組合嵌段共聚物的嵌段共聚物層(未顯示)塗到凹陷區中。包括二或多個不互溶聚合嵌段成分的嵌段共聚物層能夠自組織成奈米級圖案。在適合的條件下，二或多個不互溶聚合嵌段成分按奈米等級分成二或多個不同相位，藉此形成隔離之奈米尺寸結構單元的整齊圖案。以自組合嵌段共聚物形成之隔離奈米尺寸結構單元的此類整齊圖案可在半導體、光學、及磁性裝置中，用於製造奈米級結構單元。明確地說，如此形成之結構單元的尺寸通常介於 5 至 30 nm，其為次微米(即，低於微影工具的解析度)。

示範性嵌段共聚物材料說明於共同讓與之同在申請中的美國專利申請案第 11/424,963 號，2006 年 6 月 19 日提出申請，其內容在此以引用方式併入。可用於形成本發明結構

單元之自組合嵌段共聚物的特定範例可包括但不限於：聚苯乙烯-嵌段-聚甲基丙烯酸甲酯(PS-b-PMMA)、聚苯乙烯-嵌段-聚異戊二烯(PS-b-PI)、聚苯乙烯-嵌段-聚丁二烯(PS-b-PBD)、聚苯乙烯-嵌段-聚乙烯吡啶(PS-b-PVP)、聚苯乙烯-嵌段-聚環氧乙烷(PS-b-PEO)、聚苯乙烯-嵌段-聚乙烯(PS-b-PE)、聚苯乙烯-b-聚有機矽酸鹽(PS-b-POS)、聚苯乙烯-嵌段-聚二茂鐵二甲基矽烷(PS-b-PFS)、聚環氧乙烷-嵌段-聚異戊二烯(PEO-b-PI)、聚環氧乙烷-嵌段-聚丁二烯(PEO-b-PBD)、聚環氧乙烷-嵌段-聚甲基丙烯酸甲酯(PEO-b-PMMA)、聚環氧乙烷-嵌段-飽和聚乙稀(PEO-b-PEE)、聚丁二烯-嵌段-聚乙烯吡啶(PBD-b-PVP)、及聚異戊二烯-嵌段-聚甲基丙烯酸甲酯(PI-b-PMMA)。

嵌段共聚物層在升高的溫度下退火，以形成複數個含有第一聚合嵌段成分的聚合物嵌段線 40 及含有第二聚合嵌段成分的基質(未顯示)。基質是複數個聚合物嵌段線 40 在此結構內，由嵌段共聚物層退火而形成的補體。使嵌段共聚物層中的自組合嵌段共聚物退火以形成兩組聚合物嵌段的示範性製程說明於 Nealey 等人的「奈米微影的自組合抗蝕劑(Self-assembling resists for nanolithography)」，IEDM Technical Digest，2005 年 12 月，數位物件識別碼 10.1109/IEDM.2005.1609349，其內容在此以引用方式併入。退火可執行於例如介於 200°C 至 300°C 的溫度，持續時間介於 1 小時至 100 小時。選擇性移除含有第二聚合嵌段成分的基質，而不移除複數個聚合物嵌段線 40，以形成圖 1 的結構。選擇性移除程序可以利用化學顯影劑或溶劑，或利用選擇性反應性離子蝕刻(RIE)程序，或二者的組合。

第一節距 $ph1$ 可以是次微影節距，即，小於平行線圖案之週期性陣列之臨界節距的節距。臨界節距是可在任何給定時間，採用可用的微影工具列印的最小節距，及在本申請案的申請日，臨界節距約 70 nm，不過預期隨著可用的微影工具效能改良，這個尺寸還會縮小。較佳是，第一節距 $ph1$ 介於 8 nm 至 60 nm，及更佳是，介於 16 nm 至 40 nm，不過第一節距 $ph1$ 亦可採用更小及更大的尺寸。

參考圖 2A 及 2B，例如藉由採用複數個聚合物嵌段線 40 作為蝕刻遮罩的非等向性離子蝕刻，將在複數個聚合物嵌段線 40 中的次微影圖案(即，具有至少一個次微影尺寸的圖案)轉移至介電材料層 30L 及導電材料層 20L 的堆疊。介電材料層 30L 的剩餘部分構成複數個介電材料部分 30。導電材料層 20L 的剩餘部分構成第一複數個具有第一節距 $ph1$ 的導線 20。第一複數個導線 20、複數個介電材料部分 30、及複數個聚合物嵌段線 40 的側壁係垂直一致，即，位在相同的垂直平面中。

第一複數個導線 20 的每一個具有一對側壁平行於第一垂直平面 $P1$ ，即在第一複數個導線 20 之側壁之一者的平面中。第一複數個導線 20 的每一對側壁沿著第一複數個導線 20 的縱向方向定向。縱向方向是從一端至另一端具有較大尺寸的方向，且垂直於為沿著第一節距 $ph1$ 之方向的橫向方向。複數個介電材料部分 30 具有第一節距 $ph1$ 。第一複數個導線 20 亦具有第一節距 $ph1$ 。選擇性移除複數個聚合物嵌段線 40，而不移除第一複數個導線 20、複數個介電材料部分 30、及基板 10。

參考圖 3A 及 3B，將光阻層 47 塗布於基板 10 的頂面和第一複數個導線 20 及複數個介電材料部分 30 的曝露表面。微影圖案化光阻層 47，以形成上覆於複數個介電材料部分 30 之頂面的垂直側壁。在未被光阻層 47 覆蓋的區域中，曝露複數個介電材料部分 30 及第一複數個導線 20 及基板 10 的堆疊。較佳是，光阻層 47 的垂直側壁位在垂直平面中，該平面在此稱為第二垂直平面 P2。在第一垂直平面 P1 及第二垂直平面 P2 之間的角度 α 小於 45 度，及較佳是小於 30 度，及更佳是介於 5 度至 20 度。

參考圖 4A 及 4B，藉由採用光阻層 47 作為蝕刻遮罩的非等向性蝕刻，諸如反應性離子蝕刻，移除複數個介電材料部分 30 及第一複數個導線 20 之堆疊的曝露部分。在非等向性蝕刻後，複數個介電材料部分 30 及第一複數個導線 20 的端壁即與第二垂直平面 P2 垂直一致，且相對於複數個介電材料部分 30 及第一複數個導線 20 的側壁(平行於第一垂直平面 P1)成角度 α 。

較佳是，複數個介電材料部分 30 的端壁相對於在第二垂直平面 P2 內之光阻層 47 的側壁及第一複數個導線 20 的端壁，橫向凹陷一固定的距離，在此稱為橫向凹陷距離 lrd 。複數個介電材料部分 30 的各側壁與第一複數個導線 20 之側壁的平面重合，及複數個介電材料部分 30 的各端壁與第二垂直平面 P2 偏移一固定的距離，即，橫向凹陷距離 lrd 。較佳是，橫向凹陷距離 lrd 為次微影尺寸，並可介於 2 nm 至 20 nm，不過亦可採用更小及更大的尺寸。

參考圖 5A 及 5B，選擇性移除光阻層 47，而不移除複

數個介電材料部分 30、第一複數個導線 20、及基板 10。複數個介電材料部分 30 之每一者的一個端壁與其下方的導線 20 的一個端壁垂直一致，而複數個介電材料部分 30 之每一者的另一個端壁與其下方的導線 20 的另一個端壁橫向偏移一橫向凹陷距離 lrd 以曝露其下方的導線 20 之頂面的一部分。

參考圖 6A 及 6B，第一介電層 50 形成於複數個介電材料部分 30、第一複數個導線 20、及基板 10 之上，及利用例如化學機械平坦化(CMP)或自平坦化進行平坦化。第一介電層 50 包括介電材料，諸如氧化矽、摻雜矽酸鹽玻璃、氮化矽、氮氧化矽、具有介電常數小於 2.7 的自平坦化低介電常數(低 k)材料、具有介電常數小於 2.7 的有機矽酸鹽玻璃、多孔介電材料、或其組合。

沿著第二垂直平面 P2 形成複數個介層孔，致使每個介層孔僅曝露一個導線 20。明確地說，藉由微影圖案化第一介電層 50，沿著第二垂直平面 P2，在第一介電層 50 中形成複數個介層孔。在複數個介層孔內，曝露複數個介電材料部分 30 的側壁及第一複數個導線 20 的頂面。在複數個介層孔內填充導電材料，以形成複數個導電通孔 60。複數個導電通孔 60 的每一個接觸複數個導線 20 之一者的末端部分，及嵌入於第一介電層 50 中。第二垂直平面 P2 與複數個導電通孔 60 的每一個相交。複數個導電通孔 60 具有介層節距 vph ，其為微影節距，即，等於或大於可用微影方法形成之最小節距的節距。例如，此微影節距可等於或大於 70 nm。較佳是，連接複數個導電通孔 60 之每一個的中心軸的平面與第二垂直平面 P2 重合，或與第二垂直平面 P2 平行。複數個導電通孔 60 的每一個接觸第一複數個導線 20 之每一者的頂面及端

壁。

參考圖 7A 及 7B，第二介電層 70 形成於第一介電層 50 之上。第二介電層 70 包括介電材料，其可選自可用作第一介電層 50 的任何材料。在第二介電層 70 中形成複數個具有微影節距的線溝渠。複數個溝渠的微影節距在此稱為第二節距 ph2。

藉由沈積導電材料及平坦化，在複數個線溝渠內形成第二複數個導線 80。第二複數個導線 80 可包括可用作第一複數個導線 20 的任何材料。第二複數個導線 80 具有為微影節距的第二節距 ph2。

第二複數個導線 80 的縱向方向，即，在包括側壁之平面內的水平方向，可平行於第三垂直平面 P3，即第二複數個導線 80 的側壁之一的平面。第二複數個導線 80 的每一個具有一對側壁垂直於第一垂直平面 P1 且平行於第三垂直平面 P3。在此例中，第三垂直平面 P3 與第一垂直平面 P1 正交。在此例中，第二節距 ph2 的方向平行於第一垂直平面 P1 的方向。第二複數個導線 80 的每一個的底面鄰接複數個導電通孔 60 之一。

或者，第一介電層 50 及第二介電層 70 可在相同的沈積步驟中形成為單一介電層，及複數個導電通孔 60 及第二複數個導線 80 可在相同的沈積及平坦化程序中形成為整體。

參考圖 8A 及 8B，藉由塗布光阻層 47 及微影圖案化光阻層 47 以包括一對與第一平面 P1 成角度 α 的平行垂直側壁，從圖 2A 及 2B 的第一示範性結構獲得第一示範性結構

的第一變化。該對平行垂直側壁相隔一微影尺寸，即，相隔大於 35 nm 的距離，及通常相隔大於 100 nm 的距離。光阻層 47 的垂直側壁之一是第二垂直平面 P2。在第一垂直平面 P1 及第二垂直平面 P2 之間的角度 α 小於 45 度，及較佳是小於 30 度，及更佳是介於 5 度至 20 度。

藉由採用光阻層 47 作為蝕刻遮罩的非等向性蝕刻，諸如反應性離子蝕刻，移除複數個介電材料部分 30 及第一複數個導線 20 之堆疊的曝露部分。在非等向性蝕刻後，複數個介電材料部分 30 及第一複數個導線 20 的端壁即與光阻層 47 的垂直側壁垂直一致，及相對於第一垂直平面 P1(平行於複數個介電材料部分 30 及第一複數個導線 20 的側壁)成角度 α 。較佳是，複數個介電材料部分 30 的端壁以上述的相同方式，橫向凹陷一固定的距離。其後，選擇性移除光阻層 47，而不移除複數個介電材料部分 30、第一複數個導線 20、及基板 10。

參考圖 9A 及 9B，第一介電層 50 形成於複數個介電材料部分 30、第一複數個導線 20、及基板 10 之上，及利用例如化學機械平坦化(CMP)或自平坦化進行平坦化，如上所述。沿著複數個導線 20 的端壁形成複數個介層孔。在複數個介層孔內，曝露複數個介電材料部分 30 的側壁及第一複數個導線 20 的頂面。在複數個介層孔內填充導電材料，以形成複數個導電通孔 60。複數個導電通孔 60 的每一個接觸複數個導線 20 之一者的末端部分，及嵌入於第一介電層 50 中。在圖 9A 中，以虛線顯示複數個介電材料部分 30，以圖解在複數個介電材料部分 30 及複數個導電通孔 60 之間的空間對準。複數個導電通孔 60 配置成兩列，兩列分開的距離

與光阻層 47 在移除之前的兩個側壁之間的距離(見圖 8A 及 8B)相同。在每一列中的複數個導電通孔 60 具有介層節距 vph。

參考圖 10A 及 10B，第二介電層 70 形成於第一介電層 50 之上，如上所述。此外，以上述的相同方式形成第二複數個導線 80。第二複數個導線 80 具有為微影節距的第二節距 ph2。在第一垂直平面 P1、第二垂直平面 P2、及第三垂直平面 P3 的定向之間的關係與上述的相同。

參考圖 11A 及 11B，藉由塗布光阻層 47 及微影圖案化光阻層 47 以包括一對與第一平面 P1 成角度 α 的平行垂直側壁，從圖 2A 及 2B 的第一示範性結構獲得第一示範性結構的第二變化。該對平行垂直側壁相隔一微影尺寸，即，相隔大於 35 nm 的距離，及通常相隔大於 100 nm 的距離。光阻層 47 的垂直側壁之一是第二垂直平面 P2。在第一垂直平面 P1 及第二垂直平面 P2 之間的角度 α 小於 45 度，及較佳是小於 30 度，及更佳是介於 5 度至 20 度。

藉由採用光阻層 47 作為蝕刻遮罩的非等向性蝕刻，諸如反應性離子蝕刻，移除複數個介電材料部分 30 及第一複數個導線 20 之堆疊的曝露部分。在非等向性蝕刻後，複數個介電材料部分 30 及第一複數個導線 20 的端壁即與光阻層 47 的垂直側壁垂直一致，及相對於第一垂直平面 P1(平行於複數個介電材料部分 30 及第一複數個導線 20 的側壁)成角度 α 。之後移除光阻層 47。

參考圖 12A 及 12B，執行有角度的反應性離子蝕刻，使得衝擊離子的方向傾斜離開第二垂直平面 P2。在圖 12A 及

12B 中，以箭頭示意顯示衝擊離子的方向。因此，對複數個介電材料部分 30 在第二垂直平面 P2 上的端壁進行衝擊離子的蝕刻，而複數個介電材料部分 30 在平行於第二垂直平面 P2 且與第二垂直平面 P2 橫向偏移光阻層 47 中開口之寬度之平面(在此稱為「偏移平面 OP」)上的端壁則受保護，在有角度的反應性離子蝕刻期間，不會遭受衝擊離子的影響。較佳是，有角度的反應性離子蝕刻從複數個介電材料部分 30 形成蝕刻殘餘物，及以介電殘餘間隔物 32(包括從複數個介電材料部分 30 向下流動的介電材料)覆蓋第一複數個導線 20 與偏移平面 OP 重合的端壁。因此，在偏移平面 OP 中的複數個介電材料部分 30 的端壁及第一複數個導線 20 的端壁為介電殘餘間隔物 32 所覆蓋。

參考圖 13A 及 13B，第一介電層 50 形成於複數個介電材料部分 30、第一複數個導線 20、及基板 10 之上，及進行平坦化，如上所述。沿著複數個導線 20 的端壁形成複數個介層孔。在第一介電層 50 中形成複數個導電通孔 60，如上所述。介電殘餘間隔物 32 保護第一複數個導線 20 在偏移平面 OP 上具有端壁(即，在第二垂直平面 P2 上沒有端壁)之子集的側壁。因此，由於存在介電殘餘間隔物 32，避免在複數個導電通孔 60 及第一複數個導線 20 在偏移平面 OP 上具有端壁的子集之間的不必要電接觸。

參考圖 14A 及 14B，根據本發明第二具體實施例的第二示範性結構包括基板 10、形成於其頂面上的導電材料層 20L、介電材料層 30L、具有凹陷區的模板層 130、及填充模板層 130 中凹陷區的嵌段共聚物層 140。凹陷區包括：具有固定寬度的區域(或「固定寬度區域(CWR)」)，及至少一

個毗鄰固定寬度區域及具有變動寬度的梯形區域。至少一個梯形區域的每一個為寬度在橫向方向中變更的扇形區域。固定寬度區域在縱向方向(在圖 14A 之平面 B-B' 的方向中)中具有兩個平行邊緣。至少一個梯形區域可包括毗鄰固定寬度區域之一端的第一梯形區域(1TZR)，及毗鄰固定寬度區域之另一端的第二梯形區域(2TZR)。基板 10、導電材料層 20L、及介電材料層 30L 的組成可與第一具體實施例中的相同。在第二具體實施例中，不一定要使用介電材料層 30L，及在一些例子中，在沒有介電材料層 30L 的情況下，模板層 130 可直接形成於導電材料層 20L 上。模板層 130 通常包括介電材料，諸如氮化矽、氧化矽、氮氧化矽、或半導體製造技術中已知的其他介電材料。

包括二或多個不互溶聚合嵌段成分的嵌段共聚物層 140 能夠自組織成奈米級圖案。此外，嵌段共聚物層 140 包括至少一個「均聚物」，能夠在聚合物嵌段線 40 之間形成具有變動距離的次微影圖案。均聚物是一種化學製品，可加入二或多個不互溶聚合嵌段成分中，以促進具有非固定節距之幾何形狀中的自對準範圍。例如，凹陷中的梯形區域即為具有非固定節距的幾何形狀。均聚物的非限制性範例包括 PS 45K 及 PMMA 46.5K。

參考圖 15A 及 15B，將嵌段共聚物層 140 置於引起不互溶聚合嵌段成分分離及自組合的條件下。例如，可在升高的溫度下，使嵌段共聚物層 140 退火。如此形成之結構單元的尺寸通常介於屬於次微影的 5 至 30 nm。

在適合的條件下，嵌段共聚物層 140 分離成：複數個含

有第一聚合嵌段成分的聚合物嵌段線 140A，及含有第二聚合嵌段成分的嵌段成分基質 140B。複數個聚合物嵌段線 140A 在固定寬度區域 CWR 內的部分具有屬於次微影節距的第一節距 ph1。第一節距 ph1 可以是次微影節距，即，小於平行線圖案之週期性陣列之臨界節距的節距，如上所述。較佳是，第一節距 ph1 介於 8 nm 至 60 nm，及更佳是，介於 16 nm 至 40 nm，不過第一節距 ph1 亦可採用更小及更大的尺寸。複數個聚合物嵌段線 140A 在第一及第二梯形區域 (1TZR、2TZR) 內之部分的節距隨著與固定寬度區域 CWR 的距離而增加，直到複數個聚合物嵌段線 140A 形成隨機圖案為止。

參考圖 16A 及 16B，選擇性移除嵌段成分基質 140B 及模板層 130，而不移除複數個聚合物嵌段線 140A 及介電材料層 30L。複數個聚合物嵌段線 140A 在固定寬度區域 CWR 中具有第一節距 ph1，及在第一變動間隔區域 1VSR 及第二變動間隔區域 2VSR 內，在一相鄰對第一複數個導線之間具有變動距離。第一變動間隔區域 1VSR 是第一梯形區域 1TZR(見圖 15A)的一部分，其中複數個聚合物嵌段線 140A 在一相鄰對聚合物嵌段線 140A 之間，形成具有變動距離的非平行發散線。同樣地，第二變動間隔區域 2VSR 是第二梯形區域 2TZR(見圖 15A)的一部分，其中複數個聚合物嵌段線 140A 在一相鄰對聚合物嵌段線 140A 之間，形成具有變動距離的非平行發散線。在第一及第二變動間隔區域 (1VSR、2VSR) 中，變動距離隨著與固定寬度區域 CWR 之末端部分的橫向距離而增加。

參考圖 17A 及 17B，例如藉由採用複數個聚合物嵌段線

140A 作為蝕刻遮罩的非等向性離子蝕刻，將在複數個聚合物嵌段線 140A 中的次微影圖案(即，具有至少一個次微影尺寸的圖案)轉移至介電材料層 30L 及導電材料層 20L 的堆疊。介電材料層 30L 的剩餘部分構成複數個介電材料部分 30。導電材料層 20L 的剩餘部分構成第一複數個具有第一節距 $ph1$ 的導線 20。第一複數個導線 20、複數個介電材料部分 30、及複數個聚合物嵌段線 140A 的側壁為垂直一致。

參考圖 18A 及 18B，將光阻層 147 塗布在複數個聚合物嵌段線 140A、複數個介電材料部分 30、及第一複數個導線 20 的垂直堆疊上及在基板 10 的曝露部分上。微影圖案化光阻層 147 以覆蓋所有固定寬度區域 CWR 及第一及第二變動間隔區域(1VSR、2VSR)的實質部分。較佳是，第一及第二變動間隔區域(1VSR、2VSR)的每一個的至少 50%、及較佳是 80%的面積為光阻層 147 所覆蓋。在微影圖案化光阻層 147 後，複數個聚合物嵌段線 140A 在第一及第二變動間隔區域(1VSR、2VSR)中，在光阻層的每個側壁具有微影節距。複數個聚合物嵌段線 140A 具有隨機圖案且位在第一及第二變動間隔區域(1VSR、2VSR)之外的部分，位在光阻層 147 所覆蓋的區域之外。

參考圖 19A 及 19B，例如藉由採用光阻層 147 作為蝕刻遮罩的非等向性蝕刻，移除複數個聚合物嵌段線 140A、複數個介電材料部分 30、及第一複數個導線 20 之堆疊的曝露部分。其後，選擇性移除光阻層 147 及複數個聚合物嵌段線 140A 在光阻層 147 之區域內的剩餘部分，而不移除複數個介電材料部分 30、第一複數個導線 20、及基板 10。

複數個介電材料部分 30 及第一複數個導線 20 的垂直堆疊包括固定寬度區域 CWR、第一變動間隔區域 1VSR、及第二變動間隔區域 2VSR。第一複數個導線 20 在固定寬度區域 CWR 內具有固定第一節距 $ph1$ ，及在第一變動間隔區域 1VSR 及第二變動間隔區域 2VSR 內，在一相鄰對第一複數個導線 20 之間具有變動距離 vd 。變動距離 vd 隨著與固定寬度區域 CWR 之末端部分的橫向距離 ld 而增加。

參考圖 20A 及 20B，第一介電層 50 形成於複數個介電材料部分 30、第一複數個導線 20、及基板 10 之上，及利用例如化學機械平坦化(CMP)或自平坦化進行平坦化。第一介電層 50 可包含與本發明第一具體實施例相同的材料。

以第二節距 $ph2$ 形成複數個介層孔，使得複數個導線 20 之一者的頂面及側壁表面在每個介層孔內曝露。複數個介層孔可在第一變動間隔區域 1VSR 及第二變動間隔區域 2VSR 的每一個中形成，或僅在第一變動間隔區域 1VSR 及第二變動間隔區域 2VSR 之一者中形成。在複數個介層孔內填充導電材料，以形成複數個導電通孔 60，其可按一直線對準及具有第二節距 $ph2$ 的週期性。複數個導電通孔 60 的每一個接觸複數個導線 20 之一者的末端部分，及嵌入於第一介電層 50 中。第二節距 $ph2$ 為微影節距，即，等於或大於可用微影方法形成之最小節距的節距。例如，此微影節距可等於或大於 70 nm。在圖 20A 中，以虛線顯示複數個介電材料部分 30，以圖解在複數個介電材料部分 30 及複數個導電通孔 60 之間的空間對準。

參考圖 21A 及 21B，以與第一具體實施例中的相同方

式，在第一介電層 50 之上形成第二介電層 70。在第二介電層 70 中形成複數個具有微影節距的線溝渠。較佳是，複數個溝渠的微影節距與第二節距 $ph2$ 相同。藉由沈積導電材料及平坦化，在複數個線溝渠內形成第二複數個導線 72。第二複數個導線 72 可包括可用作第一複數個導線 20 的任何材料。較佳是，第二複數個導線 72 具有第二節距 $ph2$ 。

縱向方向，即，在包括第二複數個導線 72 之側壁之平面中的水平方向，可與第一複數個導線 20 的縱向方向相同。第二複數個導線 72 的每一個的底面鄰接複數個導電通孔 60 之一。

或者，第一介電層 50 及第二介電層 70 可在相同的沈積步驟中形成為單一介電層，及複數個導電通孔 60 及第二複數個導線 72 可在相同的沈積及平坦化程序中形成為整體。

參考圖 22A 及 22B，根據本發明第三具體實施例的第三示範性結構包括基板 10 及包括具有第一節距 $ph1$ 之第一複數個線溝渠 212 的介電層 210。基板 10 可與第一及第二具體實施例中的相同。介電層 210 可包括可在第一及第二具體實施例中用作第一介電層 50 的相同材料。

可採用自組合嵌段共聚物形成第一複數個線溝渠 212。利用非等向性蝕刻，將複數個聚合物嵌段線中的圖案轉移至介電層 210。例如，將模板層(未顯示)沈積於介電層 210 的頂面上。圖案化模板層以包括凹陷區，在凹陷區內，曝露介電層 210 的頂面。模板層的凹陷區在縱向方向中具有兩個平行邊緣。將包括自組合嵌段共聚物的嵌段共聚物層(未顯示)塗布於凹陷區中，並誘使其自組合，如在第一及第二具體實

施例中一樣。在嵌段共聚物層轉變成複數個含有第一聚合嵌段成分之聚合物嵌段線(未顯示)及含有第二聚合嵌段成分之聚合嵌段基質(未顯示)的組合後，選擇性移除複數個聚合物嵌段線，而不移除聚合嵌段基質及模板層。將在聚合嵌段基質內之開口的圖案轉變至介電層 210 中，以形成第一複數個線溝渠 212。選擇性移除聚合嵌段基質及模板層，而不移除介電層 210，以提供圖 22A 及 22B 的第三示範性結構。

第一節距 $ph1$ 可以是次微影節距。較佳是，第一節距 $ph1$ 介於 8 nm 至 60 nm，及更佳是，介於 16 nm 至 40 nm，不過第一節距 $ph1$ 亦可採用更小及更大的尺寸。

參考圖 23A 及 23B，利用微影方法，在第一複數個線溝渠 212 的末端部分上，形成第二複數個線溝渠 214。例如，可塗布光阻層(未顯示)並進行微影圖案化，以在光阻層中形成開口。將光阻層中開口的圖案轉移至介電層 210 中，以形成第二複數個線溝渠 214。第二複數個線溝渠 214 具有為微影節距的第二節距 $ph2$ 。第二複數個線溝渠 214 的每一個橫向毗鄰且連接至第一複數個線溝渠 212 的至少一個。第二複數個線溝渠 214 的至少一個橫向毗鄰且連接至第一複數個線溝渠 212 的至少兩個。

參考圖 24A 及 24B，同時在第一複數個線溝渠 212 及第二複數個線溝渠 214 內沈積導電材料。導電材料可以是如第一及第二具體實施例中用作第一複數個導線 20 的任何材料。藉由平坦化，從介電層 210 的頂面上方移除過多的導電材料。導電材料在第一複數個線溝渠 212 內的剩餘部分構成第一複數個導線 222，及導電材料在第二複數個線溝渠 214

內的剩餘部分構成第二複數個導線 224。

第一複數個導線 222 嵌入於介電層 210 中及具有第一節距 $ph1$ ，及第二複數個導線 224 嵌入於介電層 210 中及具有第二節距 $ph2$ 。第二節距 $ph2$ 為微影節距，且大於為次微影節距的第一節距 $ph1$ 。第一複數個導線 222 的每一個透過整體構造(即，由於形成為連續單件)，電阻式連接至第二複數個導線 224 的至少一個。第二複數個導線 224 的至少一個透過整體構造，電阻式連接至第一複數個導線 222 的至少兩個。第一複數個導線 222 及第二複數個導線 224 具有相同的導電材料。第一複數個導線 222 及第二複數個導線 224 具有互為共面的頂面。第一複數個導線 222 的側壁表面及第二複數個導線 224 的側壁表面彼此平行。在第一複數個導線 222 之側壁表面及第二複數個導線 224 之側壁表面中的水平方向，是第一複數個導線 222 及第二複數個導線 224 的側壁表面的縱向方向。

參考圖 25A 及 25B，藉由在第一複數個線溝渠 212 內沈積第一導電材料，及藉由平坦化從介電層 210 的頂面之上移除過多的第一導電材料，從圖 22A 及 22B 中的第三示範性結構獲得第三示範性結構的第一變化。第一導電材料在第一複數個線溝渠 212 內的剩餘部分構成第一複數個導線 222。第一複數個導線 222 嵌入於介電層 210 中，及具有為次微影節距的第一節距 $ph1$ 。

參考圖 26A 及 26B，利用微影方法，在第一複數個導線 222 的末端部分上，形成第二複數個線溝渠 214。例如，可塗布光阻層(未顯示)並進行微影圖案化，以在光阻層中形成

開口。將光阻層中開口的圖案轉移至介電層 210 中，以形成第二複數個線溝渠 214。第二複數個線溝渠 214 具有為微影節距的第二節距 ph_2 。第一複數個導線 222 的至少一個端壁在第二複數個線溝渠 214 的每一個內曝露。第二複數個線溝渠 214 的至少一個橫向毗鄰且連接至第一複數個線溝渠 212 的至少兩個。

參考圖 27A 及 27B，在第二複數個線溝渠 214 內沈積第二導電材料。藉由平坦化，從介電層 210 的頂面上方移除過多的第二導電材料。第二導電材料在第二複數個線溝渠 214 內的剩餘部分構成第二複數個導線 224。第二複數個導線 224 嵌入於介電層 210 中及具有第二節距 ph_2 。第二節距 ph_2 為微影節距，且大於為次微影節距的第一節距 ph_1 。第一複數個導線 222 的每一個透過直接接觸，電阻式連接至第二複數個導線 224 的至少一個。第二複數個導線 224 的至少一個透過直接接觸，電阻式連接至第一複數個導線 222 的至少兩個。第一複數個導線 222 及第二複數個導線 224 可具有相同的導電材料，或可具有不同的導電材料。第一及第二導電材料的每一個可以是可在第一及第二具體實施例中用作第一複數個導線 20 任何材料。第一複數個導線 222 及第二複數個導線 224 具有互為共面的頂面。第一複數個導線 222 的側壁表面及第二複數個導線 224 的側壁表面彼此平行。在第一複數個導線 222 之側壁表面及第二複數個導線 224 之側壁表面中的水平方向，是第一複數個導線 222 及第二複數個導線 224 的側壁表面的縱向方向。

參考圖 28A 及 28B，藉由在介電層 210 之上形成第一介電層 50，從圖 25A 及 25B 之第三示範性結構的第一變化獲

得第三示範性結構的第二變化。按第二節距 $ph2$ ，在第一介電層 50 內及視需要在介電層 210 的下伏部分中形成複數個介層孔，致使在每個介層孔內曝露第一複數個導線 222 之至少一個的頂面。視需要，可移除第一介電層 210 的下伏區域，以曝露第一複數個導線 222 的側壁。在複數個介層孔內填充導電材料，以形成複數個導電通孔 60，其可按一直線對準及具有第二節距 $ph2$ 的週期性。第二節距 $ph2$ 為微影節距，即，等於或大於可用微影方法形成之最小節距的節距。例如，此微影節距可等於或大於 70 nm。

以與本發明第一具體實施例中的相同方式，在第一介電層 50 之上沈積第二介電層 70。利用微影方法，在第二介電層 70 中形成第二複數個線溝渠。例如，可塗布光阻層(未顯示)並進行微影圖案化，以在光阻層中形成開口。將光阻層中開口的圖案轉移至第二介電層 70 中，以形成第二複數個線溝渠。用第二導電材料填充第二複數個線溝渠並進行平坦化，以形成具有第二節距 $ph2$ 的第二複數個導線 224。

第一複數個導線 222 的每一個透過直接接觸，電阻式連接至第二複數個導線 224 的至少一個。第二複數個導線 224 的至少一個透過複數個導電通孔 60 的一個，電阻式連接至第一複數個導線 222 的至少兩個。第一及第二導電材料的每一個可以是可在第一及第二具體實施例中針對第一複數個導線 20 採用的任何材料。第一複數個導線 222 與第二複數個導線 224 垂直分開一距離 d ，及第二複數個導線 224 的每一個接觸與第一複數個導線 222 之至少一個接觸的導電通孔 60。複數個導電通孔 60 至少一個接觸第一複數個導線 222 的至少兩個。第一複數個導線 222 的一些可電阻式連接至複

數個導電通孔 60 的僅一者及第二複數個導線 224 的僅一者。複數個導電通孔 60 的至少一個電阻式連接至第一複數個導線 222 的至少兩個。複數個導電通孔 60 的每一個電阻式連接至第二複數個導線 224 的僅一者。第一複數個導線 222 的側壁表面及第二複數個導線 224 的側壁表面彼此平行。在第一複數個導線 222 之側壁表面及第二複數個導線 224 之側壁表面中的水平方向，是第一複數個導線 222 及第二複數個導線 224 的側壁表面的縱向方向。

雖然已針對特定具體實施例說明本發明，但熟習本技術者從上述說明應明白可進行許多替代、修改、及變化。因此，本發明旨在涵蓋所有落在本發明之範疇及精神及以下申請專利範圍內的此類替代、修改、及變化。

【圖式簡單說明】

在整個圖式中，具有相同數字標記的圖式對應於相同的製造階段；具有字尾「A」的圖式為俯視圖；具有字尾「B」的圖式為具有相同數字標記及字尾「A」之對應圖式沿著平面 B-B' 的垂直橫截面圖。

圖 1A 至 7B 為根據本發明之第一具體實施例之第一示範性結構的連續視圖。

圖 8A 至 10B 為根據本發明第一具體實施例之第一示範性結構之第一變化的連續視圖。

圖 11A 至 13B 為根據本發明第一具體實施例之第一示範性結構之第二變化的連續視圖。

圖 14A 至 21B 為根據本發明之第二具體實施例之第二

示範性結構的連續視圖。

圖 22A 至 24B 為根據本發明之第三具體實施例之第三示範性結構的連續視圖。

圖 25A 至 27B 為根據本發明第三具體實施例之第三示範性結構之第一變化的連續視圖。

圖 28A 及 28B 為根據本發明第三具體實施例之第三示範性結構之第二變化的連續視圖。

【主要元件符號說明】

- 10 基板
- 20 第一複數個導線
- 72 第二複數個導線
- 80 第二複數個導線
- 222 第一複數個導線
- 224 第二複數個導線
- 20L 導電材料層
- 30 介電材料部分
- 30L 介電材料層
- 32 介電殘餘間隔物
- 40、140A 聚合物嵌段線
- 47、147 光阻層
- 50 第一介電層
- 60 導電通孔
- 70 第二介電層

130	模板層
140	嵌段共聚物層
140B	嵌段成分基質
210	介電層
212、214	線溝渠
1TZR	第一梯形區域
2TZR	第二梯形區域
1VSR	第一變動間隔區域
2VSR	第二變動間隔區域
CWR	固定寬度區域
d	距離
ld	橫向距離
lrd	橫向凹陷距離
OP	偏移平面
P1	第一垂直平面
P2	第二垂直平面
P3	第三垂直平面
ph1	第一節距
ph2	第二節距
vd	變動距離
vph	介層節距

七、申請專利範圍：

1. 一種電接觸結構，其包含：

第一複數個導線，具有一第一節距且嵌入於至少一個介電層中，其中該第一複數個導線的每一個具有一對側壁平行於一第一垂直平面及一端壁位在一第二垂直平面內及接觸一基板的一頂平面的一底面，其中在該第一垂直平面及該第二垂直平面之間的一角度小於45度；及

複數個導電通孔，其中該複數個導電通孔的每一個接觸該複數個導線之一個的一末端部分且嵌入於該至少一個介電層中，及其中該第二垂直平面與該複數個導電通孔的每一個相交；及

複數個介電材料部分，具有該第一節距且垂直地接觸該第一複數個導線並經由該第一複數個導線與該基板隔開，其中該複數個介電材料部分的每個側壁與第一複數個導線的一側壁的一平面重合，及該複數個介電材料部分的每個端壁與該第二垂直平面偏移一固定的距離。

2. 如申請專利範圍第1項所述之結構，另外包含第二複數個導線，其具有一第二節距及嵌入於該至少一個介電層中，其中該第二複數個導線的每一個的一底面鄰接該複數個導電通孔的一個。

3. 如申請專利範圍第2項所述之結構，其中該第一節距係次微影節距及該第二節距係微影節距。

4. 如申請專利範圍第1項所述之結構，其中該複數個介電材料部分的每個頂面接觸該第一複數個導線之一頂面。

5. 如申請專利範圍第1項所述之結構，其中每個該複數個導

電通孔接觸一水平頂面及該第一複數個導線的該端壁之其中之一。

6. 如申請專利範圍第 1 項所述之結構，另外包含一半導體基板，包括至少一個半導體裝置且位在該至少一個介電層下方其包含：

第一複數個導線，嵌入於至少一個介電層中且具有一固定寬度區域及至少一個毗鄰該固定寬度區域的變動間隔區域，其中該第一複數個導線在該固定寬度區域內具有一固定第一節距，及在該至少一個變動間隔區域內，在一相鄰對該第一複數個導線之間具有一變動距離，其中該變動距離隨著與該固定寬度區域之一末端部分的一橫向距離而增加；及

複數個導電通孔，具有一第二節距，其中該複數個導電通孔的每一個接觸該第一複數個導線之一個的一末端部分，且嵌入於該至少一個介電層中，其中該第二節距大於該第一節距。

7. 一種電接觸結構，其包含：

第一複數個導線，嵌入於至少一個介電層中且具有一固定寬度區域及至少一個毗鄰該固定寬度區域的變動間隔區域，其中該第一複數個導線在該固定寬度區域內具有一固定第一節距，在該固定寬度區域內具有一固定第一節距，及在該至少一個變動間隔區域內具有一變動節距，其中該變動節距隨著與該固定寬度區域之一末端的距離而線性增加，其中該變動節距隨著與該固定寬度區域之一末端部分的一橫向距離而增加；及複數個導電通孔，具有一第二節距，其中該複數個導電通孔的每一個接觸該第一複數個導線之一個的一末端部分，且嵌入於該至少一個介電層中，其中該第二節距大於該第一節距。

8. 如申請專利範圍第 7 項所述之結構，另外包含：

第二複數個導線，具有一第二節距且嵌入於該至少一個介電層中，其中該第二複數個導線的每一個的一底面鄰接該複數個導電通孔的一個，其中該第二複數個導線具有一節距與該第二節距相同。

9. 如申請專利範圍第 8 項所述之結構，其中該第一節距係次微影節距及該第二節距係微影節距。

10. 一種電接觸結構，其包含：

第一複數個導線，具有一第一節距且嵌入於至少一介電層中；及

第二複數個導線，具有一第二節距且嵌入於該至少一介電層中，其中該第一複數個導線之所有頂面及該第二複數個導線之所有頂面都在一相同水平面中，該至少一介電層，該第一節距及該第二節距都沿一相同方向，該第二節距大於該第一節距，及該第二複數個導線的至少一個電阻式連接至該第一複數個導線的至少兩個。

11. 如申請專利範圍第 10 項所述之結構，其中該第一節距係次微影節距及該第二節距係微影節距。

12. 如申請專利範圍第 10 項所述之結構，其中該第一複數個導線及該第二複數個導線具有互為共面的頂面。

13. 如申請專利範圍第 10 項所述之結構，其中該複數個導線之其中一個的一垂直側壁毗鄰該複數個導線之其中一個的一垂直端壁。

14. 一種形成一電接觸結構之方法，包含：

形成複數個堆疊包含第一複數個導線及複數個介電材料部分於一基板上，其中該複數個堆疊中每個堆疊包含該第一複數個導線之一個及該複數個介電材料部分之一個，該複數個堆疊具有一第一節距，其中該複數個第一堆疊之每個具有一對側壁平行於一第一垂直平面且自該複數個堆疊的一最底面延伸至該複數個堆疊的一最頂面；

採用一光阻以圖案化該第一複數個導線，其沿著一第二垂直平面具有一側壁，其中該圖案化之第一複數個導線的每一個之一端壁形成於該第二垂直平面內，其中在該第一垂直平面及該第二垂直平面之間的一角度小於 45 度；

形成一介電層於該圖案化之第一複數個導線之上；及

形成複數個導電通孔於該介電層中，其中該複數個導電通孔的每一個接觸該複數個導線之一個的一末端部分，及該第二垂直平面與該複數個導電通孔的每一個相交。

15. 如申請專利範圍第 14 項所述之方法，另外包含：

形成第二複數個在該介電層中具有該第二節距的導線，其中該第二複數個導線的每一個直接形成於該複數個導電通孔之一者上。

16. 如申請專利範圍第 14 項所述之方法，另外包含：

採用一自組合共聚物層形成複數個具有該第一節距的聚合物嵌段線；及

將在該複數個聚合物嵌段線中的一圖案轉移至在該基板上的一導電材料層，其中該導電材料層在該轉移後的剩餘部分構成該第一複數個導線。

17. 如申請專利範圍第 16 項所述之方法，另外包含：

在該形成該複數個聚合物嵌段線之前，形成一介電材料層於該導電材料層上，其中在該轉移該圖案期間圖案化該介電材料層，以形成介電材料部分；及

使該等介電材料部分相對於該第二垂直平面成為橫向凹陷。

18. 如申請專利範圍第 17 項所述之方法，另外包含藉由微影圖案化該介電層，沿著該第二垂直平面形成複數個介層孔於該介電層中，其中該等介電材料部分的側壁及該第一複數個導線的頂面在該複數個介層孔內曝露。

19. 一種形成一電接觸結構之方法，包含：

形成第一複數個導線，其具有一固定寬度區域及至少一個毗鄰該固定寬度區域的變動間隔區域，其中該第一複數個導線在該固定寬度區域內具有一固定第一節距，及在該至少一個變動間隔區域內具有一變動節距，其中該變動節距隨著與該固定寬度區域之一末端的距離而線性增加，其中該變動節距隨著與該固定寬度區域之一末端部分的一橫向距離而增加；

形成一介電層於該複數個導線上；及

形成複數個導電通孔，其在該介電層內具有一第二節距，其中該複數個導電通孔的每一個接觸該複數個導線之一個的一末端部分，其中該第二節距大於該第一節距。

20. 如申請專利範圍第 19 項所述之方法，，另外包含：

形成第二複數個在該介電層中具有該第二節距的導線，其中該第二複數個導線的每一個直接形成於該複數個導電通孔導電通孔之一者上。

21. 如申請專利範圍第 19 項所述之方法，，另外包含：

採用一包括一均聚物的自組合共聚物層形成複數個具有該第一節距的聚合物嵌段線；及

將在該複數個聚合物嵌段線中的一圖案轉移至在該基板上的一導電材料層，其中該導電材料層在該轉移後的剩餘部分構成該第一複數個導線。

22. 如申請專利範圍第 21 項所述之方法另外包含：

形成一模板層於該導電材料層之上；

形成一凹陷區於該模板層中，其中該凹陷區包括：一具有一固定寬度的區域，及一毗鄰該固定寬度區域及具有一變動寬度的梯形區域，其中該固定寬度區域形成於具有該固定寬度的該區域內，及該至少一個變動間隔區域形成於該梯形區域內。

23. 一種形成一電接觸結構之方法，包含：

形成第一複數個導線，具有一第一節距於至少一介電層中；及

形成第二複數個導線，具有一第二節距於該至少一介電層中，其中該第一複數個導線之所有頂面及該第二複數個導線之所有頂面都在一相同水平面中，該至少一介電層，該第一節距及該第二節距都沿一相同方向，該第二節距大於該第一節距，及該第二複數個導線的至少一個電阻式連接至該第一複數個導線的至少兩個。

24. 如申請專利範圍第 23 項所述之方法，其中該第一節距係次微影節距及該第二節距係微影節距。

25. 如申請專利範圍第 23 項所述之方法，另外包含：

形成第一複數個從該至少一個介電層的一表面向下延伸的溝渠，其中該第一複數個溝渠具有該第一節距；及

形成第二複數個從該至少一個介電層的該表面向下延伸的溝渠，其中該第二複數個溝渠具有該第二節距。

26. 如申請專利範圍第 23 項所述之方法，其中該複數個導線之其中一個的一垂直側壁毗鄰該複數個導線之其中一個的一垂直端壁。

八、圖式：

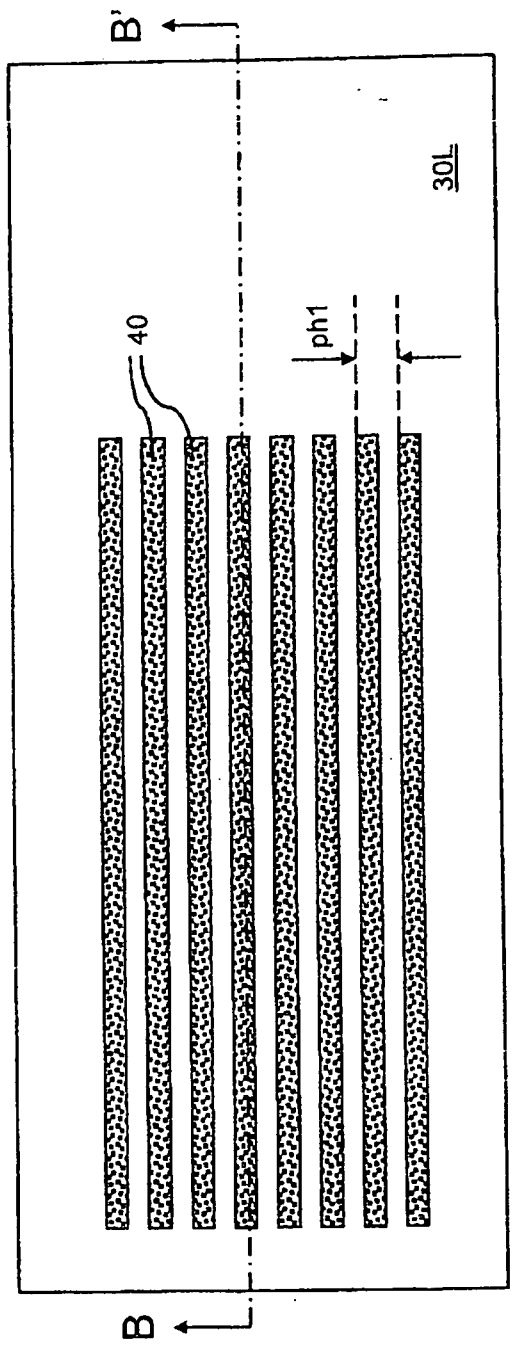


圖1A

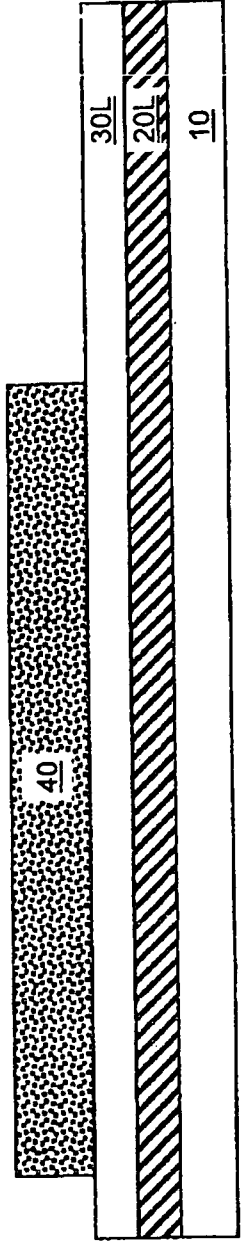


圖1B

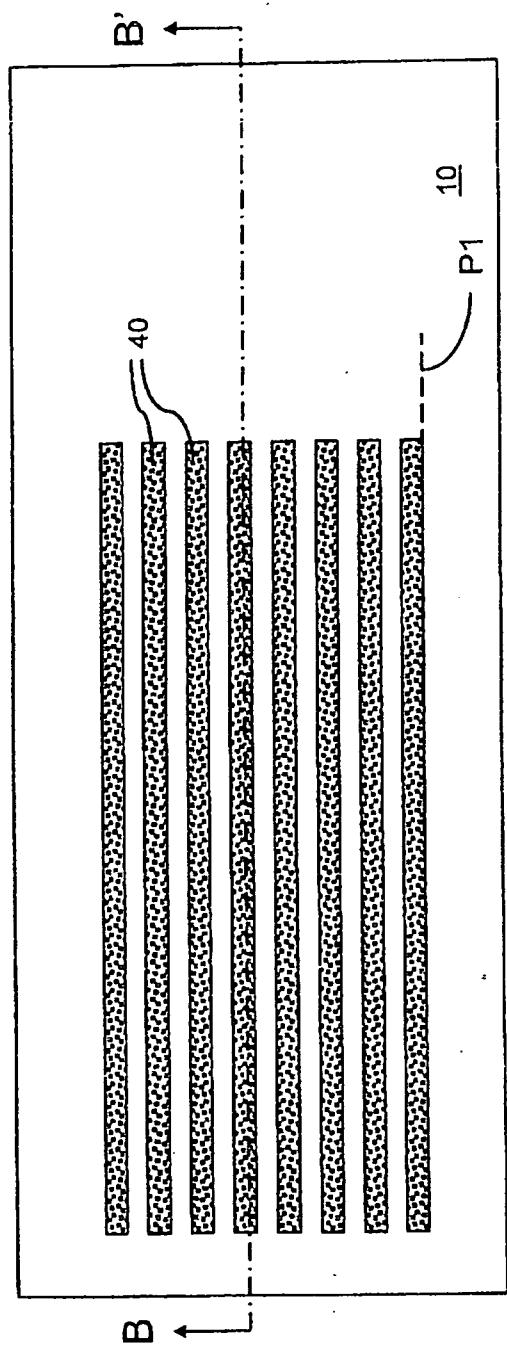


圖 2A

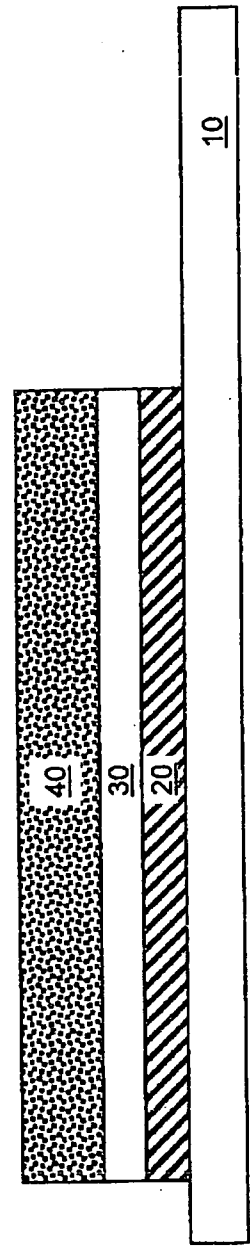


圖 2B

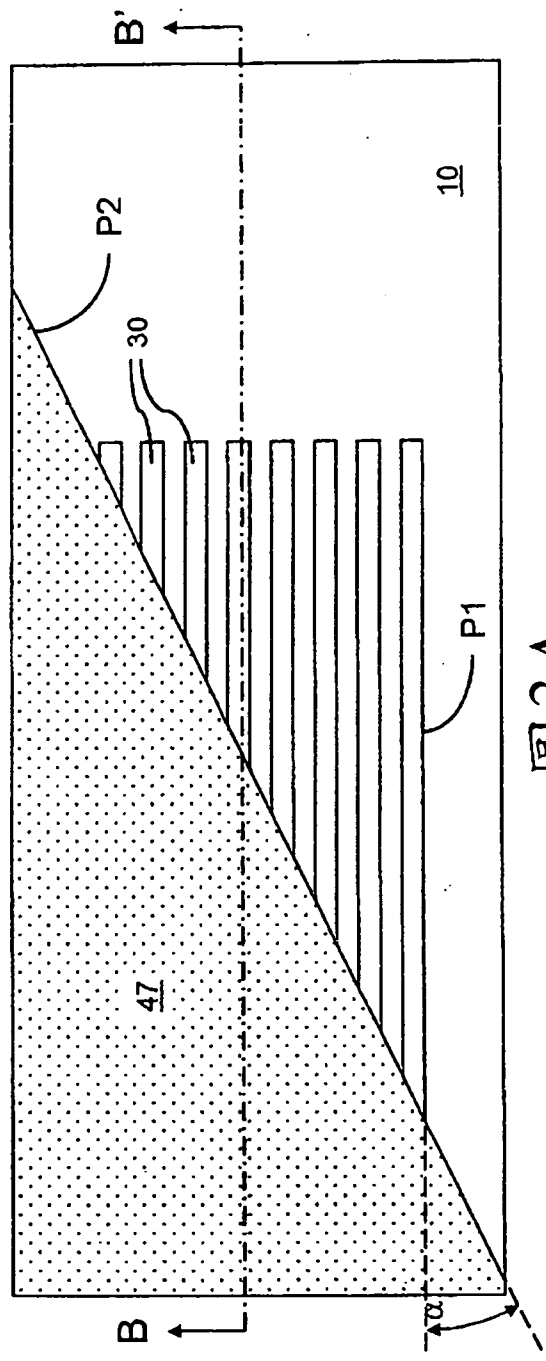


圖3A

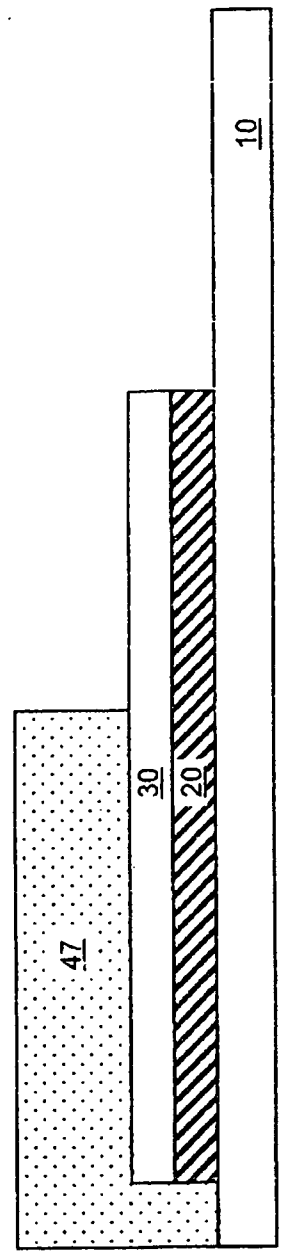


圖3B

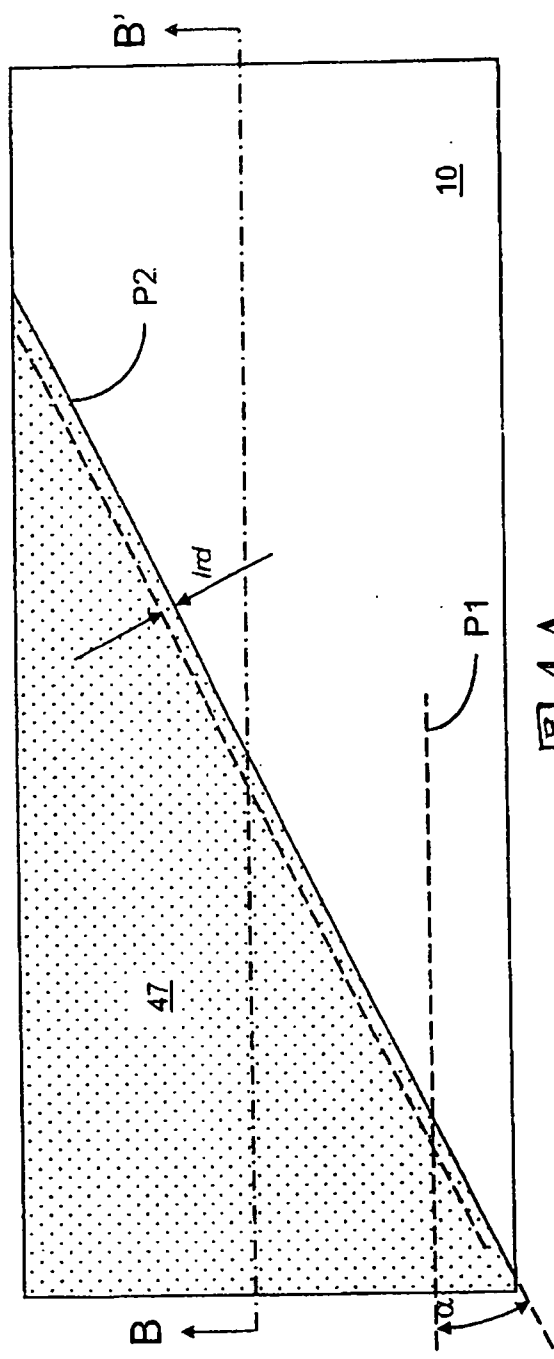


圖4A

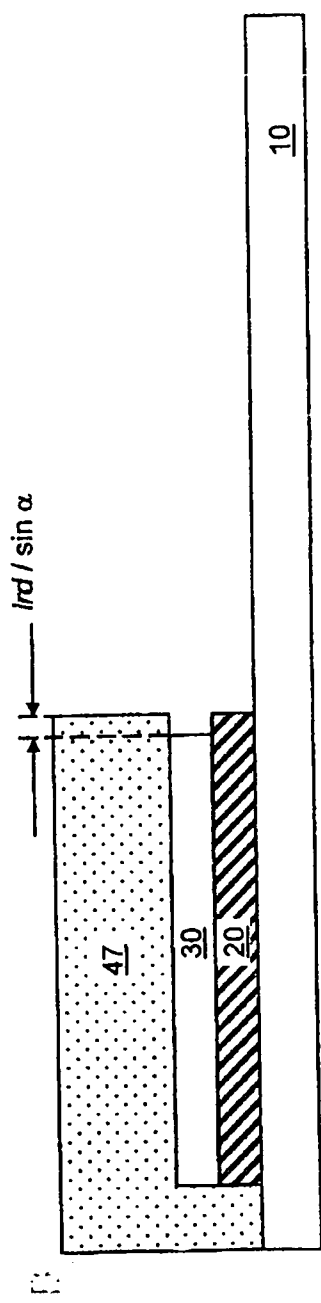


圖4B

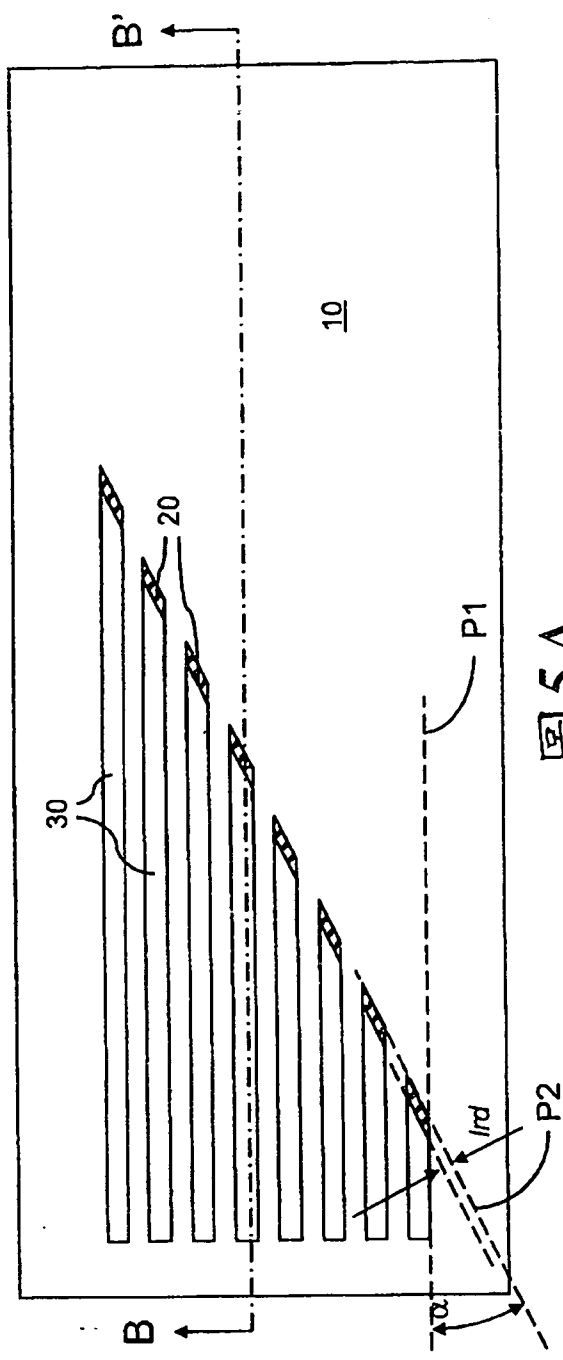


圖 5A

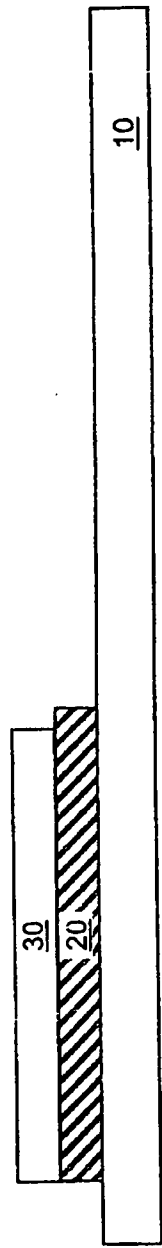


圖 5B

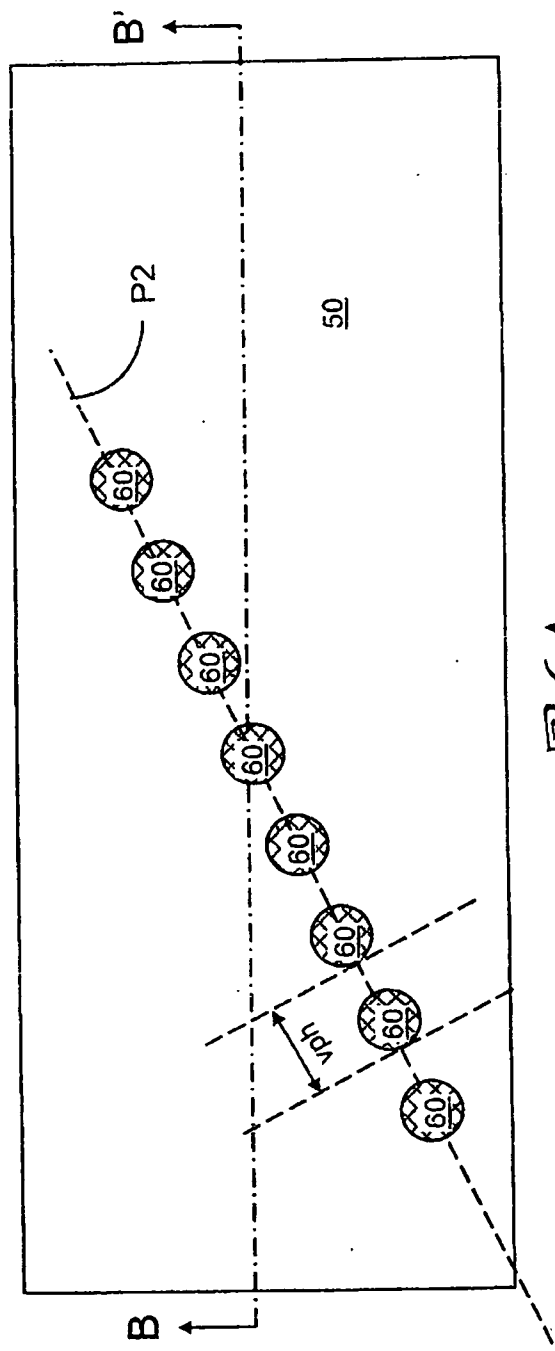


圖 6A

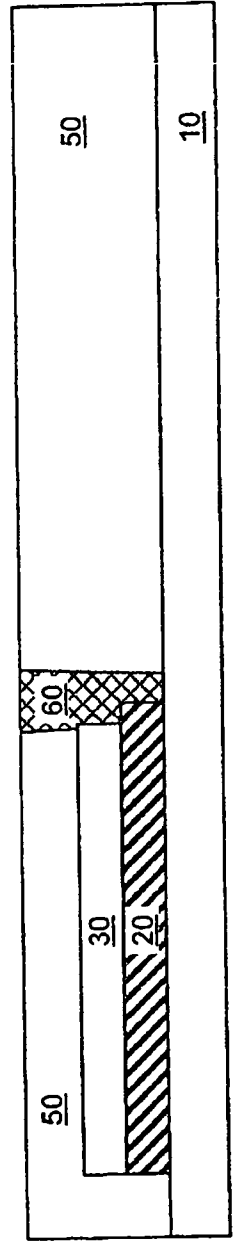
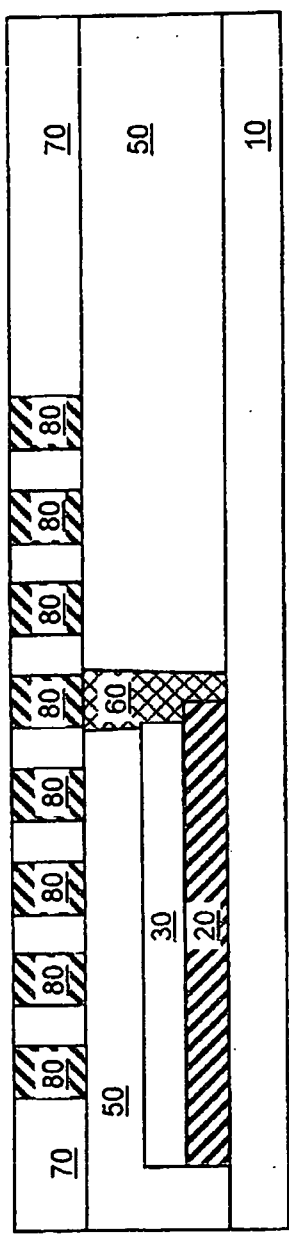
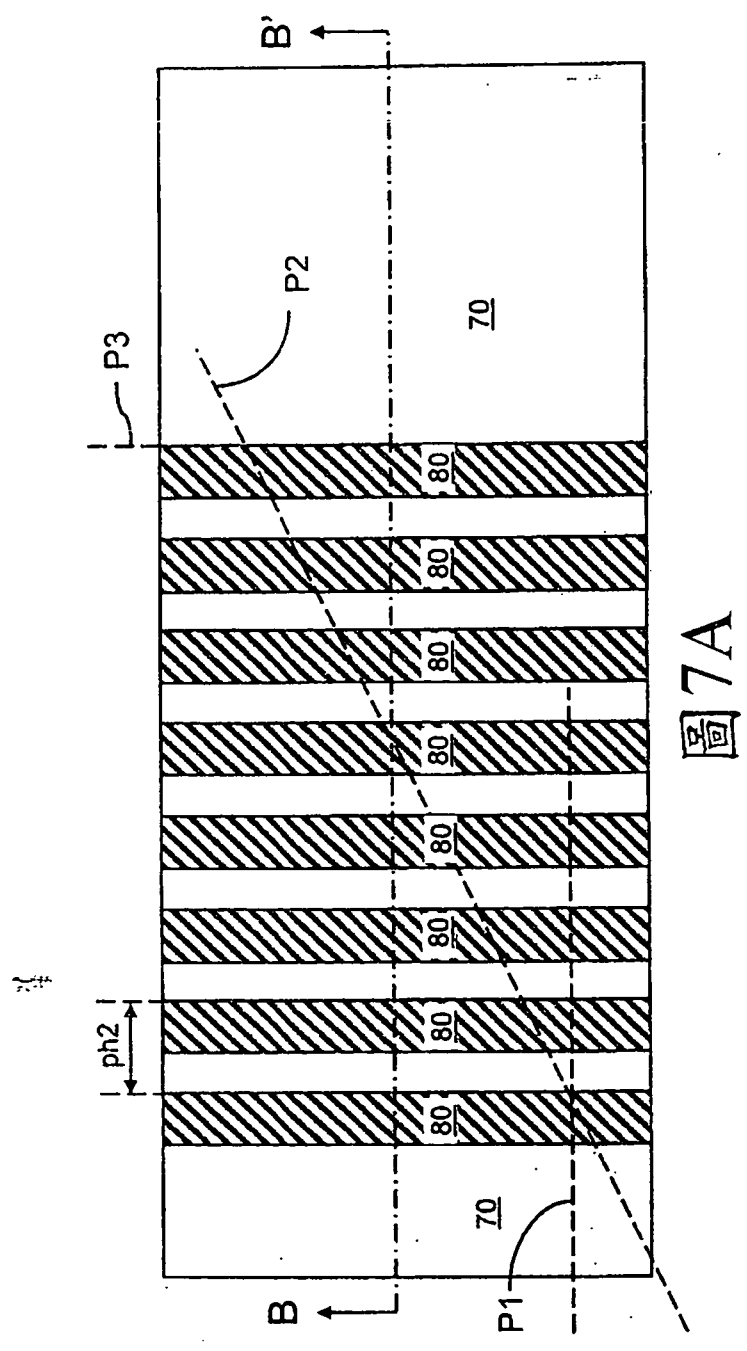


圖 6B



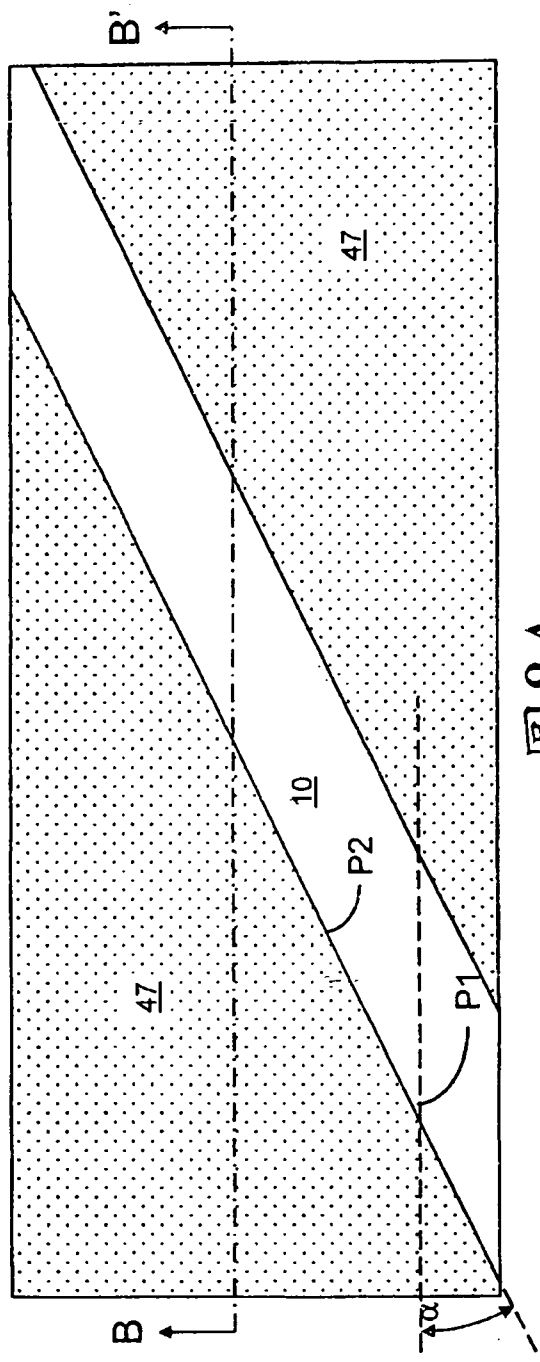


圖 8A

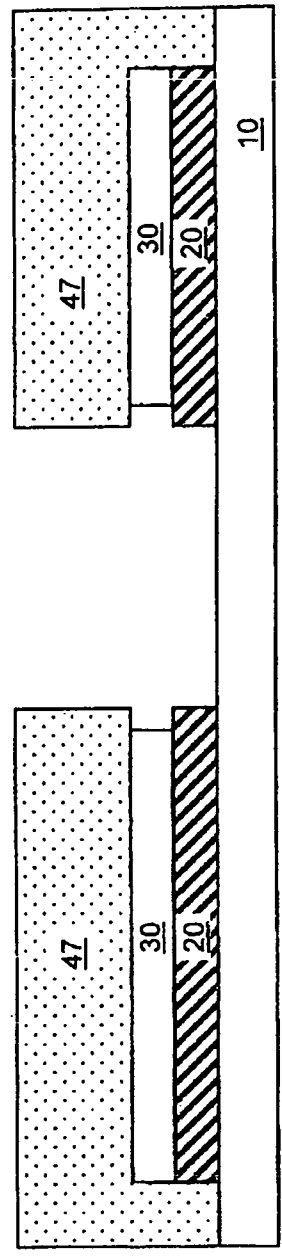


圖 8B

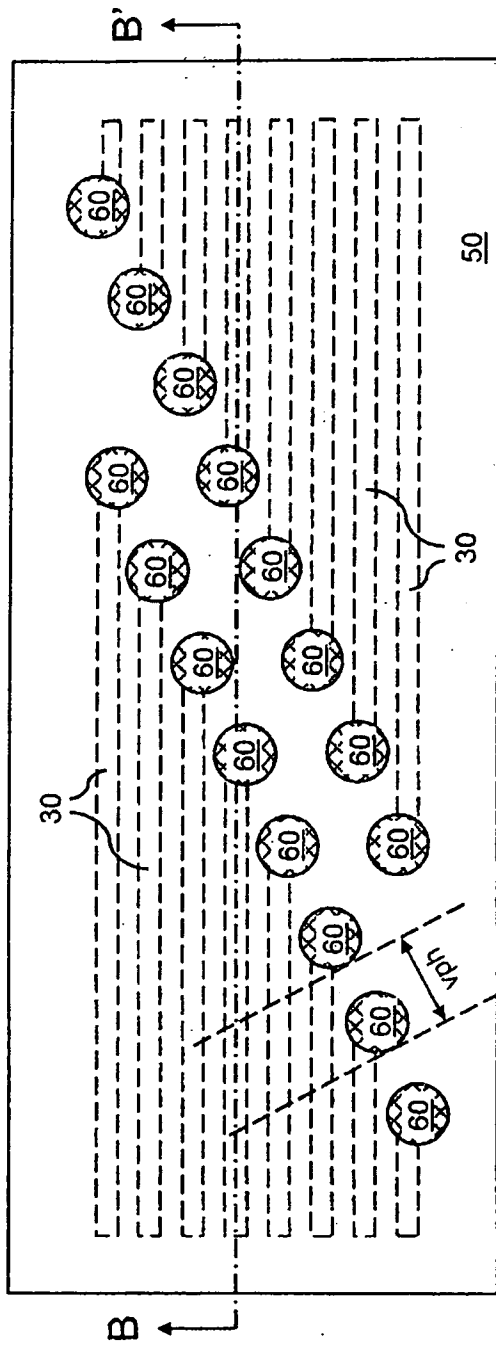


圖9A

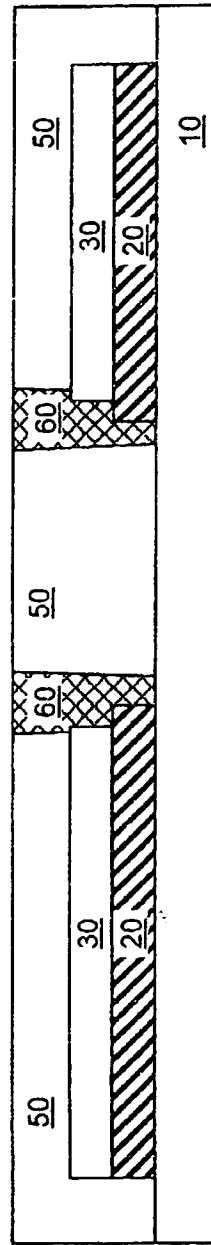
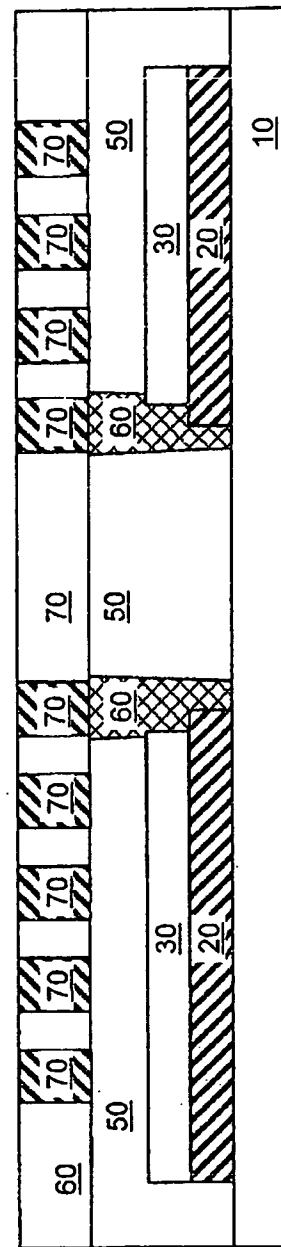
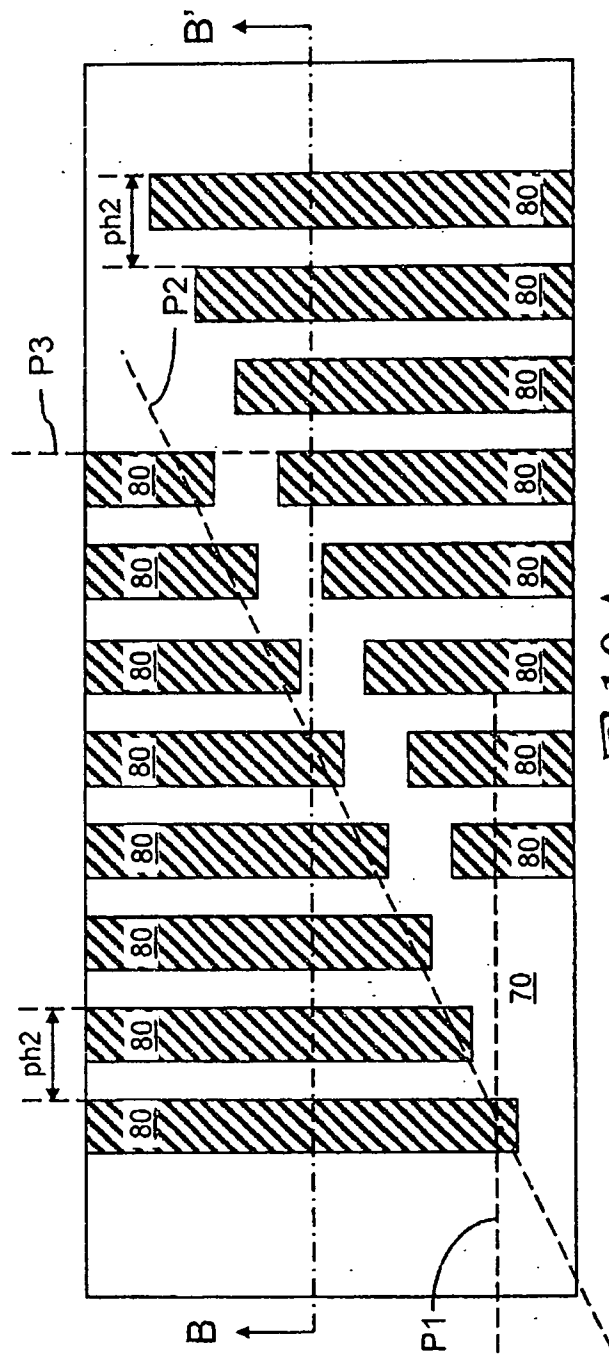


圖9B



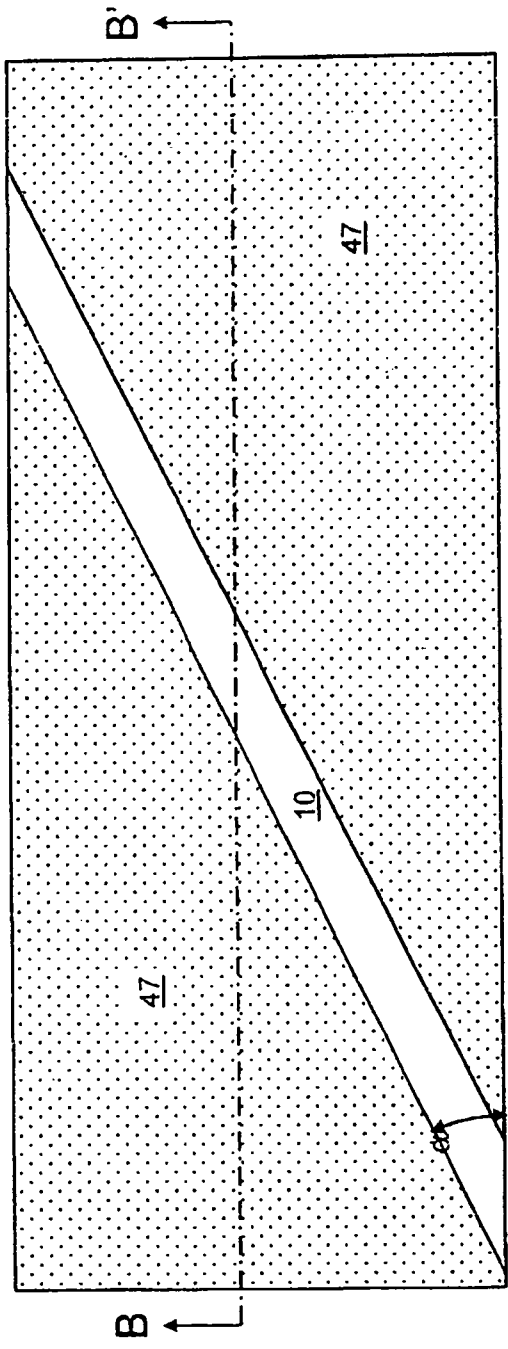


圖 11A

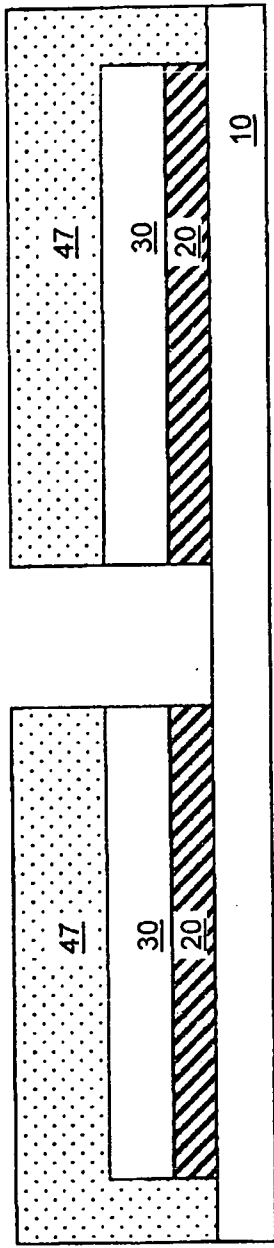


圖 11B

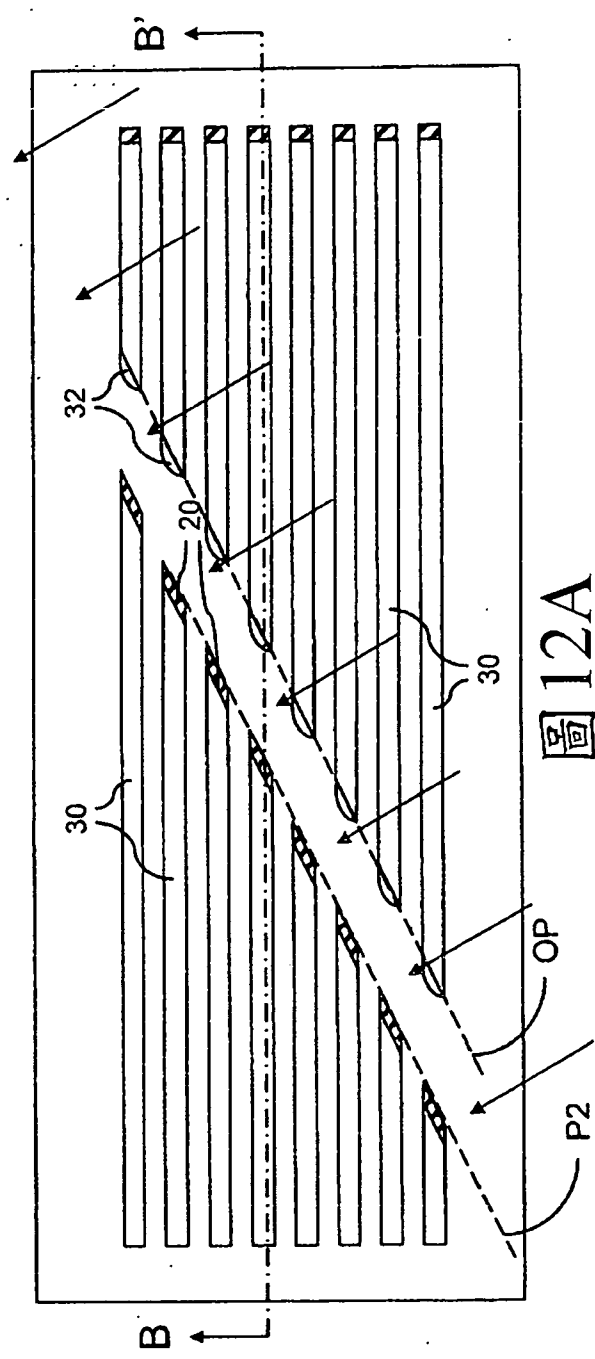


圖 12A

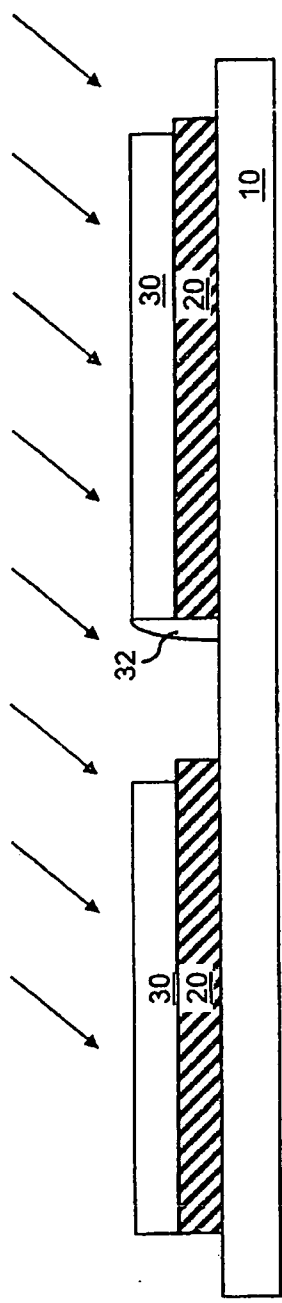


圖 12B

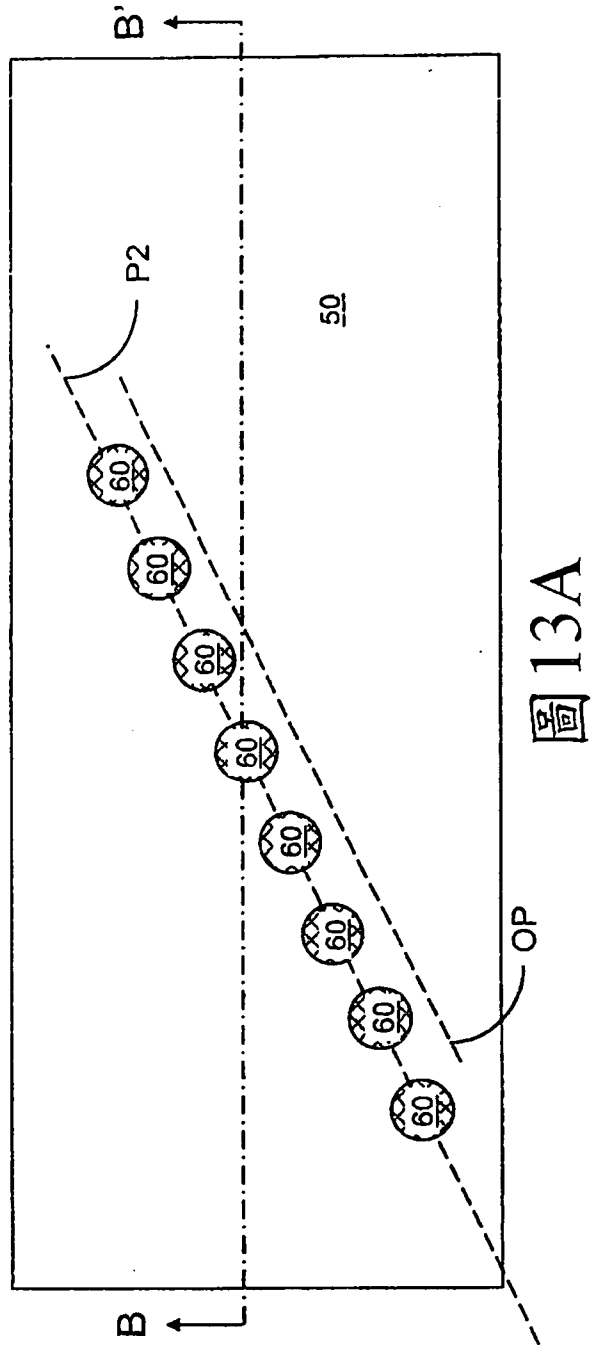


圖 13A

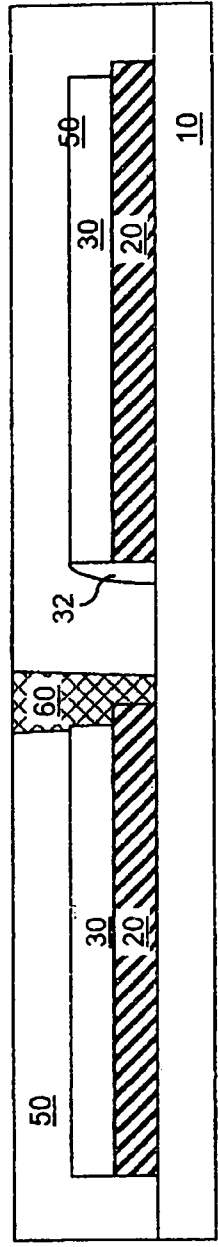


圖 13B

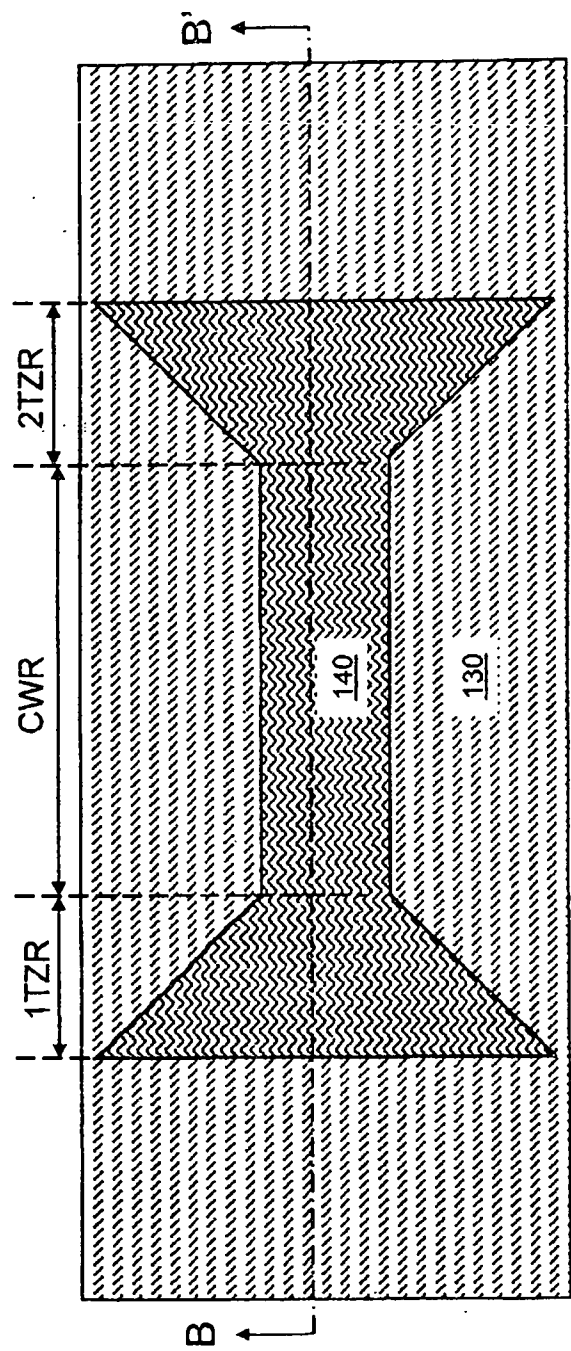


圖14A

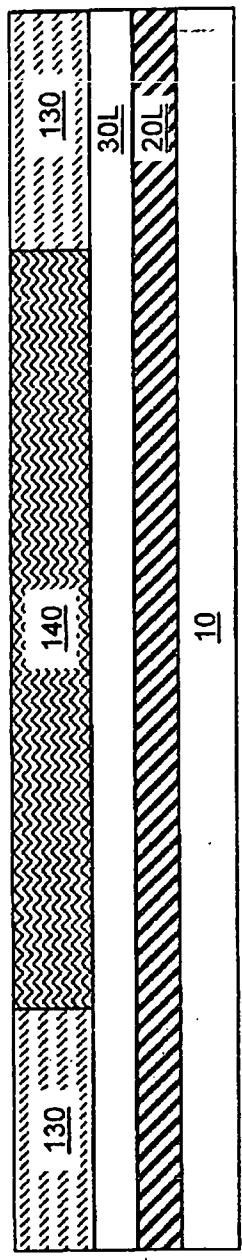


圖14B

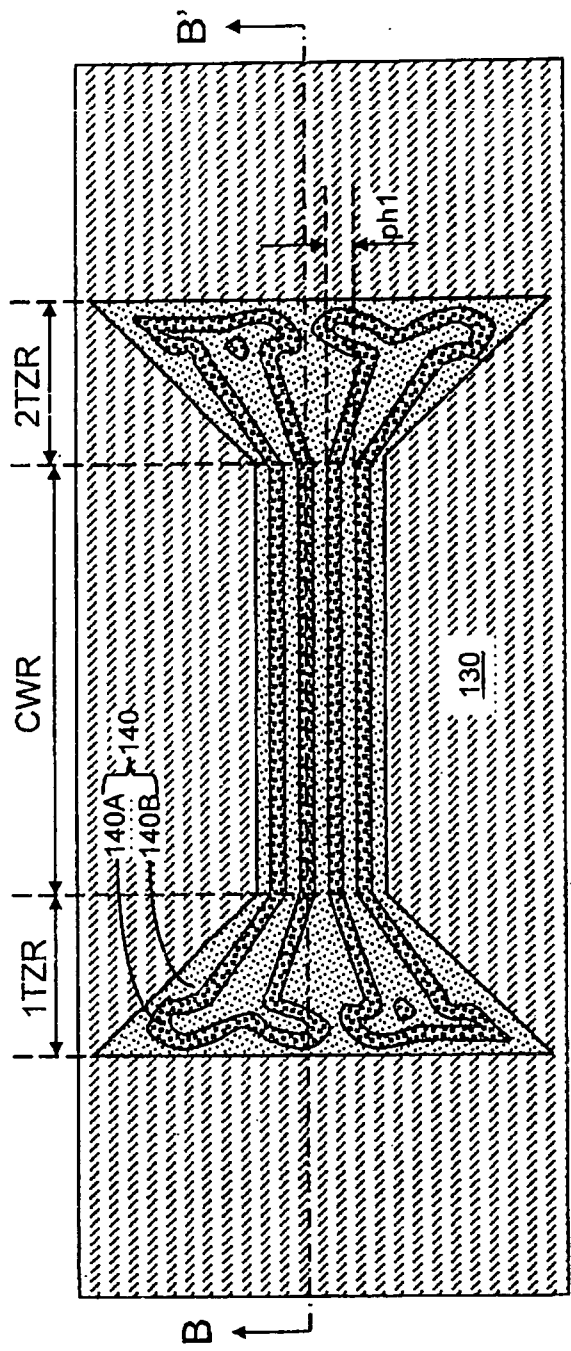


圖15A

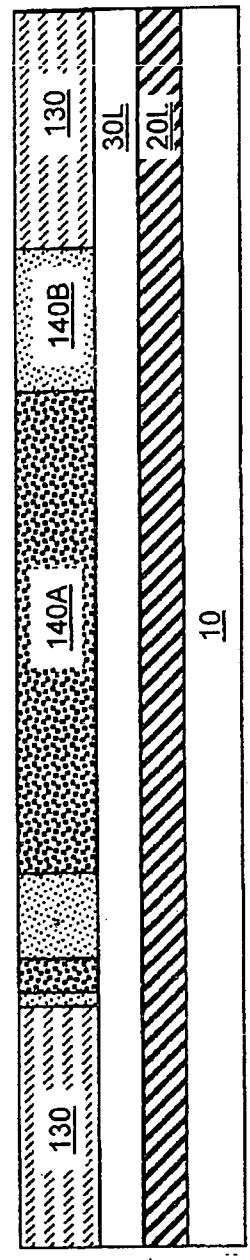


圖15B

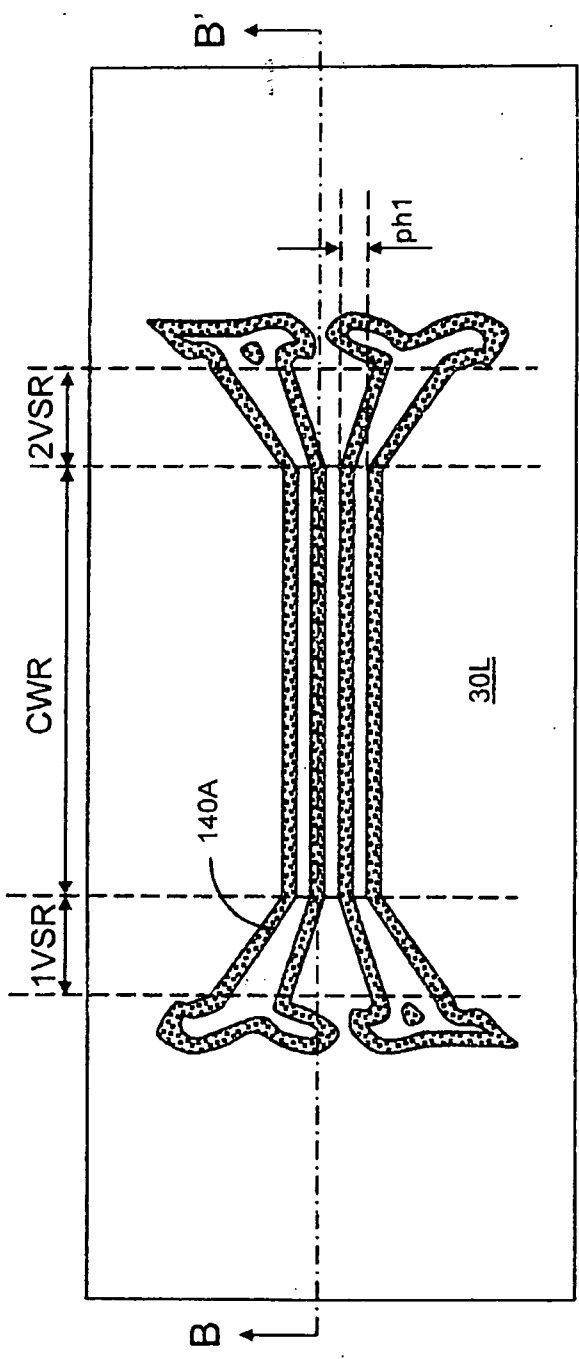


圖 16A

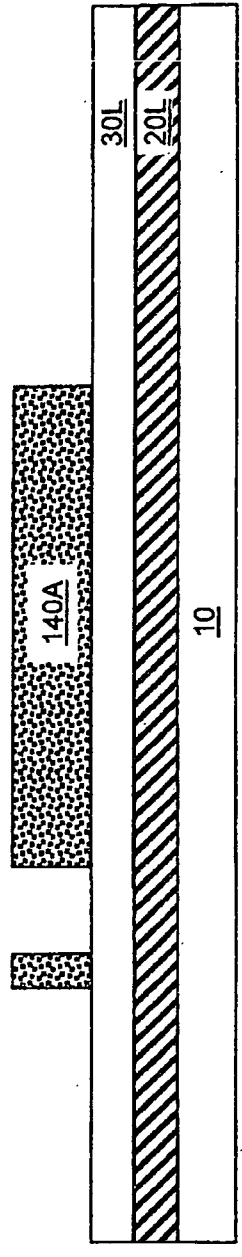


圖 16B

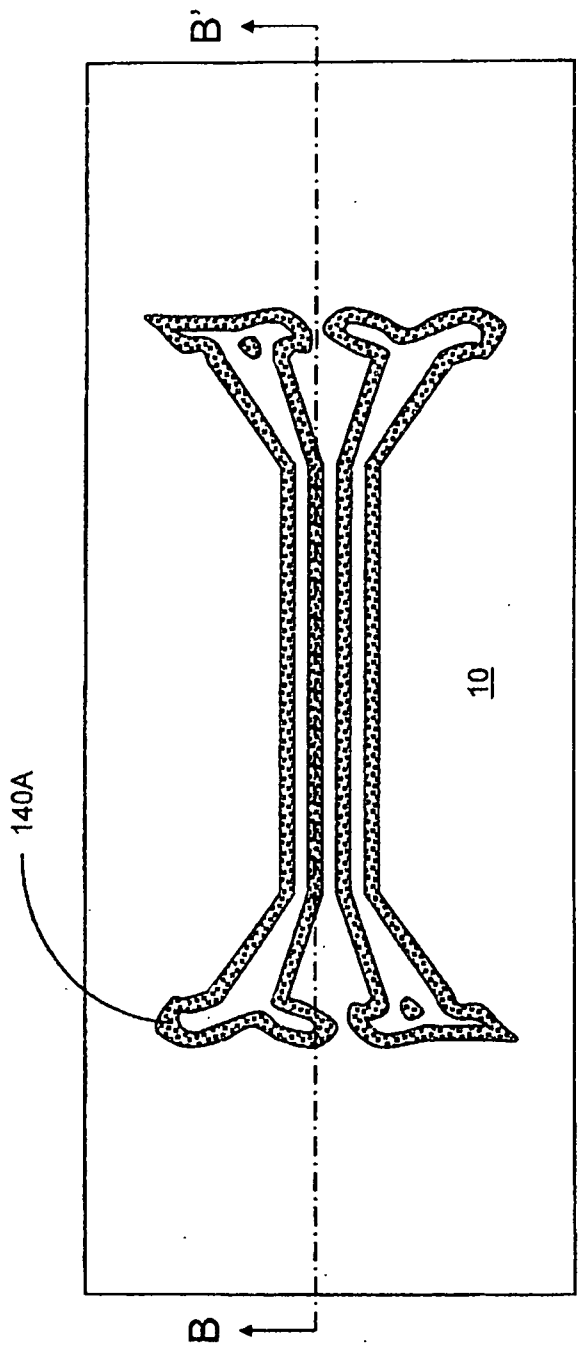


圖 17A

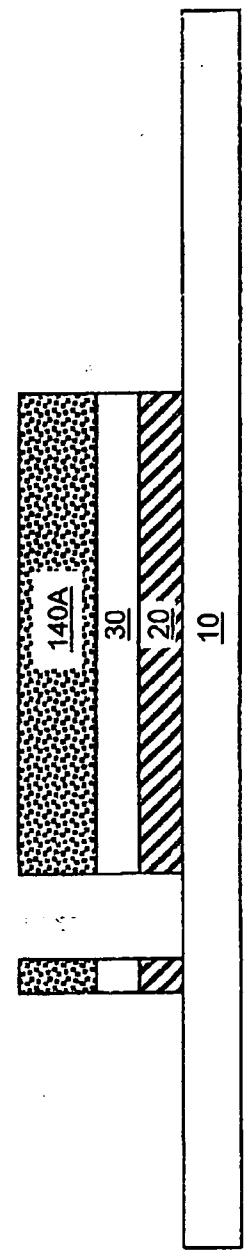


圖 17B

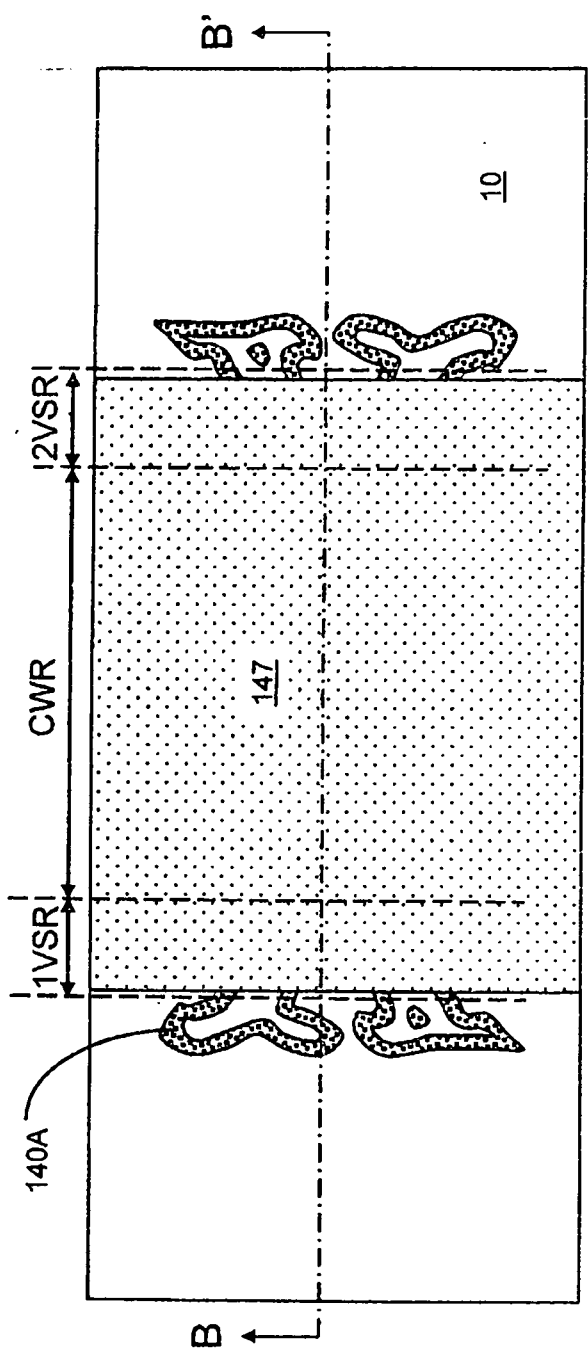


圖 18A

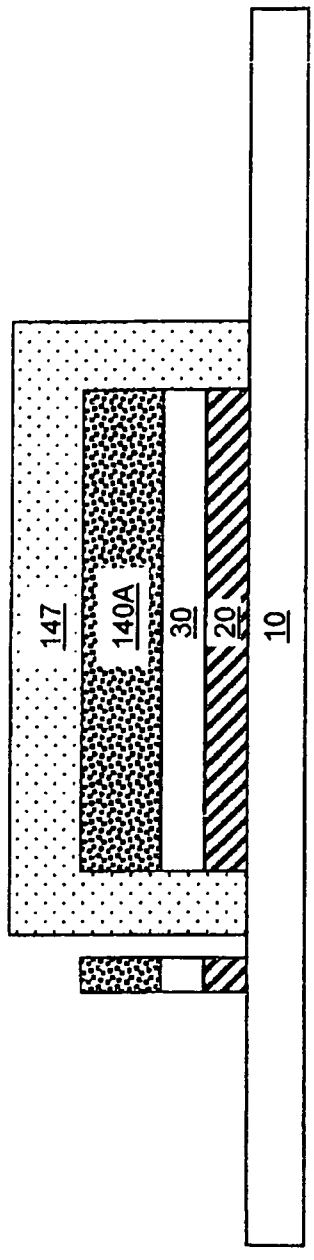


圖 18B

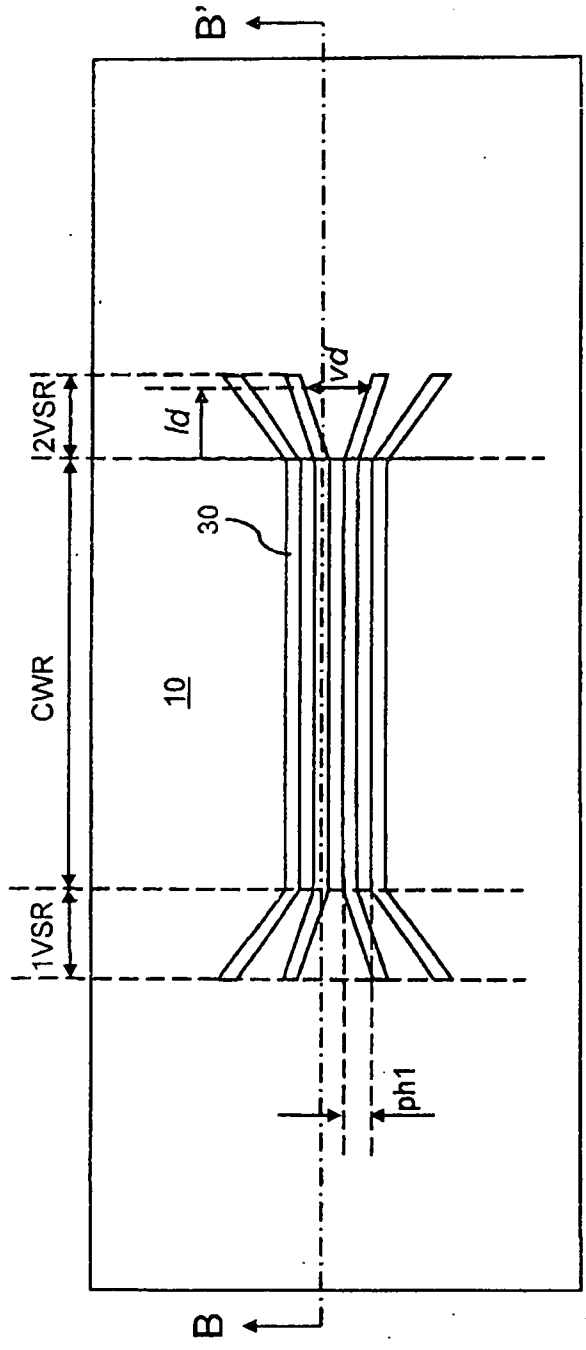


圖 19A

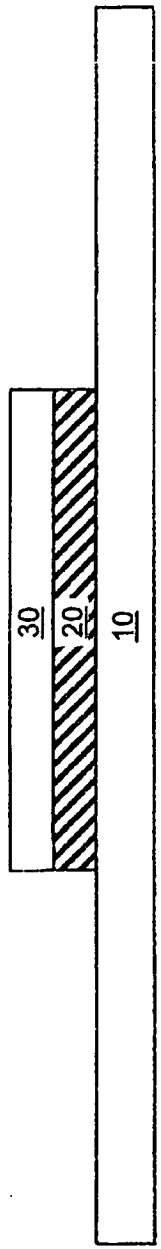


圖 19B

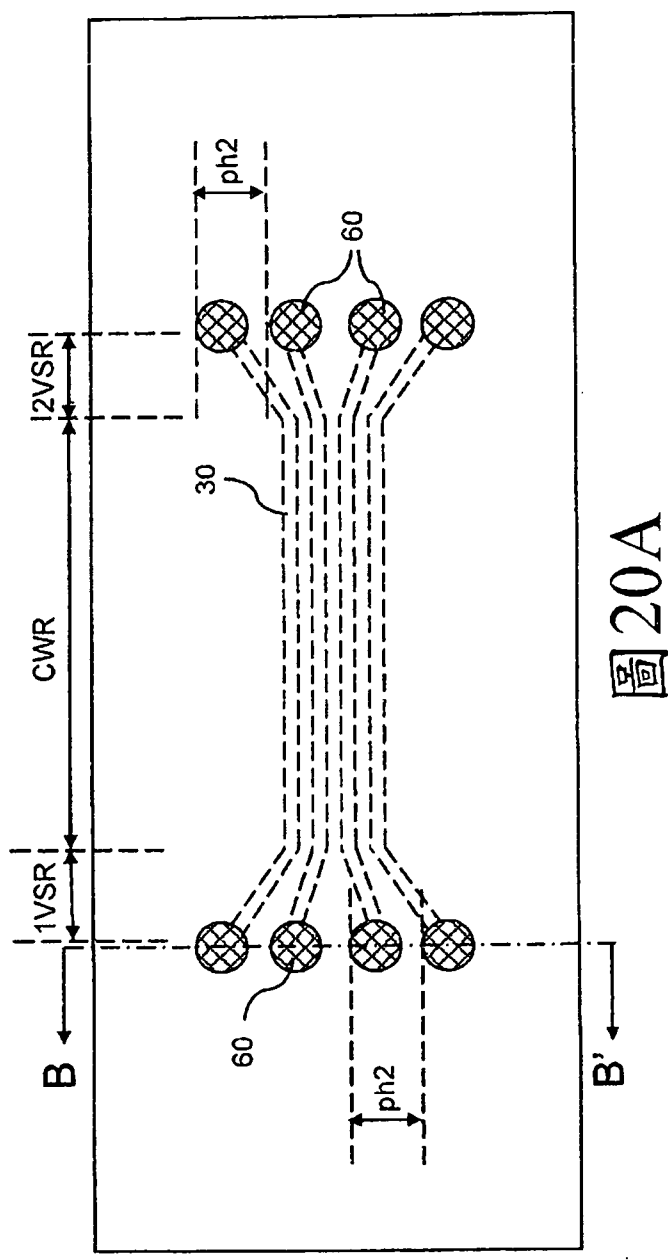


圖 20A

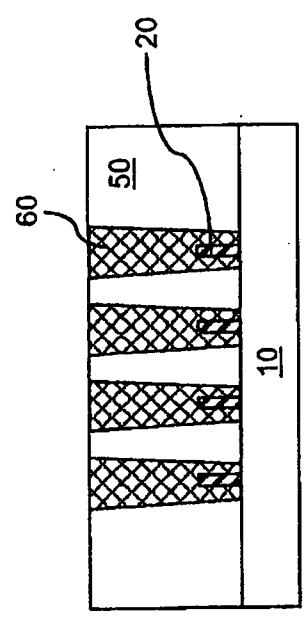


圖 20B

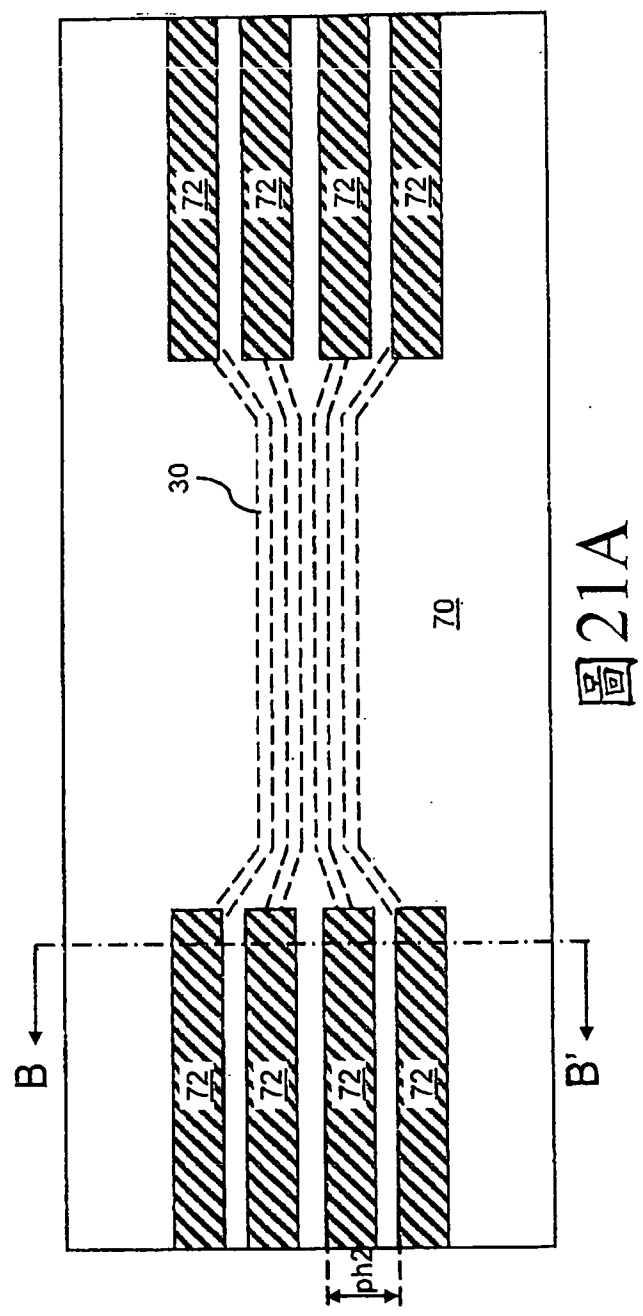


圖 21A

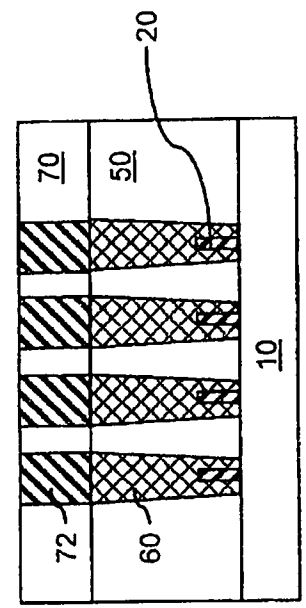


圖 21B

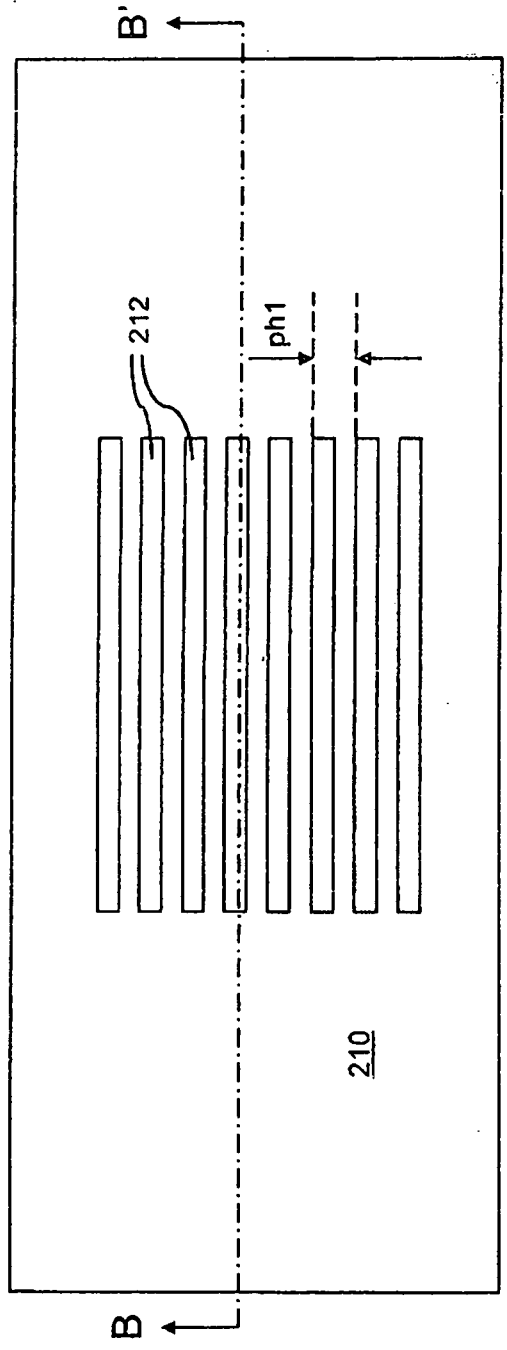


圖 22A

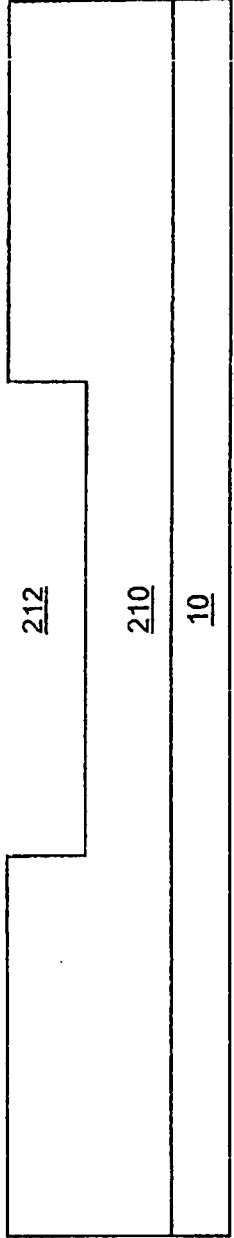


圖 22B

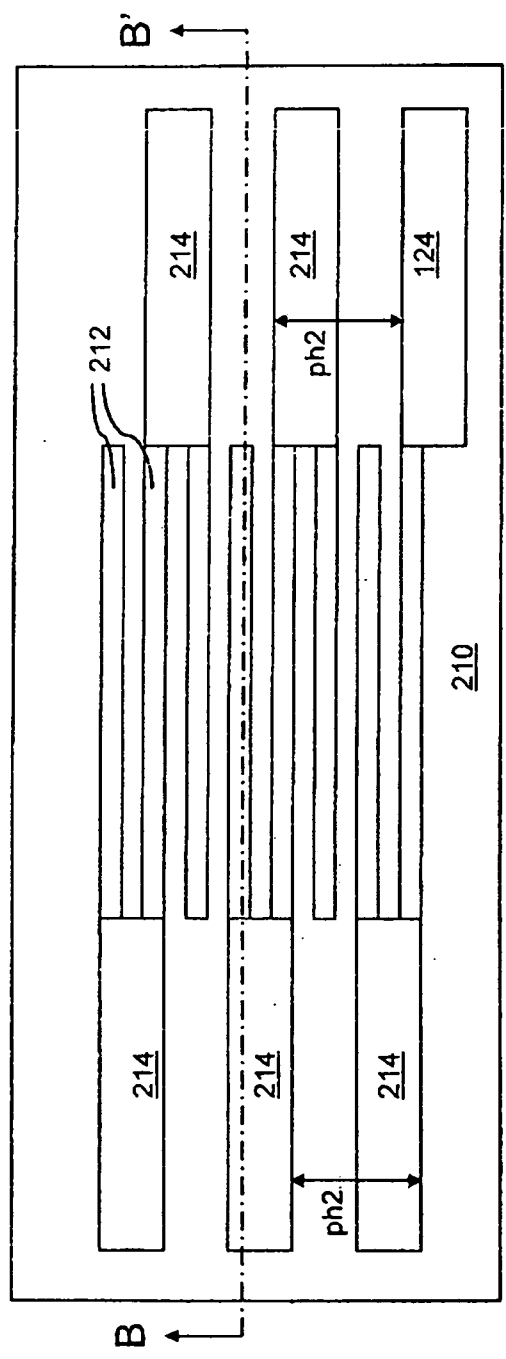


圖23A

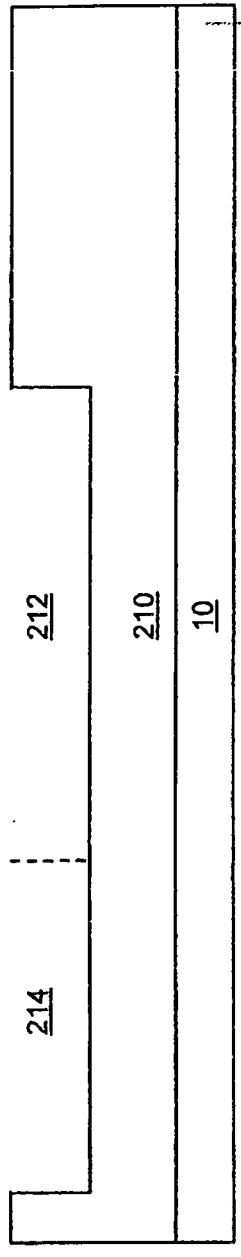


圖23B

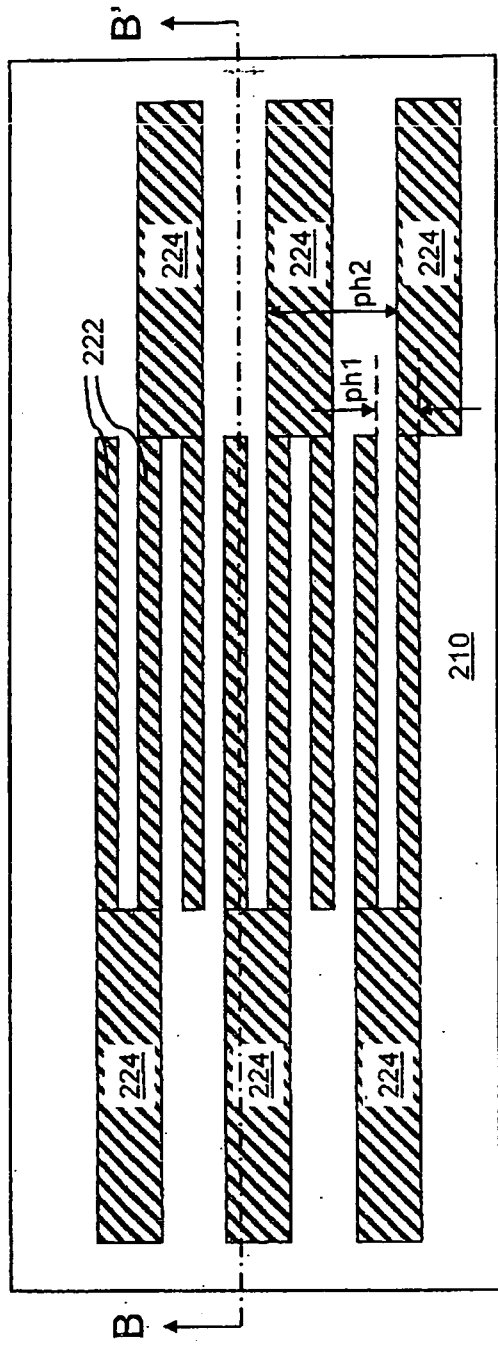


圖 24A

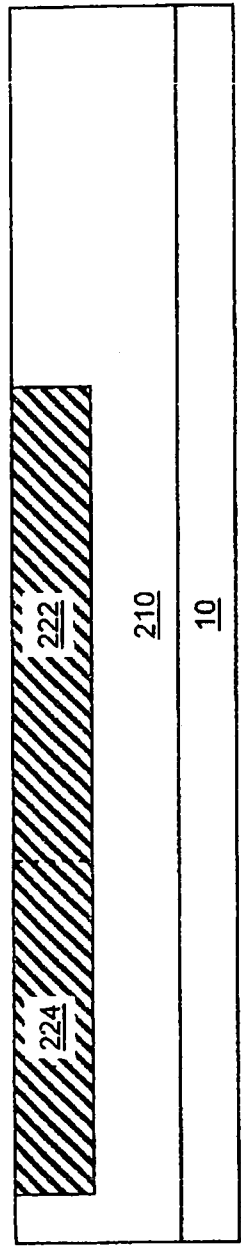


圖 24B

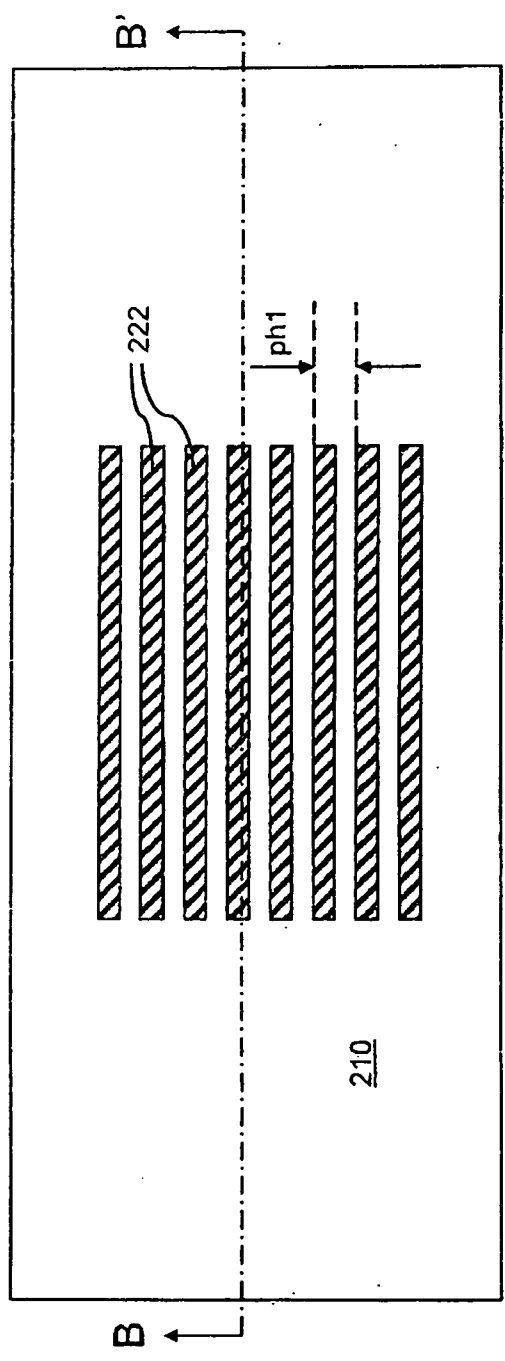


圖 25A

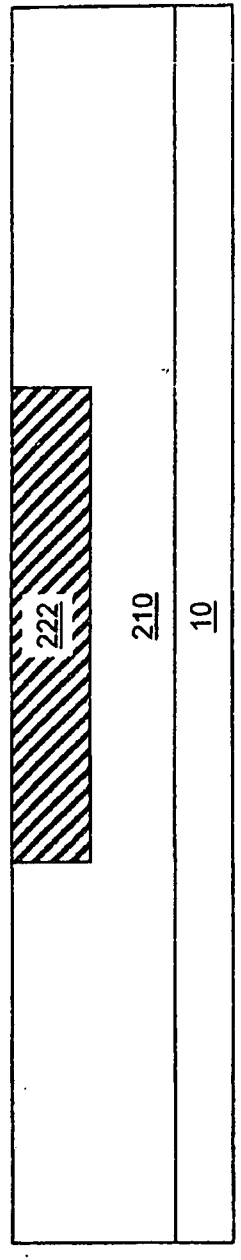


圖 25B

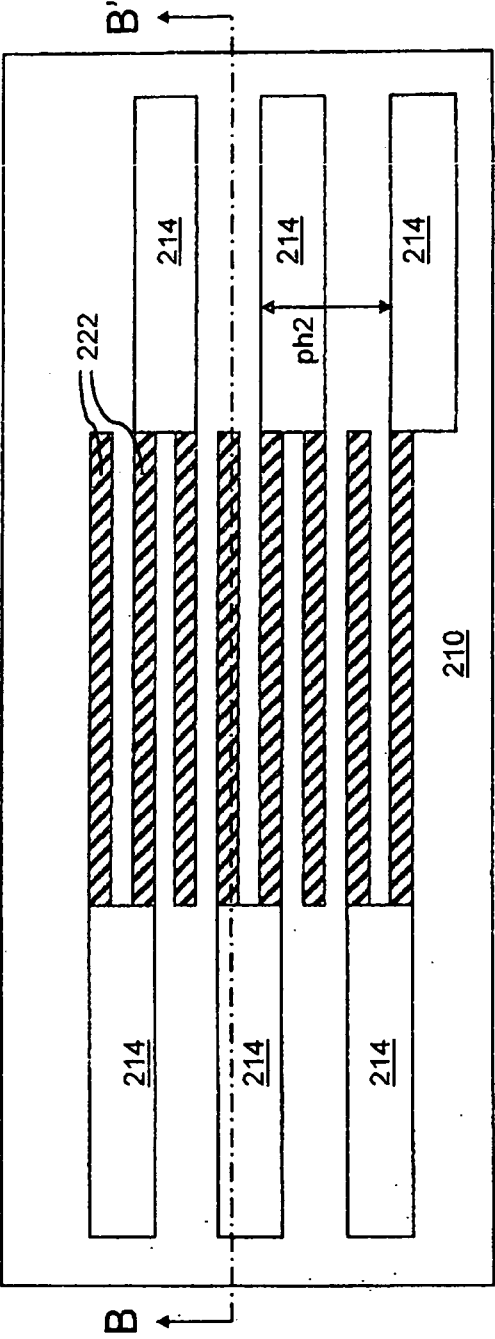


圖 26A

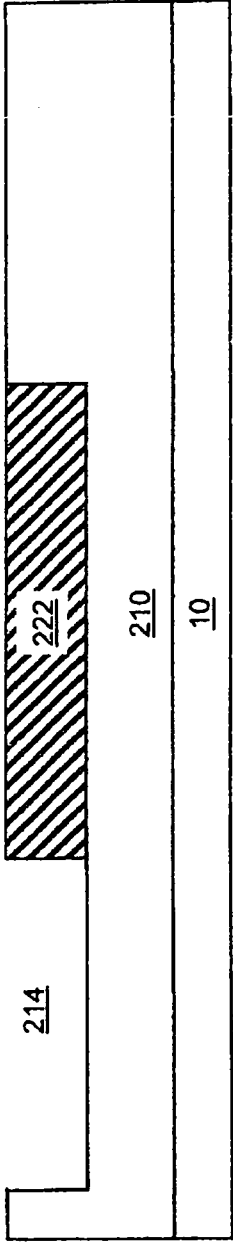


圖 26B

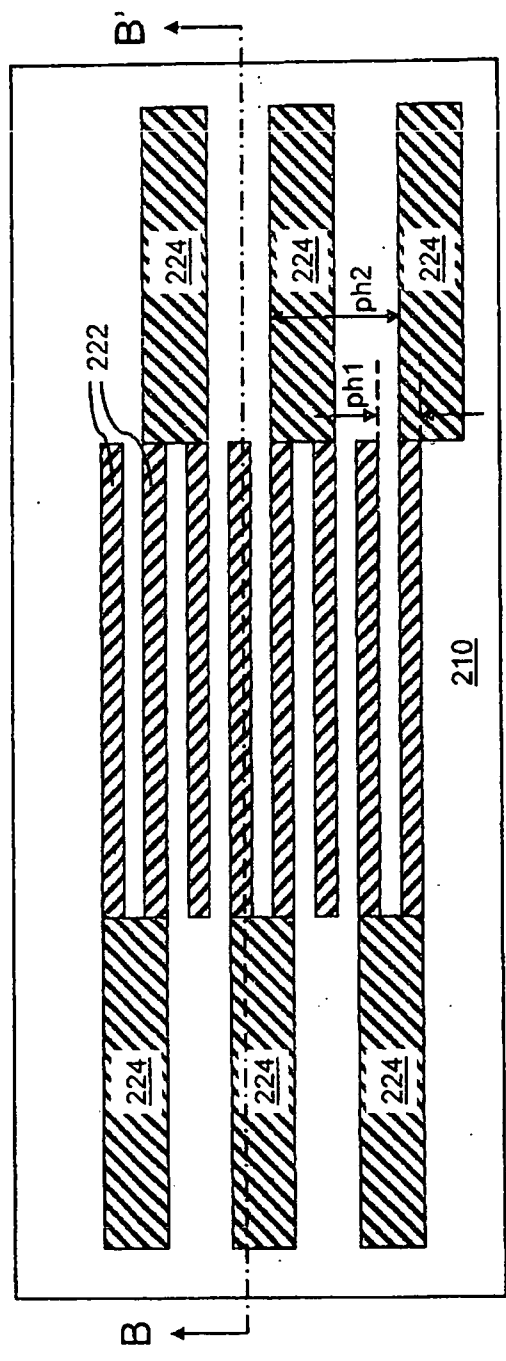


圖 27A

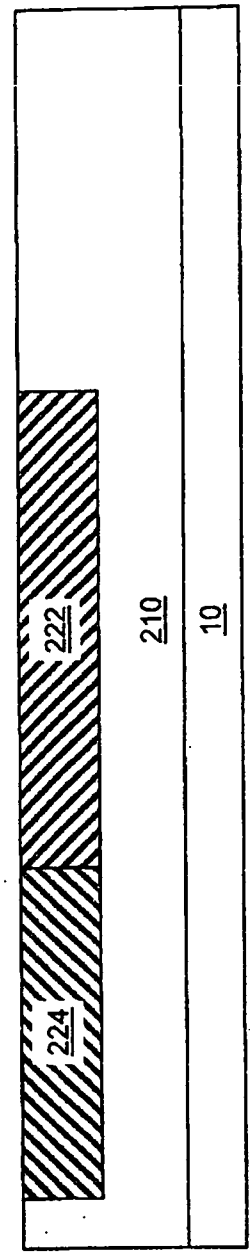


圖 27B

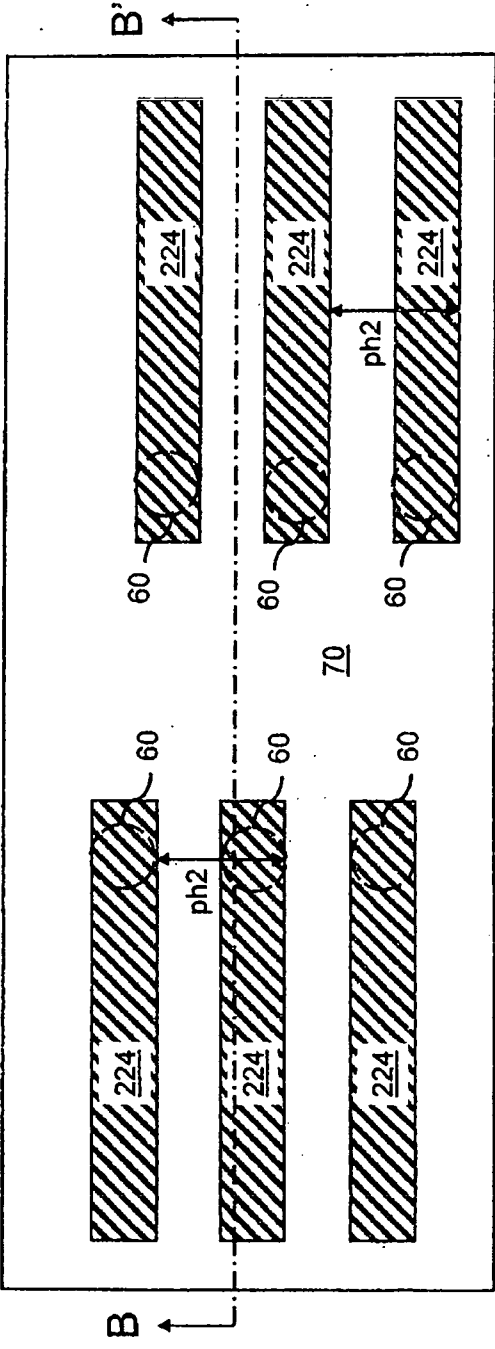


圖28A

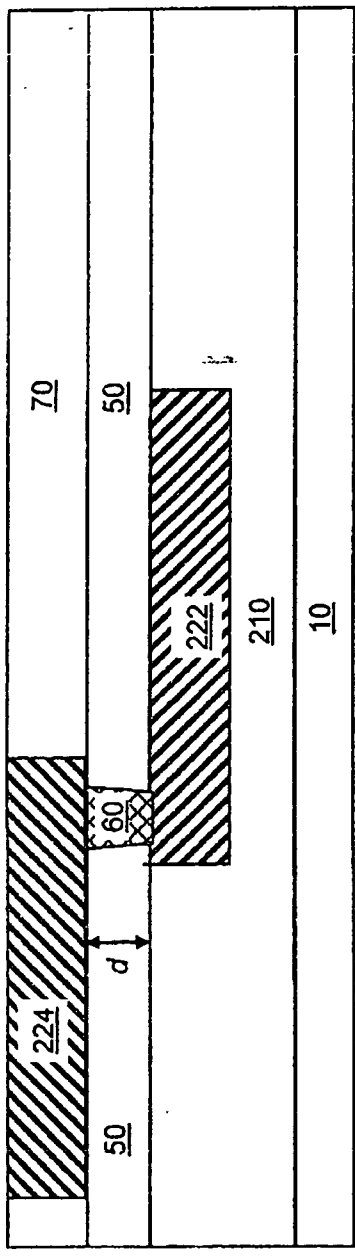


圖28B