



(12) 发明专利申请

(10) 申请公布号 CN 116387027 A

(43) 申请公布日 2023. 07. 04

(21) 申请号 202211658860.5

(22) 申请日 2022.12.22

(30) 优先权数据

10-2021-0193707 2021.12.31 KR

(71) 申请人 三星电机株式会社

地址 韩国京畿道水原市

(72) 发明人 崔素银 李冈夏 姜范锡 朴珍受

朴允娥

(74) 专利代理机构 北京铭硕知识产权代理有限公司

公司 11286

专利代理师 赵晓旋 英旭

(51) Int. Cl.

H01G 4/224 (2006.01)

H01G 4/30 (2006.01)

H01G 2/02 (2006.01)

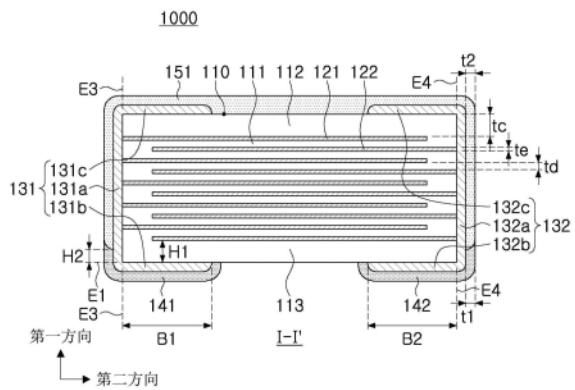
权利要求书13页 说明书31页 附图21页

(54) 发明名称

多层电子组件

(57) 摘要

本公开提供一种多层电子组件,所述多层电子组件包括:主体,包括在第一方向上彼此相对的第一表面和第二表面、连接到第一表面和第二表面且在第二方向上彼此相对的第三表面和第四表面以及在第三方向上彼此相对的第五表面和第六表面;第一外电极,包括第一连接部和第一带部,第一连接部设置在第三表面上,第一带部从第一连接部延伸到第一表面的一部分;第二外电极,包括第二连接部和第二带部,第二连接部设置在第四表面上,第二带部从第二连接部延伸到第一表面的一部分;绝缘层,设置在第二表面上,并且延伸到第一连接部和第二连接部;第一镀层,设置在第一带部上;以及第二镀层,设置在第二带部上,其中,绝缘层包括含硅(Si)氧化物。



1. 一种多层电子组件,包括:

主体,包括介电层以及第一内电极和第二内电极,所述第一内电极和所述第二内电极交替地设置,且所述介电层介于所述第一内电极与所述第二内电极之间,并且所述主体包括在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面且在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面至所述第四表面且在第三方向上彼此相对的第五表面和第六表面;

第一外电极,包括第一连接部和第一带部,所述第一连接部设置在所述第三表面上,所述第一带部从所述第一连接部延伸到所述第一表面的一部分;

第二外电极,包括第二连接部和第二带部,所述第二连接部设置在所述第四表面上,所述第二带部从所述第二连接部延伸到所述第一表面的一部分;

绝缘层,设置在所述第二表面上,并且延伸到所述第一连接部和所述第二连接部;

第一镀层,设置在所述第一带部上;以及

第二镀层,设置在所述第二带部上,

其中,所述绝缘层包括含硅氧化物。

2. 根据权利要求1所述的多层电子组件,其中,所述含硅氧化物是二氧化硅。

3. 根据权利要求1所述的多层电子组件,其中,所述绝缘层还包括含硼氧化物。

4. 根据权利要求3所述的多层电子组件,所述多层电子组件还包括包含钡和硼的粘合层,所述粘合层设置在所述绝缘层与所述主体之间的界面上,

其中,所述主体还包括钡。

5. 根据权利要求3所述的多层电子组件,其中,所述主体在所述第二方向上的平均尺寸被定义为L,在所述第二方向上从所述第三表面的延长线到所述第一带部的端部的平均距离被定义为B1,在所述第二方向上从所述第四表面的延长线到所述第二带部的端部的平均距离被定义为B2,并且满足 $0.2 \leq B1/L \leq 0.4$ 和 $0.2 \leq B2/L \leq 0.4$ 。

6. 根据权利要求4所述的多层电子组件,其中,所述主体在所述第二方向上的平均尺寸被定义为L,在所述第二方向上从所述第三表面的延长线到所述第一带部的端部的平均距离被定义为B1,在所述第二方向上从所述第四表面的延长线到所述第二带部的端部的平均距离被定义为B2,并且满足 $0.2 \leq B1/L \leq 0.4$ 和 $0.2 \leq B2/L \leq 0.4$ 。

7. 根据权利要求3所述的多层电子组件,所述多层电子组件还包括:

附加绝缘层,设置在所述第一表面上,并且设置在所述第一带部与所述第二带部之间。

8. 根据权利要求4所述的多层电子组件,所述多层电子组件还包括:

附加绝缘层,设置在所述第一表面上,并且设置在所述第一带部与所述第二带部之间。

9. 根据权利要求3所述的多层电子组件,其中,在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极之中最靠近所述第一表面的内电极的平均距离被定义为H1,在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接部上的端部和所述第二镀层的设置在所述第二连接部上的端部的平均距离被定义为H2,并且满足 $H1 > H2$ 。

10. 根据权利要求4所述的多层电子组件,其中,在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极之中最靠近所述第一表面的内电极的平均距离被定义为H1,在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接

部上的端部和所述第二镀层的设置在所述第二连接部上的端部的平均距离被定义为H2,并且满足 $H1 > H2$ 。

11. 根据权利要求3所述的多层电子组件,其中,在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极之中最靠近所述第一表面的内电极的平均距离被定义为H1,在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接部上的端部和所述第二镀层的设置在所述第二连接部上的端部的平均距离被定义为H2,并且满足 $H1 < H2$ 。

12. 根据权利要求4所述的多层电子组件,其中,在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极之中最靠近所述第一表面的内电极的平均距离被定义为H1,在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接部上的端部和所述第二镀层的设置在所述第二连接部上的端部的平均距离被定义为H2,并且满足 $H1 < H2$ 。

13. 根据权利要求1所述的多层电子组件,其中,在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极之中最靠近所述第一表面的内电极的平均距离被定义为H1,在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接部上的端部和所述第二镀层的设置在所述第二连接部上的端部的平均距离被定义为H2,并且满足 $H1 > H2$ 。

14. 根据权利要求1所述的多层电子组件,其中,在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极之中最靠近所述第一表面的内电极的平均距离被定义为H1,在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接部上的端部和所述第二镀层的设置在所述第二连接部上的端部的平均距离被定义为H2,并且满足 $H1 < H2$ 。

15. 根据权利要求14所述的多层电子组件,其中,所述主体在所述第一方向上的平均尺寸被定义为T,并且满足 $H2 < T/2$ 。

16. 根据权利要求1所述的多层电子组件,其中,所述第一镀层和所述第二镀层设置在所述第一表面的延长线下方。

17. 根据权利要求1所述的多层电子组件,其中,所述主体在所述第二方向上的平均尺寸被定义为L,在所述第二方向上从所述第三表面的延长线到所述第一带部的端部的平均距离被定义为B1,在所述第二方向上从所述第四表面的延长线到所述第二带部的端部的平均距离被定义为B2,并且满足 $0.2 \leq B1/L \leq 0.4$ 和 $0.2 \leq B2/L \leq 0.4$ 。

18. 根据权利要求1所述的多层电子组件,所述多层电子组件还包括:

附加绝缘层,设置在所述第一表面上,并且设置在所述第一带部与所述第二带部之间。

19. 根据权利要求18所述的多层电子组件,其中,所述附加绝缘层包括含硅氧化物。

20. 根据权利要求1所述的多层电子组件,其中,所述第一外电极和所述第二外电极包括Ni和Ni合金中的至少一种。

21. 根据权利要求1所述的多层电子组件,其中,所述多层电子组件在所述第二方向上的最大尺寸为1.1mm或更小,并且所述多层电子组件在所述第三方向上的最大尺寸为0.55mm或更小。

22. 根据权利要求1所述的多层电子组件,其中,所述介电层的平均厚度为0.35 μm 或更

小。

23. 根据权利要求1所述的多层电子组件,其中,所述第一内电极和所述第二内电极的平均厚度为 $0.35\mu\text{m}$ 或更小。

24. 根据权利要求1所述的多层电子组件,所述多层电子组件还包括:

电容形成部,在所述电容形成部中,所述第一内电极和所述第二内电极交替地设置且所述介电层介于所述第一内电极与所述第二内电极之间;以及覆盖部,设置在所述电容形成部的在所述第一方向上的两个表面上,

其中,所述覆盖部在所述第一方向上的平均尺寸为 $15\mu\text{m}$ 或更小。

25. 根据权利要求1所述的多层电子组件,其中,所述第一镀层和所述第二镀层的平均厚度小于所述绝缘层的平均厚度。

26. 根据权利要求1所述的多层电子组件,其中,所述第一连接部和所述第二连接部与所述第五表面和所述第六表面间隔开。

27. 根据权利要求1所述的多层电子组件,其中,所述第一连接部和所述第二连接部与所述第二表面间隔开。

28. 根据权利要求1所述的多层电子组件,其中,所述第一镀层被设置为覆盖所述绝缘层的设置在所述第一外电极上的端部,并且所述第二镀层被设置为覆盖所述绝缘层的设置在所述第二外电极上的端部。

29. 根据权利要求1所述的多层电子组件,其中,所述绝缘层被设置为覆盖所述第一镀层的设置在所述第一外电极上的端部,并且覆盖所述第二镀层的设置在所述第二外电极上的端部。

30. 根据权利要求1所述的多层电子组件,其中,所述绝缘层被设置为覆盖所述第五表面的一部分和所述第六表面的一部分。

31. 根据权利要求1所述的多层电子组件,其中,所述绝缘层被设置为覆盖整个所述第五表面和整个所述第六表面。

32. 根据权利要求1所述的多层电子组件,

其中,所述主体包括将所述第一表面连接到所述第三表面的1-3拐角、将所述第一表面连接到所述第四表面的1-4拐角、将所述第二表面连接到所述第三表面的2-3拐角以及将所述第二表面连接到所述第四表面的2-4拐角,

其中,所述1-3拐角和所述2-3拐角具有随着靠近所述第三表面而朝向所述主体的在所述第一方向上的中央收缩的形式,并且所述1-4拐角和所述2-4拐角具有随着靠近所述第四表面而朝向所述主体的在所述第一方向上的中央收缩的形式,并且

其中,所述第一外电极包括设置在所述1-3拐角上的拐角部和从所述第一连接部延伸到所述2-3拐角的拐角部,并且所述第二外电极包括设置在所述1-4拐角上的拐角部和从所述第二连接部延伸到所述2-4拐角的拐角部。

33. 一种多层电子组件,包括:

主体,包括介电层以及第一内电极和第二内电极,所述第一内电极和所述第二内电极交替地设置,且所述介电层介于所述第一内电极与所述第二内电极之间,并且所述主体包括在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面且在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面至所述第四表面

且在第三方向上彼此相对的第五表面和第六表面；

第一外电极,包括第一连接部和第一带部,所述第一连接部设置在所述第三表面上,所述第一带部从所述第一连接部延伸到所述第一表面的一部分；

第二外电极,包括第二连接部和第二带部,所述第二连接部设置在所述第四表面上,所述第二带部从所述第二连接部延伸到所述第一表面的一部分；

绝缘层,设置在所述第二表面上,并且延伸到所述第一连接部和所述第二连接部；

第一镀层,设置在所述第一带部上；以及

第二镀层,设置在所述第二带部上,

其中,所述绝缘层包括含硼氧化物、硼硅酸盐和硼硅酸锌中的至少一种。

34. 根据权利要求33所述的多层电子组件,其中,所述绝缘层还包括含硅氧化物。

35. 根据权利要求33所述的多层电子组件,所述多层电子组件还包括包含钡和硼的粘合层,所述粘合层设置在所述绝缘层与所述主体之间的界面上,

其中,所述主体还包括钡。

36. 根据权利要求33所述的多层电子组件,其中,在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极之中最靠近所述第一表面的内电极的平均距离被定义为 $H1$,在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接部上的端部和所述第二镀层的设置在所述第二连接部上的端部的平均距离被定义为 $H2$,并且满足 $H1 > H2$ 。

37. 根据权利要求33所述的多层电子组件,其中,在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极之中最靠近所述第一表面的内电极的平均距离被定义为 $H1$,在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接部上的端部和所述第二镀层的设置在所述第二连接部上的端部的平均距离被定义为 $H2$,并且满足 $H1 < H2$ 。

38. 根据权利要求37所述的多层电子组件,其中,所述主体在所述第一方向上的平均尺寸被定义为 T ,并且满足 $H2 < T/2$ 。

39. 根据权利要求33所述的多层电子组件,其中,所述第一镀层和所述第二镀层设置在所述第一表面的延长线下方。

40. 根据权利要求33所述的多层电子组件,其中,所述主体在所述第二方向上的平均尺寸被定义为 L ,在所述第二方向上从所述第三表面的延长线到所述第一带部的端部的平均距离被定义为 $B1$,在所述第二方向上从所述第四表面的延长线到所述第二带部的端部的平均距离被定义为 $B2$,并且满足 $0.2 \leq B1/L \leq 0.4$ 和 $0.2 \leq B2/L \leq 0.4$ 。

41. 根据权利要求33所述的多层电子组件,所述多层电子组件还包括：

附加绝缘层,设置在所述第一表面上,并且设置在所述第一带部与所述第二带部之间。

42. 根据权利要求41所述的多层电子组件,其中,所述附加绝缘层包括含硼氧化物。

43. 根据权利要求33所述的多层电子组件,其中,所述第一外电极和所述第二外电极包括Ni和Ni合金中的至少一种。

44. 根据权利要求33所述的多层电子组件,其中,所述多层电子组件在所述第二方向上的最大尺寸为1.1mm或更小,并且所述多层电子组件在所述第三方向上的最大尺寸为0.55mm或更小。

45. 根据权利要求33所述的多层电子组件,其中,所述介电层的平均厚度为 $0.35\mu\text{m}$ 或更小。

46. 根据权利要求33所述的多层电子组件,其中,所述第一内电极和所述第二内电极的平均厚度为 $0.35\mu\text{m}$ 或更小。

47. 根据权利要求33所述的多层电子组件,所述多层电子组件还包括:

电容形成部,在所述电容形成部中,所述第一内电极和所述第二内电极交替地设置且所述介电层介于所述第一内电极与所述第二内电极之间;以及覆盖部,设置在所述电容形成部的在所述第一方向上的两个表面上,

其中,所述覆盖部在所述第一方向上的平均尺寸为 $15\mu\text{m}$ 或更小。

48. 根据权利要求33所述的多层电子组件,其中,所述第一镀层和所述第二镀层的平均厚度小于所述绝缘层的平均厚度。

49. 根据权利要求33所述的多层电子组件,其中,所述第一连接部和所述第二连接部与所述第五表面和所述第六表面间隔开。

50. 根据权利要求33所述的多层电子组件,其中,所述第一连接部和所述第二连接部与所述第二表面间隔开。

51. 根据权利要求33所述的多层电子组件,其中,所述第一镀层被设置为覆盖所述绝缘层的设置在所述第一外电极上的端部,并且所述第二镀层被设置为覆盖所述绝缘层的设置在所述第二外电极上的端部。

52. 根据权利要求33所述的多层电子组件,其中,所述绝缘层被设置为覆盖所述第一镀层的设置在所述第一外电极上的端部,并且覆盖所述第二镀层的设置在所述第二外电极上的端部。

53. 根据权利要求33所述的多层电子组件,其中,所述绝缘层被设置为覆盖所述第五表面的一部分和所述第六表面的一部分。

54. 根据权利要求33所述的多层电子组件,其中,所述绝缘层被设置为覆盖整个所述第五表面和整个所述第六表面。

55. 根据权利要求33所述的多层电子组件,

其中,所述主体包括将所述第一表面连接到所述第三表面的1-3拐角、将所述第一表面连接到所述第四表面的1-4拐角、将所述第二表面连接到所述第三表面的2-3拐角以及将所述第二表面连接到所述第四表面的2-4拐角,

其中,所述1-3拐角和所述2-3拐角具有随着靠近所述第三表面而朝向所述主体的在所述第一方向上的中央收缩的形式,并且所述1-4拐角和所述2-4拐角具有随着靠近所述第四表面而朝向所述主体的在所述第一方向上的中央收缩的形式,并且

其中,所述第一外电极包括设置在所述1-3拐角上的拐角部和从所述第一连接部延伸到所述2-3拐角的拐角部,并且所述第二外电极包括设置在所述1-4拐角上的拐角部和从所述第二连接部延伸到所述2-4拐角的拐角部。

56. 一种多层电子组件,包括:

主体,包括介电层以及第一内电极和第二内电极,所述第一内电极和所述第二内电极交替地设置,且所述介电层介于所述第一内电极与所述第二内电极之间,并且所述主体包括在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面且

在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面至所述第四表面且在第三方向上彼此相对的第五表面和第六表面；

第一外电极,包括第一连接部、第一带部和第三带部,所述第一连接部设置在所述第三表面上,所述第一带部从所述第一连接部延伸到所述第一表面的一部分,所述第三带部从所述第一连接部延伸到所述第二表面的一部分；

第二外电极,包括第二连接部、第二带部和第四带部,所述第二连接部设置在所述第四表面上,所述第二带部从所述第二连接部延伸到所述第一表面的一部分,所述第四带部从所述第二连接部延伸到所述第二表面的一部分；

绝缘层,设置在所述第一连接部和所述第二连接部上,并且覆盖所述第二表面以及所述第三带部和所述第四带部；

第一镀层,设置在所述第一带部上；以及

第二镀层,设置在所述第二带部上,

其中,所述绝缘层包括含硅氧化物。

57. 根据权利要求56所述的多层电子组件,其中,所述含硅氧化物是二氧化硅。

58. 根据权利要求56所述的多层电子组件,其中,所述绝缘层还包括含硼氧化物。

59. 根据权利要求58所述的多层电子组件,所述多层电子组件还包括包含钡和硼的粘合层,所述粘合层设置在所述绝缘层与所述主体之间的界面上,

其中,所述主体还包括钡。

60. 根据权利要求56所述的多层电子组件,其中,在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极之中最靠近所述第一表面的内电极的平均距离被定义为H1,在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接部上的端部和所述第二镀层的设置在所述第二连接部上的端部的平均距离被定义为H2,并且满足 $H1 > H2$ 。

61. 根据权利要求56所述的多层电子组件,其中,在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极之中最靠近所述第一表面的内电极的平均距离被定义为H1,在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接部上的端部和所述第二镀层的设置在所述第二连接部上的端部的平均距离被定义为H2,并且满足 $H1 < H2$ 。

62. 根据权利要求61所述的多层电子组件,其中,所述主体在所述第一方向上的平均尺寸被定义为T,并且满足 $H2 < T/2$ 。

63. 根据权利要求56所述的多层电子组件,其中,所述第一镀层和所述第二镀层设置在所述第一表面的延长线下方。

64. 根据权利要求56所述的多层电子组件,其中,所述主体在所述第二方向上的平均尺寸被定义为L,在所述第二方向上从所述第三表面的延长线到所述第一带部的端部的平均距离被定义为B1,在所述第二方向上从所述第四表面的延长线到所述第二带部的端部的平均距离被定义为B2,并且满足 $0.2 \leq B1/L \leq 0.4$ 和 $0.2 \leq B2/L \leq 0.4$ 。

65. 根据权利要求56所述的多层电子组件,所述多层电子组件还包括:

附加绝缘层,设置在所述第一表面上,并且设置在所述第一带部与所述第二带部之间。

66. 根据权利要求65所述的多层电子组件,其中,所述附加绝缘层包括含硅氧化物。

67. 根据权利要求56所述的多层电子组件,其中,所述第一外电极和所述第二外电极包括Ni和Ni合金中的至少一种。

68. 根据权利要求56所述的多层电子组件,其中,在所述第二方向上从所述第三表面的延长线到所述第一带部的端部的平均距离被定义为B1,在所述第二方向上从所述第四表面的延长线到所述第二带部的端部的平均距离被定义为B2,在所述第二方向上从所述第三表面的延长线到所述第三带部的端部的平均距离被定义为B3,在所述第二方向上从所述第四表面的延长线到所述第四带部的端部的平均距离被定义为B4,并且满足 $B3 < B1$ 且 $B4 < B2$ 。

69. 根据权利要求56所述的多层电子组件,其中,所述多层电子组件在所述第二方向上的最大尺寸为1.1mm或更小,并且所述多层电子组件在所述第三方向上的最大尺寸为0.55mm或更小。

70. 根据权利要求56所述的多层电子组件,其中,所述介电层的平均厚度为0.35 μm 或更小。

71. 根据权利要求56所述的多层电子组件,其中,所述第一内电极和所述第二内电极的平均厚度为0.35 μm 或更小。

72. 根据权利要求56所述的多层电子组件,所述多层电子组件还包括:

电容形成部,在所述电容形成部中,所述第一内电极和所述第二内电极交替地设置且所述介电层介于所述第一内电极与所述第二内电极之间;以及覆盖部,设置在所述电容形成部的在所述第一方向上的两个表面上,

其中,所述覆盖部在所述第一方向上的平均尺寸为15 μm 或更小。

73. 根据权利要求56所述的多层电子组件,其中,所述第一镀层和所述第二镀层的平均厚度小于所述绝缘层的平均厚度。

74. 根据权利要求56所述的多层电子组件,其中,所述第一镀层覆盖所述绝缘层的设置在所述第一外电极上的端部,并且所述第二镀层覆盖所述绝缘层的设置在所述第二外电极上的端部。

75. 根据权利要求56所述的多层电子组件,其中,所述绝缘层覆盖所述第一镀层的设置在所述第一外电极上的端部,并且覆盖所述第二镀层的设置在所述第二外电极上的端部。

76. 根据权利要求56所述的多层电子组件,

其中,所述第一外电极还包括第一侧带部,所述第一侧带部从所述第一连接部延伸到所述第五表面的一部分和所述第六表面的一部分,

其中,所述第二外电极还包括第二侧带部,所述第二侧带部从所述第二连接部延伸到所述第五表面的一部分和所述第六表面的一部分,并且

其中,所述第一侧带部和所述第二侧带部在所述第二方向上的尺寸在所述第一方向上朝向所述第一表面增大。

77. 根据权利要求56所述的多层电子组件,

其中,所述第一外电极还包括第一侧带部,所述第一侧带部从所述第一连接部延伸到所述第五表面的一部分和所述第六表面的一部分,

其中,所述第二外电极还包括第二侧带部,所述第二侧带部从所述第二连接部延伸到所述第五表面的一部分和所述第六表面的一部分,并且

其中,所述绝缘层被设置为覆盖所述第一侧带部的一部分和所述第二侧带部的一部

分、所述第五表面的一部分以及所述第六表面的一部分。

78. 根据权利要求56所述的多层电子组件，

其中，所述第一外电极还包括第一侧带部，所述第一侧带部从所述第一连接部延伸到所述第五表面的一部分和所述第六表面的一部分，

其中，所述第二外电极还包括第二侧带部，所述第二侧带部从所述第二连接部延伸到所述第五表面的一部分和所述第六表面的一部分，并且

其中，所述绝缘层被设置为覆盖整个所述第一侧带部和整个所述第二侧带部以及整个所述第五表面和整个所述第六表面。

79. 根据权利要求56所述的多层电子组件，其中，在所述第二方向上从所述第三表面的延长线到所述第三带部的端部的平均距离被定义为 B_3 ，在所述第二方向上从所述第四表面的延长线到所述第四带部的端部的平均距离被定义为 B_4 ，所述第三表面与所述第二内电极彼此间隔开的区域在所述第二方向上测量的平均尺寸被定义为 G_1 ，所述第四表面与所述第一内电极彼此间隔开的区域在所述第二方向上测量的平均尺寸被定义为 G_2 ，并且满足 $B_3 \geq G_1$ 和 $B_4 \geq G_2$ 。

80. 根据权利要求56所述的多层电子组件，其中，在所述第二方向上从所述第三表面的延长线到所述第一带部的端部的平均距离被定义为 B_1 ，并且在所述第二方向上从所述第四表面的延长线到所述第二带部的端部的平均距离被定义为 B_2 ，满足 $B_1 \geq G_1$ 并且 $B_2 \geq G_2$ 。

81. 根据权利要求56所述的多层电子组件，

其中，所述主体包括将所述第一表面连接到所述第三表面的1-3拐角、将所述第一表面连接到所述第四表面的1-4拐角、将所述第二表面连接到所述第三表面的2-3拐角以及将所述第二表面连接到所述第四表面的2-4拐角，

其中，所述1-3拐角和所述2-3拐角具有随着靠近所述第三表面而朝向所述主体的在所述第一方向上的中央收缩的形式，并且所述1-4拐角和所述2-4拐角具有随着靠近所述第四表面而朝向所述主体的在所述第一方向上的中央收缩的形式，并且

其中，所述第一外电极包括设置在所述1-3拐角上的拐角部和设置在所述2-3拐角上的拐角部，并且所述第二外电极包括设置在所述1-4拐角上的拐角部和设置在所述2-4拐角上的拐角部。

82. 一种多层电子组件，包括：

主体，包括介电层以及第一内电极和第二内电极，所述第一内电极和所述第二内电极交替地设置，且所述介电层介于所述第一内电极与所述第二内电极之间，并且所述主体包括在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面且在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面至所述第四表面且在第三方向上彼此相对的第五表面和第六表面；

第一外电极，包括第一连接部、第一带部和第一拐角部，所述第一连接部设置在所述第三表面上，所述第一带部从所述第一连接部延伸到所述第一表面的一部分，所述第一拐角部从所述第一连接部延伸到将所述第二表面连接至所述第三表面的拐角；

第二外电极，包括第二连接部、第二带部和第二拐角部，所述第二连接部设置在所述第四表面上，所述第二带部从所述第二连接部延伸到所述第一表面的一部分，所述第二拐角部从所述第二连接部延伸到将所述第二表面连接至所述第四表面的拐角；

绝缘层,设置在所述第一连接部和所述第二连接部上,并且被设置为覆盖所述第二表面以及所述第一拐角部和所述第二拐角部;

第一镀层,设置在所述第一带部上;以及

第二镀层,设置在所述第二带部上,

其中,在所述第二方向上从所述第三表面的延长线到所述第一拐角部的端部的平均距离被定义为 B_3 ,在所述第二方向上从所述第四表面的延长线到所述第二拐角部的端部的平均距离被定义为 B_4 ,所述第三表面与所述第二内电极彼此间隔开的区域在所述第二方向上测量的平均尺寸被定义为 G_1 ,并且所述第四表面与所述第一内电极彼此间隔开的区域在所述第二方向上测量的平均尺寸被定义为 G_2 ,满足 $B_3 \leq G_1$ 和 $B_4 \leq G_2$,并且

其中,所述绝缘层包括含硅氧化物。

83. 根据权利要求82所述的多层电子组件,其中,所述含硅氧化物是二氧化硅。

84. 根据权利要求82所述的多层电子组件,其中,所述绝缘层还包括含硼氧化物。

85. 根据权利要求84所述的多层电子组件,所述多层电子组件还包括包含钡和硼的粘合层,所述粘合层设置在所述绝缘层与所述主体之间的界面上,

其中,所述主体还包括钡。

86. 根据权利要求82所述的多层电子组件,其中,在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极之中最靠近所述第一表面的内电极的平均距离被定义为 H_1 ,在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接部上的端部和所述第二镀层的设置在所述第二连接部上的端部的平均距离被定义为 H_2 ,并且满足 $H_1 > H_2$ 。

87. 根据权利要求82所述的多层电子组件,其中,在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极之中最靠近所述第一表面的内电极的平均距离被定义为 H_1 ,在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接部上的端部和所述第二镀层的设置在所述第二连接部上的端部的平均距离被定义为 H_2 ,并且满足 $H_1 < H_2$ 。

88. 根据权利要求87所述的多层电子组件,其中,所述主体在所述第一方向上的平均尺寸被定义为 T ,并且满足 $H_2 < T/2$ 。

89. 根据权利要求82所述的多层电子组件,其中,所述第一镀层和所述第二镀层设置在所述第一表面的延长线下方。

90. 根据权利要求82所述的多层电子组件,其中,所述主体在所述第二方向上的平均尺寸被定义为 L ,在所述第二方向上从所述第三表面的延长线到所述第一带部的端部的平均距离被定义为 B_1 ,在所述第二方向上从所述第四表面的延长线到所述第二带部的端部的平均距离被定义为 B_2 ,并且满足 $0.2 \leq B_1/L \leq 0.4$ 和 $0.2 \leq B_2/L \leq 0.4$ 。

91. 根据权利要求82所述的多层电子组件,所述多层电子组件还包括:

附加绝缘层,设置在所述第一表面上,并且设置在所述第一带部与所述第二带部之间。

92. 根据权利要求91所述的多层电子组件,其中,所述附加绝缘层包括含硅氧化物。

93. 根据权利要求82所述的多层电子组件,其中,所述第一外电极和所述第二外电极包括Ni和Ni合金中的至少一种。

94. 根据权利要求82所述的多层电子组件,其中,在所述第二方向上从所述第三表面的

延长线到所述第一带部的端部的平均距离被定义为B1,在所述第二方向上从所述第四表面的延长线到所述第二带部的端部的平均距离被定义为B2,并且满足 $B3 < B1$ 和 $B4 < B2$ 。

95.根据权利要求82所述的多层电子组件,其中,所述多层电子组件在所述第二方向上的最大尺寸为1.1mm或更小,并且所述多层电子组件在所述第三方向上的最大尺寸为0.55mm或更小。

96.根据权利要求82所述的多层电子组件,其中,所述介电层的平均厚度为0.35 μm 或更小。

97.根据权利要求82所述的多层电子组件,所述多层电子组件还包括:

电容形成部,在所述电容形成部中,所述第一内电极和所述第二内电极交替地设置且所述介电层介于所述第一内电极与所述第二内电极之间;以及覆盖部,设置在所述电容形成部的在所述第一方向上的两个表面上,

其中,所述覆盖部在所述第一方向上的平均尺寸为15 μm 或更小。

98.根据权利要求82所述的多层电子组件,其中,所述第一镀层和所述第二镀层的平均厚度小于所述绝缘层的平均厚度。

99.根据权利要求82所述的多层电子组件,其中,所述第一拐角部和所述第二拐角部设置在所述第二表面的延长线下方。

100.根据权利要求82所述的多层电子组件,其中,所述第一连接部和所述第二连接部与所述第五表面和所述第六表面间隔开。

101.根据权利要求82所述的多层电子组件,其中,所述第一拐角部和所述第二拐角部与所述第二表面间隔开。

102.根据权利要求82所述的多层电子组件,其中,所述第一镀层覆盖所述绝缘层的设置在所述第一外电极上的端部,并且所述第二镀层覆盖所述绝缘层的设置在所述第二外电极上的端部。

103.根据权利要求82所述的多层电子组件,其中,所述绝缘层覆盖所述第一镀层的设置在所述第一外电极上的端部,并且覆盖所述第二镀层的设置在所述第二外电极上的端部。

104.根据权利要求82所述的多层电子组件,其中,所述绝缘层覆盖所述第五表面的一部分和所述第六表面的一部分。

105.根据权利要求82所述的多层电子组件,其中,所述绝缘层覆盖整个所述第五表面和整个所述第六表面。

106.根据权利要求82所述的多层电子组件,其中,在所述第二方向上从所述第三表面的延长线到所述第一带部的端部的平均距离被定义为B1,在所述第二方向上从所述第四表面的延长线到所述第二带部的端部的平均距离被定义为B2,并且满足 $B1 \geq G1$ 和 $B2 \geq G2$ 。

107.一种多层电子组件,包括:

主体,包括介电层以及第一内电极和第二内电极,所述第一内电极和所述第二内电极交替地设置,且所述介电层介于所述第一内电极与所述第二内电极之间,并且所述主体包括在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面且在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面至所述第四表面且在第三方向上彼此相对的第五表面和第六表面;

第一外电极,包括第一连接电极和第一带电极,所述第一连接电极设置在所述第三表面上,所述第一带电极设置在所述第一表面上并且连接到所述第一连接电极;

第二外电极,包括第二连接电极和第二带电极,所述第二连接电极设置在所述第四表面上,所述第二带电极设置在所述第一表面上并且连接到所述第二连接电极;

第一绝缘层,设置在所述第一连接电极上;

第二绝缘层,设置在所述第二连接电极上;

第一镀层,设置在所述第一带电极上;以及

第二镀层,设置在所述第二带电极上,

其中,所述绝缘层包括含硅氧化物。

108. 根据权利要求107所述的多层电子组件,其中,所述含硅氧化物是二氧化硅。

109. 根据权利要求107所述的多层电子组件,其中,所述绝缘层还包括含硼氧化物。

110. 根据权利要求109所述的多层电子组件,所述多层电子组件还包括包含钡和硼的粘合层,所述粘合层设置在所述绝缘层与所述主体之间的界面上,

其中,所述主体还包括钡。

111. 根据权利要求109所述的多层电子组件,其中,在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极之中最靠近所述第一表面的内电极的平均距离被定义为 H_1 ,在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接电极上的端部和所述第二镀层的设置在所述第二连接电极上的端部的平均距离被定义为 H_2 ,并且满足 $H_1 > H_2$ 。

112. 根据权利要求109所述的多层电子组件,其中,在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极之中最靠近所述第一表面的内电极的平均距离被定义为 H_1 ,在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接电极上的端部和所述第二镀层的设置在所述第二连接电极上的端部的平均距离被定义为 H_2 ,并且满足 $H_1 < H_2$ 。

113. 根据权利要求112所述的多层电子组件,其中,所述主体在所述第一方向上的平均尺寸被定义为 T ,并且满足 $H_2 < T/2$ 。

114. 根据权利要求107所述的多层电子组件,其中,所述第一镀层和所述第二镀层设置在所述第一表面的延长线下方。

115. 根据权利要求107所述的多层电子组件,所述多层电子组件还包括:

附加绝缘层,设置在所述第一表面上,并且设置在所述第一带电极与所述第二带电极之间。

116. 根据权利要求115所述的多层电子组件,其中,所述附加绝缘层包括含硅氧化物。

117. 根据权利要求107所述的多层电子组件,其中,所述第一外电极和所述第二外电极包括Ni和Ni合金中的至少一种。

118. 根据权利要求107所述的多层电子组件,其中,所述多层电子组件在所述第二方向上的最大尺寸为1.1mm或更小,并且所述多层电子组件在所述第三方向上的最大尺寸为0.55mm或更小。

119. 根据权利要求107所述的多层电子组件,其中,所述介电层的平均厚度为0.35 μm 或更小。

120. 根据权利要求107所述的多层电子组件,其中,所述第一内电极和所述第二内电极的平均厚度为 $0.35\mu\text{m}$ 或更小。

121. 根据权利要求107所述的多层电子组件,所述多层电子组件还包括:

电容形成部,在所述电容形成部中,所述第一内电极和所述第二内电极交替地设置且所述介电层介于所述第一内电极与所述第二内电极之间;以及覆盖部,设置在所述电容形成部的在所述第一方向上的两个表面上,

其中,所述覆盖部在所述第一方向上的平均尺寸为 $15\mu\text{m}$ 或更小。

122. 根据权利要求107所述的多层电子组件,其中,所述第一镀层和所述第二镀层的平均厚度小于所述第一绝缘层和所述第二绝缘层的平均厚度。

123. 根据权利要求107所述的多层电子组件,其中,所述第一连接电极和所述第二连接电极与所述第五表面和所述第六表面间隔开。

124. 根据权利要求107所述的多层电子组件,其中,所述第一连接电极和所述第二连接电极与所述第二表面间隔开。

125. 根据权利要求107所述的多层电子组件,其中,所述第一镀层覆盖所述第一绝缘层的设置在所述第一外电极上的端部,并且所述第二镀层覆盖所述第二绝缘层的设置在所述第二外电极上的端部。

126. 根据权利要求107所述的多层电子组件,其中,所述第一绝缘层覆盖所述第一镀层的设置在所述第一外电极上的端部,并且所述第二绝缘层覆盖所述第二镀层的设置在所述第二外电极上的端部。

127. 根据权利要求107所述的多层电子组件,其中,所述第一绝缘层和所述第二绝缘层延伸到所述第五表面和所述第六表面,所述第一绝缘层和所述第二绝缘层彼此连接,并且覆盖所述第五表面的一部分和所述第六表面的一部分。

128. 根据权利要求107所述的多层电子组件,其中,所述第一绝缘层和所述第二绝缘层延伸到所述第五表面和所述第六表面,所述第一绝缘层和所述第二绝缘层彼此连接,并且覆盖整个所述第五表面和整个所述第六表面。

129. 根据权利要求107所述的多层电子组件,其中,所述第一绝缘层和所述第二绝缘层延伸到所述第二表面并且彼此连接。

130. 根据权利要求107所述的多层电子组件,

其中,所述主体包括将所述第一表面连接到所述第三表面的1-3拐角、将所述第一表面连接到所述第四表面的1-4拐角、将所述第二表面连接到所述第三表面的2-3拐角以及将所述第二表面连接到所述第四表面的2-4拐角,

其中,所述1-3拐角和所述2-3拐角具有随着靠近所述第三表面而朝向所述主体的在所述第一方向上的中央收缩的形式,并且所述1-4拐角和所述2-4拐角具有随着靠近所述第四表面而朝向所述主体的在所述第一方向上的中央收缩的形式,并且

其中,所述第一连接电极包括延伸到所述1-3拐角的拐角部和延伸到所述2-3拐角的拐角部,并且所述第二连接电极包括延伸到所述1-4拐角的拐角部和延伸到所述2-4拐角的拐角部。

131. 根据权利要求107所述的多层电子组件,

其中,所述第一外电极还包括第三带电极,所述第三带电极设置在所述第二表面上并

且与所述第一连接电极连接,并且

其中,所述第二外电极还包括第四带电极,所述第四带电极设置在所述第二表面上并且与所述第二连接电极连接。

132. 根据权利要求131所述的多层电子组件,其中,在所述第二方向上从所述第三表面的延长线到所述第一带电极的端部的平均距离被定义为B1,在所述第二方向上从所述第四表面的延长线到所述第二带电极的端部的平均距离被定义为B2,在所述第二方向上从所述第三表面的延长线到所述第三带电极的端部的平均距离被定义为B3,在所述第二方向上从所述第四表面的延长线到所述第四带电极的端部的平均距离被定义为B4,所述第三表面与所述第二内电极彼此间隔开的区域在所述第二方向上测量的平均尺寸被定义为G1,所述第四表面与所述第一内电极彼此间隔开的区域在所述第二方向上测量的平均尺寸被定义为G2,并且满足 $B1 \geq G1$ 、 $B3 \geq G1$ 、 $B2 \geq G2$ 和 $B4 \geq G2$ 。

133. 根据权利要求131所述的多层电子组件,其中,在所述第二方向上从所述第三表面的延长线到所述第一带电极的端部的平均距离被定义为B1,在所述第二方向上从所述第四表面的延长线到所述第二带电极的端部的平均距离被定义为B2,在所述第二方向上从所述第三表面的延长线到所述第三带电极的端部的平均距离被定义为B3,在所述第二方向上从所述第四表面的延长线到所述第四带电极的端部的平均距离被定义为B4,所述第三表面与所述第二内电极彼此间隔开的区域在所述第二方向上测量的平均尺寸被定义为G1,所述第四表面和所述第一内电极彼此间隔开的区域在所述第二方向上测量的平均尺寸被定义为G2,并且满足 $B1 \geq G1$ 、 $B3 \leq G1$ 、 $B2 \geq G2$ 和 $B4 \leq G2$ 。

134. 根据权利要求107所述的多层电子组件,其中,所述第一带电极和所述第二带电极包括与所述第一内电极和所述第二内电极中包括的金属相同的金属。

135. 根据权利要求107所述的多层电子组件,其中,所述第一连接电极和所述第二连接电极包括与所述第一内电极和所述第二内电极中包括的金属相同的金属。

136. 根据权利要求107所述的多层电子组件,其中,所述第一带电极和所述第二带电极是包括导电金属和玻璃的烧制电极。

137. 根据权利要求107所述的多层电子组件,其中,所述第一连接电极和所述第二连接电极是包括导电金属和玻璃的烧制电极。

138. 根据权利要求107所述的多层电子组件,其中,所述第一带电极和所述第二带电极是镀层。

139. 根据权利要求107所述的多层电子组件,其中,所述第一连接电极和所述第二连接电极是镀层。

140. 根据权利要求134所述的多层电子组件,其中,所述相同的金属是Ni。

141. 根据权利要求135所述的多层电子组件,其中,所述相同的金属是Ni。

142. 根据权利要求135所述的多层电子组件,其中,所述相同的金属是镍、铜以及它们的合金中的至少一种。

143. 根据权利要求107所述的多层电子组件,所述多层电子组件还包括第一附加电极层和第二附加电极层,所述第一附加电极层设置在所述第一连接电极与所述第三表面之间,并且所述第二附加电极层设置在所述第二连接电极与所述第四表面之间。

多层电子组件

[0001] 本申请要求于2021年12月31日在韩国知识产权局提交的第10-2021-0193707号韩国专利申请的优先权的权益,所述韩国专利申请的公开内容通过引用全部被包含于此。

技术领域

[0002] 本公开涉及一种多层电子组件。

背景技术

[0003] 多层陶瓷电容器(MLCC,一种多层电子组件)可以是安装在各种电子产品(包括成像装置(诸如,液晶显示器(LCD)和等离子体显示面板(PDP))、计算机、智能电话和移动电话等)的印刷电路板上的片式电容器,并且可充电或放电。

[0004] 因为多层陶瓷电容器可具有相对小的尺寸和高电容并且可容易地安装,所以这种多层陶瓷电容器可用作各种电子装置的组件。

[0005] 最近,随着电子产品的小型化和多功能化,对多层陶瓷电容器的高集成密度和高容量的需求已经增加,使得多层陶瓷电容器之间的空间已经减小。

[0006] 此外,随着多层陶瓷电容器已经用于汽车或信息娱乐系统,对高可靠性、高强度性能和小型化的需求已经增加。

[0007] 为了多层陶瓷电容器的小型化和高电容,可能需要通过减小内电极和介电层的厚度来增加层叠的层的数量,并且可能需要通过减小不影响电容形成的部分的体积来增大实现电容所需的有效体积分数。

[0008] 此外,可能需要减小多层陶瓷电容器所需的安装空间(在下文中,简称为安装空间)以在基板的有限区域内安装更多数量的组件。

[0009] 此外,由于多层陶瓷电容器的边缘的厚度随着多层陶瓷电容器的小型化和高电容而减小,外部水分和镀液可能容易渗透,因此可靠性可能降低。因此,需要一种用于保护多层陶瓷电容器免受外部水分或镀液渗透的方法。

发明内容

[0010] 本公开的一方面在于要解决以下问题:当形成围绕多层电子组件的玻璃层以保护多层电子组件免受热膨胀和热还原引起的热冲击的影响时,在玻璃层中可能发生聚集,使得可能难以形成均匀的膜。

[0011] 本公开的一方面在于要解决以下问题:玻璃层的硬度可能在低于软化点的温度下增加,并且应力可能传递到多层电子组件内部,导致多层电子组件中的裂纹和脱层。

[0012] 本公开的一方面在于要解决以下问题:在升高温度的工艺中,外电极中的金属扩散到内电极并且产生辐射裂纹。

[0013] 根据本公开的一方面,一种多层电子组件包括:主体,包括介电层以及第一内电极和第二内电极,所述第一内电极和所述第二内电极交替地设置,且所述介电层介于所述第一内电极与所述第二内电极之间,并且所述主体包括在第一方向上彼此相对的第一表面和

第二表面、连接到所述第一表面和所述第二表面且在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面至所述第四表面且在第三方向上彼此相对的第五表面和第六表面；第一外电极，包括第一连接部和第一带部，所述第一连接部设置在所述第三表面上，所述第一带部从所述第一连接部延伸到所述第一表面的一部分；第二外电极，包括第二连接部和第二带部，所述第二连接部设置在所述第四表面上，所述第二带部从所述第二连接部延伸到所述第一表面的一部分；绝缘层，设置在所述第二表面上，并且延伸到所述第一连接部和所述第二连接部；第一镀层，设置在所述第一带部上；以及第二镀层，设置在所述第二带部上，其中，所述绝缘层包括含硅(Si)氧化物。

[0014] 根据本公开的另一方面，一种多层电子组件包括：主体，包括介电层以及第一内电极和第二内电极，所述第一内电极和所述第二内电极交替地设置，且所述介电层介于所述第一内电极与所述第二内电极之间，并且所述主体包括在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面且在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面至所述第四表面且在第三方向上彼此相对的第五表面和第六表面；第一外电极，包括第一连接部和第一带部，所述第一连接部设置在所述第三表面上，所述第一带部从所述第一连接部延伸到所述第一表面的一部分；第二外电极，包括第二连接部和第二带部，所述第二连接部设置在所述第四表面上，所述第二带部从所述第二连接部延伸到所述第一表面的一部分；绝缘层，设置在所述第二表面上，并且延伸到所述第一连接部和所述第二连接部；第一镀层，设置在所述第一带部上；以及第二镀层，设置在所述第二带部上，其中，所述绝缘层包括含硼(B)氧化物、硼硅酸盐和硼硅酸锌中的至少一种。

[0015] 根据本公开的另一方面，一种多层电子组件包括：主体，包括介电层以及第一内电极和第二内电极，所述第一内电极和所述第二内电极交替地设置，且所述介电层介于所述第一内电极与所述第二内电极之间，并且所述主体包括在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面且在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面至所述第四表面且在第三方向上彼此相对的第五表面和第六表面；第一外电极，包括第一连接部、第一带部和第三带部，所述第一连接部设置在所述第三表面上，所述第一带部从所述第一连接部延伸到所述第一表面的一部分，所述第三带部从所述第一连接部延伸到所述第二表面的一部分；第二外电极，包括第二连接部、第二带部和第四带部，所述第二连接部设置在所述第四表面上，所述第二带部从所述第二连接部延伸到所述第一表面的一部分，所述第四带部从所述第二连接部延伸到所述第二表面的一部分；绝缘层，设置在所述第一连接部和所述第二连接部上，并且覆盖所述第二表面以及所述第三带部和所述第四带部；第一镀层，设置在所述第一带部上；以及第二镀层，设置在所述第二带部上，其中，所述绝缘层包括含硅(Si)氧化物。

[0016] 根据本公开的另一方面，一种多层电子组件包括：主体，包括介电层以及第一内电极和第二内电极，所述第一内电极和所述第二内电极交替地设置，且所述介电层介于所述第一内电极与所述第二内电极之间，并且所述主体包括在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面且在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面至所述第四表面且在第三方向上彼此相对的第五表面和第六表面；第一外电极，包括第一连接部、第一带部和第一拐角部，所述第一连接部设置在所述第三表面上，所述第一带部从所述第一连接部延伸到所述第一表面的一部分，所述

第一拐角部从所述第一连接部延伸到将所述第二表面连接至所述第三表面的拐角;第二外电极,包括第二连接部、第二带部和第二拐角部,所述第二连接部设置在所述第四表面上,所述第二带部从所述第二连接部延伸到所述第一表面的一部分,所述第二拐角部从所述第二连接部延伸到将所述第二表面连接至所述第四表面的拐角;绝缘层,设置在所述第一连接部和所述第二连接部上,并且被设置为覆盖所述第二表面以及所述第一拐角部和所述第二拐角部;第一镀层,设置在所述第一带部上;以及第二镀层,设置在所述第二带部上,其中,在所述第二方向上从所述第三表面的延长线到所述第一拐角部的端部的平均距离被定义为B3,在所述第二方向上从所述第四表面的延长线到所述第二拐角部的端部的平均距离被定义为B4,所述第三表面与所述第二内电极彼此间隔开的区域在所述第二方向上测量的平均尺寸被定义为G1,并且所述第四表面与所述第一内电极彼此间隔开的区域在所述第二方向上测量的平均尺寸被定义为G2,满足 $B3 \leq G1$ 和 $B4 \leq G2$,并且其中,所述绝缘层包括含硅(Si)氧化物。

[0017] 根据本公开的另一方面,一种多层电子组件包括:主体,包括介电层以及第一内电极和第二内电极,所述第一内电极和所述第二内电极交替地设置,且所述介电层介于所述第一内电极与所述第二内电极之间,并且所述主体包括在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面且在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面至所述第四表面且在第三方向上彼此相对的第五表面和第六表面;第一外电极,包括第一连接电极和第一带电极,所述第一连接电极设置在所述第三表面上,所述第一带电极设置在所述第一表面上并且连接到所述第一连接电极;第二外电极,包括第二连接电极和第二带电极,所述第二连接电极设置在所述第四表面上,所述第二带电极设置在所述第一表面上并且连接到所述第二连接电极;第一绝缘层,设置在所述第一连接电极上;第二绝缘层,设置在所述第二连接电极上;第一镀层,设置在所述第一带电极上;以及第二镀层,设置在所述第二带电极上,其中,所述绝缘层包括含硅(Si)氧化物。

附图说明

[0018] 通过结合附图以及以下具体实施方式,本公开的以上和其他方面、特征及优点将被更清楚地理解,在附图中:

[0019] 图1是示出根据本公开的示例实施例的多层电子组件的立体图;

[0020] 图2是示出图1中的多层电子组件的主体的立体图;

[0021] 图3是沿着图1中的线I-I'截取的截面图;

[0022] 图4是示出图2中的主体的分解立体图;

[0023] 图5是示出其上安装有图1中的多层电子组件的板组件的立体图;

[0024] 图6是示出根据本公开的示例实施例的多层电子组件的立体图;

[0025] 图7是沿着图6中的线II-II'截取的截面图;

[0026] 图8是示出根据本公开的示例实施例的多层电子组件的立体图;

[0027] 图9是沿着图8中的线III-III'截取的截面图;

[0028] 图10是示出根据本公开的示例实施例的多层电子组件的立体图;

[0029] 图11是沿着图10中的线IV-IV'截取的截面图;

- [0030] 图12是示出根据本公开的示例实施例的多层电子组件的立体图；
- [0031] 图13是沿着图12中的线V-V' 截取的截面图；
- [0032] 图14是示出根据本公开的示例实施例的多层电子组件的立体图；
- [0033] 图15是沿着图14中的线VI-VI' 截取的截面图；
- [0034] 图16是示出图14中的示例的变型示例的示图；
- [0035] 图17是示出根据本公开的示例实施例的多层电子组件的立体图；
- [0036] 图18是沿着图17中的线VII-VII' 截取的截面图；
- [0037] 图19是示出根据本公开的示例实施例的多层电子组件的立体图；
- [0038] 图20是沿着图19中的线VIII-VIII' 截取的截面图；
- [0039] 图21是示出图19中的示例的变型示例的示图；
- [0040] 图22是示出根据本公开的示例实施例的多层电子组件的立体图；
- [0041] 图23是沿着图22中的线IX-IX' 截取的截面图；
- [0042] 图24是示出图22中的示例的变型示例的示图；
- [0043] 图25是示出根据本公开的示例实施例的多层电子组件的立体图；
- [0044] 图26是沿着图25中的线X-X' 截取的截面图；
- [0045] 图27是示出图25中的示例的变型示例的示图；
- [0046] 图28是示出根据本公开的示例实施例的多层电子组件的立体图；
- [0047] 图29是沿着图28中的线XI-XI' 截取的截面图；
- [0048] 图30是示出图28中的示例的变型示例的示图；
- [0049] 图31是示出根据本公开的示例实施例的多层电子组件的立体图；
- [0050] 图32是沿着图31中的线XII-XII' 截取的截面图；
- [0051] 图33是示出根据本公开的示例实施例的多层电子组件的立体图；
- [0052] 图34是沿着图33中的线XIII-XIII' 截取的截面图；
- [0053] 图35是示出图33中的示例的变型示例的示图；
- [0054] 图36是示出根据本公开的示例实施例的多层电子组件的立体图；
- [0055] 图37是沿着图36中的线XIV-XIV' 截取的截面图；以及
- [0056] 图38是示出图37中的区域K1的放大图。

具体实施方式

[0057] 在下文中,将参照附图如下描述本公开的实施例。

[0058] 然而,本公开可以以许多不同的形式例示,并且不应被解释为局限于在此阐述的具体实施例。更确切地说,提供这些实施例使得本公开将是透彻和完整的,并且将向本领域技术人员充分传达本公开的范围。因此,为了描述的清楚性,可能夸大附图中的要素的形状和尺寸。此外,将使用相同的附图标记来描述每个示例实施例的附图中呈现的在相同概念的范围内具有相同功能的要素。

[0059] 在附图中,相同的要素将由相同的附图标记表示。此外,将不提供可能不必要地使本公开的主旨模糊的已知功能和要素的多余描述和详细描述。在附图中,一些要素可能被夸大、省略或简要示出,并且要素的尺寸不一定反映这些要素的实际尺寸。此外,将理解的是,当一部分“包括”一要素时,除非另有说明,否则所述一部分还可包括其他要素,而不排

除其他要素。

[0060] 在附图中,第一方向可被定义为层叠方向或厚度(T)方向,第二方向可被定义为长度(L)方向,并且第三方向可被定义为宽度(W)方向。

[0061] 图1是示出根据示例实施例的多层电子组件的立体图。

[0062] 图2是示出图1中的多层电子组件的主体的立体图。

[0063] 图3是沿着图1中的线I-I'截取的截面图。

[0064] 图4是示出图2中的主体的分解立体图。

[0065] 图5是示出其上安装有图1中的多层电子组件的板组件的立体图。

[0066] 在下文中,将参照图1至图5描述示例实施例中的多层电子组件1000。

[0067] 示例实施例中的多层电子组件1000可包括:主体110,包括介电层111以及第一内电极121和第二内电极122,第一内电极121和第二内电极122交替地设置,且介电层111介于第一内电极121与第二内电极122之间,并且主体110具有在第一方向上彼此相对的第一表面1和第二表面2、连接到第一表面1和第二表面2且在第二方向上彼此相对的第三表面3和第四表面4以及连接到第一表面1和第二表面2及第三表面3和第四表面4且在第三方向上彼此相对的第五表面5和第六表面6;第一外电极131,包括第一连接部131a、第一带部131b和第三带部131c,第一连接部131a设置在第三表面上,第一带部131b从第一连接部延伸到第一表面的一部分,第三带部131c从第一连接部延伸到第二表面的一部分;第二外电极132,包括第二连接部132a、第二带部132b和第四带部132c,第二连接部132a设置在第四表面上,第二带部132b从第二连接部延伸到第一表面的一部分,第四带部132c从第二连接部延伸到第二表面的一部分;绝缘层151,设置在第一连接部和第二连接部上,并且覆盖第二表面以及第三带部131c和第四带部132c;第一镀层141,设置在第一带部131b上;以及第二镀层142,设置在第二带部132b上,并且绝缘层151可包括含硅(Si)氧化物。

[0068] 在主体110中,介电层111与内电极121和122可交替地层叠。

[0069] 主体110的形状可不限于任何特定形状,而是如所示出的,主体110可具有六面体形状或与六面体形状相似的形状。由于包括在主体110中的陶瓷粉末在烧制工艺期间的收缩,主体110可能不具有由直线形成的精确六面体形状,而是可具有大体上六面体形状。

[0070] 主体110可具有:第一表面1和第二表面2,在第一方向上彼此相对;第三表面3和第四表面4,连接到第一表面1和第二表面2并且在第二方向上彼此相对;以及第五表面5和第六表面6,连接到第一表面1和第二表面2以及第三表面3和第四表面4并且在第三方向上彼此相对。

[0071] 在示例实施例中,主体110可具有将第一表面连接到第三表面的1-3拐角、将第一表面连接到第四表面的1-4拐角、将第二表面连接到第三表面的2-3拐角以及将第二表面连接到第四表面的2-4拐角。1-3拐角和2-3拐角可具有随着靠近第三表面而朝向主体的在第一方向上的中央收缩的形状,并且1-4拐角和2-4拐角可具有随着靠近第四表面而朝向主体的在第一方向上的中央收缩的形状。

[0072] 由于介电层111的未设置内电极121和122的边缘区域在第一方向上叠置,因此可能由于内电极121和122的厚度而形成台阶差,因此,将第一表面连接到第三表面和第四表面的拐角和/或将第二表面连接到第三表面和第四表面的拐角可具有相对于第一表面和/或第二表面朝向主体的在第一方向上的中央收缩的形式。可选地,将第一表面1连接到第三

表面3、第四表面4、第五表面5和第六表面6的拐角和/或将第二表面2连接到第三表面3、第四表面4、第五表面5和第六表面6的拐角可具有相对于第一表面和/或第二表面朝向主体的在第一方向上的中央收缩的形式。可选地,当通过执行单独的工艺来对连接主体110的表面的拐角倒圆以防止剥落缺陷(chipping defect)等时,将第一表面与第三表面至第六表面连接的拐角和/或将第二表面与第三表面至第六表面连接的拐角可具有圆化的形状。

[0073] 拐角可包括将第一表面连接到第三表面的1-3拐角、将第一表面连接到第四表面的1-4拐角、将第二表面连接到第三表面的2-3拐角以及将第二表面连接到第四表面的2-4拐角。此外,拐角可包括将第一表面连接到第五表面的1-5拐角、将第一表面连接到第六表面的1-6拐角、将第二表面连接到第五表面的2-5拐角以及将第二表面连接到第六表面的2-6拐角。主体110的第一表面至第六表面可以是大致平坦的表面,并且非平坦区域可被构造为拐角。在下文中,每个表面的延长线可指的是相对于每个表面的平坦部分延伸的线。

[0074] 在这种情况下,在外电极131和132中,设置在主体110的拐角上的区域可以是拐角部,设置在主体110的第三表面和第四表面上的区域可以是连接部,并且设置在主体的第一表面和第二表面上的区域可以是带部。

[0075] 为了防止由内电极121和122引起的台阶差,在层叠之后,当切割层叠体以使内电极暴露于电容形成部Ac的在第三方向(宽度方向)上的两个侧表面时,可在电容形成部Ac的在第三方向(宽度方向)上的两个侧表面上层叠单个介电层或者两个或更多个介电层以形成边缘部114和115,将第一表面连接到第五表面的部分和将第一表面连接到第六表面的部分以及将第二表面连接到第五表面的部分和将第二表面连接到第六表面的部分可不具有收缩形式。

[0076] 形成主体110的多个介电层111可处于烧制状态,并且相邻介电层111可彼此一体化,使得在不使用扫描电子显微镜(SEM)的情况下难以识别相邻介电层111之间的边界。

[0077] 在示例实施例中,用于形成介电层111的原材料不限于任何特定示例,只要可获得足够的电容即可。例如,可使用钛酸钡材料、铅复合钙钛矿材料或钛酸锶材料作为用于形成介电层111的原材料。钛酸钡材料可包括 BaTiO_3 陶瓷粉末,并且 BaTiO_3 陶瓷粉末的示例可包括其中将Ca(钙)、Zr(锆)是部分固溶在 BaTiO_3 中的 $(\text{Ba}_{1-x}\text{Ca}_x)\text{TiO}_3$ ($0 < x < 1$)、 $\text{Ba}(\text{Ti}_{1-y}\text{Ca}_y)\text{O}_3$ ($0 < y < 1$)、 $(\text{Ba}_{1-x}\text{Ca}_x)(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ ($0 < x < 1, 0 < y < 1$)或 $\text{Ba}(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ ($0 < y < 1$)。

[0078] 此外,可将各种陶瓷添加剂、有机溶剂、粘合剂、分散剂等添加到陶瓷粉末(诸如,钛酸钡(BaTiO_3)陶瓷粉末)中,作为用于形成示例实施例中的介电层111的原材料。

[0079] 介电层111的平均厚度 t_d 不限于任何特定示例。

[0080] 然而,通常,当介电层具有小于 $0.6\mu\text{m}$ 的厚度(相对较薄)时,特别是当介电层的厚度为 $0.35\mu\text{m}$ 或更小时,可靠性可能降低。

[0081] 在示例实施例中,通过在外电极的连接部上设置绝缘层并且在外电极的带部上设置镀层,可防止外部水分和镀液的渗透,从而可改善可靠性。因此,即使当介电层111的平均厚度为 $0.35\mu\text{m}$ 或更小时,也可确保优异的可靠性。

[0082] 因此,当介电层111的平均厚度为 $0.35\mu\text{m}$ 或更小时,示例实施例中的改善可靠性的效果可提升。

[0083] 介电层111的平均厚度 t_d 可指的是设置在第一内电极121与第二内电极122之间的介电层111的平均厚度。

[0084] 介电层111的平均厚度可通过使用扫描电子显微镜(SEM)以10000的放大倍数扫描主体110的在长度和厚度(L-T)方向上截取的截面表面所获得的扫描图像来测量。更具体地,可通过测量扫描图像上的介电层的在长度方向上以相等距离间隔开的30个点的厚度来测量平均值。以相等距离间隔开的30个点可在电容形成部Ac中指定。此外,当平均值的测量扩展到10个介电层并测量它们的平均值时,介电层的平均厚度可进一步一般化。

[0085] 主体110可包括:电容形成部Ac,在电容形成部Ac中,第一内电极121和第二内电极122彼此相对且介电层111介于第一内电极121和第二内电极122之间;以及覆盖部112和113,形成在电容形成部Ac的在第一方向上的上部和下部上。

[0086] 此外,电容形成部Ac可对电容器的电容形成有贡献,并且可通过交替地层叠多个第一内电极121和多个第二内电极122且使介电层111介于第一内电极121与第二内电极122之间来形成。

[0087] 覆盖部112和113可包括:上覆盖部112,在第一方向上设置在电容形成部Ac上方;以及下覆盖部113,在第一方向上设置在电容形成部Ac下方。

[0088] 上覆盖部112和下覆盖部113可通过在厚度方向上分别在电容形成部Ac的上表面和下表面上层叠单个介电层或者两个或更多个介电层来形成,并且可防止由物理应力和/或化学应力引起的对内电极的损坏。

[0089] 上覆盖部112和下覆盖部113不包括内电极,并且可包括与介电层111的材料相同的材料。

[0090] 也就是说,上覆盖部112和下覆盖部113可包括陶瓷材料(诸如,以钛酸钡(BaTiO_3)陶瓷材料为例)。

[0091] 覆盖部112和113的平均厚度 t_c 不限于任何特定示例。然而,为了容易地实现多层电子组件的小型化和高电容,覆盖部112和113的平均厚度 t_c 可以是 $15\mu\text{m}$ 或更小。此外,在示例实施例中,通过在外电极的连接部上设置绝缘层并且在外电极的带部上设置镀层,可防止外部水分和镀液的渗透,从而可改善可靠性。因此,即使当覆盖部112和113的平均厚度 t_c 为 $15\mu\text{m}$ 或更小时,也可确保优异的可靠性。

[0092] 覆盖部112和113的平均厚度 t_c 可指的是在第一方向上的尺寸,并且可以是在电容形成部Ac上方或下方的覆盖部的以相等距离间隔开的五个点在第一方向上的厚度的平均值。平均厚度可通过使用扫描电子显微镜(SEM)扫描主体110的截面表面来测量。即使在本公开中没有描述,也可使用本领域普通技术人员了解的其他方法和/或工具。

[0093] 此外,边缘部114和115可设置在电容形成部Ac的在第三方向上的侧表面上。

[0094] 边缘部114和115可包括:第一边缘部114,设置在电容形成部Ac的在第三方向(即,宽度方向)上的一个侧表面上;以及第二边缘部115,设置在电容形成部Ac的在第三方向(即,宽度方向)上的另一侧表面上。也就是说,边缘部114和115可设置在电容形成部Ac的在第三方向(即,宽度方向)上的两个侧表面上。

[0095] 边缘部114和115可指的是:在主体110的沿宽度-厚度(W-T)方向截取的截面上,第一内电极121和第二内电极122的两端与主体的表面之间的区域。

[0096] 边缘部114和115可防止由物理应力和/或化学应力引起的对内电极的损坏。

[0097] 边缘部114和115可通过以下方式形成:在通过在陶瓷生片上涂覆导电膏来形成内电极时,在陶瓷生片的将形成边缘部的区域上不涂覆导电膏。

[0098] 此外,为了防止由于内电极121和122引起的台阶差,在层叠之后,可切割所获得的层叠体以使内电极暴露于电容形成部Ac的在第三方向(宽度方向)上的两个侧表面,并且可在电容形成部Ac的在第三方向(宽度方向)上的两个侧表面上层叠单个介电层或者两个或更多个介电层,从而形成边缘部114和115。

[0099] 边缘部114和115的宽度不限于任何特定示例。然而,边缘部114和115的平均宽度可为 $15\mu\text{m}$ 或更小,以容易地获得多层电子组件的小型化和高电容。此外,在示例实施例中,通过在外电极的连接部上设置绝缘层并且在外电极的带部上设置镀层,可防止外部水分和镀液的渗透,从而可改善可靠性。因此,即使当边缘部114和115的平均宽度为 $15\mu\text{m}$ 或更小时,也可确保优异的可靠性。

[0100] 边缘部114和115的平均宽度可指的是边缘部114和115在第三方向上的平均尺寸,并且可以是电容形成部Ac的侧表面上的边缘部114和115的以相等距离间隔开的五个点在第三方向上的厚度的平均值。

[0101] 内电极121和122可与介电层111交替地层叠。

[0102] 内电极121和122可包括第一内电极121和第二内电极122。第一内电极121和第二内电极122可交替地设置为彼此相对,且介电层111介于第一内电极121与第二内电极122之间,并且第一内电极121和第二内电极122可分别暴露于主体110的第三表面3和第四表面4。

[0103] 参照图3,第一内电极121可与第四表面4间隔开并且可通过第三表面3暴露,第二内电极122可与第三表面3间隔开并且可通过第四表面4暴露。第一外电极131可设置在主体的第三表面3上并且可连接到第一内电极121,第二外电极132可设置在主体的第四表面4上并且可连接到第二内电极122。

[0104] 也就是说,第一内电极121不与第二外电极132连接,而是与第一外电极131连接,并且第二内电极122不与第一外电极131连接,而是与第二外电极132连接。因此,第一内电极121可与第四表面4间隔开预定距离,并且第二内电极122可与第三表面3间隔开预定距离。

[0105] 在这种情况下,第一内电极121和第二内电极122可通过设置在第一内电极121与第二内电极122之间的介电层111彼此电分离。

[0106] 主体110可通过以下方式形成:交替地层叠其上印刷有用于第一内电极121的导电膏的陶瓷生片和其上印刷有用于第二内电极122的导电膏的陶瓷生片,并烧制这些生片。

[0107] 用于形成内电极121和122的材料不限于任何特定示例,并且可使用具有优异导电性的材料。例如,内电极121和122可包括镍(Ni)、铜(Cu)、钯(Pd)、银(Ag)、金(Au)、铂(Pt)、锡(Sn)、钨(W)、钛(Ti)以及它们的合金中的一种或更多种。

[0108] 此外,内电极121和122可通过印刷用于内电极的导电膏来形成,该导电膏包括镍(Ni)、铜(Cu)、钯(Pd)、银(Ag)、金(Au)、铂(Pt)、锡(Sn)、钨(W)、钛(Ti)以及它们的合金中的一种或更多种。可使用丝网印刷法或凹版印刷法作为印刷用于内电极的导电膏的方法,但不限于此。

[0109] 内电极121和122的平均厚度 t_e 不限于任何特定示例。

[0110] 然而,通常,当内电极形成为具有小于 $0.6\mu\text{m}$ 的厚度(相对薄)时,特别是当内电极的厚度为 $0.35\mu\text{m}$ 或更小时,可靠性可能劣化。

[0111] 在示例实施例中,通过在外电极的连接部上设置绝缘层并且在外电极的带部上设

置镀层,可防止外部水分和镀液的渗透,从而可改善可靠性。因此,即使当内电极121和122的平均厚度为 $0.35\mu\text{m}$ 或更小时,也可确保优异的可靠性。

[0112] 因此,当内电极121和122的平均厚度为 $0.35\mu\text{m}$ 或更小时,示例实施例中的效果可得到改善,并且可容易地获得陶瓷电子组件的小型化和高电容。

[0113] 内电极121和122的平均厚度 t_e 可指的是内电极121和122的平均厚度。

[0114] 内电极121和122的平均厚度可通过使用扫描电子显微镜(SEM)以10000倍的放大率扫描主体110在长度和厚度(L-T)方向上截取的截面表面所获得的扫描图像来测量。更具体地,可通过扫描图像测量内电极的在长度方向上以相等距离间隔开的30个点的厚度来测量平均值。以相等距离间隔开的30个点可在电容形成部 A_c 中指定。此外,当平均值的测量扩展到10个内电极并计算它们的平均值时,内电极的平均厚度可进一步一般化。

[0115] 外电极131和132可设置在主体110的第三表面3和第四表面4上。外电极131和132可包括分别设置在主体110的第三表面3和第四表面4上并且分别连接到第一内电极121和第二内电极122的第一外电极131和第二外电极132。

[0116] 外电极131和132可包括:第一外电极131,包括第一连接部131a和第一带部131b,第一连接部131a设置在第三表面上,第一带部131b从第一连接部延伸到第一表面的一部分;以及第二外电极132,包括第二连接部132a和第二带部132b,第二连接部132a设置在第四表面上,第二带部132b从第二连接部延伸到第一表面的一部分。第一连接部131a可在第三表面上连接到第一内电极121,并且第二连接部132a可在第四表面上连接到第二内电极122。

[0117] 此外,第一外电极131可包括从第一连接部131a延伸到第二表面的一部分的第三带部131c,并且第二外电极132可包括从第二连接部132a延伸到第二表面的一部分的第四带部132c。此外,第一外电极131可包括从第一连接部131a延伸到第五表面的一部分和第六表面的一部分的第一侧带部,并且第二外电极132可包括从第二连接部132a延伸到第五表面的一部分和第六表面的一部分的第二侧带部。

[0118] 然而,在示例实施例中,可不设置第三带部、第四带部、第一侧带部和第二侧带部。第一外电极131和第二外电极132可不设置在第二表面上,并且可不设置在第五表面和第六表面上。当第一外电极131和第二外电极132不设置在第二表面上时,第一外电极131和第二外电极132可设置在主体的第二表面的延长线下方。此外,第一连接部131a和第二连接部132a可与第五表面和第六表面间隔开,并且第一连接部131a和第二连接部132a可与第二表面间隔开。此外,第一带部131b和第二带部132b也可与第五表面和第六表面间隔开。

[0119] 当第一外电极131和第二外电极132分别包括第三带部131c和第四带部132c时,在示例实施例中,可在第三带部131c和第四带部132c上形成绝缘层,但不限于此。可在第三带部131c和第四带部132c上设置镀层,以改善安装便利性。此外,第一外电极131和第二外电极132可包括第三带部131c和第四带部132c,且可不包括侧带部,并且在这种情况下,第一连接部131a和第二连接部132a以及第一带部131b、第二带部132b、第三带部131c和第四带部132c可与第五表面和第六表面间隔开。

[0120] 在示例实施例中,多层电子组件1000可具有两个外电极131和132。但是,外电极131和132的数量及其形状可根据内电极121和122的形状或其他目的而改变。

[0121] 外电极131和132可使用具有导电性的任意材料(诸如,金属)形成,并且可考虑电

性能和结构稳定性来确定特定材料,并且可具有多层结构。

[0122] 外电极131和132可以是包括导电金属和玻璃的烧制电极,或者可以是包括导电金属和树脂的树脂基电极。

[0123] 此外,外电极131和132可具有在主体上依次形成烧制电极和树脂基电极的形状。此外,外电极131和132可通过将包括导电金属的片转印到主体上来形成,或者通过将包括导电金属的片转印到烧制电极上来形成。

[0124] 作为包括在外电极131和132中的导电金属,可使用具有优异导电性的金属材料,并且该金属材料不限于任何特定示例。例如,该导电金属可以是Cu、Ni、Pd、Ag、Sn、Cr以及它们的合金中的一种或更多种。优选地,外电极131和132可包括Ni和Ni合金中的至少一种,因此,可改善与包括Ni的内电极121和122的连接性。

[0125] 绝缘层151可设置在第一连接部131a和第二连接部132a上。

[0126] 由于第一连接部131a和第二连接部132a直接连接到内电极121和122,因此第一连接部131a和第二连接部132a可成为在镀覆工艺中镀液可能渗透或在实际使用期间水分可能渗透的路径。在示例实施例中,由于绝缘层151设置在连接部131a和132a上,因此可防止外部水分或镀液的渗透。

[0127] 绝缘层151可与第一镀层141和第二镀层142接触。在这种情况下,绝缘层151可与第一镀层141的端部和第二镀层142的端部接触并且可部分地覆盖第一镀层141的端部和第二镀层142的端部,或者第一镀层141和第二镀层142与绝缘层151的端部接触并且可部分地覆盖绝缘层151的端部的一部分。

[0128] 绝缘层151可设置在第一连接部131a和第二连接部132a上,并且可被设置为覆盖第二表面以及第三带部131c和第四带部132c。在这种情况下,绝缘层151可覆盖第三带部131c和第四带部132c以及第二表面上的未设置第三带部131c和第四带部132c的区域。因此,绝缘层151可覆盖第三带部131c和第四带部132c的端部与主体110接触的区域,并且可阻挡水分渗透路径,从而改善防潮可靠性。

[0129] 绝缘层151可设置在第二表面上,并且可延伸到第一连接部131a和第二连接部132a。此外,当外电极131和132未设置在第二表面上时,绝缘层可被设置为完全覆盖第二表面。绝缘层不必须设置在第二表面上,即绝缘层可不设置在第二表面的一部分或整个第二表面上,此外,绝缘层可被分成两个部分,并且这两个部分可分别设置在第一连接部131a和第二连接部132a上。当绝缘层未设置在第二表面上时,绝缘层可设置在第二表面的延长线下方。此外,绝缘层可不设置在第二表面上,并且绝缘层可从第一连接部131a和第二连接部132a延伸到第五表面和第六表面并且可形成一个绝缘层。

[0130] 此外,绝缘层151可被设置为覆盖第一侧带部的一部分和第二侧带部的一部份、第五表面一部分以及第六表面一部分。在这种情况下,第五表面和第六表面的未被绝缘层151覆盖的部分可暴露。

[0131] 此外,绝缘层151可被设置为覆盖整个第一侧带部和整个第二侧带部以及整个第五表面和整个第六表面,并且在这种情况下,第五表面和第六表面可不暴露,从而可改善防潮可靠性。连接部131a和132a也可不直接暴露,从而改善多层电子组件1000的可靠性。更详细地,绝缘层可覆盖第一侧带部和第二侧带部两者,并且可覆盖第五表面和第六表面的除了形成第一侧带部和第二侧带部的区域之外的整个区域。

[0132] 绝缘层151可防止镀层141和142形成在外电极131和132的其上设置有绝缘层151的部分上,并且可改善密封性能,从而可减少水分或镀液的渗透。

[0133] 绝缘层可包括含硅(Si)氧化物。

[0134] 为了将多层电子组件安装在基板上,可能需要焊料回流工艺。在该工艺中,随着温度上升和下降,可能发生热膨胀和热还原,这可能向多层电子组件施加拉伸应力。这种拉伸应力可能导致多层电子组件中的裂纹,使得电性能可能劣化。

[0135] 通常,为了保护多层电子组件免受热膨胀和热还原引起的热冲击的影响,可在外电极的表面的一部分和主体的表面的一部分上利用玻璃基材料形成绝缘层(也称为玻璃层)。

[0136] 包括玻璃基材料的绝缘层可通过制备玻璃粉末或玻璃膏以及在软化点附近升高和降低温度来形成。在这种情况下,在升高和降低绝缘层的温度的工艺期间,可能发生绝缘层的聚集,使得可能难以形成均匀的膜。此外,由于绝缘层的硬度在低于软化点的温度下增加,并且应力可能传递到多层电子组件内部,因此在多层电子组件中可能发生裂纹和脱层。此外,在升高温度的工艺中,外电极中的金属可能扩散到内电极中,这可能导致辐射裂纹。特别地,当为了增大多层电子组件的电容和小型化而减小绝缘层以及内电极的厚度时,多层电子组件可能变得容易遭受辐射裂纹和脱层。

[0137] 在示例实施例中,多层电子组件1000中的绝缘层151包括含Si氧化物,可防止绝缘层的聚集,并且可形成均匀的膜,并且由于硬度在低温(例如,低于常规玻璃层的软化点的温度)下增加,因此可防止传递到多层电子组件1000内部的应力。此外,当在低于常规玻璃层的软化点的温度下形成包括含Si氧化物的绝缘层时,可防止外电极131和132中的金属扩散到内电极121和122中,从而可减少辐射裂纹。

[0138] 由于包括在绝缘层151中的Si的含量较高,因此与具有相同厚度且利用其他材料形成的绝缘层相比,可有效地防止外部水分的渗透,并且可改善对酸或碱(诸如,镀液)的耐腐蚀性。

[0139] 在示例实施例中,在绝缘层中,Si的摩尔数与除氧之外的元素的摩尔数的比值可以是0.95或更大。也就是说,除了被检测为杂质的元素之外,绝缘层151可基本上利用含Si氧化物形成。

[0140] 形成包括含Si氧化物的绝缘层151的方法可改变。例如,绝缘层151可通过溶胶-凝胶工艺、化学气相沉积(CVD)、原子层沉积(ALD)等形成,但不限于此,并且绝缘层151可通过用于形成均匀绝缘层的另一种方法形成。

[0141] 含Si氧化物可以是二氧化硅(SiO_2)。二氧化硅(SiO_2)可比常见的玻璃基材料形成更薄和更均匀的绝缘层151,并且与其他无机材料(诸如,氧化铝(Al_2O_3))相比可具有优异的抗冲击性和耐腐蚀性。

[0142] 在示例实施例中,包括在绝缘层151中的含Si氧化物可以是二氧化硅(SiO_2),因此,多层电子组件1000的绝缘层151可均匀地形成。可防止裂纹和脱层,并且可防止辐射裂纹。

[0143] 当如在示例实施例中的多层电子组件1000中那样绝缘层151包括含Si氧化物时,包括在绝缘层中的每种材料可能是不稳定的。

[0144] 含硼氧化物可与包括在绝缘层中的其他材料(诸如, SiO_2 、 ZnO 等)一起形成化合

物,从而使绝缘层稳定。在示例实施例中,包括含Si氧化物的绝缘层151还可包括含硼氧化物,并且可使各种材料有机结合,从而改善绝缘层151的稳定性。

[0145] 特别地,当绝缘层151包括含硼氧化物时,含硼氧化物可在低温下与主体110的表面的氧化钡反应,从而形成共晶体。因此,在示例实施例中,多层电子组件1000还可在绝缘层151(还包括含硼氧化物)与主体110之间的界面处包括包含钡和硼的粘合层,其中,主体110包括钡(Ba)。

[0146] 由于包括在绝缘层中的材料是诸如 SiO_2 和 B_2O_3 的绝缘材料,因此与包括导电金属的第一外电极131和第二外电极132的粘附力可能不好。在示例实施例中的多层电子组件1000中,尽管绝缘层151与第一外电极131和第二外电极132之间的粘附力不好,但与包括绝缘材料的主体110的粘附力可以是良好的,从而可改善多层电子组件1000的整体强度。

[0147] 更优选地,包括在绝缘层151中的含硼氧化物和包括在主体110中的氧化钡可在绝缘层151与主体110之间的界面处形成共晶结合体,并且可形成包括钡和硼的粘合层,因此,可改善多层电子组件1000的整体强度。

[0148] 在示例实施例中,绝缘层151还可包括含硼氧化物,并且在绝缘层151与主体110之间的界面上还可设置有包含钡和硼的粘合层。因此,可改善绝缘层151与主体110之间的粘附力,并且可改善多层电子组件1000的整体强度。

[0149] 在这种情况下,也可通过使用扫描电子显微镜-能量色散X射线光谱仪(SEM-EDS)观察的图像来计算绝缘层151的成分。具体地,可将多层电子组件抛光到在宽度方向(第三方向)上的中央位置,并且可使在长度和厚度方向上截取的截面(L-T截面)暴露,并且可在通过将绝缘层在厚度方向上分成5个区域而获得的区域中的每个区域中,使用EDS测量绝缘层中包括的每种元素的类型和摩尔数,并且可计算Si的摩尔数或硼的摩尔数与除氧之外的元素的总摩尔数的比值。

[0150] 示例实施例中的多层电子组件1000可包括:主体110,包括介电层111以及第一内电极121和第二内电极122,第一内电极121和第二内电极122交替地设置,且介电层111基于第一内电极121与第二内电极122之间,并且主体110具有在第一方向上彼此相对的第一表面1和第二表面2、连接到第一表面1和第二表面2且在第二方向上彼此相对的第三表面3和第四表面4以及连接到第一表面1和第二表面2及第三表面3和第四表面4且在第三方向上彼此相对的第五表面5和第六表面6;第一外电极131,包括第一连接部131a和第一带部131b,第一连接部131a设置在第三表面上,第一带部131b从第一连接部延伸到第一表面的一部分;第二外电极132,包括第二连接部132a和第二带部132b,第二连接部132a设置在第四表面上,第二带部132b从第二连接部延伸到第一表面的一部分;绝缘层151,设置在第二表面上,并且延伸到第一连接部的一部分和第二连接部的一部分;镀层141和142,设置在第一带部131b和第二带部132b上。作为示例,绝缘层151可包括含硼(B)氧化物、硼硅酸盐和硼硅酸锌中的至少一种。

[0151] 通常,包括玻璃基材料的绝缘层可具有比主体或外电极的热膨胀系数相对大的热膨胀系数,并且可向多层电子组件施加过大的应力。

[0152] 当绝缘层包括含硼氧化物时,该绝缘层可比包括玻璃基材料的绝缘层在更低的温度下形成,从而防止在形成绝缘层的工艺中可能产生的辐射裂纹,并且绝缘层可通过诸如液体和气相方法的各种方法形成。

[0153] 此外,包括含硼氧化物的绝缘层的热膨胀系数可低于包括玻璃基材料的绝缘层的热膨胀系数,使得即使在对多层电子组件进行热处理或从外部施加热冲击时,也可使施加到多层电子组件的应力减小,并且由于绝缘层可具有相对改善的抗物理冲击性,因此绝缘层可充当缓冲层以保护多层电子组件。

[0154] 在示例实施例中,通过将绝缘层151构造为包括含硼氧化物,可改善多层电子组件1000的可靠性。

[0155] 含硼氧化物可优选地利用 B_2O_3 形成,但不限于此。

[0156] 在示例实施例中,在绝缘层151中,硼的摩尔数与除氧之外的元素的总摩尔数的比值可以是0.95或更大。也就是说,除了被检测为杂质的元素之外,绝缘层151可基本上利用含硼氧化物形成。

[0157] 与含硼氧化物相比,硼硅酸盐可具有高的耐腐蚀性,使得硼硅酸盐可用作绝缘层并且还可保护多层电子组件免被镀液渗透,并且硼硅酸盐可具有低的透湿性。在示例实施例中,由于绝缘层151包括硼硅酸盐,因此可防止水分和镀液渗透到多层电子组件1000中,从而改善可靠性。

[0158] 在示例实施例中,在绝缘层151中,硼和硅的摩尔数与除氧之外的元素的总摩尔数的比值可以是0.95或更大。也就是说,除了被检测为杂质的元素之外,绝缘层151可基本上利用硼硅酸盐形成。

[0159] 硼硅酸锌可比硼硅酸盐在更低的温度下形成,从而进一步防止辐射裂纹,并且与包括在外电极中的金属(诸如,Cu)的润湿性可以是良好的。

[0160] 在示例实施例中,绝缘层151包括硼硅酸锌,因此可防止辐射裂纹并且可改善绝缘层151与第一外电极131和第二外电极132之间的结合力。此外,通过改善的结合强度,可防止镀液和水分的渗透,从而有助于改善多层电子组件1000的可靠性。

[0161] 在示例实施例中,在绝缘层151中,硼、硅和锌的摩尔数与除氧之外的元素的总摩尔数的比值可以是0.95或更大。也就是说,除了被检测为杂质的元素之外,绝缘层151可基本上利用硼硅酸锌形成。

[0162] 形成包括含硼氧化物、硼硅酸盐和硼硅酸锌中的至少一种的绝缘层的方法可改变。例如,绝缘层可通过溶胶-凝胶工艺、化学气相沉积(CVD)、原子层沉积(ALD)等形成,但不限于此,并且绝缘层可通过用于形成均匀绝缘层的另一种方法形成。

[0163] 在这种情况下,可通过使用扫描电子显微镜-能量色散X射线光谱仪(SEM-EDS)观察的图像来计算绝缘层151的成分。具体地,可将多层电子组件抛光到在宽度方向(第三方向)上的中央位置,并且可使在长度和厚度方向上截取的截面(L-T截面)暴露,并且可在通过将绝缘层在厚度方向上分成5个区域而获得的区域中的每个区域中使用EDS测量绝缘层中包括的每种元素的类型和摩尔数,并且可计算Si的摩尔数或硼的摩尔数与除氧之外的元素的总摩尔数的比值。

[0164] 在示例实施例中,绝缘层151可包括含硼氧化物、硼硅酸盐和硼硅酸锌中的至少一种,并且还可包括各种添加剂。通过将绝缘层151构造为包括含硼氧化物、硼硅酸盐和硼硅酸锌中的至少一种,可减少由于外部热冲击而施加到多层电子组件1000的应力,从而可减少裂纹和脱层,并且可防止辐射裂纹,并且可防止镀液和外部水分的渗透,从而可改善多层电子组件1000的可靠性。

[0165] 第一镀层141和第二镀层142可分别设置在第一带部131b和第二带部132b上。镀层141和142可改善安装性能,并且当镀层141和142设置在带部131b和132b上时,可减小安装空间,并且还可减少镀液到内电极中的渗透,从而可改善可靠性。第一镀层141的一端和第二镀层142的一端可与第一表面接触,并且第一镀层141的另一端和第二镀层142的另一端可与绝缘层151接触。

[0166] 镀层141和142的类型不限于任何特定示例,并且镀层141和142可以是包括Cu、Ni、Sn、Ag、Au、Pd以及它们的合金中的至少一种的镀层,并且可包括多个层。

[0167] 作为镀层141和142的更具体的示例,镀层141和142可以是Ni镀层或Sn镀层,或者可具有在第一带部131b和第二带部132b上依次形成Ni镀层和Sn镀层的形式。

[0168] 在示例实施例中,第一镀层141和第二镀层142可延伸以分别部分地覆盖第一连接部131a和第二连接部132a。当在第一方向上从第一表面1到内电极121和122之中最邻近(最靠近)第一表面1设置的内电极的平均距离被定义为H1,并且在第一方向上从第一表面1的延长线E1到第一镀层141的设置在第一连接部131a上的端部和第二镀层142的设置在第二连接部132a上的端部的平均距离被定义为H2时,可满足 $H1 > H2$ 。因此,可防止在镀覆工艺期间镀液渗透到内电极中,从而改善可靠性。

[0169] H1和H2可以是在多层电子组件1000的在第三方向上以相等距离间隔开的五个点处在通过沿第一方向和第二方向切割而获得的截面(L-T截面)上测量的值的平均值。例如,可通过使用扫描电子显微镜(SEM)扫描多层电子组件1000的截面来进行测量。即使在本公开中没有描述,也可使用本领域普通技术人员了解的其他方法和/或工具。H1可以是在每个截面中在最邻近(最靠近)第一表面1设置的内电极连接到外电极的点处测量的值的平均值,H2是在每个截面中参照镀层的与外电极(例如,连接部)接触的端部测量的值的平均值,并且测量H1和H2时作为基准的第一表面的延长线可相同。

[0170] 在示例实施例中,第一镀层141可被设置为覆盖绝缘层151的设置在第一外电极131上的端部,并且第二镀层142可被设置为覆盖绝缘层151的设置在第二外电极132上的端部。因此,可加强绝缘层151与镀层141和142之间的内聚力(cohesion force),从而可改善多层电子组件1000的可靠性。

[0171] 在示例实施例中,绝缘层151可被设置为覆盖第一镀层141的设置在第一外电极131上的端部,并且覆盖第二镀层142的设置在第二外电极132上的端部。例如,绝缘层151可被设置为覆盖第一镀层141的设置在第一连接部131a上的端部,并且覆盖第二镀层142的设置在第二连接部132a上的端部。因此,可加强绝缘层151与镀层141和142之间的内聚力,从而可改善多层电子组件1000的可靠性。

[0172] 此外,如图3所示,绝缘层151可具有与第一镀层141和/或第二镀层142的平均厚度t1基本相同的平均厚度t2。

[0173] 在示例实施例中,主体在第二方向上的平均尺寸被定义为L,在第二方向上从第三表面的延长线E3到第一带部的端部的平均距离被定义为B1,并且在第二方向上从第四表面的延长线E4到第二带部的端部的平均距离被定义为B2,可满足 $0.2 \leq B1/L \leq 0.4$ 和 $0.2 \leq B2/L \leq 0.4$ 。

[0174] 当B1/L和B2/L小于0.2时,可能难以确保足够的固定强度。当B1/L和B2/L大于0.4时,在高电压电流下可能在第一带部131b与第二带部132b之间产生漏电流,并且第一带部

131b和第二带部132b可能由于镀覆扩散而电连接。

[0175] B1、B2和L可以是在多层电子组件1000的在第三方向上以相等距离间隔开的五个点处在通过沿第一方向和第二方向切割而获得的截面(L-T截面)上测量的值的平均值。例如,可通过使用扫描电子显微镜(SEM)扫描多层电子组件1000的截面来进行测量。即使在本公开中没有描述,也可使用本领域普通技术人员了解的其他方法和/或工具。

[0176] 参照示出了其上安装有多层电子组件1000的板组件1100的图5,多层电子组件1000的镀层141和142可通过焊料191和192与设置在基板180上的电极焊盘181和182彼此结合。

[0177] 当内电极121和122在第一方向上层叠时,多层电子组件1000可水平地安装在基板180上,使得内电极121和122平行于安装表面。然而,不限于水平安装,并且当内电极121和122在第三方向上层叠时,多层电子组件可垂直地安装在基板上,使得内电极121和122可垂直于安装表面。

[0178] 多层电子组件1000的尺寸不限于任何特定示例。

[0179] 然而,为了获得小型化和高电容二者,可能需要通过减小介电层和内电极的厚度来增加层叠的层的数量。因此,在具有1005(长×宽为1.0mm×0.5mm)或更小的尺寸的多层电子组件中,示例实施例中的改善可靠性和每单位体积电容的效果可以是显著的。

[0180] 因此,当考虑制造误差、外电极尺寸等时,当多层电子组件1000的长度为1.1mm或更小并且多层电子组件1000的宽度为0.55mm或更小时,示例实施例中的改善可靠性的效果可提升。这里,多层电子组件1000的长度可指的是多层电子组件1000在第二方向上的最大尺寸,并且多层电子组件1000的宽度可指的是多层电子组件1000在第三方向上的最大尺寸。例如,可通过使用光学显微镜来获得最大尺寸。即使在本公开中没有描述,也可使用本领域普通技术人员了解的其他方法和/或工具。

[0181] 图6是示出根据示例实施例的多层电子组件的立体图。图7是沿着图6中的线II-II'截取的截面图。

[0182] 参照图6和图7,在示例实施例中的多层电子组件1001中,第一镀层141-1和第二镀层142-1可设置在第一表面的延长线E1下方。因此,在安装期间可减小焊料的高度,并且可减小安装空间。

[0183] 此外,绝缘层151-1可延伸到第一表面的延长线下方的区域,并且可与第一镀层141-1和第二镀层142-1接触。

[0184] 图8是示出根据示例实施例的多层电子组件的立体图。图9是沿着图8中的线III-III'截取的截面图。

[0185] 参照图8和图9,示例实施例中的多层电子组件1002还可包括附加绝缘层161,附加绝缘层161设置在第一表面1上且设置在第一带部131b与第二带部132b之间。因此,可防止在高电压电流下可能在第一带部131b与第二带部132b之间发生的漏电流。

[0186] 附加绝缘层161的类型不限于任何特定示例。例如,与绝缘层151类似,附加绝缘层161可包括含Si氧化物、含硼氧化物、硼硅酸盐和硼硅酸锌中的至少一种。然而,附加绝缘层161和绝缘层151可不需要使用相同的材料形成,并且附加绝缘层161和绝缘层151可利用不同的材料形成。例如,附加绝缘层161可包括从环氧树脂、丙烯酸树脂等中选择的一种或更多种的聚合物树脂。此外,除了聚合物树脂之外,附加绝缘层161还可包括从TiO₂、BaTiO₃、

Al_2O_3 、 SiO_2 和BaO中选择的一种或更多种作为添加剂。因此,可改善与主体或外电极的结合力。

[0187] 图10是示出根据示例实施例的多层电子组件的立体图。图11是沿着图10中的线IV-IV'截取的截面图。

[0188] 参照图10和图11,在根据示例实施例的多层电子组件1003中,当在第一方向上从第一表面1到内电极121和122之中最邻近(最靠近)第一表面1设置的内电极的平均距离被定义为 H_1 ,并且在第一方向上从第一表面1的延长线E1到第一镀层141-3的设置在第一连接部131a上的端部和第二镀层142-3的设置在第二连接部132a上的端部的平均距离被定义为 H_2 时,可满足 $H_1 < H_2$ 。因此,可增加在安装期间与焊料接触的区域,从而可改善结合力。

[0189] 更优选地,当主体110在第一方向上的平均尺寸被定义为 T 时,可满足 $H_2 < T/2$ 。也就是说,可满足 $H_1 < H_2 < T/2$,这可能是因为在,当 H_2 为 $T/2$ 或更大时,通过绝缘层改善防潮可靠性的效果可能下降。

[0190] H_1 、 H_2 和 T 可以是在多层电子组件1003的在第三方向上以相等距离间隔开的五个点处通过沿第一方向和第二方向切割而获得的截面(L-T截面)上测量的值的平均值。例如,可通过使用扫描电子显微镜(SEM)扫描多层电子组件1003的截面来进行测量。即使在本公开中没有描述,也可使用本领域普通技术人员了解的其他方法和/或工具。 H_1 可以是在每个截面中在最邻近(最靠近)第一表面1设置的内电极连接到外电极的点处测量的值的平均值, H_2 是在每个截面中参照镀层的与外电极(例如,连接部)接触的端部测量的值的平均值,并且测量 H_1 和 H_2 时作为基准的第一表面的延长线可相同。此外, T 可以是在各个截面中通过在第一方向上测量主体110的最大尺寸而获得的平均值。

[0191] 此外,如图10所示,绝缘层151-3可覆盖第三带部131c和第四带部132c、第二表面上的未设置第三带部131c和第四带部132c的区域、第一连接部131a的一部分和第二连接部132a的一部分以及第五表面的一部分和第六表面的一部分。图12是示出根据示例实施例的多层电子组件1004的立体图。图13是沿着图12中的线V-V'截取的截面图。

[0192] 参照图12和图13,在示例实施例中的多层电子组件1004中,第一带部131b-4的平均长度 B_1 可大于第三带部131c-4的平均长度 B_3 ,并且第二带部132b-4的平均长度可大于第四带部132c-4的平均长度 B_4 。因此,可增加在安装期间与焊料接触的区域,从而可改善结合力。

[0193] 更详细地,在第二方向上从第三表面3的延长线到第一带部131b-4的端部的平均距离被定义为 B_1 ,在第二方向上从第四表面4的延长线到第二带部132b-4的端部的平均距离被定义为 B_2 ,在第二方向上从第三表面3的延长线到第三带部131c-4的端部的平均距离被定义为 B_3 ,并且在第二方向上从第四表面4的延长线到第四带部132c-4的端部的平均距离被定义为 B_4 ,可满足 $B_3 < B_1$ 和 $B_4 < B_2$ 。

[0194] 在这种情况下,当主体110在第二方向上的平均尺寸定义为 L 时,可满足 $0.2 \leq B_1/L \leq 0.4$ 和 $0.2 \leq B_2/L \leq 0.4$ 。

[0195] B_1 、 B_2 、 B_3 、 B_4 和 L 可以是在多层电子组件1004的在第三方向上以相等距离间隔开的五个点处在通过沿第一方向和第二方向切割而获得的截面(L-T截面)上测量的值的平均值。例如,可通过使用扫描电子显微镜(SEM)扫描多层电子组件1004的截面来进行测量。即使在本公开中没有描述,也可使用本领域普通技术人员了解的其他方法和/或工具。

[0196] 此外,第一外电极131-4可包括从第一连接部131a-4延伸到第五表面的一部分和第六表面的一部分的第一侧带部,并且第二外电极132-4可包括从第二连接部132a-4延伸到第五表面的一部分和第六表面的一部分的第二侧带部。在这种情况下,第一侧带部和第二侧带部在第二方向上的尺寸可在第一方向上朝向第一表面逐渐增大。也就是说,第一侧带部和第二侧带部可以以锥形形状或梯形形状设置。

[0197] 此外,当在第二方向上从第三表面的延长线到第三带部131c-4的端部的平均距离被定义为 B_3 ,在第二方向上从第四表面的延长线到第四带部132c-4的端部的平均距离被定义为 B_4 ,第三表面与第二内电极122彼此间隔开的区域在第二方向上测量的平均尺寸被定义为 G_1 ,第四表面与第一内电极121彼此间隔开的区域在第二方向上测量的平均尺寸被定义为 G_2 时,可满足 $B_3 \leq G_1$ 和 $B_4 \leq G_2$ 。因此,可减小由外电极占据的体积,从而可增大多层电子组件1004的每单位体积的电容。

[0198] 对于 G_1 和 G_2 ,在沿第三方向截取的中央处通过沿第一方向和第二方向切割主体而获得的截面上,相对于设置在沿第一方向截取的中央部分中的任意五个第二内电极测量的与第三表面间隔开的区域在第二方向上的尺寸的平均值可以是 G_1 ,并且在沿第三方向截取的中央处通过沿第一方向和第二方向切割主体而获得的截面上,相对于设置在沿第一方向截取的中央部分中的任意五个第一内电极测量的与第四表面间隔开的区域在第二方向上的尺寸的平均值可以是 G_2 。例如,可通过使用扫描电子显微镜(SEM)扫描主体110的截面来进行测量。即使在本公开中没有描述,也可使用本领域普通技术人员了解的其他方法和/或工具。

[0199] 此外, G_1 和 G_2 可从通过在沿第三方向以相等距离间隔开的五个点处沿第一方向和第二方向切割主体110而获得的截面(L-T截面)来获得,并且 G_1 和 G_2 可以是平均值,使得这些值可进一步一般化。

[0200] 然而,本公开不限于 $B_3 \leq G_1$ 和 $B_4 \leq G_2$,并且可包括满足 $B_3 \geq G_1$ 且 $B_4 \geq G_2$ 的示例作为示例实施例。因此,在示例实施例中,当在第二方向上从第三表面的延长线到第三带部的端部的平均距离被定义为 B_3 ,在第二方向上从第四表面的延长线到第四带部的端部的平均距离被定义为 B_4 ,第三表面与第二内电极彼此间隔开的区域在第二方向上测量的平均尺寸被定义为 G_1 ,并且第四表面与第一内电极彼此间隔开的区域在第二方向上测量的平均尺寸被定义为 G_2 时,可满足 $B_3 \geq G_1$ 和 $B_4 \geq G_2$ 。

[0201] 在示例实施例中,当在第二方向上从第三表面的延长线 E_3 到第一带部的端部的平均距离被定义为 B_1 ,并且在第二方向上从第四表面的延长线到第二带部的端部的平均距离被定义为 B_2 时,可满足 $B_1 \geq G_1$ 和 $B_2 \geq G_2$ 。可改善多层电子组件1004与基板180的结合力。

[0202] 图14是示出根据示例实施例的多层电子组件1005的立体图。图15是沿着图14中的线VI-VI'截取的截面图。

[0203] 参照图14和图15,示例实施例中的多层电子组件1005的第一外电极131-5和第二外电极132-5可不设置在第二表面上,并且可分别设置在第三表面和第一表面上以及第四表面和第一表面上,并且可分别具有L形。也就是说,第一外电极131-5和第二外电极132-5可设置在第二表面的延长线 E_2 下方。

[0204] 第一外电极131-5可包括设置在第三表面3上的第一连接部131a-5以及从第一连接部131a-5延伸到第一表面1的一部分的第一带部131b-5。第二外电极132-5可包括设置在

第四表面4上的第二连接部132a-5以及从第二连接部132a-5延伸到第一表面1的一部分的第二带部132b-5。外电极131-5和132-5可不设置在第二表面2上,使得绝缘层151-5可被设置为覆盖整个第二表面2。因此,可减小由外电极131-5和132-5占据的体积,从而可改善多层电子组件1005的每单位体积的电容。然而,本公开不限于绝缘层151-5覆盖整个第二表面2的示例,并且绝缘层可不覆盖第二表面2的一部分或整个第二表面2,并且可与第二表面2分离,并且可覆盖第一连接部131a-5和第二连接部132a-5。

[0205] 此外,绝缘层151-5可被设置为覆盖第五表面的一部分和第六表面的一部分,从而改善可靠性。在这种情况下,第五表面和第六表面的未被绝缘层151-5覆盖的部分可暴露。

[0206] 此外,绝缘层151-5可被设置为覆盖整个第五表面和整个第六表面,并且在这种情况下,第五表面和第六表面可不暴露,从而可改善防潮可靠性。

[0207] 第一镀层141-5可设置在第一带部131b-5上,第二镀层142-5可设置在第二带部132b-5上,并且第一镀层141-5和第二镀层142-5可分别延伸到第一连接部131a-5和第二连接部132b-5的一部分上。

[0208] 在这种情况下,外电极131-5和132-5也可不设置在第五表面5和第六表面6上。也就是说,外电极131-5和132-5可仅设置在第三表面、第四表面和第一表面上。

[0209] 在第一方向上从第一表面1到第一内电极121和第二内电极122之中最邻近(最靠近)第一表面1设置的内电极的平均距离被定义为 $H1$,并且在第一方向上从第一表面1的延长线E1到第一镀层141-5的设置在第一连接部131a-5上的端部和第二镀层142-5的设置在第二连接部132a-5上的端部的平均距离被定义为 $H2$,可满足 $H1 < H2$ 。因此,可增加在安装期间与焊料接触的区域,从而可改善结合力,并且可增加外电极131-5和132-5与镀层141-5和142-5彼此接触的面积,从而可防止等效串联电阻(ESR)的增大。

[0210] 更优选地,当主体110在第一方向上的平均尺寸被定义为 T 时,可满足 $H2 < T/2$ 。也就是说,可满足 $H1 < H2 < T/2$,这可能是由于,当 $H2$ 为 $T/2$ 或更大时,通过绝缘层改善防潮可靠性的效果可能下降。

[0211] 此外,第一镀层141-5和第二镀层142-5可被设置为覆盖绝缘层151-5的位于第三表面和第四表面上的一部分。也就是说,镀层141-5和142-5可被设置为覆盖绝缘层151-5的位于第三表面和第四表面上的端部。因此,可加强绝缘层151-5与镀层141-5和142-5之间的结合力,从而可改善多层电子组件1005的可靠性。

[0212] 此外,绝缘层151-5可被设置为覆盖第一镀层141-5的位于第三表面上的一部分和第二镀层142-5的位于第四表面上的一部分。也就是说,绝缘层151-5可被设置为覆盖镀层141-5和142-5的位于第三表面和第四表面上的端部。因此,可加强绝缘层151-5与镀层141-5和142-5之间的结合力,从而可改善多层电子组件1005的可靠性。

[0213] 图16是示出图14中的示例的变型示例的示图。参照图16,在示例实施例中的多层电子组件1005的变型示例的多层电子组件1006中,在第一连接部131a-6与第三表面之间可设置有第一附加电极层134。在第二连接部132a-6与第四表面之间可设置有第二附加电极层135。第一附加电极层134可设置在不偏离第三表面的范围内,并且第二附加电极层135可设置在不偏离第四表面的范围内。第一附加电极层134和第二附加电极层135可改善内电极121和122与外电极131-6和132-6之间的电连接性,并且与外电极131-6和132-6的结合强度可以是优异的,从而可进一步改善与外电极131-6和132-6的机械结合强度。

[0214] 第一外电极131-6可具有其中第一外电极不设置在第二表面上的L形,第二外电极132-6可具有其中第二外电极不设置在第二表面上的L形。

[0215] 第一外电极131-6可包括设置在第一附加电极层134上的第一连接部131a-6以及从第一连接部131a-6延伸到第一表面1的一部分的第一带部131b-6。第二外电极132-6可包括设置在第二附加电极层135上的第二连接部132a-6以及从第二连接部132a-6延伸到第一表面1的一部分的第二带部132b-6。

[0216] 第一附加电极层134和第二附加电极层135可利用具有导电性的任意材料(诸如,金属)形成,并且可考虑电性能、结构稳定性等来确定特定材料。此外,第一附加电极层134和第二附加电极层135可以是包括导电金属和玻璃的烧制电极,或者可以是包括导电金属和树脂的树脂基电极。此外,第一附加电极层134和第二附加电极层135可通过将包括导电金属的片转印到主体来形成。

[0217] 作为包括在第一附加电极层134和第二附加电极层135中的导电金属,可使用具有优异导电性的金属材料,并且该金属材料不限于任何特定示例。例如,该导电金属可以是Cu、Ni、Pd、Ag、Sn、Cr以及它们的合金中的一种或更多种。优选地,第一附加电极层134和第二附加电极层135可包括Ni和Ni合金中的至少一种,因此,可进一步改善与包括Ni的内电极121和122的连接性。

[0218] 图17是示出根据示例实施例的多层电子组件1007的立体图。图18是沿着图17中的线VII-VII'截取的截面图。

[0219] 参照图17和图18,示例实施例中的多层电子组件1007的第一镀层141-6和第二镀层142-6的平均厚度 t_1 可小于绝缘层151-6的平均厚度 t_2 。

[0220] 绝缘层151-6可防止外部水分或镀液的渗透,但与镀层141-6和142-6的连接性可能相对弱,这可能导致镀层的脱层。当镀层脱层时,与基板180的结合力可能减小。这里,镀层141-6和142-6的脱层可指的是镀层的部分脱落或者镀层与外电极131-5和132-5物理分离。由于镀层与绝缘层之间的连接性相对弱,因此极有可能的是绝缘层与镀层之间的间隙可能变宽或异物可能进入,这导致镀层易受外部冲击的影响,因此脱层的可能性可能增大。

[0221] 在示例实施例中,通过将镀层的平均厚度 t_1 减小到小于绝缘层的平均厚度 t_2 ,可减小镀层与绝缘层之间的接触面积,从而防止脱层并改善多层电子组件1007与基板180的结合力。

[0222] 第一镀层141-6和第二镀层142-6的厚度 t_1 可以是在第一连接部131a-5和第二连接部132a-5或者第一带部131b-5和第二带部132b-5的以相等距离间隔开的5个点处的厚度的平均值,并且绝缘层151-6的厚度 t_2 可以是在第一连接部131a-5和第二连接部132a-5的以相等距离间隔开的5个点处的厚度的平均值。

[0223] 图19是示出根据示例实施例的多层电子组件2000的立体图。图20是沿着图19中的线VIII-VIII'截取的截面图。

[0224] 在下文中,将描述根据示例实施例的多层电子组件2000,并且将不提供与上述示例实施例重复的描述。

[0225] 示例实施例中的多层电子组件2000可包括:主体110,包括介电层111以及第一内电极121和第二内电极122,第一内电极121和第二内电极122交替地设置,且介电层111介于第一内电极121与第二内电极122之间,并且主体110具有在第一方向上彼此相对的第一表

面1和第二表面2、连接到第一表面1和第二表面2且在第二方向上彼此相对的第三表面3和第四表面4以及连接到第一表面1和第二表面2及第三表面3和第四表面4且在第三方向上彼此相对的第五表面5和第六表面6;第一外电极231,包括第一连接电极231a和第一带电极231b,第一连接电极231a设置在第三表面上,第一带电极231b设置在第一表面上并且连接到第一连接电极;第二外电极232,包括第二连接电极232a和第二带电极232b,第二连接电极232a设置在第四表面上,第二带电极232b设置在第一表面上并且连接到第二连接电极;第一绝缘层251,设置在第一连接电极上;第二绝缘层252,设置在第二连接电极上;第一镀层241,设置在第一带电极上;以及第二镀层242,设置在第二带电极上。作为示例,第一绝缘层251和第二绝缘层252可包括含硅(Si)氧化物。

[0226] 第一连接电极231a可设置在第三表面3上并且可连接到第一内电极121,并且第二连接电极232a可设置在第四表面4上并且可连接到第二内电极122。此外,第一绝缘层251可设置在第一连接电极231a上,并且第二绝缘层252可设置在第二连接电极232a上。

[0227] 通常,当形成外电极时,可主要使用将主体的暴露内电极的表面浸入包括导电金属的膏中的方法。然而,通过浸渍法形成的外电极的厚度可能在其厚度方向上的中央部分中过大。此外,除了通过使用浸渍法的外电极的厚度不平均之外,由于内电极暴露于第三表面和第四表面,因此为了防止水分和镀液通过外电极渗透,设置在第三表面和第四表面上的外电极的厚度可能等于或大于预定厚度。

[0228] 与以上示例不同,在示例实施例中,由于绝缘层251和252设置在连接电极231a和232a上,因此即使当第三表面和第四表面上的连接电极231a和232a的厚度减小时,也可确保足够的可靠性。

[0229] 第一连接电极231a和第二连接电极232a可分别具有与第三表面和第四表面对应的形状,并且第一连接电极231a和第二连接电极232a的面向主体110的表面可具有与主体110的第三表面和第四表面相同的面积。第一连接电极231a和第二连接电极232a可分别设置在不偏离第三表面3和第四表面4的范围内。连接电极231a和232a可被设置为不延伸到主体110的第一表面1、第二表面2、第五表面5和第六表面6。具体地,在示例实施例中,第一连接电极231a和第二连接电极232a可与第五表面和第六表面间隔开,因此,可确保内电极121和122与外电极231和232之间的充分连接,并且可减小外电极占据的体积,从而可增大多层电子组件2000的每单位体积的电容。

[0230] 在这方面,第一连接电极231a和第二连接电极232a可与第二表面2间隔开。也就是说,由于外电极231和232未设置在第二表面上,因此可进一步减小外电极231和232占据的体积,从而可增大多层电子组件2000的每单位体积的电容。

[0231] 连接电极231a和232a可延伸到主体110的拐角,并且可包括设置在拐角上的拐角部。也就是说,在示例实施例中,第一连接电极可包括延伸到1-3拐角和2-3拐角的拐角部(未示出),并且第二连接电极可包括延伸到1-4拐角和2-4拐角的拐角部(未示出)。

[0232] 此外,与通过常规浸渍法形成的外电极相比,连接电极231a和232a可具有均匀且减小的厚度。

[0233] 形成连接电极231a和232a的方法不限于任何特定示例,例如,连接电极231a和232a可通过将包括导电金属或有机材料(诸如,粘合剂)的片转印到第三表面和第四表面的方法来形成,但不限于此,并且连接电极231a和232a可通过在第三表面和第四表面上镀覆

导电金属来形成。也就是说,连接电极231a和232a可以是镀层或通过烧制导电金属而形成的烧制层。

[0234] 连接电极231a和232a的厚度不限于任何特定示例,并且可以是例如 $2\mu\text{m}$ 至 $7\mu\text{m}$ 。这里,连接电极231a和232a的厚度可指示最大厚度,并且可表示连接电极231a和232a在第二方向上的尺寸。

[0235] 在示例实施例中,第一连接电极231a和第二连接电极232a可包括玻璃以及与内电极121和122中包括的金属相同的金属。由于第一连接电极231a和第二连接电极232a包括与内电极121和122中包括的金属相同的金属,因此可改善与内电极121和122的电连接性,并且由于第一连接电极231a和第二连接电极232a包括玻璃,因此可改善与主体110和/或绝缘层251和252的结合强度。在这种情况下,与内电极121和122中包括的金属相同的金属可以是Ni。

[0236] 第一绝缘层251和第二绝缘层252可分别设置在第一连接电极231a和第二连接电极232a上,并且可分别防止在第一连接电极231a和第二连接电极232a上形成镀层。此外,第一绝缘层251和第二绝缘层252可改善密封性能,从而减少水分或镀液的渗透。

[0237] 在示例实施例中,第一绝缘层251和第二绝缘层252可包括含硅(Si)氧化物。因此,可改善防潮可靠性,并且可防止由于热收缩引起的裂纹和由于金属扩散引起的辐射裂纹。

[0238] 在这种情况下,在示例实施例中,第一绝缘层251和第二绝缘层252还可包括含硼氧化物,并且在第一绝缘层251与主体110之间的界面和第二绝缘层252与主体110之间的界面上还可设置有包括钡和硼的粘合层,使得可改善绝缘层251和252与主体110之间的粘合力,并且可改善多层电子组件2000的整体强度。

[0239] 在示例实施例中,在第一绝缘层251和第二绝缘层252中,Si的摩尔数与除氧之外的元素的摩尔数的比值可以是0.95或更大。也就是说,除了被检测为杂质的元素之外,第一绝缘层251和第二绝缘层252可基本上利用含Si氧化物形成,因此,与包括不同成分并且具有相同厚度的绝缘层相比,可有效地防止外部水分的渗透,并且可改善防潮可靠性和对酸或碱(诸如,镀液)耐腐蚀性。

[0240] 此外,在示例实施例中,第一绝缘层251和第二绝缘层252可包括含硼氧化物、硼硅酸盐和硼硅酸锌的中的至少一种。因此,通过减小由于外部热冲击而施加到多层电子组件2000的应力,可减少裂纹和脱层,可防止辐射裂纹,并且可防止镀液和外部水分的渗透,从而可改善多层电子组件2000的可靠性。

[0241] 在上述示例实施例中,第一绝缘层251和第二绝缘层252包括含硼氧化物、硼硅酸盐和硼硅酸锌中的至少一种,该材料可在低温下与主体110的表面上的氧化钡反应,并且可形成共晶体。因此,在示例实施例中,多层电子组件2000还可在绝缘层251和252(还包括含硼氧化物)与主体110之间的界面处包括包含钡和硼的粘合层。

[0242] 由于包括在绝缘层中的材料是诸如 SiO_2 和 B_2O_3 的绝缘材料,因此与包括导电金属的第一外电极231和第二外电极232的粘附力可能不好。在示例实施例中的多层电子组件2000中,尽管绝缘层251和252与第一外电极231和第二外电极232之间的粘附力不好,但与包括绝缘材料的主体110的粘附力可以是良好的,从而可改善多层电子组件2000的整体强度。

[0243] 第一带电极231b和第二带电极232b可设置在主体110的第一表面1上。第一带电极

231b和第二带电极232b可通过分别与第一连接电极231a和第二连接电极232a接触而分别电连接到第一内电极121和第二内电极122。

[0244] 通过常规浸渍法形成的外电极在第三表面和第四表面上的厚度可能形成为相对大,并且可部分地延伸到第一表面、第二表面、第五表面和第六表面,使得可能难以确保高的有效体积比。

[0245] 在示例实施例中,第一连接电极231a和第二连接电极232a可设置在其上暴露内电极的表面上,并且第一带电极231b和第二带电极232b可设置在多层电子组件的安装表面上,从而可确保高的有效体积比。

[0246] 当内电极121和122在第一方向上层叠时,多层电子组件2000可水平地安装在基板上,使得内电极121和122可平行于安装表面。然而,不限于水平安装,并且当内电极121和122在第三方向上层叠时,多层电子组件可垂直地安装在基板上,使得内电极121和122可垂直于安装表面。

[0247] 第一带电极231b和第二带电极232b可利用具有导电性的任意材料(诸如,金属)形成,并且可考虑电性能和结构稳定性来确定特定材料。例如,第一带电极231b和第二带电极232b可以是包括导电金属和玻璃的烧制电极,并且可通过将包括导电金属和玻璃的膏涂覆到主体的第一表面来形成,但不限于此,并且第一带电极231b和第二带电极232b可以是通过在主体的第一表面上镀覆导电金属而形成的镀层。

[0248] 作为包括在第一带电极231b和第二带电极232b中的导电金属,可使用具有优异导电性的金属材料,并且该金属材料不限于任何特定示例。例如,该导电金属可以是镍(Ni)、铜(Cu)以及它们的合金中的一种或更多种,并且可包括与内电极121和122中包括的金属相同的金属。

[0249] 在示例实施例中,为了确保密封性能和高强度,第一外电极231可包括设置在第二表面2上且连接到第一连接电极231a的第三带电极(未示出),并且第二外电极232可包括设置在第二表面2上且连接到第二连接电极232a的第四带电极(未示出)。

[0250] 在示例实施例中,在第二方向上从第三表面的延长线E3到第一带电极231b的端部的距离被定义为B1,在第二方向上从第四表面的延长线E4到第二带电极232b的端部的距离被定义为B2,在第二方向上从第三表面的延长线到第三带电极(未示出)的端部的距离被定义为B3,在第二方向上从第四表面的延长线到第四带电极(未示出)的端部的距离被定义为B4,第三表面与第二内电极122彼此间隔开的区域在第二方向上测量的平均尺寸被定义为G1,并且第四表面与第一内电极121彼此间隔开的区域在第二方向上测量的平均尺寸被定义为G2,可满足 $B1 \geq G1$ 、 $B3 \leq G1$ 、 $B2 \geq G2$ 和 $B4 \leq G2$ 。因此,可减小外电极占据的体积,从而可增大多层电子组件2000的每单位体积的电容,并且可增加在安装期间与焊料接触的面积,从而改善结合力。

[0251] 然而,本公开不限于 $B1 \geq G1$ 、 $B3 \leq G1$ 、 $B2 \geq G2$ 和 $B4 \leq G2$,并且在示例实施例中可包括满足 $B1 \geq G1$ 、 $B3 \geq G1$ 、 $B2 \geq G2$ 和 $B4 \geq G2$ 的示例。因此,在示例实施例中,在第二方向上从第三表面的延长线E3到第一带电极231b的端部的距离被定义为B1,在第二方向上从第四表面的延长线E4到第二带电极232b的端部的距离被定义为B2,在第二方向上从第三表面的延长线到第三带电极(未示出)的端部的距离被定义为B3,在第二方向上从第四表面的延长线到第四带电极(未示出)的端部的距离被定义为B4,第三表面与第二内电极122彼此间隔开的

区域在第二方向上测量的平均尺寸被定义为G1,并且第四表面与第一内电极121彼此间隔开的区域在第二方向上的平均尺寸被定义为G2,可满足 $B1 \geq G1$ 、 $B3 \geq G1$ 、 $B2 \geq G2$ 和 $B4 \geq G2$ 。

[0252] 第一镀层241和第二镀层242可分别设置在第一带电电极231b和第二带电电极232b上。第一镀层241和第二镀层242可改善安装性能。第一镀层241和第二镀层242的类型不限于任何特定示例,并且第一镀层241和第二镀层242可以是包括Ni、Sn、Pd以及它们的合金中的至少一种的镀层,并且可包括多个层。

[0253] 例如,第一镀层241和第二镀层242可以是Ni镀层或Sn镀层,或者可具有在第一带电电极231b和第二带电电极232b上依次形成Ni镀层和Sn镀层的形式。

[0254] 在示例实施例中,第一镀层241和第二镀层242可延伸,以分别部分地覆盖第一连接电极231a和第二连接电极232a。

[0255] 当在第一方向上从第一表面1到第一内电极121和第二内电极122之中最邻近(最靠近)第一表面1设置的内电极的平均距离被定义为H1,并且在第一方向上从第一表面1的延长线E1到第一镀层241的设置在第一连接电极231a上的端部和第二镀层242的设置在第二连接电极232a上的端部的平均距离被定义为H2时,可满足 $H1 > H2$ 。因此,可防止在镀覆工艺期间镀液渗透到内电极中,从而改善可靠性。

[0256] 在示例实施例中,第一绝缘层251和第二绝缘层252可被设置为分别与第一连接电极231a和第二连接电极232a直接接触,并且第一连接电极231a和第二连接电极232a可包括导电金属和玻璃。因此,由于镀层241和242可不设置在第一连接电极231a和第二连接电极232a的外表面之中的设置有绝缘层251和252的区域上,因此可有效地防止由镀液引起的对外电极的侵蚀。

[0257] 在示例实施例中,第一绝缘层251和第二绝缘层252可被设置为分别与第一连接电极231a和第二连接电极232a直接接触,并且第一连接电极231a和第二连接电极232a可包括导电金属和树脂。因此,由于镀层241和242可不设置在第一连接电极231a和第二连接电极232a的外表面之中的设置有绝缘层251和252的区域上,因此可有效地防止由镀液引起的对外电极的侵蚀。

[0258] 在示例实施例中,第一镀层241可被设置为覆盖第一绝缘层251的设置在第一外电极231上的端部,并且第二镀层242可被设置为覆盖第二绝缘层252的设置在第二外电极232上的端部。因此,可加强绝缘层251和252与镀层241和242之间的结合力,从而可改善多层电子组件2000的可靠性。此外,通过在外电极231和232上形成镀层241和242之前首先形成第一绝缘层251和第二绝缘层252,可在形成镀层的工艺中可靠地防止镀液的渗透。由于绝缘层在镀层之前形成,因此镀层241和242可具有覆盖绝缘层251和252的端部的形状。

[0259] 在示例实施例中,第一绝缘层251可被设置为覆盖第一镀层241的设置在第一外电极231上的端部,并且第二绝缘层252可被设置为覆盖第二镀层242的设置在第二外电极232上的端部。例如,第一绝缘层251被设置为覆盖第一镀层241的设置在第一连接电极231a上的端部,并且第二绝缘层252可被设置为覆盖第二镀层242的设置在第二连接电极232a上的端部。因此,可加强绝缘层251和252与镀层241和242之间的结合力,从而可改善多层电子组件2000的可靠性。

[0260] 图21是示出图19中的示例的变型示例的示图。参照图21,在多层电子组件2000的变型示例的多层电子组件2001中,第一绝缘层251-1和第二绝缘层252-1可延伸到第五表面

5和第六表面6,并且可彼此连接,使得绝缘层可连接为一体化绝缘层253-1。在这种情况下,连接而成的一体化绝缘层253-1可被设置为覆盖第五表面的一部分和第六表面的一部分。

[0261] 图22是示出根据示例实施例的多层电子组件2002的立体图。图23是沿着图22中的线IX-IX'截取的截面图。

[0262] 参照图22和图23,在示例实施例中的多层电子组件2002中,第一镀层241-2和第二镀层242-2可设置在第一表面的延长线下方。因此,可减小在安装期间焊料的高度,并且可减小安装空间。

[0263] 此外,第一绝缘层251-2和第二绝缘层252-2可延伸到第一表面的延长线下方的区域,并且可分别与第一镀层241-2和第二镀层242-2接触。

[0264] 图24是示出图22中的示例的变型示例的示图。参照图24,在示例实施例中的多层电子组件2002的变型示例的多层电子组件2003中,第一绝缘层251-3和第二绝缘层252-3可延伸到第五表面5和第六表面6,并且可彼此连接,使得第一绝缘层251-3和第二绝缘层252-3可连接为一体化绝缘层253-3。

[0265] 图25是示出根据示例实施例的多层电子组件2004的立体图。图26是沿着图25中的线X-X'截取的截面图。

[0266] 参照图25和图26,示例实施例中的多层电子组件2004还可包括附加绝缘层261,附加绝缘层261设置在第一表面1上并且设置在第一带电极231b与第二带电极232b之间。因此,可防止在高电压电流下可能在第一带电极231b与第二带电极232b之间发生的漏电流。

[0267] 附加绝缘层261的类型不限于任何特定示例。例如,与第一绝缘层251-2和第二绝缘层252-2类似,附加绝缘层261可包括含Si氧化物、含硼氧化物、硼硅酸盐和硼硅酸锌中的至少一种。附加绝缘层261与绝缘层251-2和252-2不需要利用相同的材料形成,并且可利用不同的材料形成。例如,附加绝缘层261可包括从环氧树脂、丙烯酸树脂、乙基纤维素等中选择的至少一种,或者可包括玻璃。

[0268] 图27是示出图25中的示例的变型示例的示图。参照图27,在多层电子组件2004的变型示例的多层电子组件2005中,第一绝缘层251-5和第二绝缘层252-5可延伸到第五表面5和第六表面6,并且可彼此连接,使得第一绝缘层251-5和第二绝缘层252-5可连接为一体化绝缘层253-5。

[0269] 图28是示出根据示例实施例的多层电子组件2006的立体图。图29是沿着图28中的线XI-XI'截取的截面图。

[0270] 参照图28和图29,根据示例实施例的多层电子组件2006可包括设置在第一连接电极231a上的第一绝缘层251-6和设置在第二连接电极232a上的第二绝缘层252-6。当在第一方向上从第一表面1到第一内电极121和第二内电极122之中最邻近(最靠近)第一表面1设置的内电极的平均距离被定义为 $H1$,并且在第一方向上从第一表面1的延长线E1到第一镀层241-6的设置在第一连接电极231a上的端部和第二镀层242-6的设置在第二连接电极232a上的端部的平均距离被定义为 $H2$ 时,可满足 $H1 < H2$ 。因此,可增加在安装期间与焊料接触的面积,从而改善结合力。

[0271] 更优选地,当主体110在第一方向上的平均尺寸被定义为 T 时,可满足 $H2 < T/2$ 。也就是说,可满足 $H1 < H2 < T/2$,这可能是因为在当 $H2$ 为 $T/2$ 或更大时,通过绝缘层改善防潮可靠性的效果可能下降。

[0272] 图30是示出图28中的示例的变型示例的示图。参照图30,在多层电子组件2006的变型示例的多层电子组件2007中,第一绝缘层251-7和第二绝缘层252-7可延伸到第五表面5和第六表面6,并且可彼此连接,使得第一绝缘层251-7和第二绝缘层252-7可连接为一体化绝缘层253-7。

[0273] 图31是示出根据示例实施例的多层电子组件2008的立体图。图32是沿着图31中的线XII-XII'截取的截面图。

[0274] 参照图31和图32,在示例实施例中的多层电子组件2008中,第一绝缘层251-8和第二绝缘层252-8可延伸到第二表面2、第五表面5和第六表面6,并且可彼此连接,使得第一绝缘层251-8和第二绝缘层252-8可连接为一体化绝缘层253-8。如图31所示,绝缘层253-8可覆盖整个第二表面,并且可覆盖第五表面的一部分和第六表面的一部分。

[0275] 图33是示出根据示例实施例的多层电子组件2009的立体图。图34是沿着图33中的线XIII-XIII'截取的截面图。

[0276] 参照图33和图34,示例实施例中的多层电子组件2009的第一镀层241-9和第二镀层242-9的平均厚度 t_1' 可小于第一绝缘层251-9和第二绝缘层252-9的平均厚度 t_2' 。

[0277] 在示例实施例中,第一镀层241-9和第二镀层242-9的平均厚度 t_1' 可减小到小于第一绝缘层251-9和第二绝缘层252-9的平均厚度 t_2' ,从而可减小镀层与绝缘层之间的接触面积。因此,可防止脱层,并且可改善多层电子组件2009与基板180的结合力。

[0278] 第一镀层241-9和第二镀层242-9的平均厚度 t_1' 可以是在第一连接电极231a和第二连接电极232a或者第一带电极231b和第二带电极232b上以相等距离间隔开的五个点处测量的厚度的平均值。第一绝缘层251-9和第二绝缘层252-9的平均厚度 t_2' 可以是在第一连接电极231a和第二连接电极232a上以相等距离间隔开的五个点处测量的厚度的平均值。例如,可通过使用扫描电子显微镜(SEM)扫描多层电子组件2009的截面来进行测量。即使在本公开中没有描述,也可使用本领域普通技术人员了解的其他方法和/或工具。

[0279] 图35是示出图33中的示例的变型示例的示图。参照图35,在示例实施例中的多层电子组件2009的变型示例的多层电子组件2010中,第一绝缘层251-10和第二绝缘层252-10可延伸到第五表面5和第六表面6,并且可彼此连接,使得第一绝缘层251-10和第二绝缘层252-10可连接为一体化绝缘层253-10。

[0280] 图36是示出根据示例实施例的多层电子组件3000的立体图。图37是沿着图36中的线XIV-XIV'截取的截面图。图38是示出图37中的区域K1的放大图。

[0281] 参照图36至图38,示例实施例中的多层电子组件3000可包括:主体110,包括介电层111以及第一内电极121和第二内电极122,第一内电极121和第二内电极122交替地设置,且介电层111介于第一内电极121与第二内电极122之间,并且主体110具有在第一方向上彼此相对的第一表面1和第二表面2、连接到第一表面1和第二表面2且在第二方向上彼此相对的第三表面3和第四表面4以及连接到第一表面1和第二表面2及第三表面3和第四表面4且在第三方向上彼此相对的第五表面5和第六表面6;第一外电极331,包括第一连接部331a、第一带部331b和第一拐角部331c,第一连接部331a设置在主体的第三表面上,第一带部331b从第一连接部延伸到第一表面的一部分,第一拐角部331c从第一连接部延伸到将主体的第二表面和第三表面彼此连接的拐角;第二外电极332,包括第二连接部332a、第二带部332b和第二拐角部332c,第二连接部332a设置在主体的第四表面上,第二带部332b从第二

连接部延伸到第一表面的一部分,第二拐角部332c从第二连接部延伸到将主体的第二表面和第四表面彼此连接的拐角;绝缘层351,设置在第一连接部331a和第二连接部332a上,并且覆盖第二表面以及第一拐角部和第二拐角部;第一镀层341,设置在第一带部上;以及第二镀层342,设置在第二带部上。作为示例,第一绝缘层和第二绝缘层可包括含硅(Si)氧化物。

[0282] 在示例实施例中,当在第二方向上从第三表面的延长线E3到第一拐角部331c的端部的平均距离被定义为B3,在第二方向上从第四表面的延长线E4到第二拐角部332c的端部的平均距离被定义为B4,第三表面与第二内电极彼此间隔开的区域在第二方向上测量的平均尺寸被定义为G1,并且第四表面与第一内电极彼此间隔开的区域在第二方向上测量的平均尺寸被定义为G2时,可满足 $B3 \leq G1$ 和 $B4 \leq G2$ 。因此,可减小外电极331和332占据的体积,从而可增大多层电子组件3000的每单位体积的电容。

[0283] 在这种情况下,当在第二方向上从第三表面的延长线到第一带部331b的端部的平均距离被定义为B1,并且在第二方向上从第四表面的延长线到第二带部332b的端部的平均距离被定义为B2时,可满足 $B1 \geq G1$ 且 $B3 \geq G2$ 。因此,可增加在安装期间与焊料接触的面积,从而可改善结合力。

[0284] 根据示例实施例的多层电子组件3000可包括:主体110,包括介电层111以及第一内电极121和第二内电极122,第一内电极121和第二内电极122交替地设置,且介电层111介于第一内电极121与第二内电极122之间,并且主体110具有在第一方向上彼此相对的第一表面1和第二表面2、连接到第一表面1和第二表面2且在第二方向上彼此相对的第三表面3和第四表面4以及连接到第一表面1和第二表面2及第三表面3和第四表面4且在第三方向上彼此相对的第五表面5和第六表面6。除了主体的第一表面或第二表面的端部具有圆化的形状的构造之外,多层电子组件3000的主体110可具有与多层电子组件1000的主体的构造相同的构造。

[0285] 外电极331和332可设置在主体110的第三表面3和第四表面4上。外电极331和332可包括分别设置在主体110的第三表面3和第四表面4上并且分别连接到第一内电极121和第二内电极122的第一外电极331和第二外电极332。

[0286] 外电极331和外电极332可包括:第一外电极331,包括第一连接部331a、第一带部331b和第一拐角部331c,第一连接部331a设置在第三表面上,第一带部331b从第一连接部延伸到第一表面的一部分,第一拐角部331c从第一连接部延伸到将第二表面和第三表面彼此连接的拐角;以及第二外电极332包括第二连接部332a、第二带部332b和第二拐角部332c,第二连接部332a设置在第四表面上,第二带部332b从第二连接部延伸到第一表面的一部分,第二拐角部332c从第二连接部延伸到将第二表面和第四表面彼此连接的拐角。第一连接部331a可在第三表面上连接到第一内电极121,并且第二连接部332a可在第四表面上连接到第二内电极122。

[0287] 在示例实施例中,第一连接部331a和第二连接部332a可与第五表面和第六表面间隔开。因此,可减小外电极331和332的体积,从而可减小多层电子组件3000的尺寸。

[0288] 由于介电层111的未设置内电极121和122的边缘区域在第一方向上叠置,因此可能由于内电极121和122的厚度而形成台阶差,使得将第一表面连接到第三表面和第四表面的拐角和/或将第二表面连接到第三表面和第四表面的拐角可具有相对于第一表面和/或

第二表面朝向主体110的在第一方向上的中央收缩的形状。可选地,将第一表面1连接到第三表面3、第四表面4、第五表面5和第六表面6的拐角和/或将第二表面2连接到第三表面3、第四表面4、第五表面5和第六表面6的拐角可具有相对于第一表面和/或第二表面朝向主体110的在第一方向上的中央收缩的形状。可选地,当执行单独的工艺以对连接主体110的表面的拐角倒圆从而防止剥落缺陷时,将第一表面与第三表面至第六表面连接的拐角和/或将第二表面与第三表面至第六表面连接的拐角可具有圆化的形状。

[0289] 拐角可包括连接第一表面和第三表面的1-3拐角C1-3、连接第一表面和第四表面的1-4拐角C1-4、连接第二表面和第三表面的2-3拐角C2-3以及连接第二表面和第四表面的2-4拐角C2-4。此外,拐角可包括连接第一表面和第五表面的1-5拐角、连接第一表面和第六表面的1-6拐角、连接第二表面和第五表面的2-5拐角以及连接第二表面和第六表面的2-6拐角。然而,为了防止由于内电极121和122引起的台阶差,在层叠之后,当切割层叠体以使内电极暴露于电容形成部Ac的在第三方向(宽度方向)上的两个侧表面时,可在电容形成部Ac的在第三方向(宽度方向)上的两个侧表面上层叠单个介电层或者两个或更多个介电层以形成边缘部114和115,将第一表面连接到第五表面的部分和将第一表面连接到第六表面的部分以及将第二表面连接到第五表面的部分和将第二表面连接到第六表面的部分可不具有收缩形状。

[0290] 主体110的第一表面至第六表面可以是大致平坦的表面,并且非平坦区域可被视为拐角。此外,外电极331和332之中的设置在拐角上的区域可被视为拐角部。

[0291] 在这方面,第一拐角部331c和第二拐角部332c可设置在第二表面的延长线E2下方,并且第一拐角部331c和第二拐角部332c可与第二表面间隔开。也就是说,由于外电极331和332未设置在第二表面上,因此可进一步减小外电极331和332占据的体积,从而增大多层电子组件3000的每单位体积的电容。此外,第一拐角部331c可设置在连接第三表面和第二表面的2-3拐角C2-3的一部分上,并且第二拐角部332c可形成在连接第四表面和第二表面的2-4拐角C2-4的一部分上。

[0292] 第二表面的延长线E2可如下定义。

[0293] 可在多层电子组件3000的在宽度方向上的中央处的长度-厚度截面(L-T截面)上从第三表面到第四表面在长度方向上绘制以相等距离间隔开的沿厚度方向的七条直线P0、P1、P2、P3、P4、P5和P6,并且可将穿过P2与第二表面相交的点和P4与第二表面相交的点的线定义为第二表面的延长线E2。

[0294] 外电极331和332也可使用具有导电性的材料(诸如,金属)形成,并且可考虑电性能和结构稳定性来确定特定材料,并且外电极331和332可具有多层结构。

[0295] 外电极331和332可以是包括导电金属和玻璃的烧制电极,或者可以是包括导电金属和树脂的树脂基电极。

[0296] 此外,外电极331和332可具有在主体上依次形成烧制电极和树脂基电极的形式。此外,外电极331和332可通过将包括导电金属的片转印到主体来形成或者通过将包括导电金属的片转印到烧制电极来形成。

[0297] 作为外电极331和332中包括的导电金属,可使用具有优异导电性的金属材料,但该金属材料不限于任何特定的示例。例如,该导电金属可以是Cu、Ni、Pd、Ag、Sn、Cr以及它们的合金中的一种或更多种。优选地,外电极331和332可包括Ni和Ni合金中的至少一种,因

此,可改善与包括Ni的内电极121和122的连接性。

[0298] 绝缘层351可设置在第一连接部331a和第二连接部332a上。

[0299] 由于第一连接部331a和第二连接部332a可连接到内电极121和122,因此第一连接部331a和第二连接部332a可以是在镀覆工艺中镀液渗透或在实际使用期间水分渗透的路径。在示例实施例中,由于绝缘层351设置在连接部331a和332a上,因此可防止外部水分或镀液的渗透。

[0300] 绝缘层351可被设置为与第一镀层341和第二镀层342接触。在这种情况下,绝缘层351可通过部分地覆盖第一镀层341和第二镀层342的端部而与第一镀层341和第二镀层342的端部接触,或者第一镀层341和第二镀层342可通过部分地覆盖绝缘层351的端部而与绝缘层351的端部接触。

[0301] 绝缘层351可设置在第一连接部331a和第二连接部332a上,并且可被设置为覆盖第二表面以及第一拐角部331c和第二拐角部332c。此外,绝缘层351可覆盖第一拐角部331c的端部和第二拐角部332c的端部与主体110接触的区域,并且可阻挡水分渗透路径,从而改善防潮可靠性。

[0302] 绝缘层351可设置在第二表面上并且可延伸到第一连接部331a和第二连接部332a。此外,当外电极331和332未设置在第二表面上时,绝缘层可被设置为完全覆盖第二表面。绝缘层351不必须设置在第二表面上,即绝缘层可不设置在第二表面的一部分或整个第二表面上,并且绝缘层可被分成两个区域,并且这两个区域可分别设置在第一连接部331a和第二连接部332a上。然而,即使在这种情况下,绝缘层也可被设置为完全覆盖第一拐角部331c和第二拐角部332c。当绝缘层未设置在第二表面上时,绝缘层可设置在第二表面的延长线下方。此外,绝缘层未设置在第二表面上,并且可从第一连接部331a和第二连接部332a延伸到第五表面和第六表面,并且可形成一体化绝缘层。

[0303] 在示例实施例中,绝缘层351可被设置为覆盖第五表面的一部分和第六表面的一部分,并且可改善可靠性。在这种情况下,第五表面和第六表面的未被绝缘层覆盖的部分可暴露。

[0304] 此外,绝缘层351可被设置为覆盖整个第五表面和整个第六表面,并且在这种情况下,第五表面和第六表面可不暴露,从而改善防潮可靠性。

[0305] 绝缘层351可防止镀层341和342形成在外电极331和332的其上设置有绝缘层351的部分上,并且可改善密封性能,并且可减少水分或镀液的渗透。绝缘层351的成分、组成、平均厚度和效果可与多层电子组件1000和2000及其各个实施例中包括的绝缘层的成分、组成、平均厚度和效果相同,因此,将不提供其描述。

[0306] 第一镀层341和第二镀层342可分别设置在第一带部331b和第二带部332b上。镀层341和342可改善安装性能,并且由于镀层341和342设置在带部331b和332b上,因此可减少安装空间,并且可减少镀液渗透到内电极中,从而改善可靠性。第一镀层341的一端和第二镀层342的一端可与第一表面接触,并且第一镀层341的另一端和第二镀层342的另一端可与绝缘层351接触。

[0307] 镀层341和342的类型不限于任何特定示例,并且镀层341和342可以是包括Cu、Ni、Sn、Ag、Au、Pd以及它们的合金中的至少一种的镀层,并且可包括多个层。

[0308] 例如,镀层341和342可以是Ni镀层或Sn镀层,或者可具有在第一带部331b和第二

带部332b上依次形成Ni镀层和Sn镀层的形式。

[0309] 在示例实施例中,绝缘层351可被设置为与第一外电极331和第二外电极332直接接触,并且第一外电极331和第二外电极332可包括导电金属和玻璃。因此,由于镀层341和342可不设置在第一外电极331和第二外电极332的外表面之中设置有绝缘层351的区域中,因此可有效地防止由镀液引起的对外电极的侵蚀。

[0310] 在示例实施例中,绝缘层351可被设置为与第一外电极331和第二外电极332直接接触,并且第一外电极331和第二外电极332可包括导电金属和树脂。因此,由于镀层341和342可不设置在第一外电极331和第二外电极332的外表面之中设置有绝缘层351的区域中,因此可有效地防止由镀液引起的对外电极的侵蚀。

[0311] 在示例实施例中,第一镀层341可被设置为覆盖绝缘层351的设置在第一外电极331上的端部,并且第二镀层342可被设置为覆盖绝缘层351的设置在第二外电极332上的端部。因此,可加强绝缘层351与镀层341和342之间的结合力,从而可改善多层电子组件3000的可靠性。此外,通过在外电极331和332上形成镀层241和242之前首先形成绝缘层351,可以可靠地防止在形成镀层的工艺中镀液的渗透。由于绝缘层在镀层之前形成,因此镀层341和342可具有覆盖绝缘层351的端部的形状。

[0312] 在示例实施例中,绝缘层351可被设置为覆盖第一镀层341的设置在第一外电极331上的端部,并且覆盖第二镀层342的设置在第二外电极332上的端部。例如,绝缘层351可被设置为覆盖第一镀层341的设置在第一连接部331a上的端部,并且覆盖第二镀层342的设置在第二连接部332a上的端部。因此,可加强绝缘层351与镀层341和342之间的结合力,从而可改善多层电子组件3000的可靠性。

[0313] 在示例实施例中,第一镀层341和第二镀层342可延伸,以分别部分地覆盖第一连接部331a和第二连接部332a。当在第一方向上从第一表面1到内电极121和122之中最邻近(最靠近)第一表面1设置的内电极的平均距离被定义为 H_1 ,并且在第一方向上从第一表面1的延长线到第一镀层341的设置在第一连接部331a上的端部和第二镀层342的设置在第二连接部332a上的端部的平均距离被定义为 H_2 时,可满足 $H_1 > H_2$ 。因此,可防止在镀覆工艺期间镀液渗透到内电极中,从而改善可靠性。

[0314] 在示例实施例中,当在第一方向上从第一表面1到内电极121和122之中最邻近(最靠近)第一表面1设置的内电极的平均距离被定义为 H_1 ,并且在第一方向上从第一表面1的延长线到第一镀层341的设置在第一连接部331a上的端部和第二镀层342的设置在第二连接部332a上的端部的平均距离被定义为 H_2 时,可满足 $H_1 < H_2$ 。因此,可增加在安装期间与焊料接触的面积,从而改善结合力。更优选地,当主体110在第一方向上的平均尺寸被定义为 T 时,可满足 $H_2 < T/2$ 。也就是说,可满足 $H_1 < H_2 < T/2$,这可能是由于,当 H_2 为 $T/2$ 或更大时,通过绝缘层改善防潮可靠性的效果可能下降。

[0315] 在示例实施例中,第一镀层341和第二镀层342可设置在第一表面的延长线下方。因此,在安装期间可减小焊料的高度,并且可减小安装空间。此外,绝缘层351可延伸到第一表面的延长线下方的区域,并且可与第一镀层341和第二镀层342接触。

[0316] 在示例实施例中,主体在第二方向上的平均尺寸被定义为 L ,在第二方向上从第三表面的延长线到第一带部的端部的平均距离被定义为 B_1 ,在第二方向上从第四表面的延长线到第二带部的端部的平均距离被定义为 B_2 ,可满足 $0.2 \leq B_1/L \leq 0.4$ 和 $0.2 \leq B_2/L \leq 0.4$ 。

[0317] 当 $B1/L$ 和 $B2/L$ 小于0.2时,可能难以确保足够的固定强度。当 $B1/L$ 和 $B2/L$ 大于0.4时,在高电压电流下可能在第一带部331b与第二带部332b之间产生漏电流,并且第一带部331b和第二带部332b可能由于镀覆扩散而电连接。

[0318] 在示例实施例中,多层电子组件还可包括设置在第一表面上并且设置在第一带部331b与第二带部332b之间的附加绝缘层。因此,可防止在高电压电流下可能在第一带部331b与第二带部332b之间发生的漏电流。

[0319] 附加绝缘层的类型不限于任何特定示例。例如,与绝缘层351类似,附加绝缘层可包括含Si氧化物、含硼氧化物、硼硅酸盐和硼硅酸锌中的至少一种。附加绝缘层和绝缘层351不需要利用相同的材料形成,而是可利用不同的材料形成。例如,附加绝缘层可包括从环氧树脂、丙烯酸树脂、乙基纤维素等中选择的一种或更多种,或者可包括玻璃。

[0320] 在示例实施例中,当在第二方向上从第三表面的延长线到第一带部的端部的平均距离被定义为 $B1$,并且在第二方向上从第四表面的延长线到第二带部的端部的平均距离被定义为 $B2$ 时,可满足 $B3 < B1$ 和 $B4 < B2$ 。第一带部331b的平均长度 $B1$ 可比第一拐角部331c的平均长度 $B3$ 长,并且第二带部332b的平均长度可比第二拐角部332c的平均长度 $B4$ 长。因此,可增加在安装期间与焊料接触的区域,从而改善结合力。

[0321] 更详细地,当在第二方向上从第三表面3的延长线到第一带部331b的端部的平均距离被定义为 $B1$ 时,在第二方向上从第四表面4的延长线到第二带部332b的端部的平均距离被定义为 $B2$,在第二方向上从第三表面3的延长线到第一拐角部331c的端部的平均距离被定义为 $B3$,并且在第二方向上从第四表面4的延长线到第二拐角部332c的端部的平均距离被定义为 $B4$ 时,可满足 $B3 < B1$ 和 $B4 < B2$ 。

[0322] 在示例实施例中,第一镀层341和第二镀层342的平均厚度可小于绝缘层351的平均厚度。

[0323] 绝缘层351可防止外部水分或镀液的渗透,但与镀层341和342的连接性可能相对弱,这可能导致镀层的脱层。当镀层脱层时,与基板的结合力可能减小。这里,镀层的脱层可指的是镀层的部分脱落或镀层与外电极331和332物理分离。由于镀层与绝缘层之间的连接性相对弱,因此极有可能的是绝缘层与镀层之间的间隙可能变宽或异物可能进入,这导致镀层易受外部冲击的影响,因此脱层的可能性可能增大。

[0324] 在示例实施例中,通过将镀层的平均厚度减小到小于绝缘层的平均厚度,可减小镀层与绝缘层之间的接触面积,从而防止脱层并改善多层电子组件3000与其他组件(诸如,基板)的结合力。

[0325] 多层电子组件3000的尺寸不限于任何特定示例。

[0326] 然而,为了获得小型化和高电容二者,可能需要通过减小介电层和内电极的厚度来增加层叠的层的数量,因此,在具有1005(长×宽,1.0mm×0.5mm)或更小的尺寸的多层电子组件3000中,示例实施例中的改善可靠性和每单位体积的电容的效果会是明显的。

[0327] 因此,当考虑制造误差、外电极尺寸等时,并且当多层电子组件3000的长度为1.1mm或更小且多层电子组件3000的宽度为0.55mm或更小时,示例实施例中的改善可靠性的效果会是明显的。这里,多层电子组件3000的长度可指的是多层电子组件3000在第二方向上的最大尺寸,并且多层电子组件3000的宽度可指的是多层电子组件3000在第三方向上的最大尺寸。

[0328] 根据上述示例实施例,可保护多层电子组件免受热膨胀和热还原引起的热冲击的影响,并且可形成均匀的绝缘膜。

[0329] 此外,由于绝缘层的硬度在低温(例如,低于常规玻璃层的软化点的温度)下增加,因此可防止传递到多层电子组件内部的应力,从而可防止多层电子组件中的裂纹和脱层。

[0330] 此外,可防止在升高温度的工艺中由包括外电极中的金属扩散到内电极中引起的辐射裂纹。

[0331] 虽然上面已经示出和描述了示例实施例,但对于本领域技术人员将易于理解的是,在不脱离由所附权利要求限定的本公开的范围的情况下,可进行修改和变型。

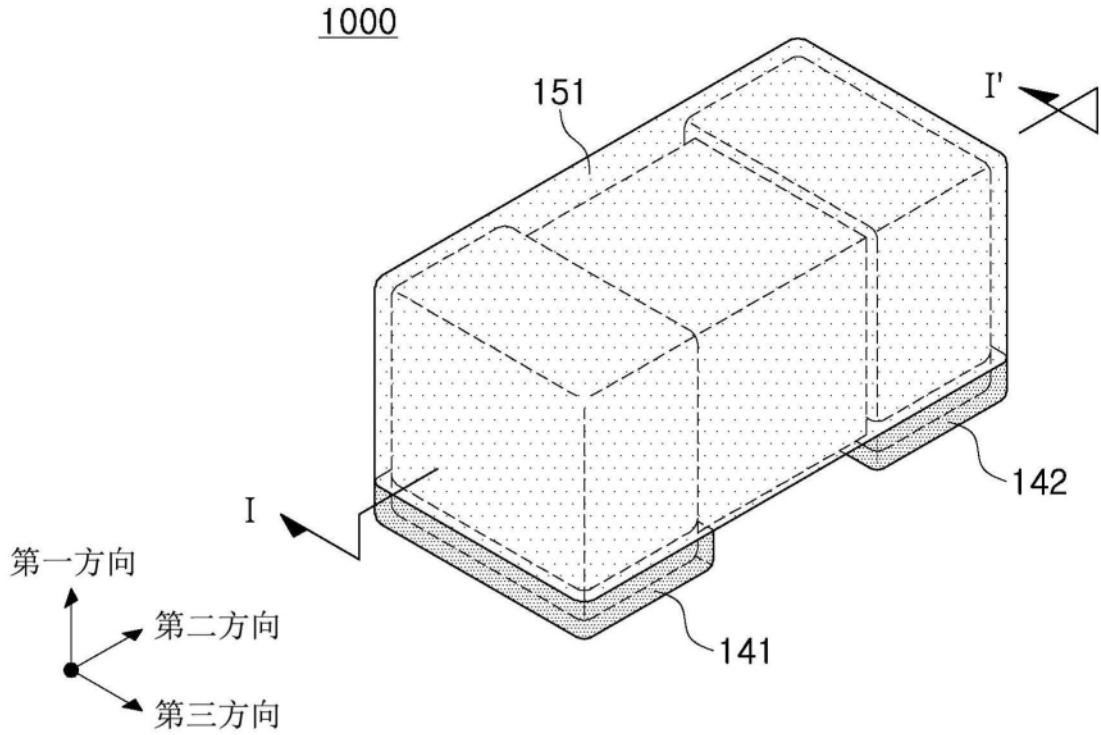


图1

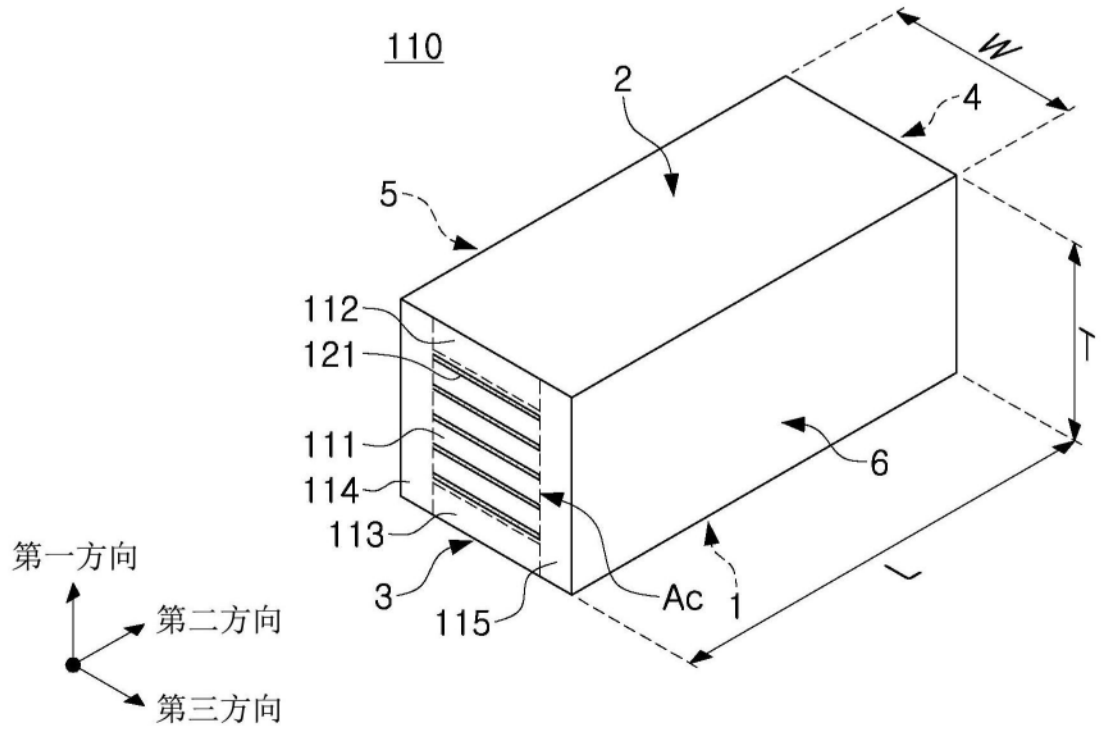


图2

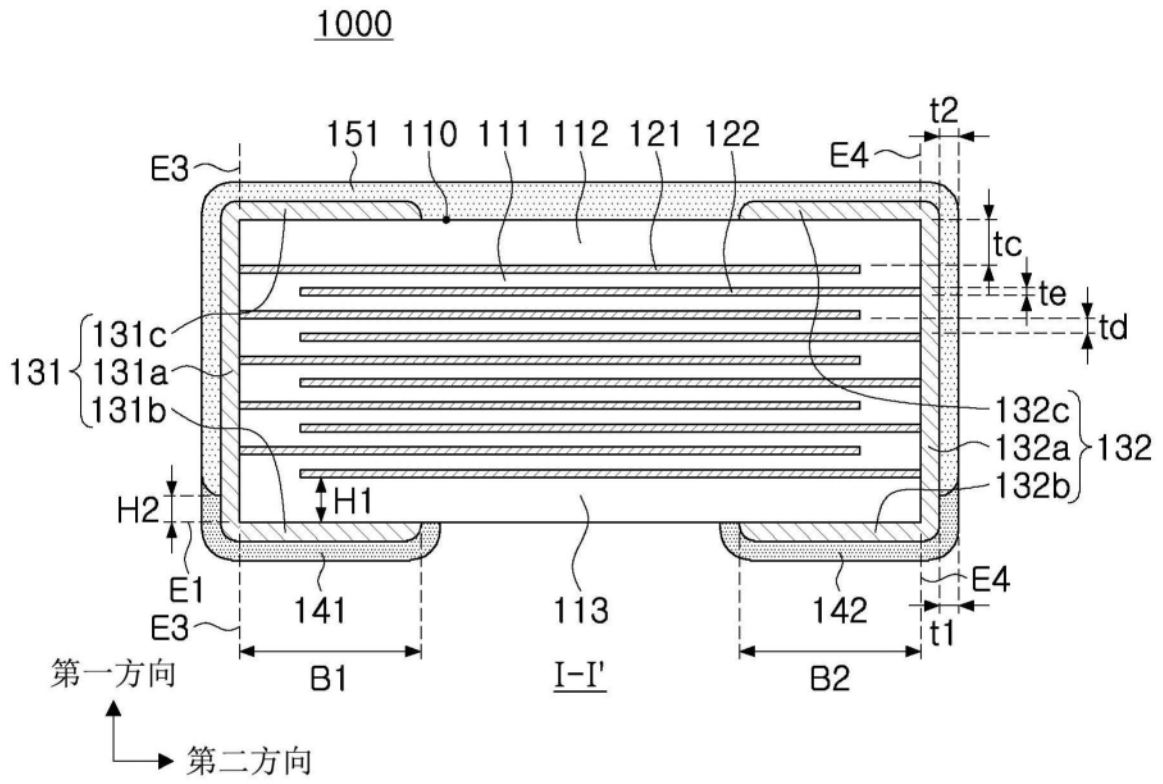


图3

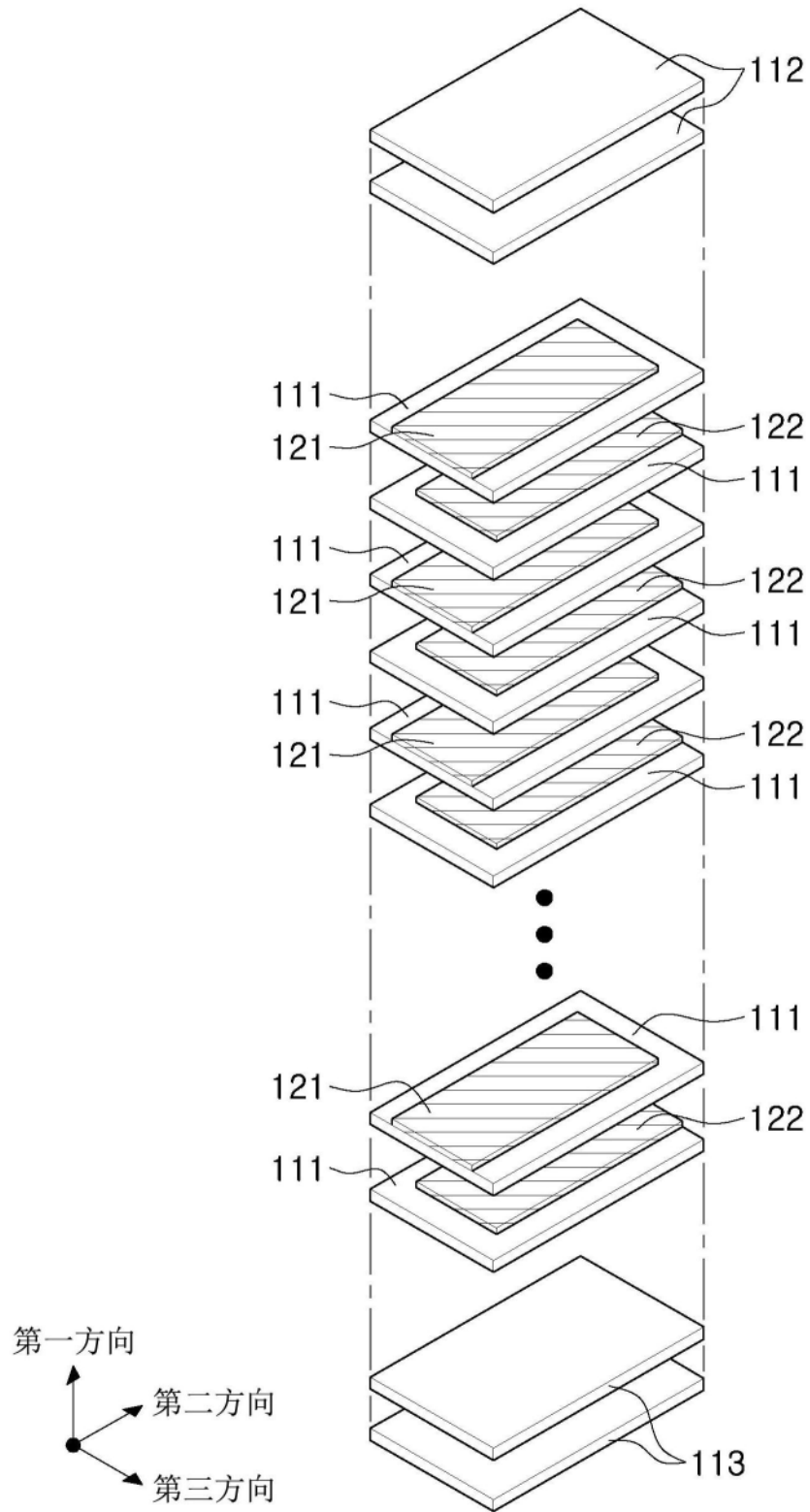


图4

1100

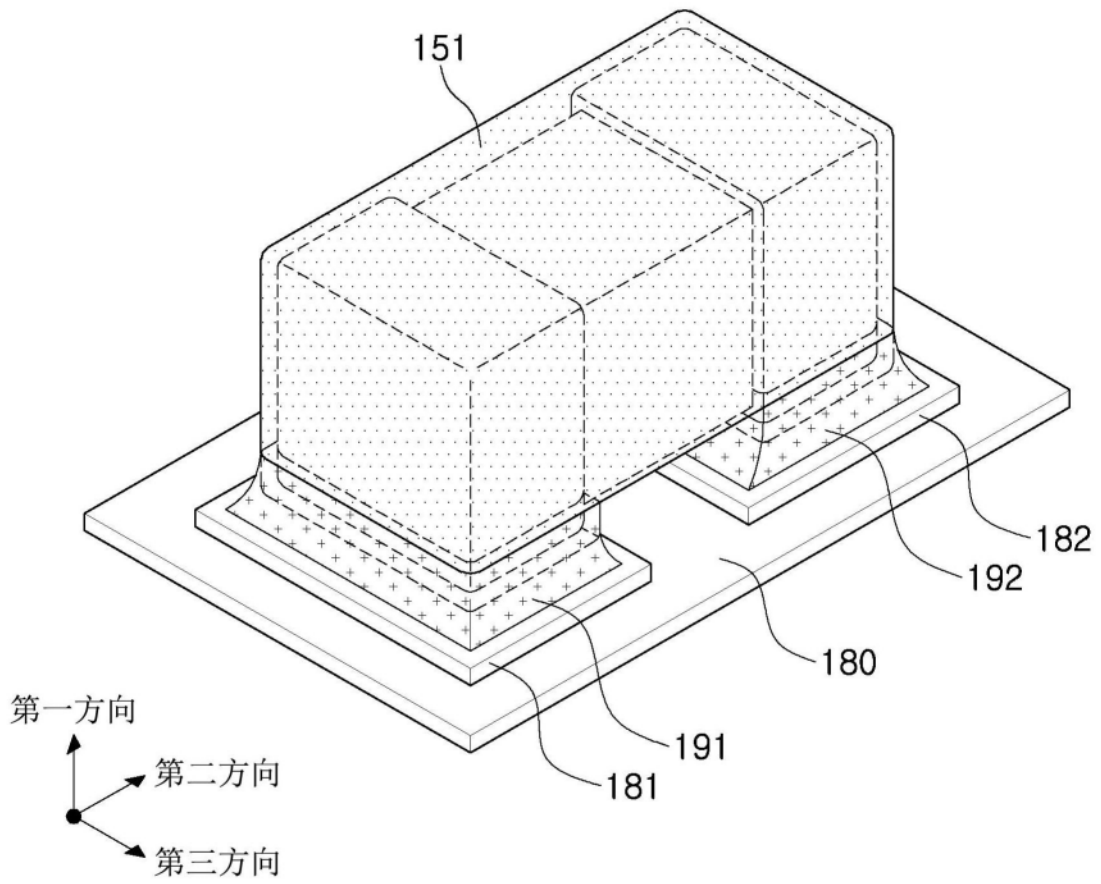


图5

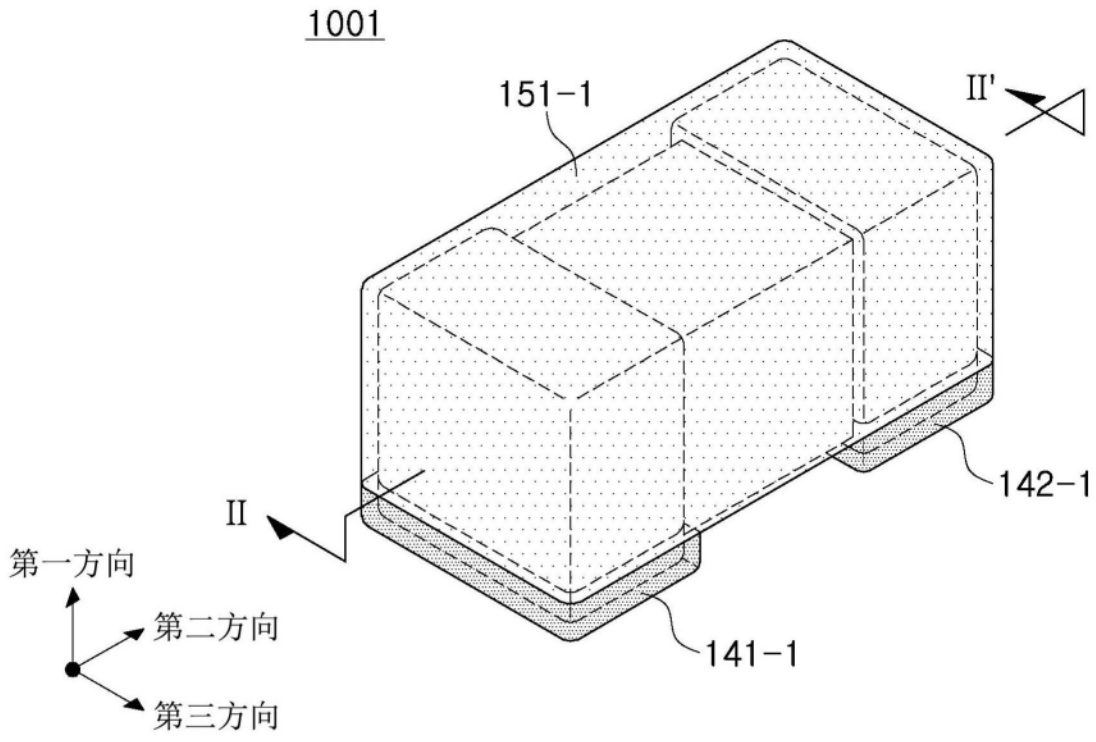


图6

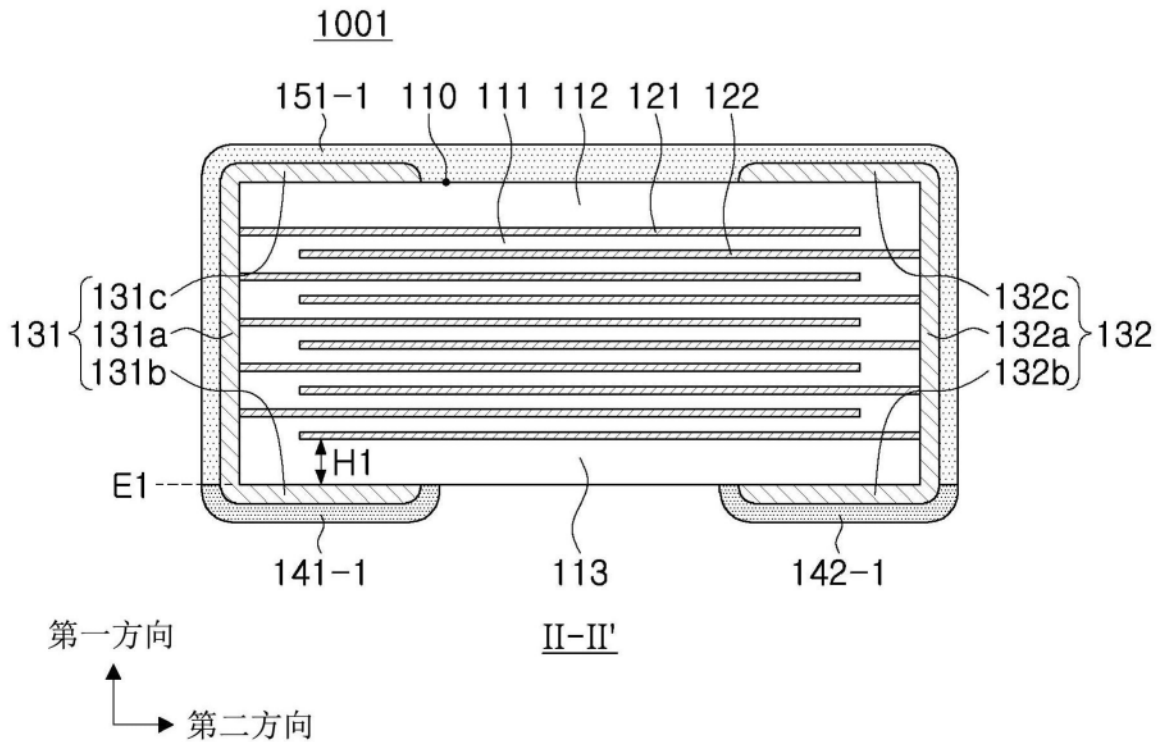


图7

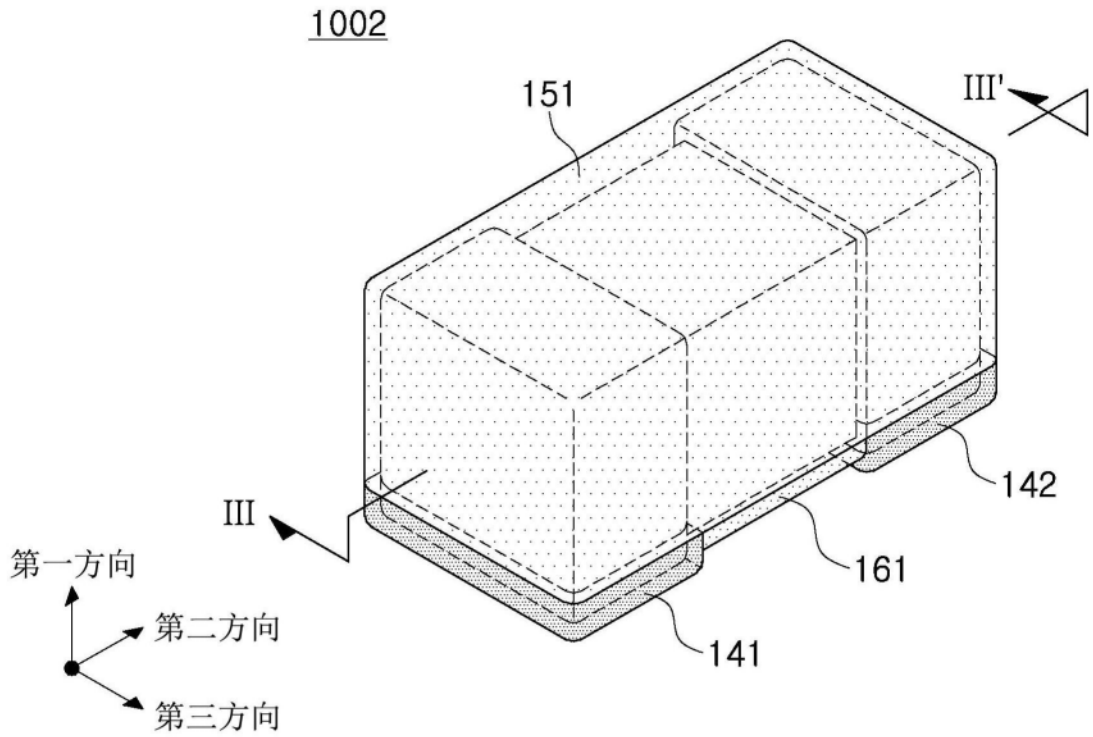


图8

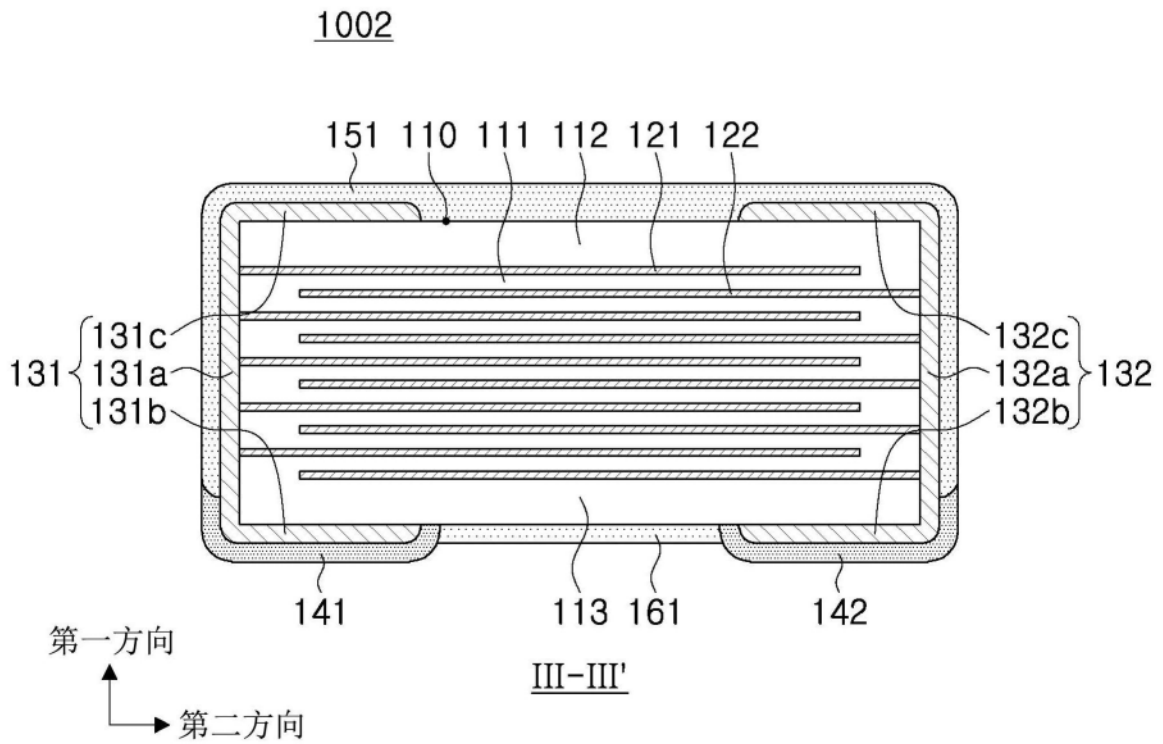


图9

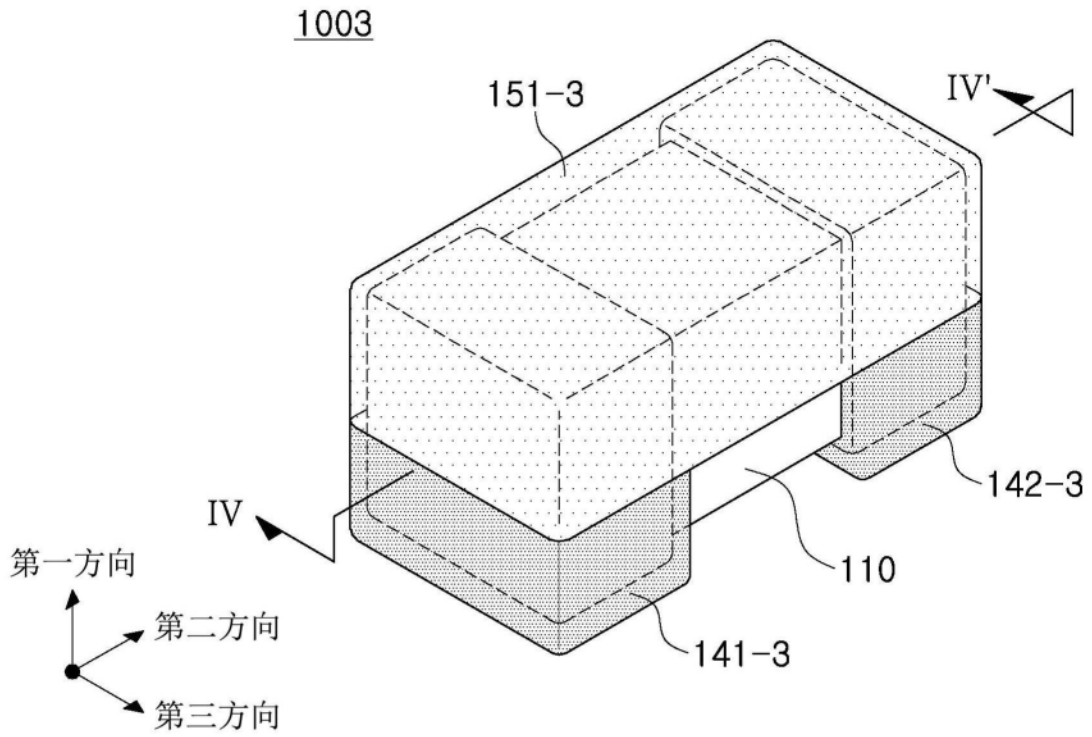


图10

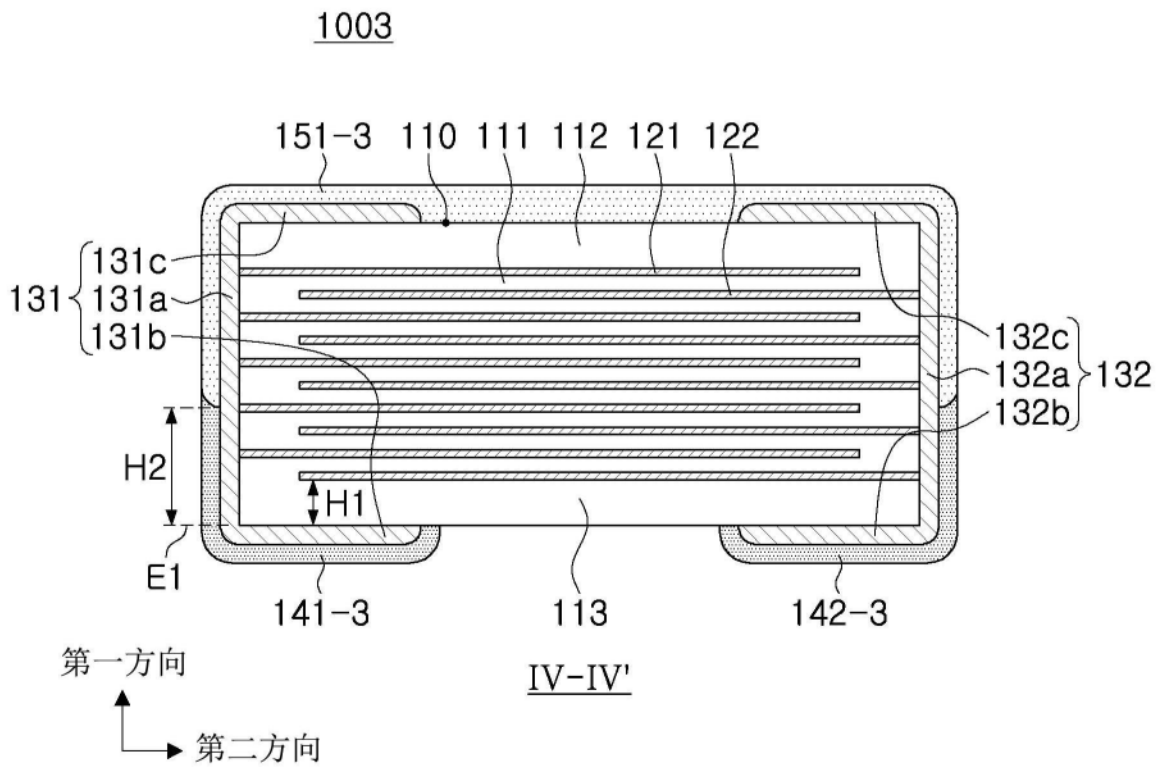


图11

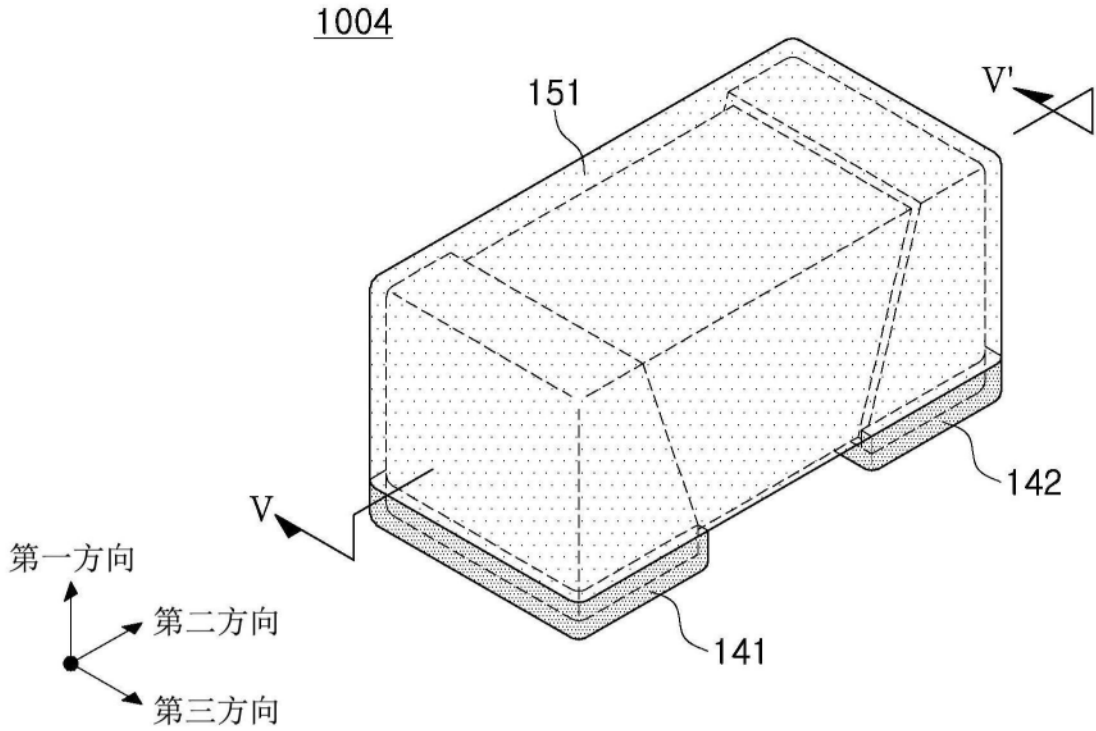


图12

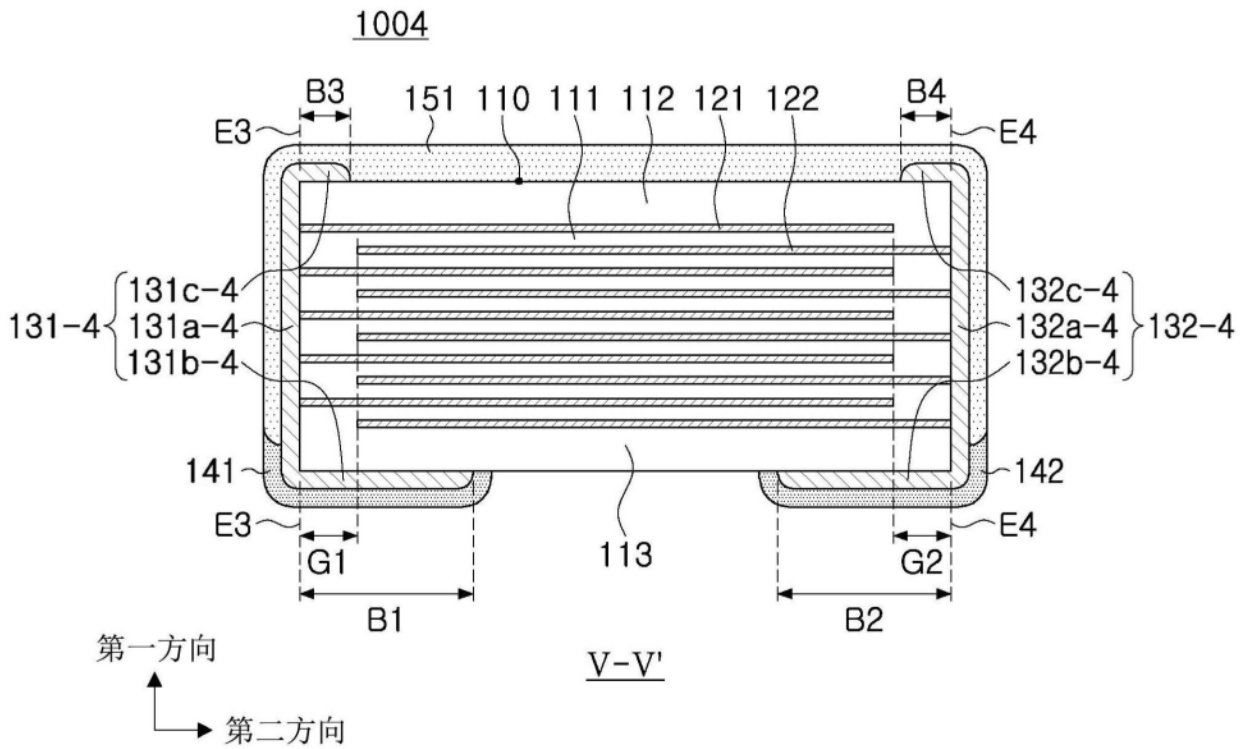


图13

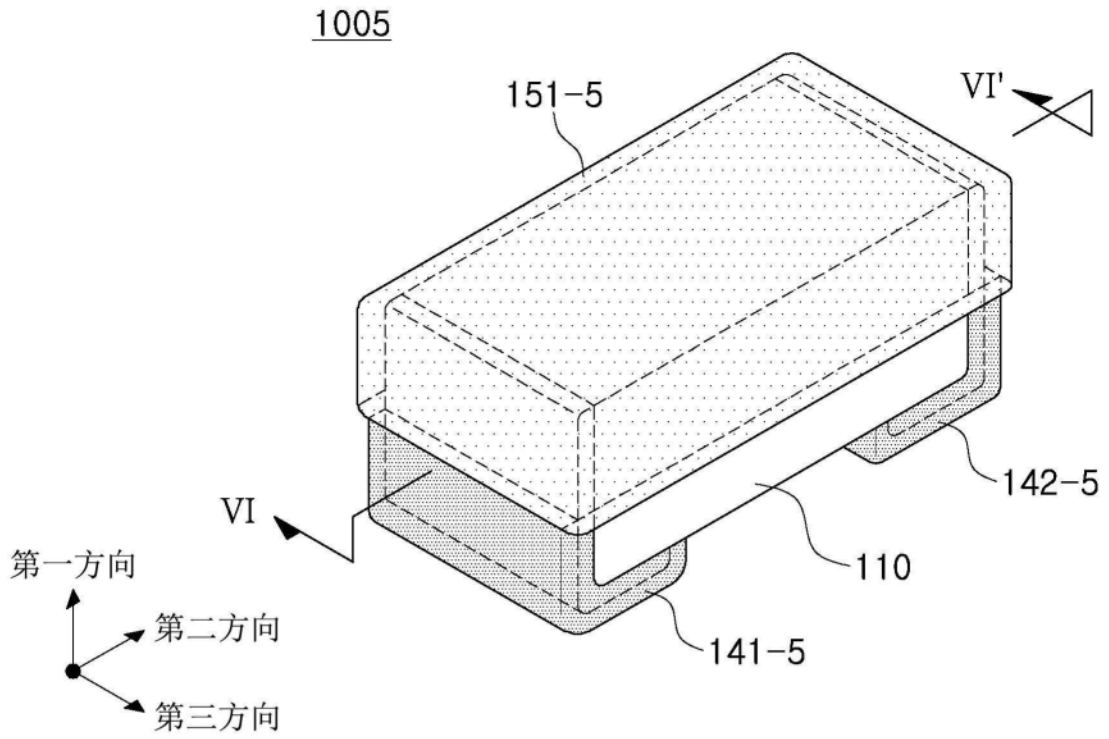


图14

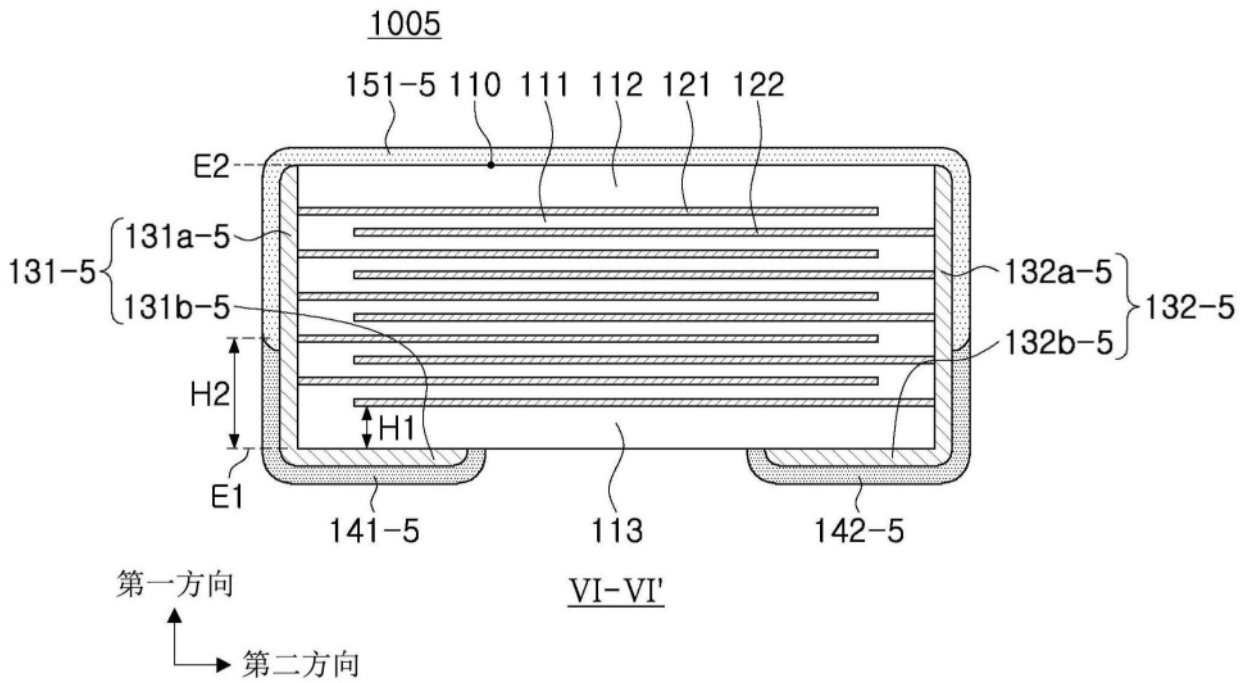


图15

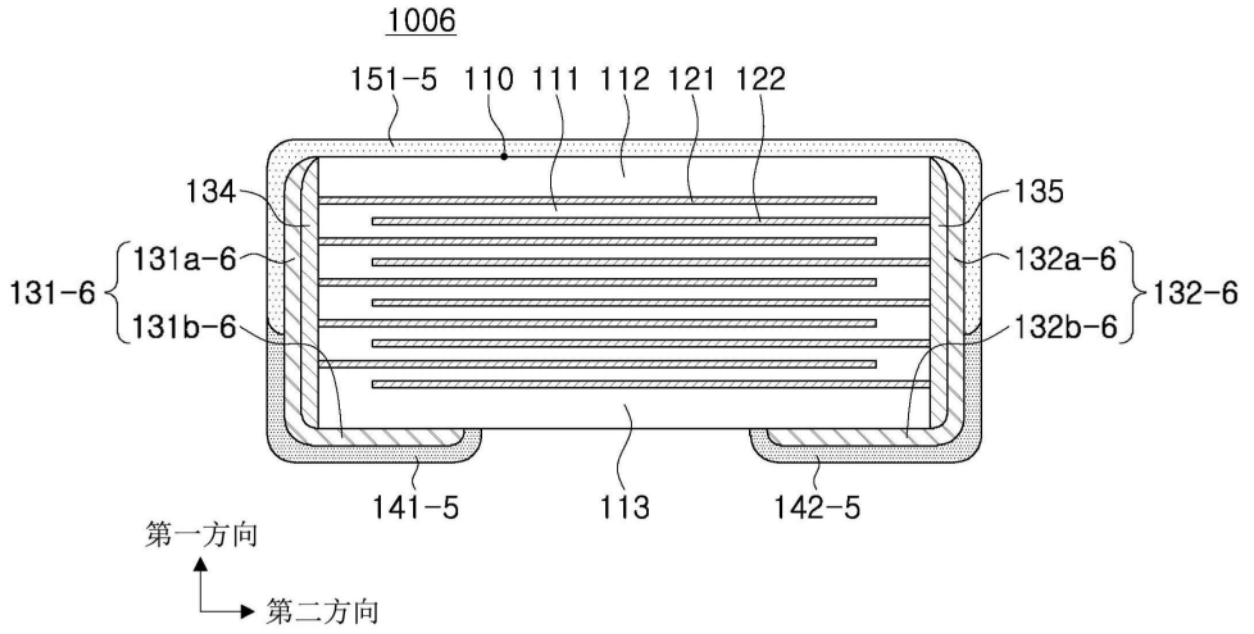


图16

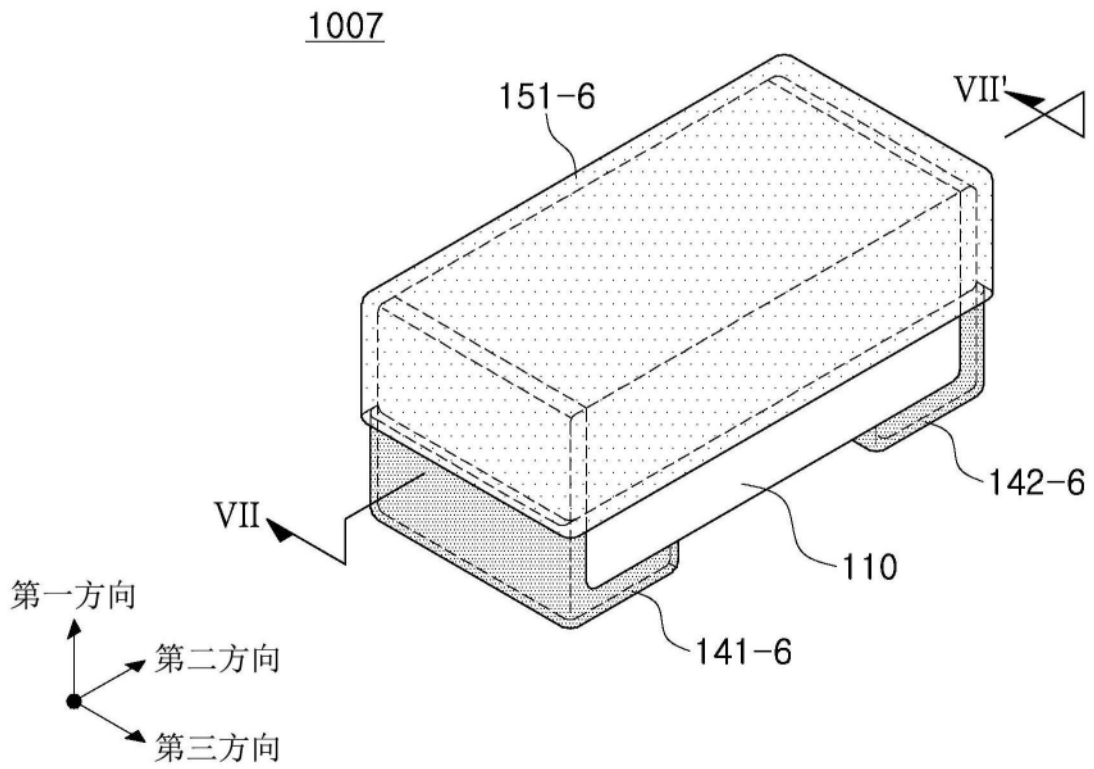


图17

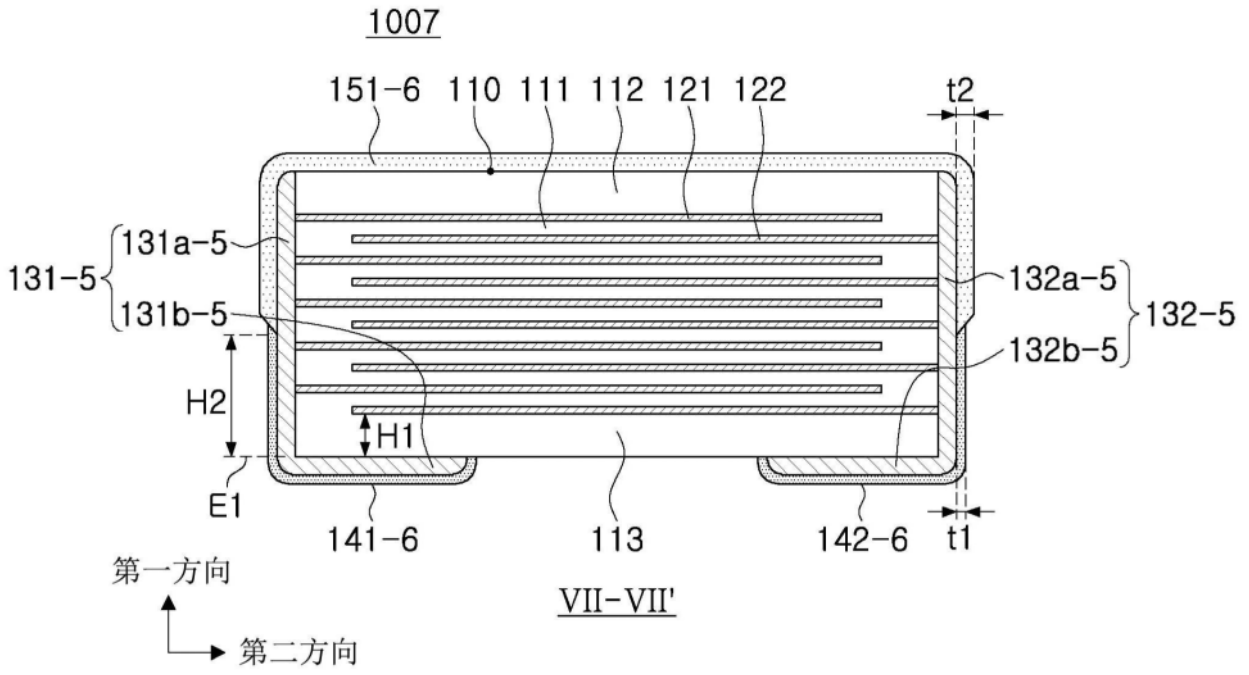


图18

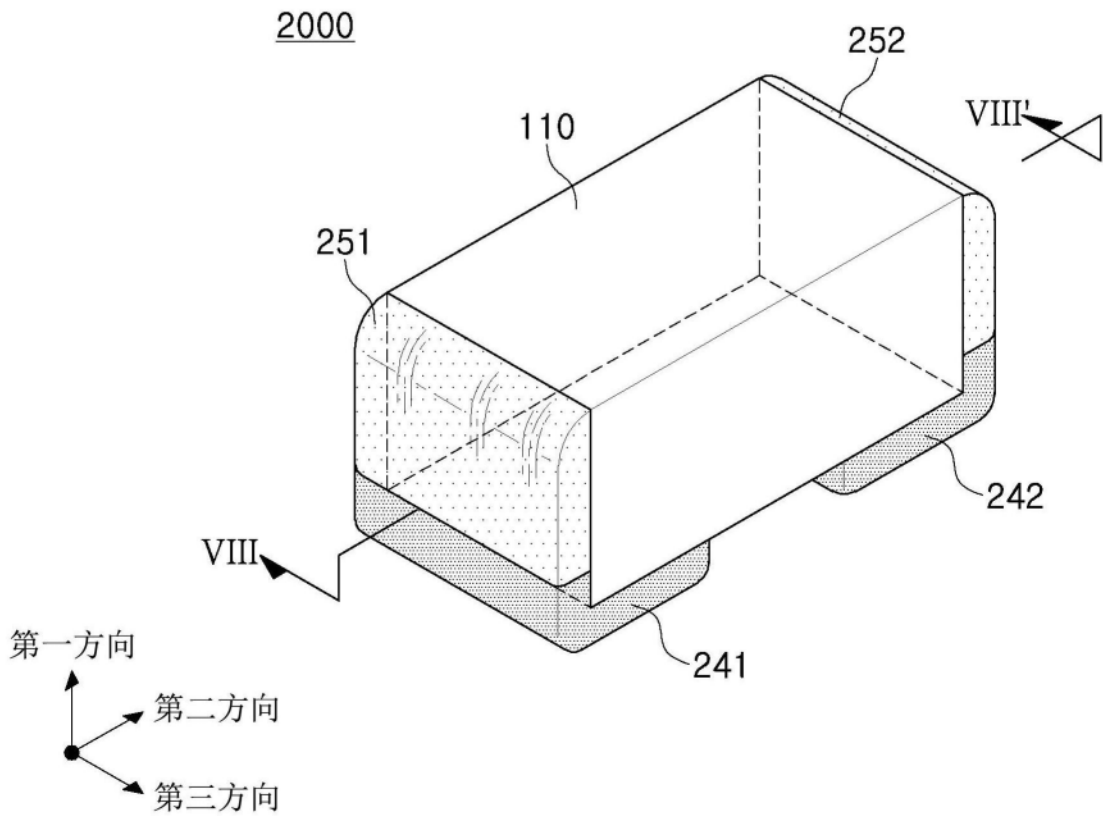


图19

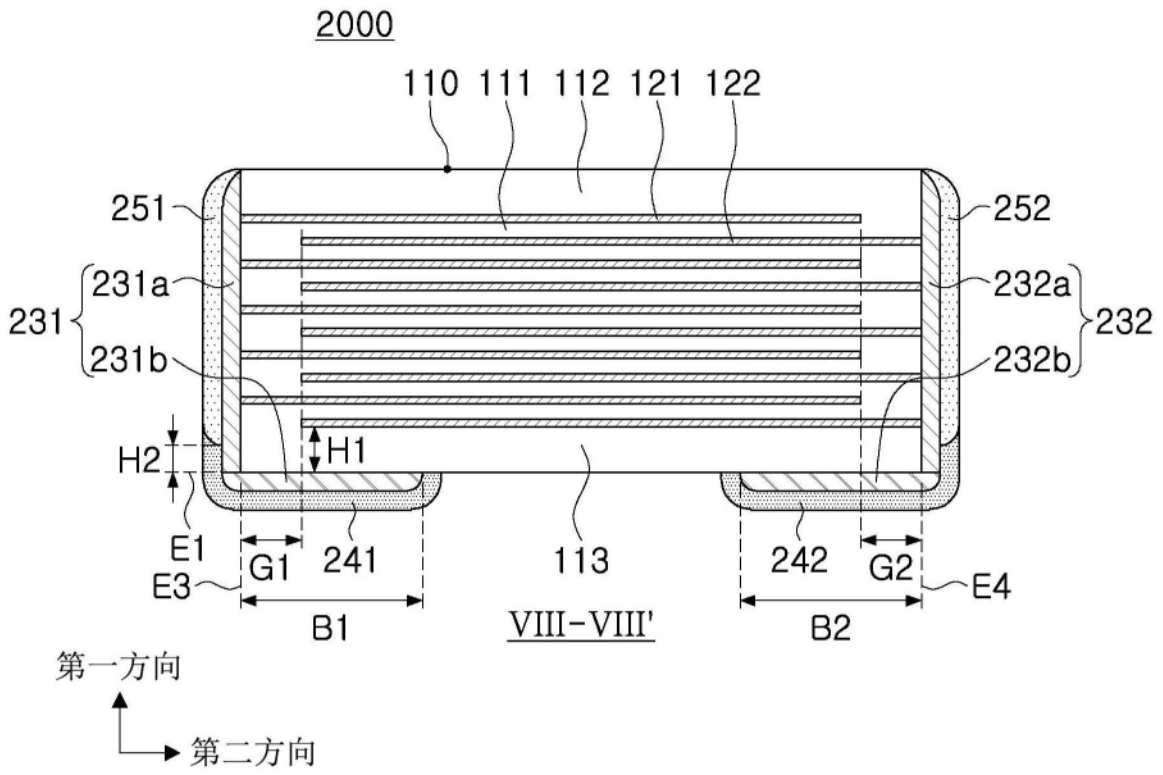


图20

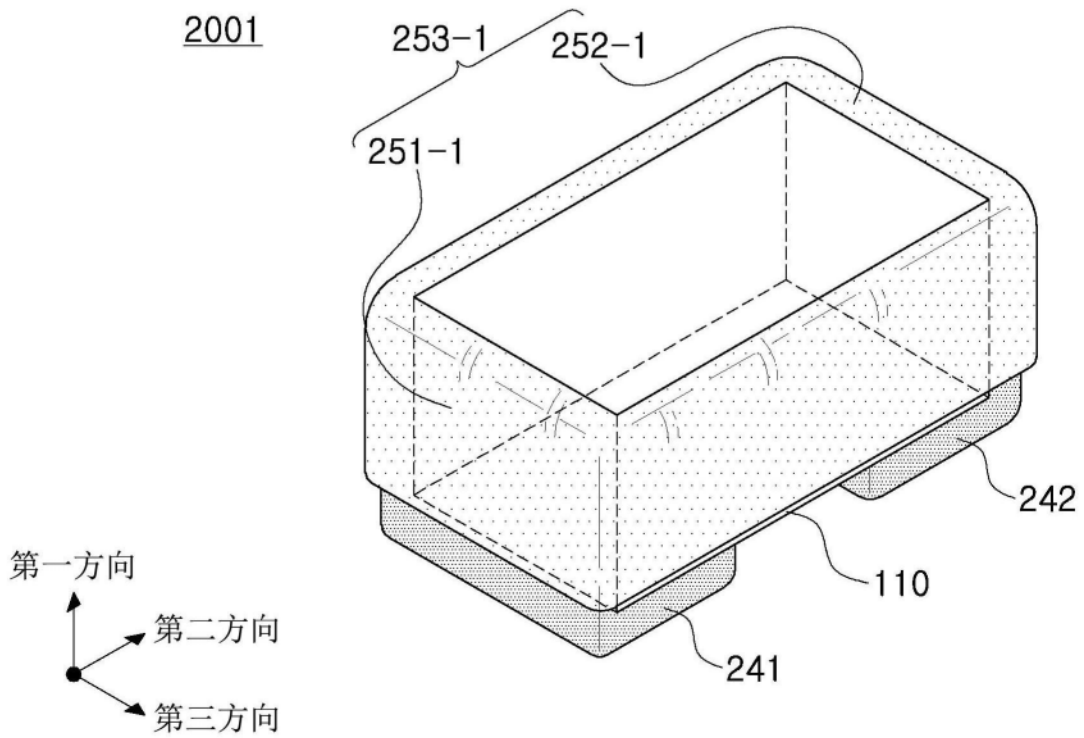


图21

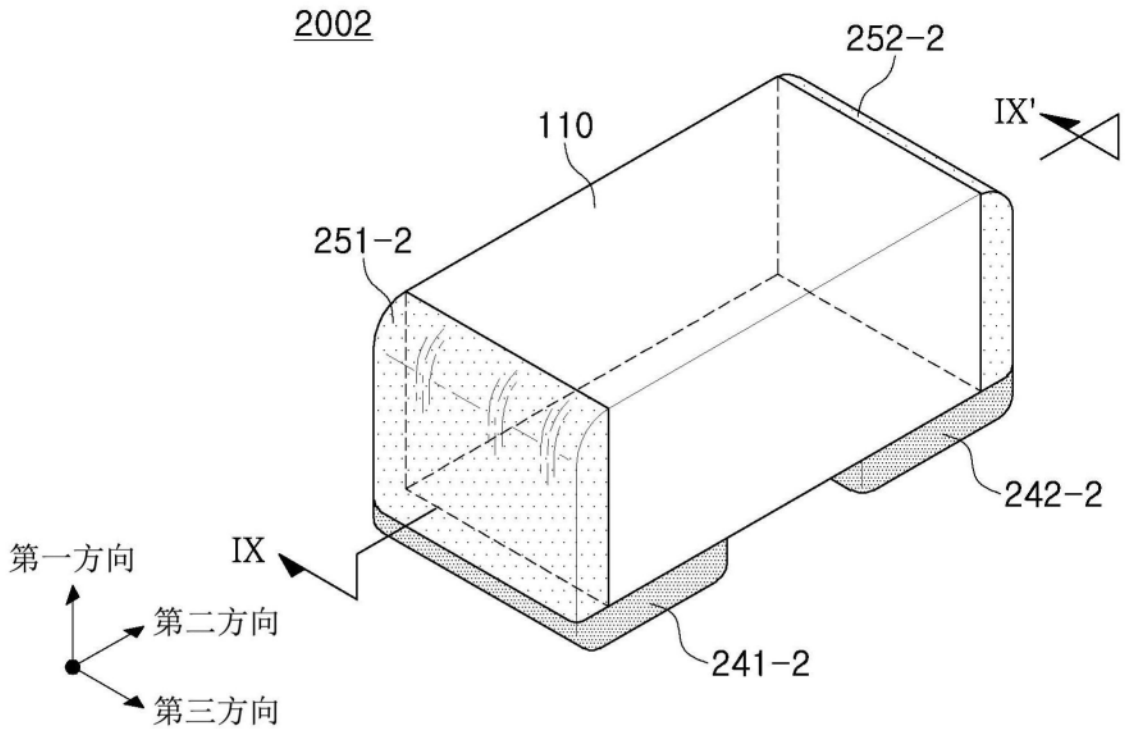


图22

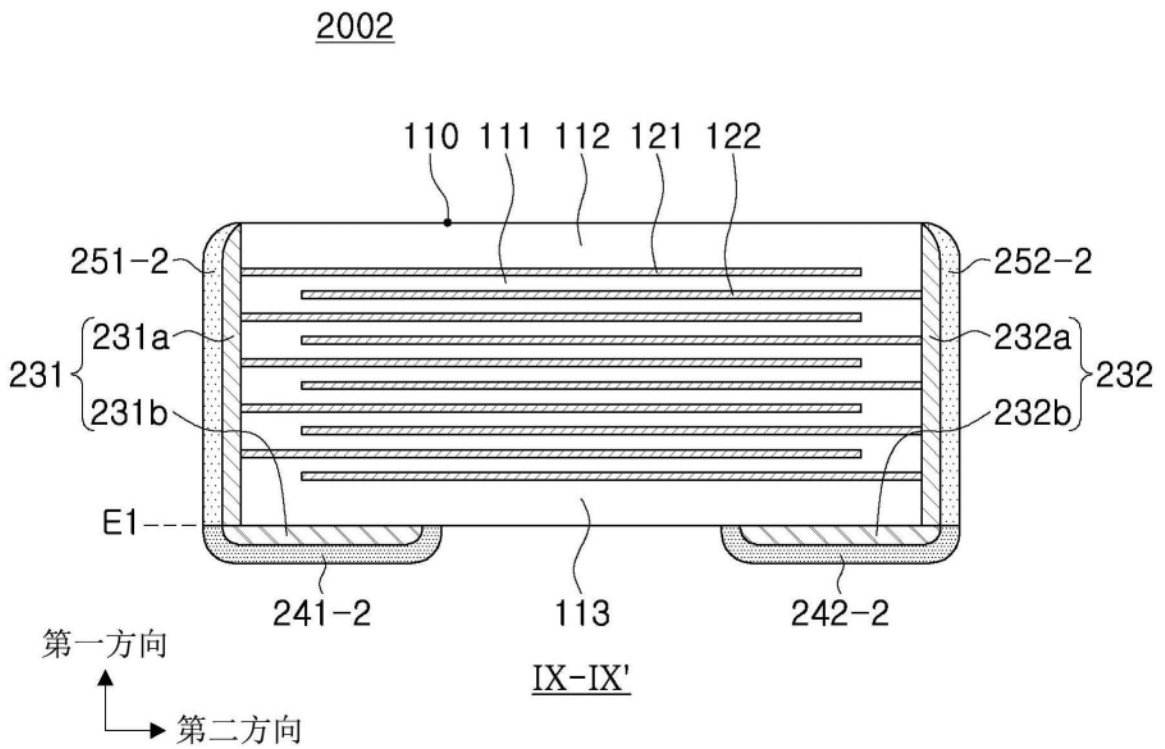


图23

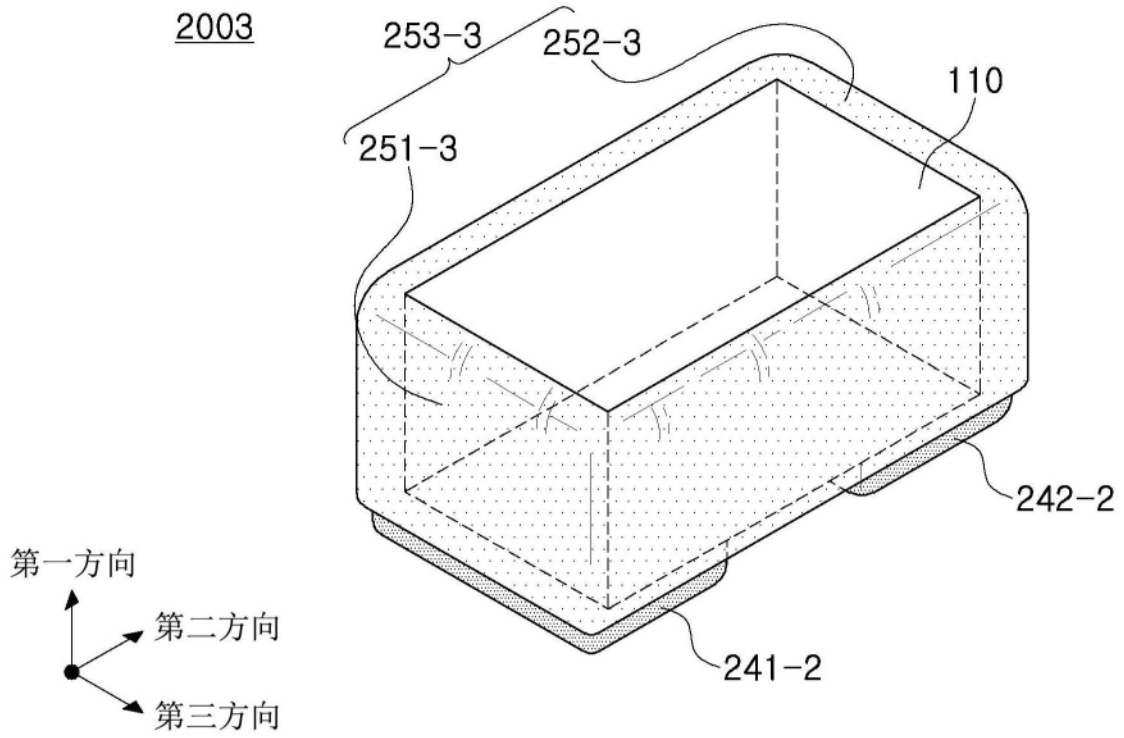


图24

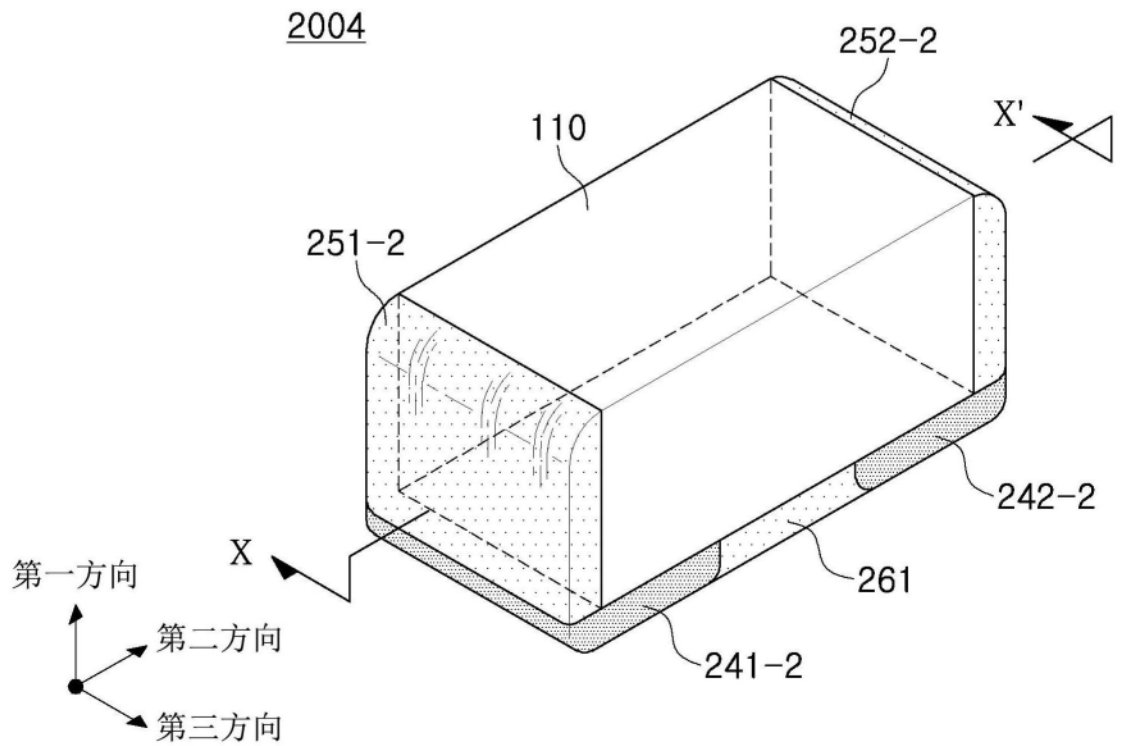


图25

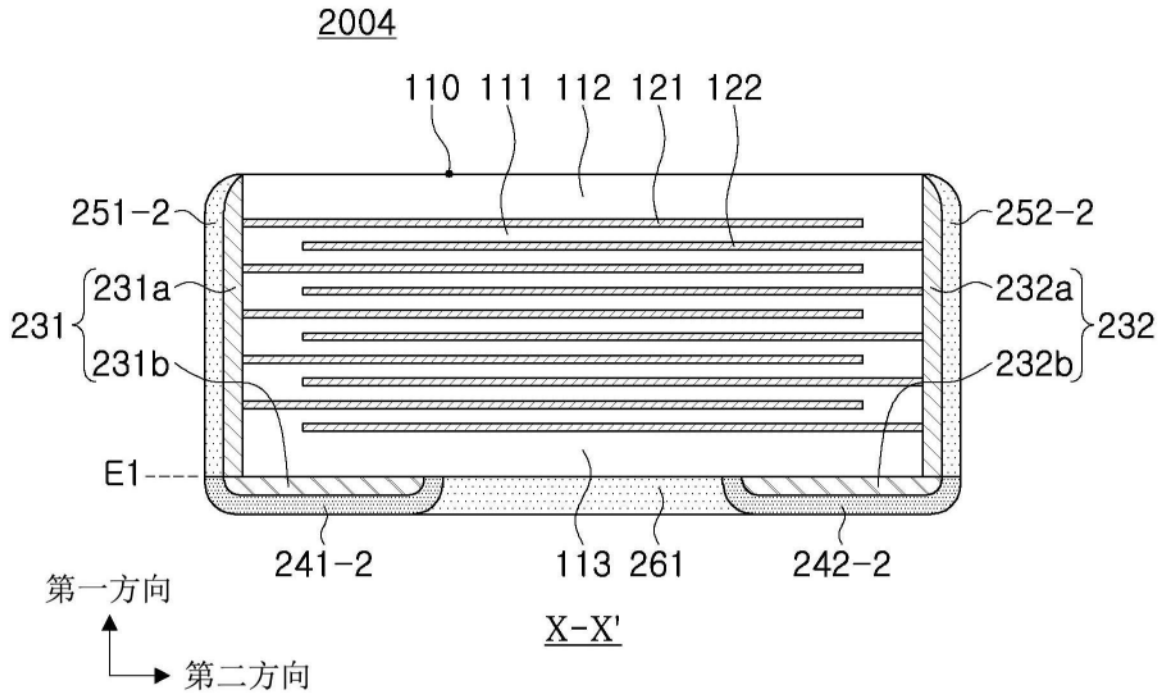


图26

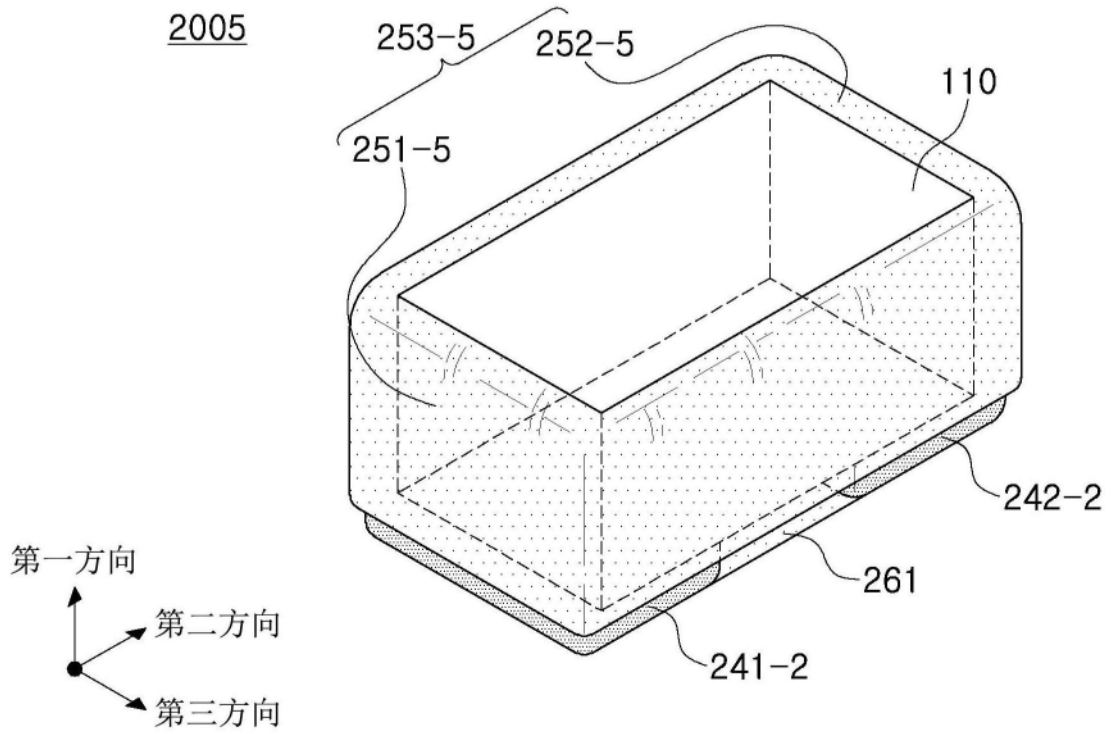


图27

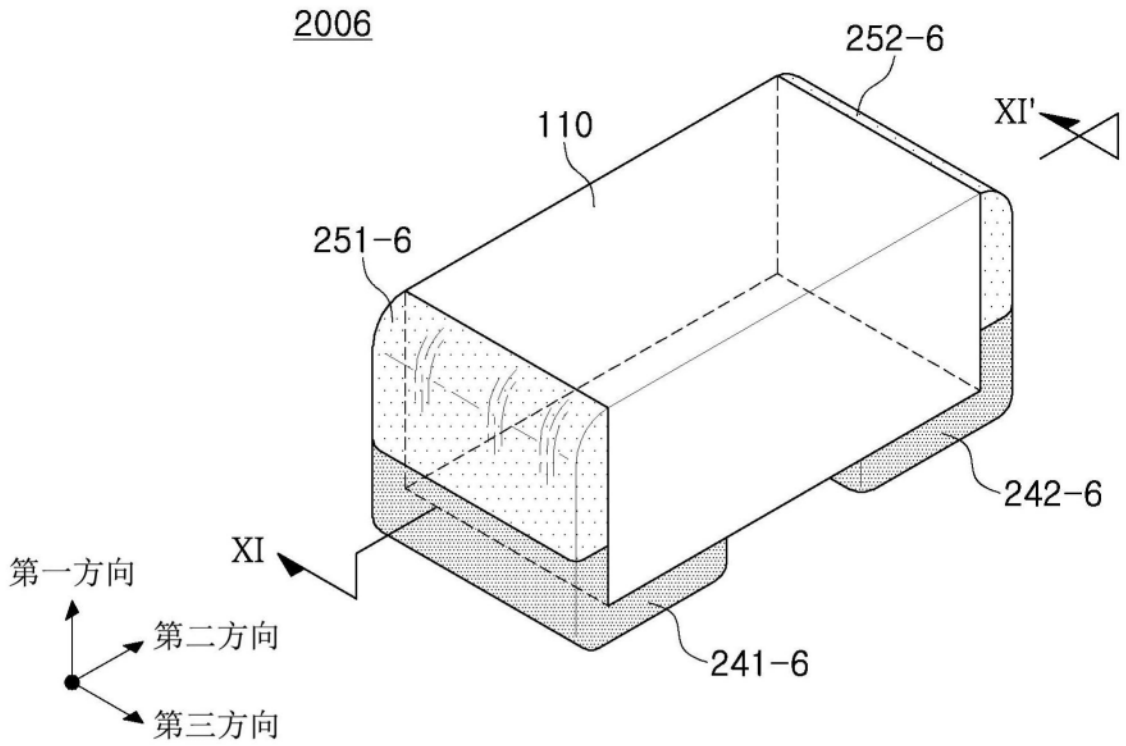


图28

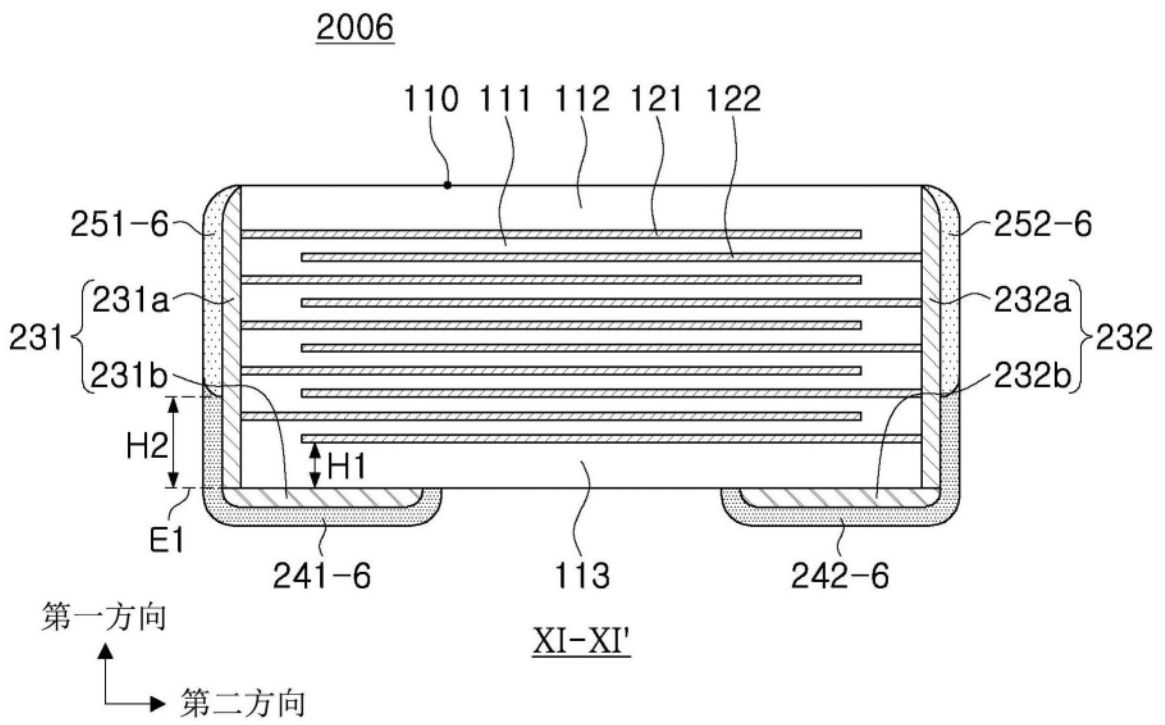


图29

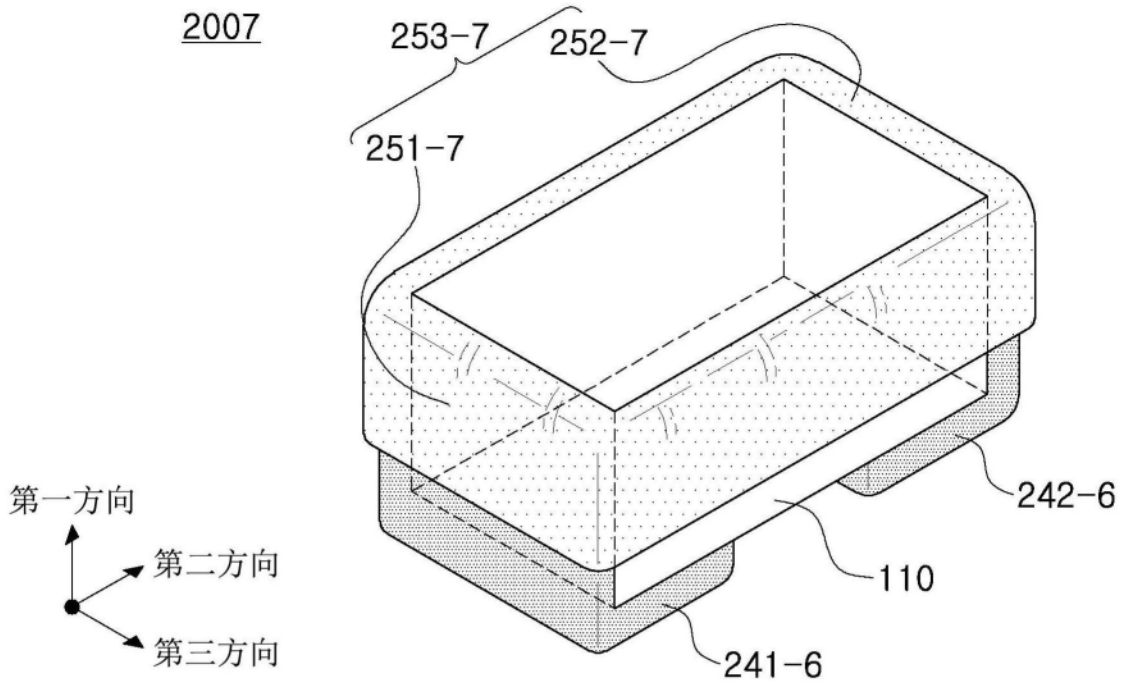


图30

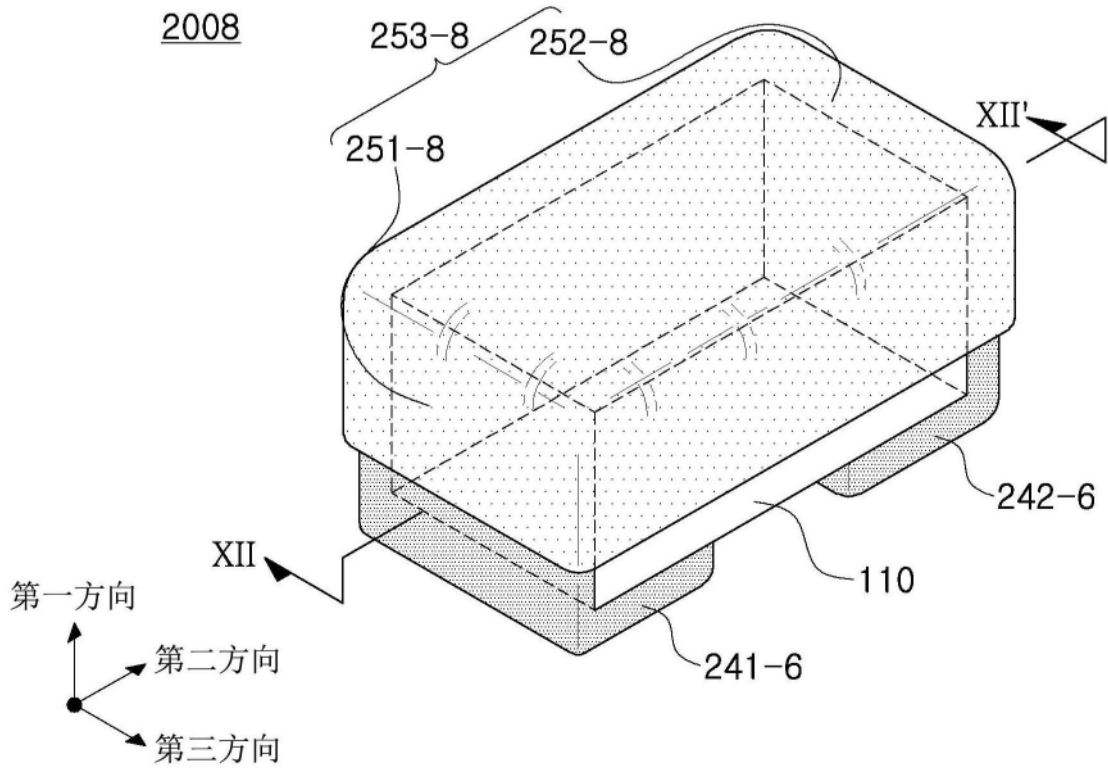


图31

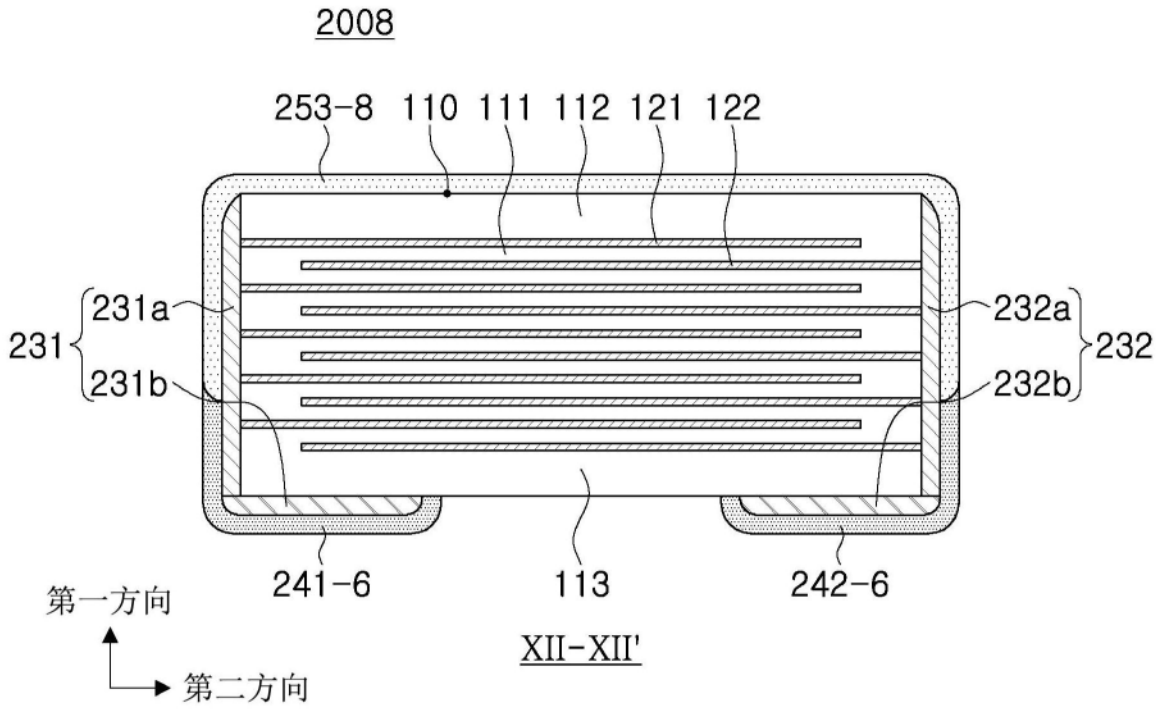


图32

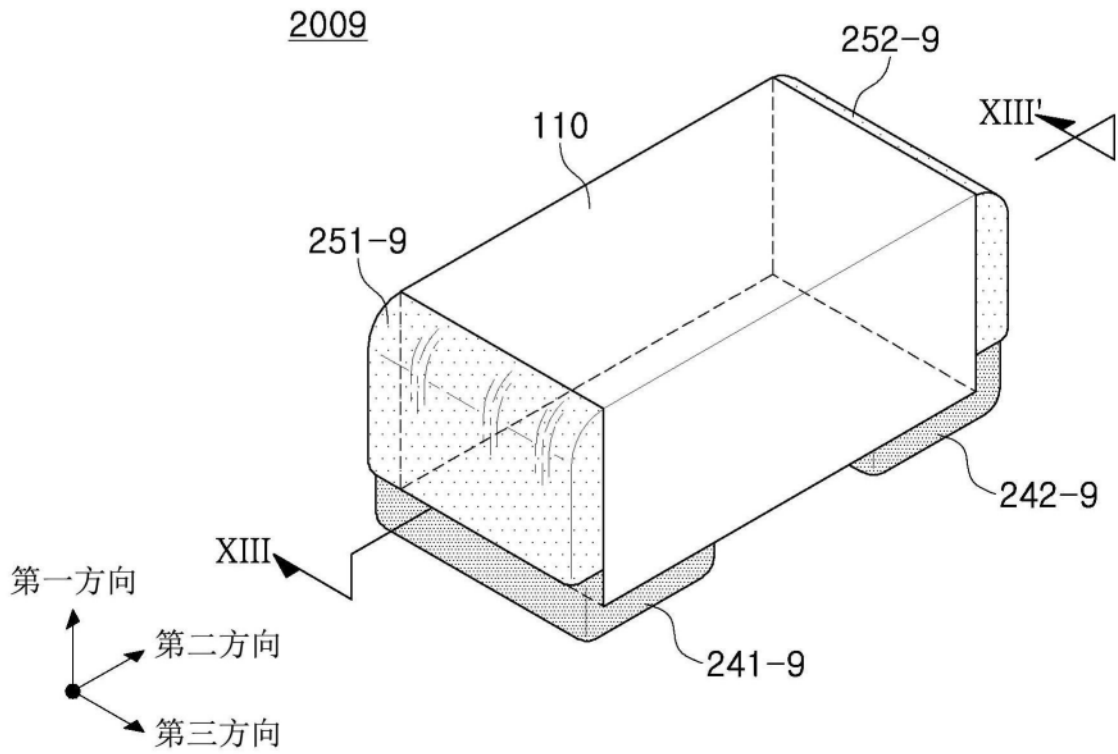


图33

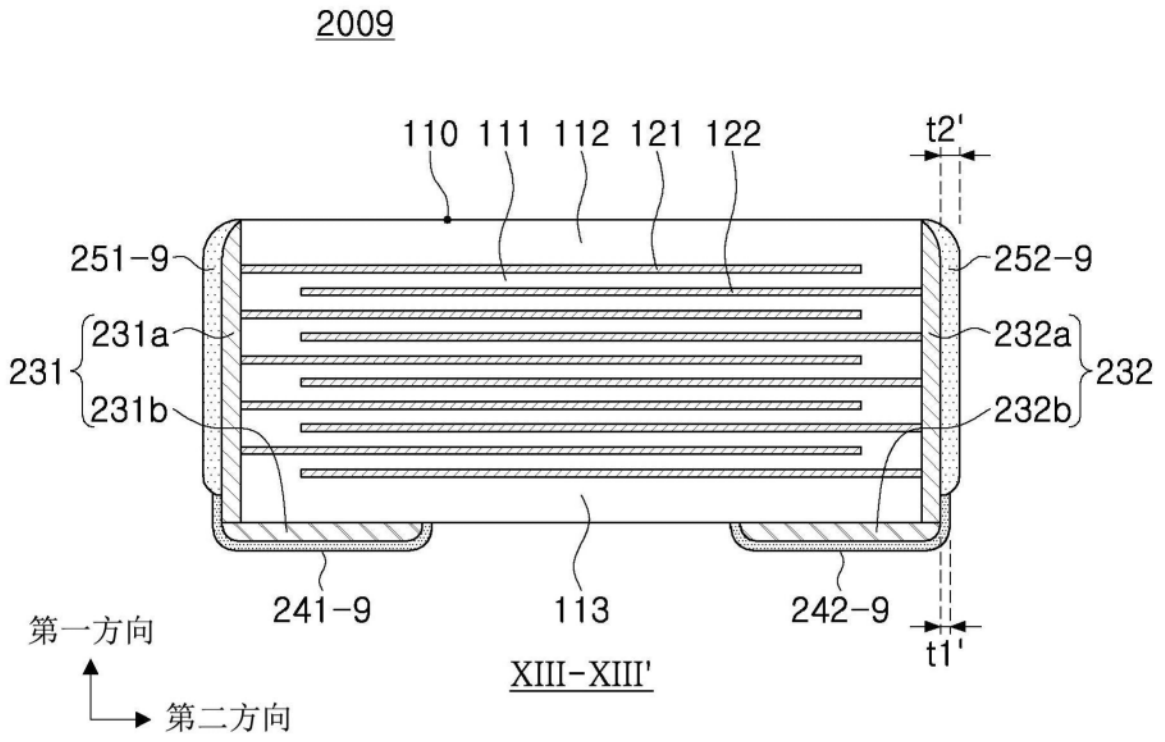


图34

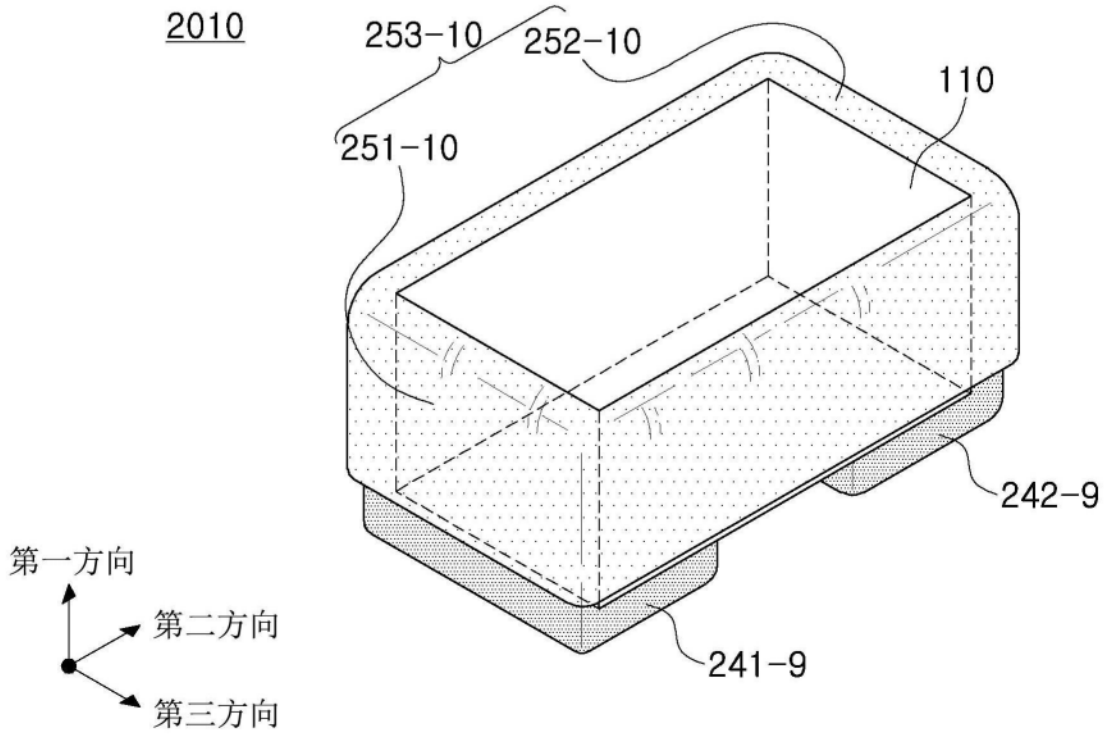


图35

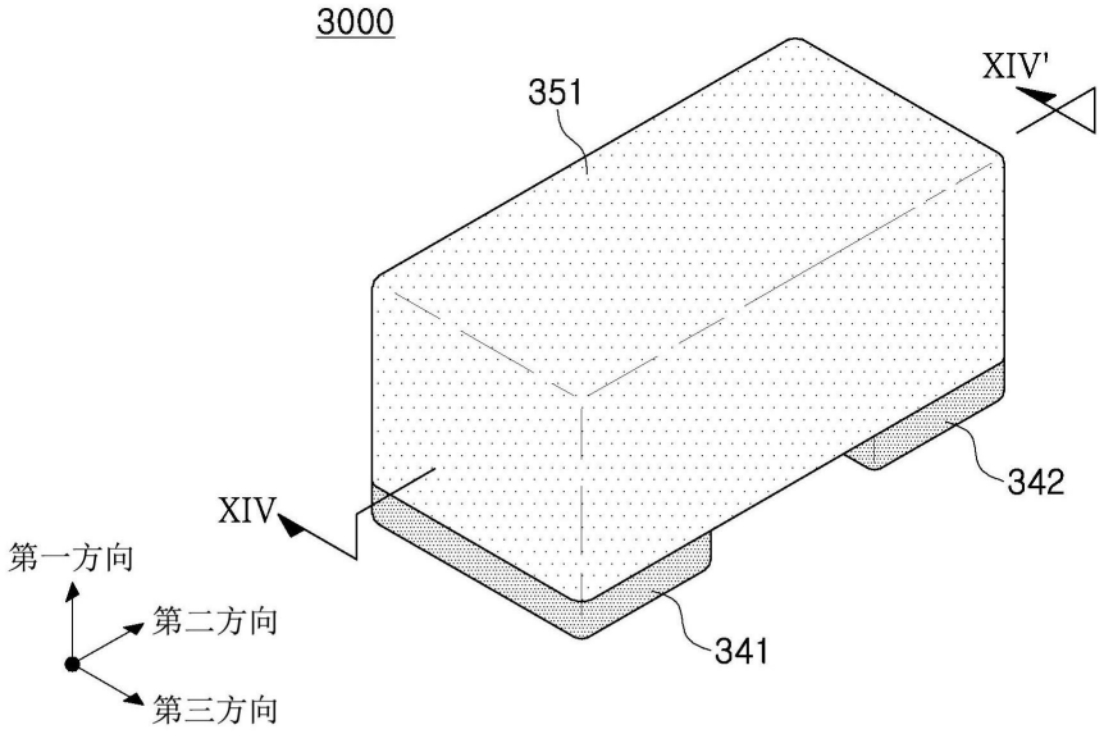


图36

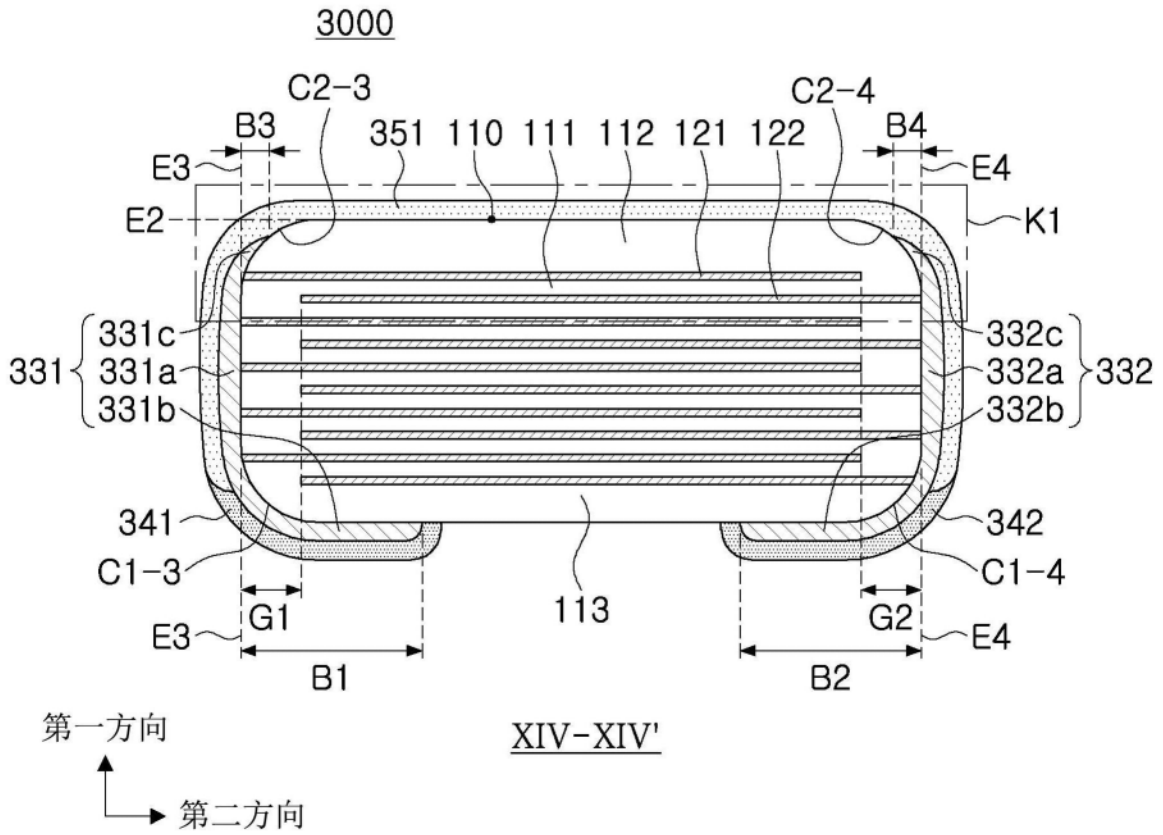


图37

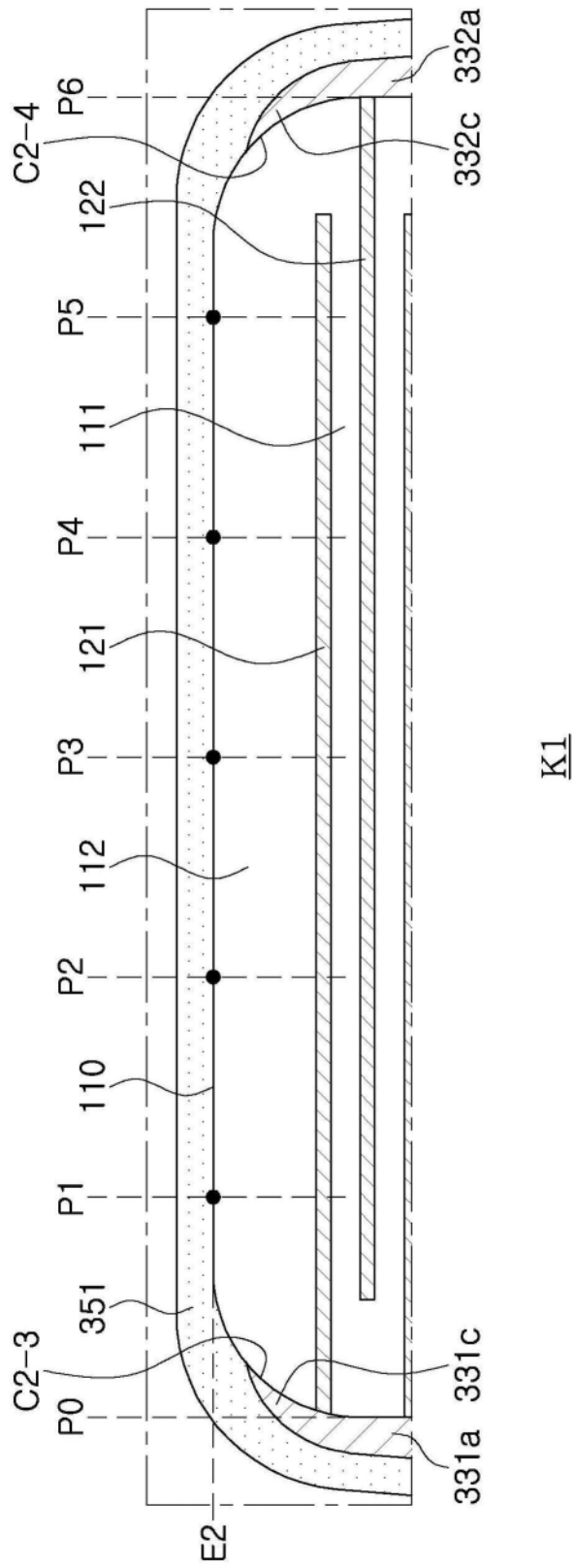


图38