

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成22年4月8日(2010.4.8)

【公開番号】特開2007-274680(P2007-274680A)

【公開日】平成19年10月18日(2007.10.18)

【年通号数】公開・登録公報2007-040

【出願番号】特願2007-58449(P2007-58449)

【国際特許分類】

H 0 3 K 3/66 (2006.01)

H 0 3 L 7/00 (2006.01)

H 0 3 K 3/03 (2006.01)

H 0 3 K 3/354 (2006.01)

H 0 3 L 7/081 (2006.01)

【F I】

H 0 3 K 3/66

H 0 3 L 7/00 D

H 0 3 K 3/03

H 0 3 K 3/354 B

H 0 3 L 7/08 J

【手続補正書】

【提出日】平成22年2月18日(2010.2.18)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

縦続接続されたM段(Mは正の偶数)の遅延回路と、前記遅延回路の i (i は $1 \leq i \leq M$ の偶数)段目の出力 D_i および前記遅延回路の $i-1$ 段目の出力の否定論理 $\overline{X D_{i-1}}$ の論理積をとる論理積回路と、前記論理積回路出力の論理和を取る論理和回路と、前記遅延回路の初段目の出力 D_1 の否定論理 $\overline{X D_1}$ および前記遅延回路の最終段目の出力 D_M の論理積 $\overline{X D_1 D_M}$ が偽の間の所定のタイミングに信号を出力する論理回路と、前記論理回路出力が真のとき前記論理積回路または前記論理和回路の少なくとも一方を非活性にする手段とを備えたことを特徴とするパルス発生回路。

【請求項2】

前記論理積回路は電流モードロジック回路により構成されその入力の前記遅延回路出力からインバータおよび常時オンのトランスマッションゲートを介して接続されたことを特徴とする請求項1に記載のパルス発生回路。

【請求項3】

縦続接続されたM段(Mは正の偶数)の遅延回路と、前記遅延回路の i (i は $1 \leq i \leq M$ の偶数)段目の出力 D_i および前記遅延回路の $i-1$ 段目の出力の否定論理 $\overline{X D_{i-1}}$ の論理積をとる論理積回路と、前記論理積回路出力の論理和を取る論理和回路とで構成されるパルス発生回路であって、前記論理積回路は4つの入力端子a、b、A、Bと2つの出力端子 $\overline{X a b}$ および $\overline{X (B + b A)}$ を持つ電流モードロジック回路であり、前記a端子は前記 $\overline{X D_{i-1}}$ に、b端子は前記 D_i に、A端子は前記 $\overline{X D_{i-1}}$ の否定 D_{i-1} に、B端子は前記遅延回路の i 段目出力の否定 $\overline{X D_i}$ を遅延させた信号に接続されて構成されることを特徴とするパルス発生回路。

【請求項 4】

前記論理積回路または論理和回路の少なくとも一方は前記論理回路出力が真のときにバイアス電流が低減されるよう制御される電流モードロジック回路により構成されることを特徴とする請求項 1 乃至 3 の何れか一項に記載のパルス発生回路。

【請求項 5】

縦続接続された $N + 1$ 段 (N は正の整数) の遅延回路と、前記遅延回路の i (i は $1 \leq i \leq N$ の偶数) 段目の出力 D_i および前記遅延回路の $i - 1$ 段目の出力の否定論理 $\overline{X D_{i-1}}$ の論理積をとる第 1 の論理積回路と、前記遅延回路の i 段目の出力 D_i の否定論理 $\overline{X D_i}$ および前記遅延回路の $i + 1$ 段目の出力の D_{i+1} の論理積をとる第 2 の論理積回路と、前記第 1 の論理積回路出力が真のとき第 1 の電位レベルに前記第 2 の論理積回路出力が真のときに第 2 の電位レベルに接続しそれ以外の場合は第 3 の電位レベルに接続するスイッチ手段と、前記遅延回路の初段目の出力 D_1 の否定論理 $\overline{X D_1}$ および前記遅延回路の最終段目の出力 D_{N+1} の論理積 $X D_1 D_{N+1}$ が偽の間の所定のタイミングに信号を出力する論理回路と、前記論理回路出力が真のとき前記第 1 の論理積回路および前記第 2 の論理積回路を非活性にする手段とを備えたことを特徴とするパルス発生回路。

【請求項 6】

縦続接続された $N + 1$ 段 (N は正の整数) の遅延回路と、前記遅延回路の i (i は $1 \leq i \leq N$ の偶数) 段目の出力 D_i および前記遅延回路の $i - 1$ 段目の出力の否定論理 $\overline{X D_{i-1}}$ の論理積をとる第 1 の論理積回路と、前記遅延回路の i 段目の出力 D_i の否定論理 $\overline{X D_i}$ および前記遅延回路の $i + 1$ 段目の出力の D_{i+1} の論理積をとる第 2 の論理積回路と、前記遅延回路の初段目の出力 D_1 の否定論理 $\overline{X D_1}$ および前記遅延回路の最終段目の出力 D_{N+1} の論理積 $X D_1 D_{N+1}$ が真の間の所定のタイミングに信号を出力する論理回路と、前記第 1 の論理積回路出力と前記論理回路出力がともに真のとき第 1 の電位レベルに前記第 2 の論理積回路と前記論理回路出力がともに真のときに第 2 の電位レベルに接続しそれ以外の場合は第 3 の電位レベルに接続するスイッチ手段とを備えたことを特徴とするパルス発生回路。

【請求項 7】

縦続接続された $N + 1$ 段 (N は正の整数) の遅延回路と、前記遅延回路の i (i は $1 \leq i \leq N$ の偶数) 段目の出力 D_i および前記遅延回路の $i - 1$ 段目の出力の否定論理 $\overline{X D_{i-1}}$ の論理積をとる第 1 の論理積回路と、前記遅延回路の i 段目の出力 D_i の否定論理 $\overline{X D_i}$ および前記遅延回路の $i + 1$ 段目の出力の D_{i+1} の論理積をとる第 2 の論理積回路と、前記遅延回路の初段目の出力 D_1 の否定論理 $\overline{X D_1}$ および前記遅延回路の最終段目の出力 D_{N+1} の論理積 $X D_1 D_{N+1}$ が真の間の所定のタイミングに信号を出力する論理回路と、前記第 1 の論理積回路出力が真のとき第 1 の電位レベルに前記第 2 の論理積回路出力が真のときに第 2 の電位レベルに接続し前記論理回路出力が真のとき第 3 の電位レベルに低インピーダンスで接続するスイッチ手段とを備えたことを特徴とするパルス発生回路。

【請求項 8】

縦続接続された M 段 (M は正の偶数) の遅延回路と、前記遅延回路の i (i は $1 \leq i \leq M$ の偶数) 段目の出力 D_i および前記遅延回路の $i - 1$ 段目の出力の否定論理 $\overline{X D_{i-1}}$ の論理積をとる論理積回路と、前記論理積回路出力の論理和を取る論理和回路とで構成されるパルス発生回路であって、前記遅延回路は入力される信号が真から偽に変化するとき所定の遅延量の信号遅延を、入力信号が偽から真に変化するとき前記所定の遅延量より大きな遅延量の信号遅延を行うよう制御されていることを特徴とするパルス発生回路。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】パルス発生回路

【手続補正 3】

【補正対象書類名】明細書
【補正対象項目名】0031
【補正方法】削除
【補正の内容】
【手続補正4】
【補正対象書類名】明細書
【補正対象項目名】0032
【補正方法】削除
【補正の内容】
【手続補正5】
【補正対象書類名】明細書
【補正対象項目名】0033
【補正方法】削除
【補正の内容】
【手続補正6】
【補正対象書類名】明細書
【補正対象項目名】0034
【補正方法】削除
【補正の内容】
【手続補正7】
【補正対象書類名】明細書
【補正対象項目名】0035
【補正方法】削除
【補正の内容】
【手続補正8】
【補正対象書類名】明細書
【補正対象項目名】0036
【補正方法】削除
【補正の内容】