



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0028147
 (43) 공개일자 2014년03월07일

- | | |
|---|---|
| (51) 국제특허분류(Int. Cl.)
H01L 29/778 (2006.01) H01L 29/78 (2006.01)
H01L 21/335 (2006.01)
(21) 출원번호 10-2014-7003586(분할)
(22) 출원일자(국제) 2010년12월09일
심사청구일자 없음
(62) 원출원 특허 10-2012-7016799
원출원일자(국제) 2010년12월09일
심사청구일자 2012년06월28일
(85) 번역문제출일자 2014년02월11일
(86) 국제출원번호 PCT/US2010/059620
(87) 국제공개번호 WO 2011/090583
국제공개일자 2011년07월28일
(30) 우선권주장
12/655,468 2009년12월30일 미국(US) | (71) 출원인
인텔 코포레이션
미국 캘리포니아주 95054 산타클라라 미션 칼리지
불바드 2200
(72) 발명자
필라리세티 라비
미국 오레곤주 97209 포틀랜드 아파트먼트 226 노
스웨스트 호이트 스트리트 925
진 빈-위
미국 오레곤주 97035 레이크 오스웨고 시에라 코
트 12872
(뒷면에 계속)
(74) 대리인
제일특허법인 |
|---|---|

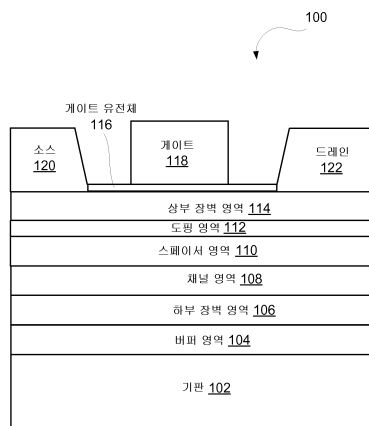
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 게르마늄 기반 양자 웰 디바이스

(57) 요약

양자 웰 트랜지스터는 게르마늄 양자 웰 채널 영역을 구비한다. 실리콘 함유 에칭 정지층은 채널에 가까운 게이트 유전체의 용이한 배치를 제공한다. III-V족 장벽층은 채널에 변형을 부가한다. 채널 영역 위 아래의 그레이디드 실리콘 게르마늄 층들은 성능을 향상시킨다. 다수의 게이트 유전체 물질은 하이-k 값의 게이트 유전체의 사용을 가능하게 한다.

대표도 - 도1



(72) 발명자

추-쿵 벤자민

미국 오레곤주 97124 힐스보로 아파트먼트 #에프69
노스웨스트 존 올센 애비뉴 2755

메츠 매튜 브이

미국 오레곤주 97229 포틀랜드 노스웨스트 오로라
플레이스 18860

카발리에로스 잭 티

미국 오레곤주 97229 포틀랜드 노스웨스트 브론슨
크레스트 루프 3734

라도사블제빅 마르코

미국 오레곤주 97006 비버튼 노스웨스트 채페럴 테
라스 4129

코틀야 로자

미국 오레곤주 97219 포틀랜드 사우스웨스트 체스
트넷 드라이브 1167

라츠마디 윌리

미국 오레곤주 97007 비버튼 사우스웨스트 넷크랙
커 코트 10945

무커르지 닐로이

미국 오레곤주 97007 비버튼 사우스웨스트 캐롤론
드라이브 7732

드웨이 길버트

미국 오레곤주 97123 힐스보로 사우스이스트 58번
애비뉴 920

차우 로버트

미국 오레곤주 97007 비버튼 사우스웨스트 171번
애비뉴 8875

특허청구의 범위

청구항 1

양자 웰 채널 영역보다 큰 밴드 갭을 갖는 물질을 포함하는 하부 장벽 영역과,
상기 하부 장벽 영역 상의, 게르마늄을 포함하는 상기 양자 웰 채널 영역과,
상기 양자 웰 채널 영역 상의, 상기 양자 웰 채널 영역보다 큰 밴드 갭을 갖는 물질을 포함하는 상부 장벽 영역과,
상기 양자 웰 채널 영역 상에 있고 상기 양자 웰 채널 영역과는 접촉하지 않는 게이트 유전체와,
상기 게이트 유전체 상의 게이트 전극을 포함하고,
상기 하부 장벽 영역 또는 상기 상부 장벽 영역 중 적어도 하나는 III-V족 물질을 포함하는 디바이스.

청구항 2

제1항에 있어서,
상기 하부 장벽 영역은 III-V족 물질을 포함하는 디바이스.

청구항 3

제2항에 있어서,
상기 하부 장벽 영역은 GaAs를 포함하는 디바이스.

청구항 4

제1항에 있어서,
상기 하부 장벽 영역 또는 상기 상부 장벽 영역 중 하나는 실리콘 게르마늄을 포함하고 III-V족 물질을 포함하지 않는 디바이스.

청구항 5

제1항에 있어서,
상기 하부 장벽 영역은 실리콘 게르마늄을 포함하고, 상기 상부 장벽 영역은 III-V족 물질을 포함하는 디바이스.

청구항 6

제1항에 있어서,

상기 하부 장벽 영역 및 상기 상부 장벽 영역 양자 모두는 III-V족 물질을 포함하는 디바이스.

청구항 7

제1항에 있어서,
상기 양자 웰 채널 영역 위 및 상기 상부 장벽 영역 아래에 있는 스페이서 영역과,
상기 스페이서 영역 위 및 상기 상부 장벽 영역 아래에 있는 도핑 영역을 더 포함하는 디바이스.

청구항 8

제7항에 있어서,
상기 스페이서 영역, 상기 하부 장벽 영역, 및 상기 상부 장벽 영역은 모두 III-V족 물질을 포함하는 디바이스.

청구항 9

제8항에 있어서,
상기 도핑 영역은 도핑된 III-V족 물질을 포함하는 디바이스.

청구항 10

제1항에 있어서,
상기 양자 웰 채널 영역 아래에 그리고 상기 하부 장벽 영역 상에 있는 스페이서 영역과,
상기 스페이서 영역 아래에 그리고 상기 하부 장벽 영역 상에 있는 도핑 영역을 더 포함하는 디바이스.

청구항 11

양자 웰 채널 영역보다 큰 밴드 갭을 갖는 물질을 포함하는 하부 장벽 영역과,
상기 하부 장벽 영역 상의, 게르마늄을 포함하는 상기 양자 웰 채널 영역과,
상기 양자 웰 채널 영역 상의, 상기 양자 웰 채널 영역보다 큰 밴드 갭을 갖는 물질을 포함하는 상부 장벽 영역과,
상기 양자 웰 채널 영역 상에 있고 상기 양자 웰 채널 영역과는 접촉하지 않는 게이트 유전체와,
상기 게이트 유전체 상의 게이트 전극을 포함하고,
상기 하부 장벽 영역은 실리콘 게르마늄을 포함하되, 상기 양자 웰 채널 영역으로부터 먼 상기 하부 장벽 영역의 부분에서의 실리콘의 백분율이 더 높고 상기 양자 웰 채널 영역에 더 가까운 상기 하부 장벽 영역의 부분에서의 실리콘의 백분율이 더 낮은

디바이스.

청구항 12

제11항에 있어서,
상기 하부 장벽 영역에서의 실리콘 백분율의 감소는 완만한(smooth)
디바이스.

청구항 13

제11항에 있어서,
상기 하부 장벽 영역에서의 실리콘 백분율의 감소는 스텝형(steped)인
디바이스.

청구항 14

제11항에 있어서,
상기 양자 웰 채널 영역 상에 있고 상기 상부 장벽 영역 아래에 있는 스페이서 영역과,
상기 스페이서 영역 상에 있고 상기 상부 장벽 영역 아래에 있는 도핑 영역을 더 포함하고,
상기 스페이서 영역은 실리콘 게르마늄을 포함하되, 상기 양자 웰 채널 영역으로부터 먼 상기 스페이서 영역의
부분에서의 실리콘의 백분율이 더 높고 상기 양자 웰 채널 영역에 더 가까운 상기 스페이서 영역의 부분에서의
실리콘의 백분율이 더 낮은
디바이스.

청구항 15

양자 웰 채널 영역보다 큰 밴드 갭을 갖는 물질을 포함하는 하부 장벽 영역과,
상기 하부 장벽 영역 상의, 게르마늄을 포함하는 상기 양자 웰 채널 영역과,
상기 양자 웰 영역 상의, 상기 양자 웰 채널 영역보다 큰 밴드 갭을 갖는 물질을 포함하는 상부 장벽 영역과,
상기 양자 웰 영역 상의, 제1 유전 상수를 갖는 제1 유전체 물질과,
상기 제1 유전체 물질 상의, 제2 유전 상수를 갖는 제2 유전체 물질 - 상기 제2 유전 상수는 상기 제1 유전 상
수보다 높음 - 과,
상기 제2 유전체 물질상의 게이트 전극을 포함하는
디바이스.

청구항 16

제15항에 있어서,
상기 제1 유전체 물질은 HfSiO, Al₂O₃, TaSiO, TaSiON 및 La₂O₃으로 구성되는 그룹으로부터 선택된 물질을 포함
하는

디바이스.

청구항 17

제15항에 있어서,

상기 제2 유전체 물질은 HfO_2 , ZrO_2 , Ti_2O_5 , Ta_2O_5 , $HfSiON$ 및 $HfSiO$ 로 구성되는 그룹으로부터 선택된 물질을 포함하는

디바이스.

명세서

배경 기술

[0001] 오늘날 대부분의 집적 회로는 주기율표의 IV족 원소인 실리콘을 기반으로 하고 있다. 비 실리콘 물질을 기반으로 하는 양자 웰 트랜지스터는 우수한 디바이스 성능을 제공할 수 있다.

도면의 간단한 설명

- [0002] 도 1은 게르마늄 웰 채널 트랜지스터 디바이스를 도시하는 측단면도이다.
- 도 2는 기판 상에 형성된 버퍼 영역을 도시하는 측단면도이다.
- 도 3은 게르마늄 양자 웰 채널 트랜지스터 디바이스의 또 다른 실시예를 도시하는 측단면도이다.
- 도 4는 게르마늄 양자 웰 채널 트랜지스터 디바이스의 또 다른 실시예를 도시하는 측단면도이다.
- 도 5는 게르마늄 양자 웰 채널 트랜지스터 디바이스의 또 다른 실시예를 형성하는데 사용될 수 있는 물질 스택을 도시하는 측단면도이다.
- 도 6은 게르마늄 양자 웰 채널 트랜지스터 디바이스를 도시하는 측단면도이다.
- 도 7은 몇몇 실시예에서 제공되는 에칭 정지 영역을 도시하는 측단면도이다.
- 도 8은 실시예에서 에칭 정지 영역의 어떤 부분이 변경될 수 있는지를 도시하는 측단면도이다.
- 도 9는 본 발명의 또 다른 실시예에 따라, 게르마늄 양자 웰 채널 트랜지스터 디바이스를 도시하는 측단면도이다.
- 도 10은 본 발명의 또 다른 실시예에 따라, 게르마늄 양자 웰 채널 트랜지스터 디바이스를 도시하는 측단면도이다.
- 도 11은 III-V족 물질을 포함하는 버퍼 영역의 다수의 서브영역을 도시하는 측단면도이다.
- 도 12a 및 도 12b는 하나 이상의 비균질 장벽 및/또는 스페이서 영역을 갖는 게르마늄 양자 웰 채널 트랜지스터를 도시하는 측단면도이다.
- 도 13 내지 도 20은 본 발명의 다양한 실시예에 따른 기저 장벽 및 스페이서 영역 물질 조성물을 도시하는 그래프이다.
- 도 21은 다수의 게이트 유전체 영역을 갖는 게르마늄 양자 웰 채널 트랜지스터 디바이스를 도시하는 측단면도이다.
- 도 22는 동일 기판 상에 게르마늄 양자 웰 채널 영역 트랜지스터와 III-V족 물질 양자 웰 채널 영역 트랜지스터를 갖는 디바이스를 도시하는 측단면도이다.
- 도 23은 동일 기판 상에 게르마늄 양자 웰 채널 영역 트랜지스터와 비양자(non-quantum) 웰 채널 트랜지스터를 갖는 디바이스를 도시하는 측단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0003] 다양한 실시예에서, 게르마늄 채널 양자 웰 반도체 디바이스 및 그 제조 방법이 설명된다. 다음의 설명에서, 다양한 실시예가 설명될 것이다. 그러나, 당업자라면, 다양한 실시예가 하나 이상의 특정한 상세 없이도 실시될 수 있고, 또는 다른 대체물 및/또는 부가의 방법, 물질 또는 컴포넌트를 갖고서 실시될 수 있음을 알 것이다. 다른 경우에, 본 발명의 다양한 실시예의 측면을 모호하게 하는 것을 피하기 위해, 공지된 구조, 물질, 또는 동작에 대해서는 도시하지 않거나 상세하게 설명하지 않는다. 마찬가지로, 본 발명의 철저한 이해를 제공하기 위해, 설명을 목적으로, 특정한 수, 물질 및 구성을 제시한다. 그러나, 본 발명은 특정한 세부사항 없이도 실시될 수 있다. 또한, 도면에 도시된 다양한 실시예들은 예시적인 표현이며, 반드시 축척을 맞추어 도시한 것은 아니라는 것을 이해하자.
- [0004] 본 명세서 전반에 걸쳐서 참조되는 "일 실시예" 또는 "실시예"는 그 실시예와 관련하여 설명된 특정 피처, 구조, 물질 또는 특징이 본 발명의 범위 내에 들어오는 적어도 하나의 실시예에 포함된다는 것을 의미하는 것으로, 이들이 모든 실시예에 존재한다는 것을 나타내는 것은 아니다. 따라서, 본 명세서의 곳곳에서 나타나는 "일 실시예에서" 또는 "실시예에서"란 구문은 반드시 본 발명의 동일 실시예를 지칭하는 것은 아니다. 또한, 특정 피처, 구조, 물질 또는 특징들은 하나 이상의 실시예에서 임의의 적절한 방식으로 결합될 수 있다. 다양한 부가적인 층들 및/또는 구조들이 포함될 수도 있고/또는 설명된 피처들이 다른 실시예에서는 생략될 수도 있다.
- [0005] 본 발명을 가장 잘 이해할 수 있는 방식으로 다양한 실시예를 복수의 별도의 동작으로 차례로 설명한다. 그러나, 설명의 순서는 이들 동작이 반드시 순서 의존적임을 의미하는 것으로 해석되어서는 안 된다. 특히, 이들 동작은 제시 순서대로 수행될 필요는 없다. 설명된 동작들은 설명된 실시예와 다른 순서로, 연속적으로 또는 병렬로 수행될 수도 있다. 다양한 부가적인 동작들이 수행될 수도 있고/또는 설명된 동작들이 다른 실시예에서 생략될 수도 있다.
- [0006] 도 1은 본 발명의 일 실시예에 따라, 게르마늄 양자 웰 채널 트랜지스터 디바이스(100)를 도시하는 측면면도이다. 도시된 실시예에서, 디바이스(100)는, 그 디바이스(100)가 만들어질 수 있는 임의의 물질 또는 물질들일 수 있는 기판(102)을 포함한다. 몇몇 실시예에서, 기판(102)은 실질적으로 단결정 실리콘 물질, 실질적으로 도핑된 단결정 실리콘물질, 다결정 또는 다층 기판(102), 또는 SOI(semiconductor-on-insulator) 기판(102)일 수 있다. 기판(102)은 몇몇 실시예에서 실리콘을 포함하지 않지만, 그 대신, Ge, GaAs 또는 InP와 같은 상이한 기판 물질을 포함할 수 있다. 기판(102)은 하나 이상의 물질(들), 디바이스(들), 또는 층(들)을 포함할 수 있거나, 또는 다수의 층 없이 단일 물질일 수 있다.
- [0007] 디바이스가 형성될 기판(102) 표면은 센티미터당 약 1 오옴 내지 약 50,000 오옴의 저항을 가질 수 있다. 약 10^{16} 캐리어/cm²보다 더 낮은, 낮은 도펀트 농도에 의해 높은 저항이 달성될 수 있다. 다른 실시예에서, 기판(102)은 상이한 저항을 가질 수 있거나 또는 저항은 다른 방법에 의해 달성될 수 있다.
- [0008] 도시된 실시예에서 기판(102) 상에 버퍼 영역(104)이 존재한다. 버퍼 영역(104)은 기판(102)과 그 버퍼 영역(104) 위의 영역들 간의 격자 부정합을 조정하는 기능을 할 수 있고, 격자 전위(lattice dislocation) 및 결함을 제한하는 기능을 할 수 있다.
- [0009] 도시된 실시예에서, 버퍼 영역(104) 상에 하부 장벽 영역(106), 하부 장벽 영역(106) 상에 채널 영역(108), 채널 영역(108) 상에 제1 스페이서 영역(110), 스페이서 영역(110) 상에 도핑 영역(112), 도핑 영역(112) 상에 상부 장벽 영역(114)이 있다.
- [0010] 하부 장벽 영역(106)은 채널 영역(108)에 포함되는 물질보다 더 높은 밴드 갭을 갖는 물질을 포함할 수 있다. 하부 장벽 영역(106)은, 다른 실시예에서는, InAlAs, InGaAs, GaAs, AlGaAs, InAlSb 또는 InP(스페이서 영역 및 장벽 영역과 같은 디바이스(100)의 다른 영역에서 이와 유사한 다양한 물질이 사용될 수 있다는 것을 유의하자)와 같은 다른 물질을 포함할 수 있지만, 도시된 실시예에서는 실리콘 및 게르마늄을 포함한다. 하부 장벽 영역(106)이 SiGe를 포함하는 실시예에서, Si 대 Ge의 다양한 비율이 사용될 수 있다. 실시예에서, 하부 장벽 영역은 SiGe를 포함하고, 그 비율은 50% Si와 50% Ge이다. 다른 실시예에서, 이 비율은 채널 영역(108) 상의 긴장을 나누기 위해 또는 다른 이유를 위해 선택될 수 있다. 예를 들면, 실시예에서, 기저 장벽 영역(106)은 70% SiGe 및 30% Si를 포함한다. 다른 실시예에서, 기저 장벽 영역(106)은 60%와 80% SiGe 사이 그리고 40%와 20% Si 사이를 포함한다. 다른 실시예에서, 상이한 비율들이 사용될 수 있다.
- [0011] 하부 장벽 영역(106)은 도핑되거나 도핑되지 않을 수 있다. 임의의 적절한 방법을 사용하여 하부 장벽 영역

(106)을 형성할 수 있다. 몇몇 실시예에서, 하부 장벽 영역(106)은 대략 1 마이크로미터와 3 마이크로미터 사이 또는 그 이하 사이의 두께를 가질 수 있다. 실시예에서, 하부 장벽 영역(106)은 약 500 나노미터보다 작은 두께를 갖고, 다른 실시예에서, 하부 장벽 영역(106)은 약 100 나노미터의 두께를 가지며, 다른 실시예에서, 또 다른 두께를 가질 수 있다.

[0012] 채널 영역(108)은 양자 웰 채널 영역(108)일 수 있다. 양자 웰 채널 영역(108)은 Ge를 포함한다. 실시예에서, 채널 영역은 실질적으로 모두 Ge로 구성된다. 다른 실시예에서, 채널(108) 영역의 조성물의 일부로서 Si와 같은 다른 물질이 존재할 수 있다. 전술한 바와 같이, 양자 웰 채널 영역(108)은 그 채널 영역(108)과 인접한 (하부 장벽 영역(106)과 같은) 층들과의 격자 크기 부정합에 의해 변형될 수 있다. 몇몇 실시예에서, 채널 영역(106)은 변형되지 않는다. 임의의 적절한 방법을 사용하여 양자 웰 채널 영역(108)을 형성할 수 있다. 몇몇 실시예에서, 양자 웰 채널 영역(108)은, 다른 실시예의 두께보다 더 작거나 더 클 수 있지만, 약 3 나노미터와 20 나노미터 사이의 두께를 가질 수 있다. 일 실시예에서, 채널 영역(108)은 약 10 나노미터의 두께를 갖는다.

[0013] 제1 스페이서 영역(110)은 일 실시예에서 하부 장벽 영역(106)과 동일하거나 유사한 물질을 포함할 수 있고, 다른 실시예에서는 고유의 미도핑 SiGe를 가질 수 있으며, 또 다른 실시예에서는 상이한 물질을 포함할 수 있다. 제1 스페이서 영역(110)은 임의의 적절한 방법에 의해 형성될 수 있다. 일 실시예에서, 제1 스페이서 영역(110)은 약 5 나노미터보다 작은 두께를 갖는다. 다른 실시예에서, 제1 스페이서 영역(110)은 약 2 나노미터의 두께를 갖는다. 다른 실시예에서, 제1 스페이서 영역(110)은 다른 두께를 가질 수 있다.

[0014] 도핑 영역(112)은 스페이서 영역(110) 상에 있고, 실시예에서 디바이스(100)의 설계 및 그 디바이스(100)의 목표 임계 전압에 따라 도핑된다. 여기에 사용되는 용어 "도핑 영역(112)"은 다양한 실시예에서, 변조 도핑 영역, 텔타-도핑 영역 또는 또 다른 유형의 도핑 영역일 수 있다.

[0015] 도핑 영역(112)은 도판트 또는 도판트들을 첨가한 스페이서 영역(110)과 실질적으로 동일한 물질을 포함할 수 있다. 예를 들면, 스페이서 영역(110)이 SiGe를 포함하는 실시예에서 도핑 영역(112)은 또한 도판트를 첨가한 SiGe를 포함한다. 도핑 영역(112)에 사용되는 도판트는 붕소이거나 또 다른 P-타입 도판트일 수 있다. 도핑 영역(112) 내의 도판트 밀도는, 또 다른 실시예에서는 상이한 도판트 밀도가 사용될 수 있지만, 몇몇 실시예에서는 약 $1 \times 10^{11}/\text{cm}^3$ 내지 약 $8 \times 10^{12}/\text{cm}^3$ 이고, 다른 실시예에서는 약 0(미도핑)과 $5 \times 10^{13}/\text{cm}^3$ 사이일 수 있다. 도판트의 밀도는 디바이스(100) 설계 및 그 디바이스의 목표 임계 전압에 기초하여 선택될 수 있다. 또 다른 실시예에서, 도핑 영역(112)은 도핑된 SiGe와는 상이한 물질을 포함할 수 있다. 몇몇 실시예에서, 도핑 영역(112)은 약 50 옴스트롬보다 작은 두께를 가질 수 있다. 또 다른 실시예에서, 도핑 영역(112)은 약 20 옴스트롬 또는 그 이하의 두께를 갖는다. 다른 실시예에서, 도핑 영역(112)은 다른 두께를 가질 수 있다.

[0016] 도 1에 도시된 디바이스(100) 내의 도핑 영역(112) 상에 상부 장벽 영역(114)이 존재한다. 상부 장벽 영역(114)은 실시예에서 고유 미도핑 SiGe를 포함하고, 다른 실시예에서는 비율이 가변하는 실리콘과 게르마늄을 포함하며, 다른 실시예에서는 Si, 다른 실시예에서는 다른 물질을 포함할 수 있으며, 또 다른 실시예에서는 하부 장벽 영역(106) 및/또는 스페이서 영역(110)과 실질적으로 동일한 물질로 구성될 수 있다. 상부 장벽 영역(114)은 실시예에서 채널 영역(108)보다 더 큰 밴드 갭을 갖는 물질을 포함할 수 있다. 상부 장벽 영역(114)은 임의의 적절한 방법에 의해 형성될 수 있다. 일 실시예에서, 상부 장벽 영역(114)은 약 5 나노미터보다 작은 두께를 갖는다. 또 다른 실시예에서, 상부 장벽 영역(114)의 두께는 약 2 나노미터이다. 다른 실시예에서, 상부 장벽 영역(114)은 다른 두께를 가질 수 있다. 이 두께는 디바이스(100)에 대한 목표 임계 전압에 기초하여 선택될 수 있다.

[0017] 실시예에서, 스페이서 영역(110), 도핑 영역(112) 및 상부 장벽 영역(114)은 연속적인 성장 프로세스를 이용하여 형성될 수 있다. 예를 들면, 스페이서 영역(110)은 SiGe를 포함할 수 있고 챔버 내에서 형성될 수 있다. 도핑 영역(112)을 형성하기 위해, 도판트를 포함하도록 전구체 흐름이 변경된다. 상부 장벽 영역(114)을 형성하기 위해, 전구체 흐름이 스페이서 영역(110)을 형성하는데 사용되는 전구체 흐름으로 다시 변경된다. 다른 실시예에서, 영역들을 형성하기 위한 상이한 방식들이 사용될 수 있고, 영역(110, 112, 114)은 유사한 조성물을 갖지 않을 수 있다.

[0018] 도시된 실시예에서, 상부 장벽 영역(114) 상에 게이트 유전체가 존재하고 그 게이트 유전체 상에 게이트(118)가 존재한다. 게이트 유전체(116)는 높은 유전 상수(하이-k 유전체)를 갖는 물질을 포함할 수 있다. 게이트 유전체는, La_2O_3 , HfO_2 , ZrO_2 , TaO_5 와 같은 다른 물질, 또는 LaAl_xO_y , $\text{Hf}_x\text{Zr}_y\text{O}_2$ 와 같은 삼성분 복합체, 또는 다른 물질들이 다른 실시예에서 사용될 수 있지만, Al_2O_3 같은 높은 유전 상수(하이-k 유전체)를 갖는 물질을 포함할 수

있다. 게이트 유전체(116)가 Al_2O_3 인 실시예에서, Al_2O_3 는, 이를 형성하기 위해 다른 방법이 사용될 수 있지만, 일 실시예에서는 TMA(trimethylaluminum) 및 물 전구체 및 ALD 프로세스를 이용하여 퇴적될 수 있다. 실시예에서, 게이트 유전체(116)는 약 0.7 나노미터와 5 나노미터 사이의 두께를 갖고, 다른 실시예에서 게이트 유전체(116)는 5 나노미터보다 작은 두께를 가지며, 다른 실시예에서 게이트 유전체(116)는 상이한 두께를 가질 수 있다.

[0019] 게이트(118)는 Pt/Au, Ti/Au, Ti/Pt/Au 같은 금속 함유 물질, 또는 다른 물질 또는 물질들을 포함할 수 있다. 다양한 실시예에서, 게이트의 물질 또는 물질들은 원하는 일함수를 제공하도록 선택될 수 있다. 소스(120)와 드레인(122) 영역들은 게이트 유전체(116) 및/또는 게이트(118)에 인접하여 형성될 수 있다. 일 실시예에서, 소스 및 드레인 영역들은 NiGeAu를 포함할 수 있다. 또 다른 실시예에서, 소스 및 드레인 영역들은 TiPtAu를 포함할 수 있다. 다른 실시예에서, 소스 및 드레인 영역들(120, 122)은 또 다른 물질 또는 물질들을 포함할 수 있다.

[0020] 도 2는 일 실시예에서 기판(102) 상에 형성되는 버퍼 영역(104)을 도시하는 측면도이다. 버퍼 영역(104)은 기판(102)과 그 버퍼 영역(104) 위의 영역들 간의 격자 부정합을 조정하는 기능을 할 수 있고, 격자 전위 및 결함을 제한하는 기능을 할 수 있다. 다른 실시예에서 버퍼 영역(104)은 상이한 수의 영역들을 갖거나 또는 단순히 하나의 영역일 수 있지만, 도시된 실시예에서, 버퍼 영역(104)은, 다수의 영역, 즉, 제1 버퍼 영역(130) 및 제2 버퍼 영역(132)을 갖는다.

[0021] 실시예에서, 기판(102)은 실리콘을 포함하고, 하부 장벽 영역(106)은 SiGe를 포함하며, 제1 및 제2 버퍼 영역(130, 132)은 실리콘 및 게르마늄을 상이한 양으로 포함한다. 예를 들면, 실시예에서, 제1 버퍼 영역(130)은 30%의 SiGe와 나머지 모두는 실질적으로 Si를 포함하고, 제2 버퍼 영역(132)은 70%의 SiGe와 나머지 모두는 실질적으로 Si를 포함한다. 그러한 배치는 Ge의 양이 증가하는 개별 영역들을 갖는 스텝형(steped) 버퍼 영역(104)이다. 다른 실시예에서는 2보다 큰 스텝형 버퍼 영역 및/또는 물질의 양에 있어서의 상이한 변화가 제공될 수 있다.

[0022] 또 다른 실시예에서, 다수의 스텝형 영역보다는 단일의 그레이디드(graded) 버퍼 영역(104)이 존재한다. 그레이디드 버퍼 영역(104)은 Si_xGe_{1-x} 을 포함하고, 여기서, x는 기판(102)에 인접한 버퍼 영역(104)의 기저부에서의 1(또는 다른 선택된 개시 양)에서 하부 장벽 영역(106)에 인접한 버퍼 영역(104)의 상부에서의 0.5(또는 다른 선택된 종료 양) 사이의 범위를 갖는다.

[0023] 또 다른 실시예에서, 기판(102)에 인접한 버퍼 영역(104)의 기저부에서부터 하부 장벽 영역(106)에 인접한 버퍼 영역(106)에 인접한 버퍼 영역(104)의 상부까지 항상 실질적으로 균일한 SiGe(고유 또는 Si 또는 다른 물질과의 선택된 비율로)를 갖는 단일의 비그레이디드(non-graded) 버퍼 영역(104)이 존재한다.

[0024] 기판(102) 및/또는 하부 장벽 영역(106)에서 상이한 물질을 갖는 실시예에서, 버퍼 영역(104)은 또한 그 버퍼 영역(104)의 기저부에 비해 저감된 결함을 갖는 완화된(relaxed) 상부를 형성하도록 선택된 상이한 물질을 포함할 수 있다. 예를 들면, 하부 장벽 영역(106)이 GaAs를 포함하는 실시예에서, 버퍼 영역(104)의 상부는 Ge를 포함하며, 이는 실질적으로 GaAs와 실질적으로 격자 정합된다. 따라서, 버퍼 영역(104)은 그레이디드(graded)로 될 수 있어 기판(102)으로부터 Ge는 증가하고 Si는 감소하거나, 또는 기판(102)으로부터 더 많은 Ge 및 더 적은 Si를 갖도록 스텝형으로 되거나, 또는 단순히 Ge의 층일 수 있다. 다른 물질 기법에서, 상이한 물질 및 버퍼링을 갖는 상이한 버퍼 영역(104)이 사용될 수 있다.

[0025] 버퍼 영역(104)(및 임의의 서브-영역(130, 132))은 자신의 기저면에 존재하는 대부분의 결함이 자신의 상부면에는 존재하지 않는 충분한 두께를 가질 수 있다. 임의의 적절한 방법을 사용하여 버퍼 영역(104)을 형성할 수 있다.

[0026] 몇몇 실시예에서, 버퍼 영역(104)은 또한 제1 버퍼 영역(130)과 기판(102) 사이에 핵형성 영역을 포함할 수 있다. 예를 들면, 실시예는 오프컷 미사면(offcut vicinal surface)을 갖는 기판과 GaAs와 같은 III-V족 물질의 버퍼 영역(104)을 가질 수 있다. 핵형성 영역은, 다른 실시예에서는 GaSb 또는 AlSb 같은 다른 물질이 사용될 수 있지만, 일 실시예에서는 갈륨 아세나이드를 포함한다. (여기서 사용되는 바와 같이, 물질이 아래 첨자없이 자신들의 원소로 표시될 때, 이들 표시는 원소들의 임의의 백분율의 혼합물을 포함한다는 것을 유의하자. 예를 들면, "InGaAs"는 $In_xGa_{1-x}As$ 를 포함하는데, 여기서 x는 0(GaAs)과 1(InAs) 사이의 범위를 갖는다. 유사하게, InAlAs는 $In_{0.52}Al_{0.48}As$ 를 포함한다.) 이것은 MBE(molecular beam epitaxy), MEE(migration enhanced epitaxy), MOCVD(metal-organic chemical vapor deposition), ALE(atomic layer epitaxy), CBE(chemical beam

epitaxy) 또는 다른 적절한 방법에 의해 형성된다. 전위(dislocation)를 줄이기 위해 형성 후 어닐링될 수 있다. 이것은 몇몇 실시예에서는 약 1000 옹스트롬보다 작은 두께를 갖고, 몇몇 다른 실시예에서는 약 500 옹스트롬보다 작은 두께를 갖는다. 일 실시예에서, 핵형성 영역은 약 300 옹스트롬의 두께를 갖는다. 기관(102)이 미사의 실리콘 물질인 실시예에서, 핵형성 영역은 실리콘 기관(102)의 모든 테라스(terrace)를 채우도록 충분히 두껍게 만들어질 수 있다. 대체 실시예에서, 다른 적절한 핵형성 영역 물질 또는 두께가 사용될 수 있거나, 또는 핵형성 영역은 생략될 수 있다.

[0027] Ge 기반 양자 웰 채널 영역(106)을 갖는 그러한 디바이스는 다른 유형의 트랜지스터보다 양호한 성능을 제공하는 p형 트랜지스터를 제공할 수 있다.

[0028] 도 3은 본 발명의 일 실시예에 따라, 게르마늄 양자 웰 채널 트랜지스터 디바이스(100)를 도시하는 측면면도이다. 도 3의 디바이스(100)는 도 1의 디바이스와 유사하지만, 채널 영역(108) 위보다는 오히려 채널 영역(108) 아래에 도핑 영역(112)과 스페이서 영역(110)을 갖는다. 이것은 채널 영역(108)이 게이트(118)에 보다 가깝게 될 수 있고 향상된 성능을 제공할 수 있다.

[0029] 도 4는 본 발명의 일 실시예에 따라, 게르마늄 양자 웰 채널 트랜지스터 디바이스(100)를 도시하는 측면면도이다. 도 4의 디바이스(100)는 도 1의 디바이스와 유사하지만, 디바이스(100)가 형성되는 물질 스택에서 도핑 영역(112)과 스페이서 영역(110)이 빠져 있다. 그 대신, 디바이스(100)의 그 외의 영역에 도핑 영역(111)이 존재하는데, 이 영역은 게이트 유전체(116)와 게이트(118)의 형성 후에 형성될 수 있다. 도시된 실시예에서, 스페이서와 콘택 스택 사이에 게이트(118)와 도핑 영역(111)의 어느 한쪽 상에 스페이서가 존재한다. 그러한 디바이스에서의 도핑 영역(111)은 상이한 크기, 형상 및 위치를 가질 수 있고, 그러한 대체 디바이스에는 스페이서가 있을 수 있고 없을 수 있다. 물질 스택의 부분으로서 블랭킷 층이 아닌 도핑 영역(111)을 갖는 디바이스를 형성하는 것은 디바이스(100)의 생성을 간소화할 수 있다.

[0030] 도 5는 게르마늄 양자 웰 채널 트랜지스터 디바이스의 또 다른 실시예를 형성하기 위해 사용될 수 있는 물질 스택을 도시하는 측면면도이다. 이 물질 스택은 전술한 기관(102), 버퍼 영역(104), 하부 장벽 영역(106), 채널 영역(108), 스페이서 영역(110), 도핑 영역(112) 및 상부 장벽 영역(114)과 각각 유사할 수 있는 기관(202), 버퍼 영역(204), 하부 장벽 영역(206), 채널 영역(208), 제1 스페이서 영역(210), 도핑 영역(212) 및 상부 장벽 영역(214)을 포함한다. 도시된 실시예는 또한 제1 스페이서 영역(210) 상에 에칭 정지 영역(240)을 포함하고 그 에칭 정지 영역(240) 상에 그리고 도핑 영역(212) 아래에 상부 스페이서 영역(242)을 포함한다.

[0031] 실시예에서, 스페이서 영역(210)은 SiGe를 포함하고, 에칭 정지 영역(240)은 실리콘을 포함하고 실질적으로 게르마늄은 없으며, 상부 스페이서 영역(242)은 SiGe를 포함한다. 몇몇 실시예에서, 상부 스페이서 영역(242) 및 하부 스페이서 영역(210)은 실질적으로 동일한 물질로 구성되는 반면, 다른 실시예에서는 두 영역(210, 242)의 조성에 있어서 차이가 있을 수 있다. 몇몇 실시예에서, 스페이서 영역(210, 242) 및 에칭 정지 영역(240)의 물질은 제1 스페이서 영역(210)과 에칭 정지 영역(240) 사이 및 에칭 정지 영역(240)과 상부 스페이서 영역(242) 사이에 선택된 에천트 또는 에천트들과의 에칭 선택성을 제공하도록 선택된다. 상부 스페이서(242)가 SiGe를 포함하고 에칭 정지 영역(240)이 Ge를 포함하는 실시예에서, 상부 스페이서 영역(242)를 제거하고 에칭 정지 영역(240)에서 정지할 에천트로서 수산화 칼륨이 선택될 수 있다. 다른 실시예에서는 다른 에천트 및/또는 물질이 사용될 수 있다. 실시예에서, 에칭 정지 영역(240)과 하부 스페이서 영역(210)은 얇다. 예를 들면, 에칭 정지 영역(240)은 10 옹스트롬의 두께 이하이고 제1 스페이서 영역(210) 또한 10 옹스트롬의 두께 이하이다. 다른 실시예에서, 에칭 정지 영역(240)과 제1 스페이서 영역(210) 중 어느 하나 또는 양자 모두 더 큰 두께를 가질 수 있다.

[0032] 도 5에 도시된 실시예에서, 상부 장벽 영역(214) 상에 콘택 영역(244)이 또한 존재한다. 이 콘택 영역(244)은 소스 및 드레인 콘택을 형성하는데 사용될 수 있다. 실시예에서, 콘택 영역(244)은 p+ 도핑 SiGe 물질을 포함하며, 이는 도판트로서 붕소를 약 $1 \times 10^{19}/\text{cm}^3$ 내지 약 $1 \times 10^{22}/\text{cm}^3$ 사이의 밀도로 가질 수 있다. 다른 실시예에서는 다른 도판트, 다른 농도, 및 SiGe 이외의 다른 물질이 사용될 수 있다.

[0033] 도 6은 본 발명의 일 실시예에 따라 게르마늄 양자 웰 채널 트랜지스터 디바이스(200)를 도시하는 측면면도이다. 이 디바이스(200)는 도 5에 도시된 물질 스택으로부터 형성될 수 있고, 또한 도 1의 디바이스와 관련하여 설명된 것들과 유사한 게이트 유전체(216) 및 게이트(218)를 가질 수 있다. 디바이스(200)는 리세스형(recessed) 게이트(218)를 갖는다. 상부 스페이서 영역(242)과 에칭 정지 영역(240) 사이에 에칭 선택성이 있기 때문에, 단지 얇은 에칭 정지 영역(240) 및, 채널 영역(208)과 게이트 유전체(216) 사이의 제1 스페이서 영역(210)만을 남겨 두고 상부 스페이서 영역(242)(및 그 위의 다른 물질)은 제거될 수 있다. 에칭 정지 영역(24

0)이 없는 디바이스(100)와 같은 실시예에서, 도 6의 채널 영역(208)과 같은 게이트(118)에 가까운 채널 영역(108)을 얻는 것은 더 어려울 수 있고, 따라서, 도 6의 디바이스(200)를 이용하여 양호한 성능을 달성하는 것이 더 용이할 수 있다.

[0034] 부가적으로, SiGe 상의 하이-k 게이트 유전체(216)를 형성하는 것은 어려울 수 있다. 실리콘과 같은 상이한 물질을 포함하는 에칭 정지 영역(240)의 존재는 디바이스(200)가 에칭 정지 영역(240)을 갖지 않는 것보다 매우 더 용이하게 하이-k 게이트 유전체(216)의 형성을 가능하게 할 수 있다.

[0035] 게이트 유전체(216) 및 게이트(218)에 인접하여 게이트 유전체(216) 및 게이트(218) 아래에 없는 부가의 영역이 있다. 도시된 실시예에서, 이들 부가의 영역은 상부 스페이서 영역(242)의 나머지 부분, 상부 스페이서 영역(242) 상의 도핑 영역, 도핑 영역(212) 상의 상부 장벽 영역(214)의 나머지 부분, 및 상부 장벽 영역(214) 상의 콘택 영역(244)의 나머지 부분을 포함한다. 이들 부가의 영역은 콘택 스택으로서 고려되고, 콘택 스택은 도 6에서 게이트 유전체(216) 및 게이트(218)의 어느 한쪽에 도시되어 있다.

[0036] 도 7은 몇몇 실시예에서 제공되는 에칭 정지 영역(240)을 도시하는 측면면도이다. 도 7에 도시된 바와 같이, 에칭 정지 영역(240)은 다수의 영역을 포함할 수 있다. 실시예에서, 에칭 정지 영역(240)은 제1 실리콘 영역(246) 및 제2 실리콘 이산화물 영역(248)을 포함할 수 있다. 제2 실리콘 이산화물 영역(248)은 에칭 정지 영역(240) 위의 상부 스페이서 영역(242)의 일부를 제거하여 에칭 정지 영역(240)의 일부를 노출시킨 후 에칭 정지 영역(240)의 실리콘을 산화시킴으로써 형성될 수 있다. 도 7에 도시된 바와 같이, 에칭 정지 영역(240)의 상부만이 산화되지만, 다른 실시예에서는, 에칭 정지 영역(240)의 전체 두께를 산화시켜 게이트(218) 아래의 에칭 정지 영역(240)에 실리콘 영역(246)이 없게 한다. 그러한 실리콘 이산화물 영역(248)은, 예를 들면, 실리콘보다 실리콘 이산화물 상에 원하는 게이트 유전체(216) 물질을 형성하는 것이 더 용이할 수 있으면 형성될 수 있다. 다른 실시예에서, 게이트(218) 아래의 에칭 정지 영역(240)의 일부 또는 전부에 물질의 첨가, 공제 또는 변경함으로써 상이한 변경이 행해질 수 있다.

[0037] 도 8은 실시예에서 에칭 정지 영역(240)의 어떤 부분이 변경될 것인지를 도시하는 측면면도이다. 영역(240a)은 실리콘으로 남아 있는 반면, 게이트(218) 아래에 있을 영역(240b)은 전술한 바와 같이 변경된다. 전술한 바와 같이, 영역(240b)의 전체 두께가 변경(예를 들면, 실리콘에서 실리콘 이산화물로 변경)되거나 단지 두께의 일부만이 변경될 수 있다. 다른 실시예에서, 에칭 정지 영역(240)의 변경된 영역(240b) 및 변경되지 않은 영역(240a) 간의 경계는 상이한 위치에 있을 수 있고, 몇몇 실시예에서, 에칭 정지 영역(240)은 변경된 영역(240b)을 전혀 갖지 않을 수 있다.

[0038] 도 9는 본 발명의 또 다른 실시예에 따라 게르마늄 양자 웰 채널 트랜지스터 디바이스(200)를 도시하는 측면면도이다. 이 디바이스(200)는 도 6의 디바이스(200)와 유사하지만, 채널 영역(208) 위 보다는 오히려 채널 영역(208) 아래에 스페이서 영역(210)과 도핑 영역(212)을 갖는다. 그러한 실시예에서, 도핑 영역(212)은 측면으로 연장되어 게이트(218) 아래에 존재하게 되고 콘택 스택의 에지에서 종료하지 않는다.

[0039] 또 다른 실시예에서(도시 생략), 디바이스는 도 9의 디바이스(200)와 유사하지만, 도핑 영역(212)과 스페이서 영역(210)이 생략된다. 그 대신, 도 4에 도시된 디바이스(100)의 도핑 영역(111)과 유사하게 디바이스의 그 외의 영역에는 도핑 영역이 존재하게 된다.

[0040] 도 10은 본 발명의 또 다른 실시예에 따라 게르마늄 양자 웰 채널 트랜지스터 디바이스(300)를 도시하는 측면면도이다. 도 10의 디바이스(300)에서, 하나 이상의 버퍼 영역(304), 장벽 영역(306, 314), 스페이서 영역(310), 또는 도핑 영역(312)은 III-V족 물질을 포함하지만, 채널 영역(308)은 Ge를 포함한다(실질적으로는 Ge로 구성된다). 갈륨 아세나이드(GaAs), 인듐 안티모나이드(InSb), 인듐 인화물(InP), 및 인듐 갈륨 아세나이드(InGaAs) 같은 III-V족 물질은 III족 원소와 V족 원소를 포함한다.

[0041] 예를 들면, 실시예에서, 버퍼 영역(304)은 III-V족 물질을 포함하고, 하부 장벽 영역(306), 스페이서 영역(310), 및 상부 장벽 영역(314)은 미도핑 GaAs를 포함하고, 채널 영역은 Ge를 포함하며, 도핑 영역(312)은 Be, C 또는 Si로 도핑된 GaAs를 포함한다. 그러한 디바이스는 III-V족 물질 이외의 물질이 그들 영역(304, 306, 310, 312)에 사용되는 것보다 양호한 밴드 오프셋을 제공할 수 있다. AlAs, AlGaAs, 또는 다른 III-V족 물질이 영역(304, 306, 310, 312)의 일부 또는 모두에 GaAs 대신 사용될 수 있다.

[0042] 버퍼 영역(304)이 III-V족 물질을 포함하는 실시예에서, 버퍼 영역(304)은, 도 11에 도시된 바와 같이, 다수의 서브영역(330, 332)을 포함할 수 있다. 기판(302)은 몇몇 실시예에서 기판 표면에 걸쳐 이중-스텝(double-stepped) (100) 테라스의 정규 어레이를 갖는 높은 저항성의 p-타입 또는 n-타입 미사(vicinal) 실리콘 물질을

포함할 수 있다. 미사면은 잉곳으로부터 기판(302)을 오프컷팅함으로써 마련될 수 있다. 몇몇 실시예에서, (100) 기판 표면은 [110] 방향을 향하여 2 내지 8도의 각도로 오프컷된다. 특정 실시예에서, (100) 기판 표면은 [110] 방향을 향하여 약 4도의 각도로 오프컷된다. 미사면은 (211), (511), (013), (711) 평면과 같은 실리콘 기판(302)의 보다 높은 차수의 결정면이지만, 이에 한정되는 것은 아니다. 다른 실시예에서, 기판(302)은 미사면을 오프컷하지 않거나 비사면을 가질 수 있다.

[0043] 디바이스(300)가 형성될 기판(302) 표면은 센티미터당 약 1 오옴 내지 약 50,000 오옴의 저항을 가질 수 있다. 약 10^{16} 캐리어/cm³보다 더 낮은, 낮은 도판트 농도에 의해 높은 저항이 얻어질 수 있다. 다른 실시예에서, 기판(302)은 상이한 저항을 가질 수 있거나, 저항은 다른 방법에 의해 달성될 수 있다.

[0044] 몇몇 실시예에서, 기판(302)은 실질적으로 단결정 실리콘 물질, 실질적으로 도핑된 단결정 실리콘 물질, 다결정 또는 다층 기판(302)일 수 있다. 다양한 실시예에서, 기판(302)은 게르마늄, 실리콘 상의 게르마늄을 포함할 수 있거나, 또는 실리콘-온-인슐레이터 기판(302)일 수 있다. 기판(302)은 몇몇 실시예에서는 실리콘을 포함하지 않을 수 있지만, 그 대신, 상이한 반도체 또는 Ge 또는 GaAs 또는 InP 같은 III-V족 물질 같은 상이한 물질을 포함할 수 있다. 기판(302)은 하나 이상의 물질(들), 디바이스(들), 또는 층(들)을 포함할 수 있거나, 또는 다수의 층 없이 단일 물질일 수 있다.

[0045] 기판(302) 상의 버퍼 영역(304)은 기판(302)과 그 버퍼 영역(304) 위의 영역들 간의 격자 부정합을 조정하는 기능을 할 수 있고, 격자 전위 및 결함을 제한하는 기능을 할 수 있다. 다른 실시예에서, 버퍼 영역(304)은 상이한 수의 영역들을 갖거나 또는 단순히 하나의 영역일 수 있지만, 도시된 실시예에서는, 버퍼 영역(304)은, 다수의 영역, 즉, 핵형성 영역(330) 및 제1 버퍼 영역(332)을 갖는다.

[0046] 핵형성 영역(330)은, 다른 실시예에서는 GaSb 또는 AlSb와 같은 다른 물질이 사용될 수 있지만, 일 실시예에서는 갈륨 아세나이드를 포함한다. (여기서 사용되는 바와 같이, 물질이 아래 첨자없이 자신들의 원소로 표시될 때, 이들 표시는 원소들의 임의의 백분율의 혼합물을 포함한다는 것을 유의하자. 예를 들면, "InGaAs"는 In_xGa_{1-x}As를 포함하는데, 여기서 x는 0(GaAs)과 1(InAs) 사이의 범위를 갖는다. 유사하게, InAlAs는 In_{0.52}Al_{0.48}As를 포함한다.) 이것은 MBE(molecular beam epitaxy), MEE(migration enhanced epitaxy), MOCVD(metal-organic chemical vapor deposition), ALE(atomic layer epitaxy), CBE(chemical beam epitaxy) 또는 다른 적절한 방법에 의해 형성된다. 전위(dislocation)를 줄이기 위해 형성 후 어닐링될 수 있다. 이것은 몇몇 실시예에서는 약 1000 옹스트롬보다 작은 두께를 갖고, 몇몇 다른 실시예에서는 약 500 옹스트롬보다 작은 두께를 갖는다. 일 실시예에서, 핵형성 영역은 약 300 옹스트롬의 두께를 갖는다. 기판(302)이 미사의 실리콘 물질인 실시예에서, 핵형성 영역(330)은 실리콘 기판(302)의 모든 테라스(terrace)를 채우도록 충분히 두껍게 만들어질 수 있다. 대체 실시예에서, 다른 적절한 핵형성 영역(330) 물질 또는 두께가 사용될 수 있거나, 또는 핵형성 영역(330)은 생략될 수 있다.

[0047] 도시된 실시예에서, 핵형성 영역(330) 상에는 제1 버퍼 영역(332)이 있다. 실시예에서, InAlAs, AlSb와 같은 다른물질 또는 다른 물질이 사용될 수 있지만, 제1 버퍼 영역(332)은 GsAs 물질을 포함한다. 실시예에서, 제1 버퍼 영역(332)은 핵형성 영역(330)과 실질적으로 동일한 물질로 구성된다. 버퍼 영역(332)은 MBE(molecular beam epitaxy), MEE(migration enhanced epitaxy), MOCVD(metal-organic chemical vapor deposition), ALE(atomic layer epitaxy), CBE(chemical beam epitaxy) 또는 다른 적절한 방법에 의해 형성될 수 있다. 제1 버퍼 영역(332)은 1 마이크로론보다 작은 두께, 0.3 마이크로론 내지 1 마이크로론 상이, 약 0.3 마이크로론, 또는 다양한 실시예에서 또 다른 두께를 가질 수 있다.

[0048] 제1 버퍼 영역(32)은 몇몇 실시예에서 핵형성 영역(330)을 형성하는데 사용되는 동일한 프로세스에 의해 형성될 수 있다. 그러한 실시예에서, 제1 버퍼층(332)의 성장은 핵형성층(304)용으로 사용되는 온도보다 더 높은 온도에서 실행될 수 있다. 제1 버퍼 영역(2)이 핵형성 영역(330)과는 다른 개별 영역으로서 고려되고 도시될 수 있지만, 두 영역(330, 332) 모두, 영역(332)이 핵형성 영역(330)에 의해 시작되는 III-V족 버퍼 영역을 두껍게 하면서 버퍼들로서 고려될 수 있다. 영역(332)의 막질은 이 영역이 보다 높은 성장 온도에서 형성될 수 있기 때문에 핵형성 영역(332)의 막질보다 우수할 수 있다. 또한, 영역(332)의 형성 동안, 극성 핵형성 영역(330)이 APD(anti-phase domain) 형성의 위험을 제거할 수 있기 때문에 플럭스 레이트(flux rate)가 상대적으로 더 높을 수 있다.

[0049] 버퍼 영역(332)은 도 2와 관련하여 설명된 버퍼 영역(332)과 유사한 단일의 두꺼운 비그레이디드 버퍼 영역(332), 멀티-스텝형 영역(332), 그레이디드 버퍼 영역(332), 또는 버퍼의 다른 형태일 수 있다.

- [0050] 몇몇 실시예는 핵형성 영역(330) 및/또는 버퍼 영역(332)을 생략할 수 있다는 것을 유의하자. 예를 들면, 기관(302)이 III-V족 물질을 포함하는 실시예에서, 디바이스(300)는 핵형성 영역(330) 및/또는 버퍼 영역(332)을 생략할 수 있다. 버퍼 영역(304)이 SiGe를 포함하는 실시예에서, 버퍼 영역(304)은 핵형성 영역(330)을 생략할 수 있고, 도 2와 관련하여 설명된 버퍼 영역(104)과 유사할 수 있다.
- [0051] 도 10을 참조하면, 또 다른 실시예에서, 디바이스(300)는 버퍼 영역(104)과 유사하고 SiGe를 포함하는 버퍼 영역(304), SiGe를 포함하는 하부 장벽 영역(306), Ge를 포함하는 채널 영역(308) 및 GaAs 또는 다른 III-V족 물질을 포함하는 상부 배리어 영역(314)을 갖는다. (채널 영역(308)과 직접 접촉할 수 있는) 하부 장벽 영역(306)의 SiGe는 채널 영역(308)을 변형시킬 수 있는 반면, 상부 장벽 영역(314)의 III-V족 물질은 향상된 밴드 오프셋을 제공한다.
- [0052] 또 다른 실시예에서, 하부 장벽 영역(306)은 III-V족 물질을 포함하고, 버퍼 영역(304)은 SiGe 또는 III-V족 물질을 포함하며, 채널 영역(308)은 Ge를 포함하고, 상부 장벽 영역(314)은 SiGe를 포함한다. 장벽 영역(306, 314), 스페이서 영역(310), 및 버퍼 영역(304)에서 SiGe 및 III-V족 물질의 다양한 다른 조합이 또한 사용될 수 있다. 또한, 도핑 영역(312) 및 스페이서 영역(310)이 (도 3에 도시된 바와 같이) 채널 영역(308) 아래에 있거나, 블랭킷 도핑 영역(312)이 생략되고 (도 4에 도시된 도핑 영역과 같이) 대체 도핑 영역을 갖는 실시예 또한 가능하다. 부가하여, 도 5 내지 도 9의 에칭 정지 영역(240) 및 부가의 스페이서 영역(242) 또한, 버퍼 영역(304), 장벽 영역(306, 314), 스페이서 영역(310) 또는 도핑 영역(312) 중 하나 이상과 같이 III-V족 물질을 갖는 디바이스(300)의 실시예에서 사용될 수 있다.
- [0053] 도 12a는 본 발명의 또 다른 실시예에 따라 하나 이상의 비균질 장벽(406, 414) 및/또는 스페이서(410) 영역을 갖는 게르마늄 양자 웰 채널 트랜지스터 디바이스(400)를 도시하는 측면면도이다. 영역(들)(406, 414 및/또는 410)의 두께에 걸쳐 균질한 물질 조성을 갖기 보다는, 물질은 채널 영역(408)에 보다 가까운 채널 영역(408)에는 더 유사하게 그리고 채널 영역(408)과 더 떨어진 채널 영역(408)과는 덜 유사하게 천이되도록 비균질이다.
- [0054] 도 12b는 도 12a와 유사한 측면면도이지만, 그레이디드 스페이서 영역(401)과 도핑 영역(412) 사이에 비그레이디드 스페이서 영역(411)을 포함한다. 몇몇 실시예에서, 그레이디드 스페이서 영역(410)과 도핑 영역(412) 사이에 그러한 비그레이디드의, 상대적으로 균질한 스페이서 영역(411)이 존재할 수 있다. 스페이서 영역(411)은, 다른 실시예에서는 상이한 조성을 가질 수 있지만, 몇몇 실시예에서는 그레이디드 스페이서 영역(410)의 상부와 실질적으로 동일한 물질로 구성될 수 있다.
- [0055] 예를 들면, 실시예에서, 하부 장벽 영역(406)의 기저부(456)는 SiGe를 포함한다. 채널 영역(408)은 실질적으로 게르마늄으로 구성된다. 하부 장벽 영역(406)은, 하부 장벽 영역(406)의 상부(458)에서 실질적으로 게르마늄으로 구성될 때까지 더욱더 많은 게르마늄이 존재하도록 그레이디드 된다. 유사하게, 스페이서 영역(410)은 기저부(460)에서 실질적으로 게르마늄이다. 스페이서 영역(410)은 그 스페이서 영역(410)의 상부(462)를 향하여 게르마늄은 더 적어지고 실리콘은 더 많아지도록 그레이디드 된다.
- [0056] 도 13 및 도 14는 본 발명의 일 실시예에 따라 그레이디드 하부 장벽 영역(406) 및 스페이서 영역(410)을 도시하는 그래프이다. 도 13은 하부 장벽 영역(406)의 기저부(456)와 상부(458) 간의 자신의 조성을 도시하는 그래프이고, 도 14는 스페이서 영역(410)의 기저부(460)와 상부(462) 간의 자신의 조성을 도시하는 그래프이다. 도 13에 도시된 바와 같이, 하부 장벽(406)은 자신의 기저부(406)에서는 SiGe를 포함하는데, 상부(458)에서 하부 장벽(406)이 실질적으로 모두 Ge가 될 때까지, 상부(458)로 갈수록 Ge를 더 많이 포함하고 Si를 더 적게 포함한다(이 실시예에서, 채널 영역(408)은 실질적으로 모두 Ge이다 - 다른 실시예에서, 장벽 영역(406)의 상부(458)는 채널 영역(408)의 구성과 실질적으로 동일한 구성에 도달한다). 도 14는 스페이서 영역(410)에 대하여는 이것의 역을 도시한다: 스페이서 영역(410)은 기저부(460)에서 실질적으로 모두 Ge이고 상부(462)를 향하여 상부(462)에서 스페이서 영역(410)이 SiGe가 될 때까지 Si를 더 많이 포함하고 Ge를 더 적게 포함한다.
- [0057] 도 15 및 도 16은 본 발명의 일 실시예에 따라 그레이디드 기저 장벽 영역(406) 및 스페이서 영역(410)을 도시하는 그래프이다. 도 15는 하부 장벽 영역(406)의 기저부(456)와 상부(458) 간의 자신의 조성을 도시하는 그래프이고, 도 16은 스페이서 영역(410)의 기저부(460)와 상부(462) 간의 자신의 조성을 도시하는 그래프이다. 도 15에 도시된 바와 같이, 하부 장벽(406)은 자신의 기저부(406)에서는 SiGe를 포함하고 자신의 두께의 일부에 대해서는 동일한 구성으로 남아 있다. 다음에, 상부(458)에서 하부 장벽(406)이 실질적으로 모두 Ge가 될 때까지, 하부 장벽(406)의 두께의 어느 정도까지는 Si가 감소하기 시작하고 Ge는 증가한다. 도 16은 스페이서 영역(410)에 대하여는 이것의 역을 도시한다: 스페이서 영역(410)은 기저부(460)에서 실질적으로 모두 Ge이고 상부(462)에서 Si 대 Ge의 선택 비율에 이를 때까지 상부(462)를 향하여 Si를 더 많이 포함하고 Ge를 더 적게 포함

한다. 상부(462)까지 이 선택된 조성이 계속된다. (도 112a에 도시된 실시예는 도 16의 그래프에 대응한다 - Si 대 Ge의 비교적 균질한 선택 비율을 갖는 부분은 그레이디드 스페이서 영역(410)의 일부보다는 스페이서 영역(411)일 것이다. 유사하게, 하부 장벽(406)의 기저부는 단순히 하부 장벽(406)의 일부로 고려될 수 있거나 또는 상이하고 비교적 균질한 영역으로 고려될 수 있다.)

[0058] 도 17 및 도 18은 본 발명의 또 다른 실시예에 따라 그레이디드 하부 장벽 영역(406) 및 스페이서 영역(410)을 도시하는 그래프이다. 도 17은 하부 장벽 영역(406)의 기저부(456)와 상부(458) 간의 자신의 조성을 도시하는 그래프이고, 도 18은 스페이서 영역(410)의 기저부(460)와 상부(462) 간의 자신의 조성을 도시하는 그래프이다. 도 17에 도시된 바와 같이, 하부 장벽(406)은 자신의 기저부(406)에서는 SiGe를 포함하고 자신의 두께의 일부에 대해서는 동일한 조성으로 남아 있다. 다음에, 상부(458)에서 하부 장벽(406)이 선택된 조성을 가질 때까지, 하부 장벽(406)의 두께의 어느 정도까지는 Si가 감소하기 시작하고 Ge는 증가한다. 이 실시예에서, 상부(458)에서의 선택된 조성은 채널 영역(408)의 조성과 동일하지 않다. 도 18은 스페이서 영역(410)에 대하여는 이것의 역을 도시한다: 스페이서 영역(410)은 기저부(460)에서는 채널 영역(408)의 조성보다 어느 정도 다른 제1 조성을 갖고, 스페이서 영역(410)의 조성은, 상부(462)를 향하여 선택된 조성에 이르고 상부(462)까지 이 선택된 조성이 계속되는 채널 영역(408)의 조성보다 유사하지 않게 된다.

[0059] 도 19 및 도 20은 본 발명의 또 다른 실시예에 따라 스텝형 하부 장벽 영역(406)과 스페이서 영역(410)을 도시하는 그래프이다. 도 13 내지 도 18에 도시된 실시예와 대조적으로, 하부 장벽 영역(406) 및 스페이서 영역(410)은 비교적 완전한 그레이디드보다는 변경된 조성의 개별적인 스텝을 갖는다. 도 19는 하부 장벽 영역(406)의 기저부(456)와 상부(458) 사이의 자신의 조성을 도시하는 그래프이고, 도 20은 스페이서 영역(410)의 기저부(460)와 상부(462) 사이의 자신의 조성을 도시하는 그래프이다. 도 19에 도시된 바와 같이, 하부 장벽(406)은 자신의 기저부(456)에서 SiGe를 포함하고, 자신의 두께의 일부분에 대해서는 동일한 조성으로 남아 있다. 상부(458)에서 하부 장벽(406)이 선택된 조성을 가질 때까지, 완만하게 보다는 오히려 스텝형으로 Si의 양이 증가하고 Ge는 감소한다. 도 20은 스페이서 영역(410)에 대하여 이것의 역을 도시한다: 스페이서 영역(410)은 선택된 조성에 이를 때까지 스텝식으로 증가하고 상부(462)까지 스텝식으로 증가하는 방식으로 감소하는 Ge 및 증가하는 Si를 갖는다.

[0060] 도 13 내지 도 20에서의 예는 SiGe 및 Ge를 도시하고 있지만, 이들 동일한 두 개의 조성은 단지 명료성을 위해 각각의 도면에서 일관되게 사용되었다. 이것은 그들이 모든 가능한 실시예에서 사용되는 물질이라는 것을 나타내는 것은 아니다. 동일한 비균질 개념 하에서 Si 및 Ge에 첨가하거나 또는 그 대신의 상이한 물질이 사용될 수 있다. 예를 들면, 하부 장벽 영역(406)은 기저부(456)에서 60%의 SiGe와 40%의 Si를 포함할 수 있고, 상부(458) 쪽으로 이동함에 따라 더욱더 많은 Ge를 포함할 수 있는데, 이것은 실질적으로 모두 Ge이거나 또는 어느 정도의 Si를 여전히 포함할 수 있다. 또한, Si 및/또는 Ge 이외의 물질이 사용될 수 있다.

[0061] 도 15 및 도 16은 SiGe 조성을 갖는 하부 장벽(406)과 스페이서(410)의 두께의 단지 작은 부분을 도시하는 것으로 나타나 있지만, 이 그래프는 축적을 맞춘 것이 아니고, 그들의 두께의 작은 부분이 그레이디드 조성 변화를 포함하면서 균질한 SiGe 조성을 갖는 하부 장벽(406)과 스페이서(410)의 대부분의 두께일 수 있다. 예를 들면, 다른 실시예에서는 하부 장벽(406) 및 스페이서(410)의 상이한 백분율이 균질할 수 있더라도, 하부 장벽(406) 및 스페이서(410)의 80%, 90% 또는 그 이상의 두께가 균질한 물질(도시된 경우에는 SiGe)을 포함할 수 있다. 이것은 도 13 내지 도 20의 다른 그래프에서 도시된 실시예에 대해서도 성립한다 - 그래프는 축적을 맞춘 것이 아니고, 하부 장벽(406)과 스페이서(410)의 두께의 일부분이, 채널 영역(408)에 더 가까운 하부 장벽(406)과 스페이서(410)의 위치에서 채널 영역(408)에 더 가까운 조성을 갖도록 하여 채널 영역(408)의 조성보다 그 채널 영역(408)에 바로 인접한 영역들 간의 차이가 크지 않도록 채널 영역(408)으로부터 하부 장벽(406)과 스페이서(410)의 부분들의 물질 조성 간에 비균질 천이를 형성할 수 있다는 것을 단지 도시하는 것이다.

[0062] 하부 장벽 영역(406)과 채널 영역(408) 사이 및 채널 영역(408)과 스페이서 영역(410) 사이의 경계에서 조성의 보다 점진적인 변화를 가짐으로써, 디바이스(400)의 캐리어는 채널 영역(408)과 그 채널 영역(408)에 인접한 스페이서(410) 또는 장벽(406)의 유사하지 않은 물질 간의 급변하는(abrupt) 계면에서 보다는 오히려 채널 영역(408)의 중간에 바람직하게 위치될 수 있고, 이것은 디바이스의 성능을 향상시킬 수 있다.

[0063] 도 12a가 채널 영역(408) 위에 도핑 영역(412)을 갖는 디바이스(400)를 도시하였지만, 디바이스(400)는 장벽 영역(406) 또는 스페이서 영역(410)의 제1 선택된 조성으로부터 채널 영역(408)에 더 가까운 위치에서 채널 영역(408)과 더 유사한 조성으로의 점진적 또는 스텝식 천이의 사용을 유지하면서 다른 배치를 가질 수 있다. (상부 장벽(414)이 하부 장벽(406)과는 다른 비균질 천이부를 가질 수 있는 도 3에 도시된 디바이스와 유사하게)

채널 영역(408) 아래에 도핑 영역(412)과 스페이서 영역(410)이 있거나, 또는 블랭킷 도핑 영역(412)을 생략하고 그 대신 (상부 장벽(414)이 스페이서(410) 대신 천이부를 가질 수 있는 도 4에 도시된 도핑 영역(111)과 유사한) 대체 도핑 영역을 갖는 실시예 또한 가능하다. 부가하여, 도 5 내지 도 9의 에칭 정지 영역(240) 및 부가의 스페이서 영역(242) 또한, 채널 영역(408)과 그에 바로 인접한 영역 간의 덜 급변하는 물질 천이를 갖는 디바이스(400)의 실시예에서 사용될 수 있다. 또한, 스페이서(410), 하부 장벽(406), 또는 상부 장벽(414) 영역 중 하나 이상은 도 10 및 도 11과 관련하여 설명된 바와 같이 III-V족 물질을 포함할 수 있다.

[0064] 도 21은 본 발명의 또 다른 실시예에 따라 다수의 게이트 유전체 영역(570, 572)을 갖는 게르마늄 양자 웰 채널 트랜지스터 디바이스(500)를 도시하는 측면면도이다. 몇몇의 경우에, 원하는 게이트 유전체 물질은 유전체가 형성될 물질과 호환성 이슈 또는 다른 문제를 가질 수 있다. 그러한 원하는 게이트 유전체 물질을 전적으로 피하기 보다는, 게이트 유전체는 다수의 게이트 유전체 영역(570, 572)을 포함할 수 있다. 도 21이 두 개의 게이트 유전체(570, 572)를 도시하고 있지만, 다른 실시예에서 두 개보다 많은 유전체가 사용될 수 있다.

[0065] 예를 들면, 게이트 유전체 물질로서 HfO_2 를 사용하는 것이 이로우 수 있다. 그러나, Ge 또는 SiGe 함유 상부 장벽 영역(514) 또는 게이트 유전체 바로 아래의 다른 영역과 HfO_2 를 접촉시키면, 디바이스(500)에 부정적으로 영향을 미치는 다양한 문제를 낳을 수 있다. 이들 문제를 피하기 위해, 하프늄 실리케이트의 제1 게이트 유전체(570)을 형성하고, 그 다음에 HfO_2 의 제2 게이트 유전체(572)를 형성할 수 있다. 제1 게이트 유전체 영역(570)용으로 알루미늄 산화물, TaSiO, TaSiON, La_2O_3 과 같은 다른 물질, 또는 다른 물질을 이용할 수 있다. 제2 게이트 유전체 영역(572)용으로 ZrO_2 , Ti_2O_5 , Ta_2O_5 , HfSiON, HfSiO 같은 다른 물질, 또는 다른 물질을 이용할 수 있다. 제2 게이트 유전체(572)는, 반드시 필요한 것은 아니지만, 몇몇 실시예에서 제1 유전체 영역(570)보다 더 높은 유전 상수를 가질 수 있다.

[0066] 도 21의 다수의 유전체 영역(570, 572)은 여기서 설명된 디바이스의 임의의 다른 실시예에 적용가능할 수 있다. 도핑 영역(5112)은 채널 영역(508) 위에, 채널 영역(508) 아래에, 또는 그 외에 있을 수 있다. 채널 영역(508)에 바로 인접한 영역은 채널 영역(508)의 물질 조성에 대한 급변하는 천이를 피하기 위해 조성을 가변시킬 수 있다. 도 5 내지 도 9의 에칭 정지 영역(240) 및 부가의 스페이서 영역(242) 또한 다수의 게이트 유전체 영역(570, 572)과 함께 사용될 수 있다. 또한, 스페이서(510), 하부 장벽(506) 또는 상부 장벽(514) 영역 중 하나 이상은 도 10 및 도 11과 관련하여 설명된 바와 같이 III-V족 물질을 포함할 수 있다.

[0067] 도 22는 본 발명의 일 실시예에 따라 동일 기관(602) 상에 (도 22의 좌측 상의) 게르마늄 양자 웰 채널 영역(608) 트랜지스터 및 (도 22의 우측 상의) III-V족 물질 양자 웰 채널 영역(708) 트랜지스터를 구비한 디바이스(600)를 도시하는 측면면도이다. 몇몇 실시예에서, 도 1 내지 도 21에 도시되고 설명된 것들과 같은 게르마늄 양자 웰 트랜지스터는 PMOS 트랜지스터로서 사용될 수 있는 반면, III-V족 물질 양자 웰 채널 영역(708) 트랜지스터와 같은 다른 타입의 트랜지스터는 NMOS 트랜지스터로서 사용될 수 있다. 상이한 유형의 트랜지스터들의 이들 조합은 컴퓨터 중앙 처리 유닛과 같은 다양하고 상이한 시스템에서 CMOS 회로를 구성할 수 있다.

[0068] 도 22에 도시된 실시예에서, 게르마늄 웰 채널 영역(608) 트랜지스터는 여기서 설명된 바와 같이 임의의 구조를 가질 수 있다. 그러한 하나의 구조는 기관(602), 버퍼 영역(604), 하부 장벽 영역(606), 실질적으로 게르마늄으로 구성되는 채널 영역(608), 스페이서 영역(610), 도핑 영역(612), 상부 장벽 영역(614), 게이트 유전체(616), 게이트 전극(618), 소스 영역(620) 및 드레인 영역(622)이 있다. 게르마늄 양자 웰 채널 영역(608) 트랜지스터와 III-V족 물질 양자 웰 채널 영역(708) 트랜지스터 사이에 분리 영역(780)이 있을 수 있다.

[0069] III-V족 물질 양자 웰 채널 영역(708) 트랜지스터는 다수의 상이한 유형의 III-V족 물질 양자 웰 채널 영역(708) 트랜지스터를 포함할 수 있다. 일 실시예에서, III-V족 물질 양자 웰 채널 영역(708)은 GaAs를 포함하는 (핵형성 영역을 포함할 수 있는) 버퍼 영역(704), InAlAs를 포함하는 하부 장벽 영역(706), InGaAs를 포함하는 채널 영역(708), InAlAs를 포함하는 스페이서 영역(710), 도핑된 InAlAs를 포함하는 도핑 영역(712), InAlAs를 포함하는 상부 장벽 영역(714), 게이트 유전체(716), 게이트(718), 소스 영역(720), 및 드레인 영역(722)을 포함한다. 다른 실시예에서, 상이한 물질 및/또는 구조가 III-V족 물질 양자 웰 채널 영역(708) 트랜지스터와 사용될 수 있다.

[0070] 몇몇 실시예에서, 게르마늄 양자 웰 채널 트랜지스터가 양호한 PMOS 성능을 제공할 수 있고, III-V족 물질 양자 웰 채널 트랜지스터가 양호한 NMOS 성능을 제공할 수 있음에 따라, 단일 기관(602) 상에 이들 두 유형의 트랜지스터의 사용은 NMOS 및 PMOS 트랜지스터 양자에 대해 단지 하나의 유형의 트랜지스터가 사용되는 것보다 양호한

전체적인 디바이스(600) 성능을 제공할 수 있다.

[0071] 도 23은 본 발명의 일 실시예에 따라 동일 기판(602) 상에 (도 23의 좌측에 있는) 게르마늄 양자 웰 채널 영역 트랜지스터 및 (도 23의 우측에 있고, "표준" 트랜지스터로서도 지칭되는) 비양자(non-quantum) 웰 채널 트랜지스터를 구비한 디바이스(800)를 도시하는 측면면도이다. 몇몇 실시예에서, 도 1 내지 도 21에 도시되고 설명된 바와 같은 게르마늄 양자 웰 채널 트랜지스터가 PMOS 트랜지스터로서 사용될 수 있는 반면, 수십 년 동안 폭넓게 사용된 잘 공지된 실리콘 트랜지스터와 같은 다른 유형의 트랜지스터가 NMOS 트랜지스터로서 사용될 수 있다. 상이한 유형의 트랜지스터들의 이들 조합은 컴퓨터 중앙 처리 유닛과 같은 다양하고 상이한 시스템에서 CMOS 회로를 구성할 수 있다.

[0072] 도 23에 도시된 실시예에서, 게르마늄 양자 웰 채널 영역(608) 트랜지스터는 여기서 설명된 바와 같은 임의의 구조를 가질 수 있다. 그러한 하나의 구조는 기판(602), 버퍼 영역(604), 하부 장벽 영역(606), 실질적으로 게르마늄으로 구성되는 채널 영역(608), 스페이서 영역(610), 도핑 영역(612), 상부 장벽 영역(614), 게이트 유전체(616), 게이트 전극(618), 소스 영역(620) 및 드레인 영역(622)이 있다. 게르마늄 양자 웰 채널 영역(608) 트랜지스터와 III-V족 물질 양자 웰 채널 영역(708) 트랜지스터 사이에 분리 영역(780)이 있을 수 있다. 기판(602)에 트렌치가 형성될 수 있고 다음에, 게르마늄 양자 웰 채널 영역(608)의 영들에 의해 채워져 도 23에 도시된 디바이스(800)가 된다. 다른 실시예에서, 그러한 트렌치는 회피될 수 있는데, 이 경우, 게르마늄 양자 웰 채널 영역(608) 트랜지스터는 비양자 웰 채널 트랜지스터 위로 연장될 수 있다.

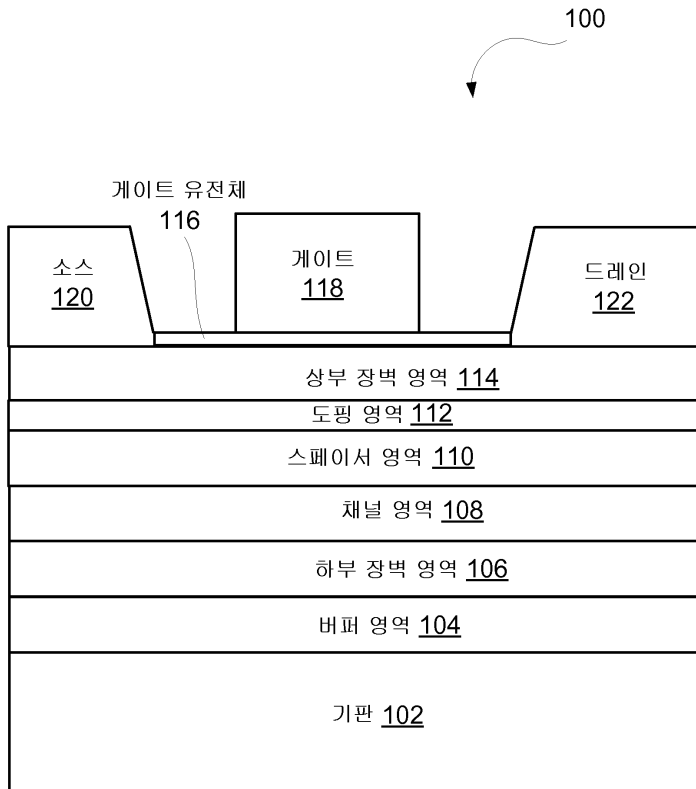
[0073] 표준 트랜지스터는 당해 분야에서 공지된 바와 같이 다수의 상이한 구조 중 하나를 취하고 다수의 상이한 물질을 사용할 수 있다. 일 실시예에서, 게이트 유전체(804) 및 그 게이트 유전체(804) 상의 게이트 전극(806)을 포함한다. 게이트 유전체(804) 및 게이트 전극(806)의 측벽(808)에 인접하여 스페이서(810)가 있다. 게이트 유전체(804) 및 게이트 전극(806)의 어느 한 쪽 상의 기판에 소스 영역(812) 및 드레인 영역(814)이 있다. 기판(602) 내의 소스 영역(812)과 드레인 영역(814) 사이에 채널 영역(816)이 있다. 표준 트랜지스터는 실리콘 이산화물 게이트 유전체(804) 및 폴리실리콘 게이트(806), 하이-k 게이트 유전체(804) 및 금속 게이트(806)를 가질 수 있고, 평면 또는 멀티게이트(multigate) 트랜지스터일 수 있으며, 다양한 다른 형태를 취할 수 있고 다양한 물질을 사용할 수 있다.

[0074] 몇몇 실시예에서, 게르마늄 양자 웰 채널 트랜지스터가 양호한 PMOS 성능을 제공할 수 있고, 표준 트랜지스터가 양호한 NMOS 성능을 제공할 수 있음에 따라, 단일 기판(602) 상에 이들 두 유형의 트랜지스터의 사용은 NMOS 및 PMOS 트랜지스터 양자에 대해 단지 하나의 유형의 트랜지스터가 사용되는 것보다 양호한 전체적인 디바이스(600) 성능을 제공할 수 있다.

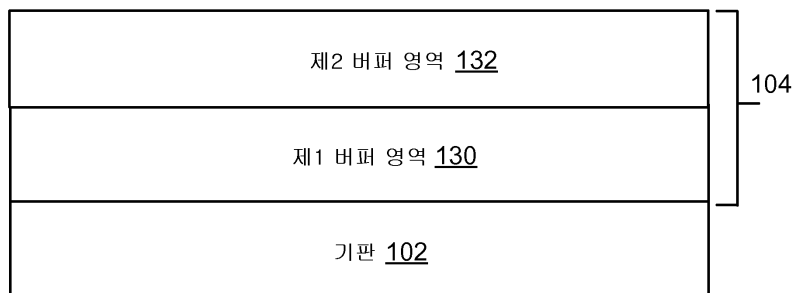
[0075] 전술한 본 발명의 실시예의 설명은 예시 및 설명을 위해 제공되었다. 전술한 설명은 개시된 정확한 형태에 본 발명을 한정하고자 하는 것은 아니다. 전술한 설명 및 첨부한 청구범위는 설명을 위해서만 사용되는 좌, 우, 상부, 하부, 상위, 하위, 제1, 제2 등과 같은 용어를 포함하며, 이들 용어는 제한적인 것으로 해석해서는 안 된다. 예를 들어, 상대적인 수직 위치를 나타내는 용어들은 기판 또는 집적 회로의 디바이스 면(또는 활성 표면)이 그 기판의 "상부(top)" 면인 위치를 지칭하는데, 기판은 실제로는 기판의 "상부(top)"측이 기준의 표준 지상 프레임 내의 "하부"측보다 낮을 수 있으며 여전히 용어 "상부"의 의미 내에 포함되는 임의의 방향에 있을 수 있다. (청구범위를 포함하여) 본 명세서에서 사용되는 용어 "상(on)"은, 특별히 언급하지 않는 한 제2 층 "상"의 제1 층이 제2 층과 접촉하여 바로 위에 있다는 것을 반드시 나타낼 필요는 없으며, 제1 층과 제1 층 상의 제2 층 사이에 제3 층 또는 다른 구조물이 있을 수도 있다. 본 명세서에 개시된 디바이스 또는 물품은 다수의 위치 및 방향에서 위치하거나 제조되거나 또는 사용될 수 있다. 당업자는 전술한 기술적 사상에 비추어 많은 수정 및 변형이 가능하다는 것을 알 수 있을 것이다. 당업자는 도면에 도시된 다양한 컴포넌트들에 대한 다양한 등가의 조합 및 대체를 인식할 수 있을 것이다. 따라서, 본 발명의 범위는 상세한 설명에 의해 제한되는 것이 아니고 첨부한 청구범위에 의해 제한된다.

도면

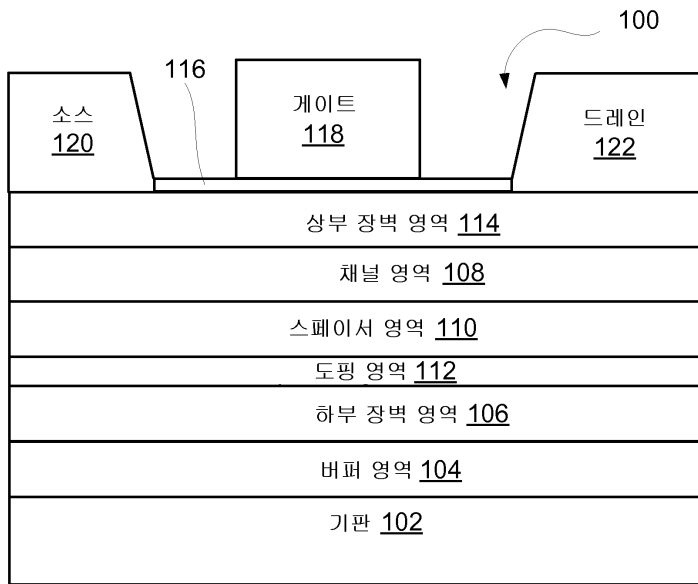
도면1



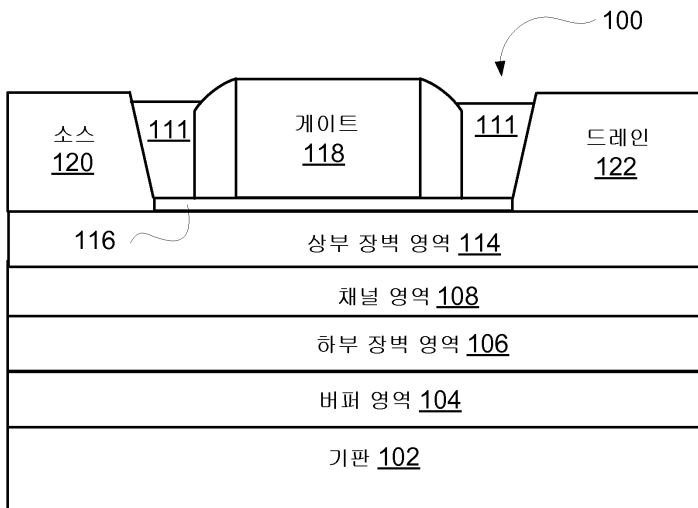
도면2



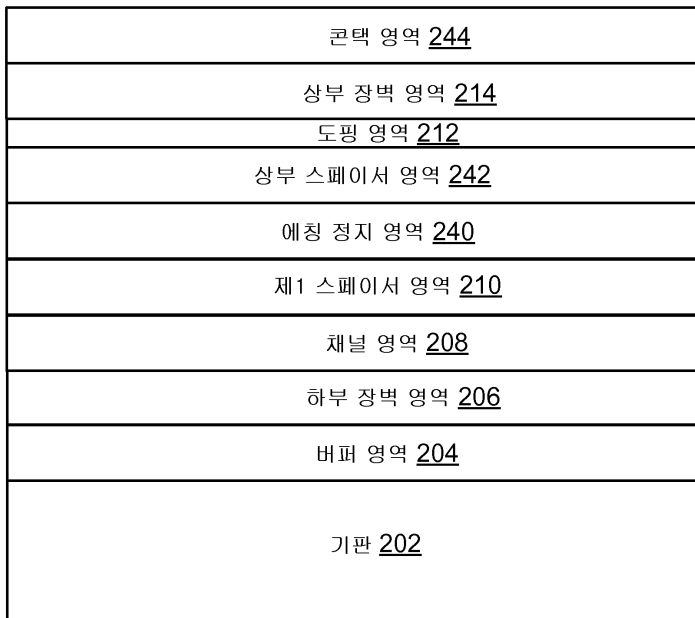
도면3



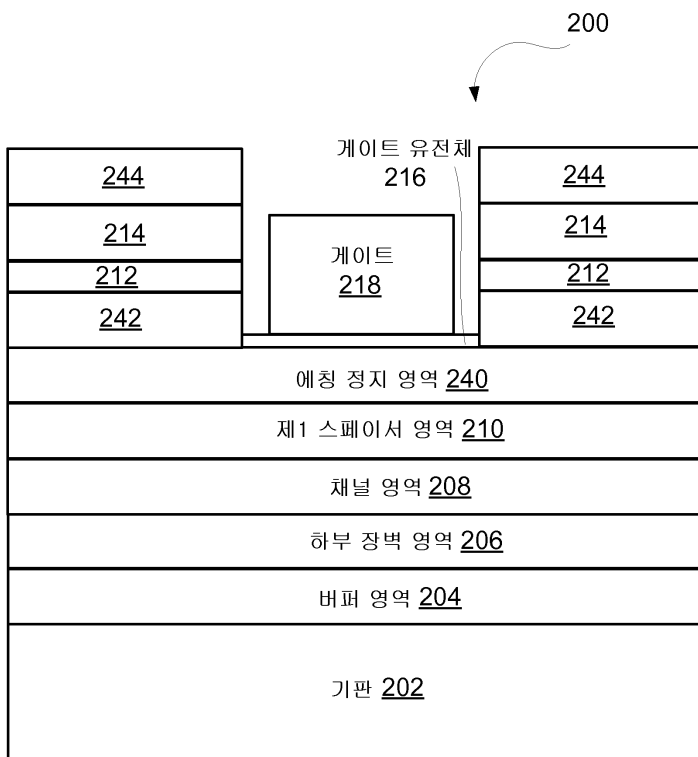
도면4



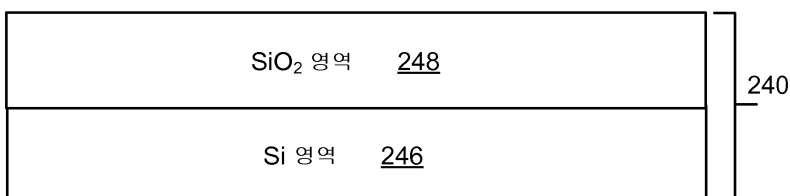
도면5



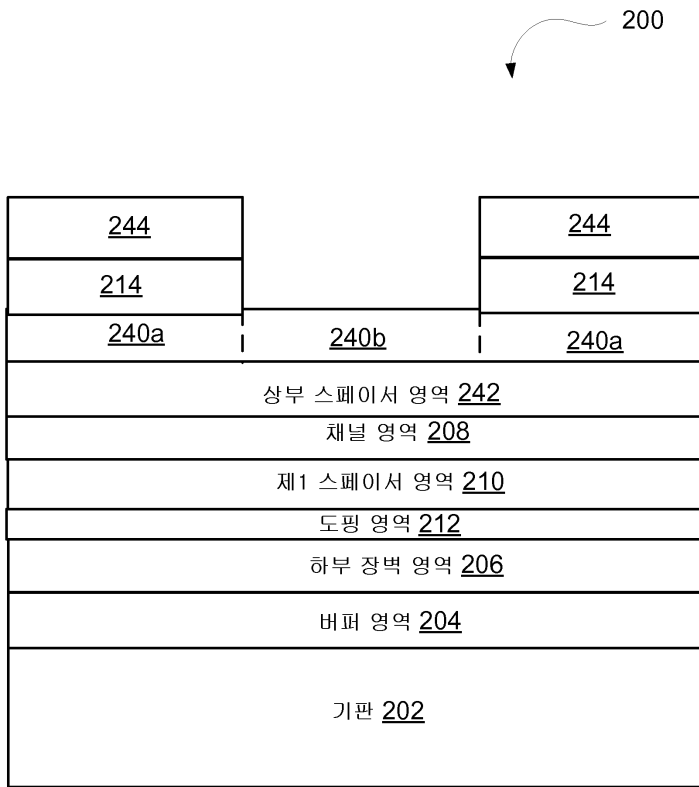
도면6



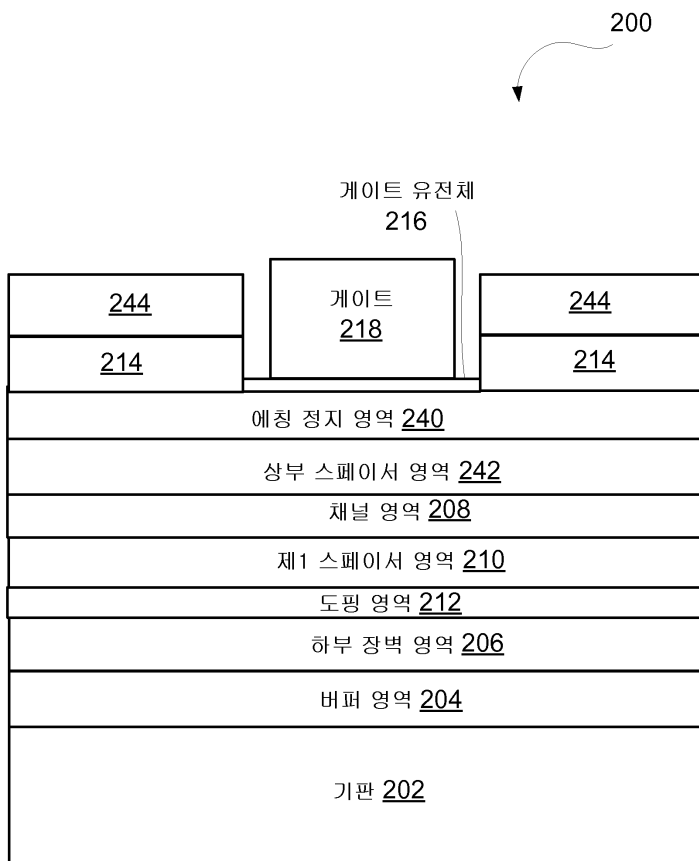
도면7



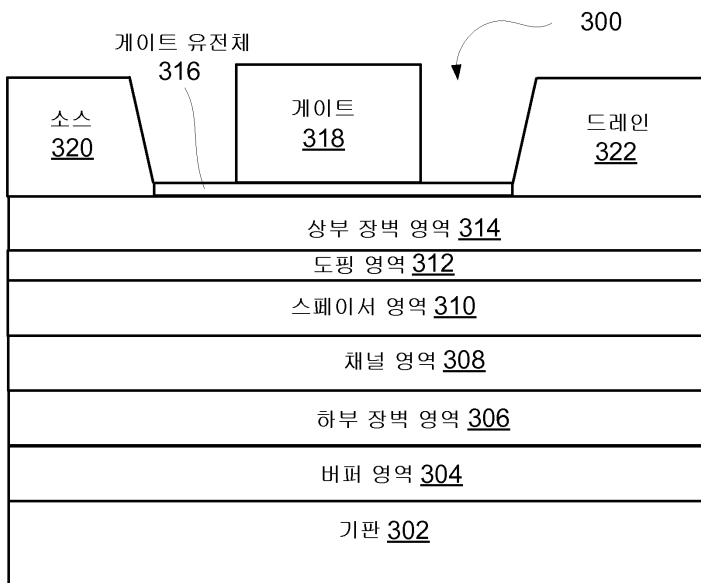
도면8



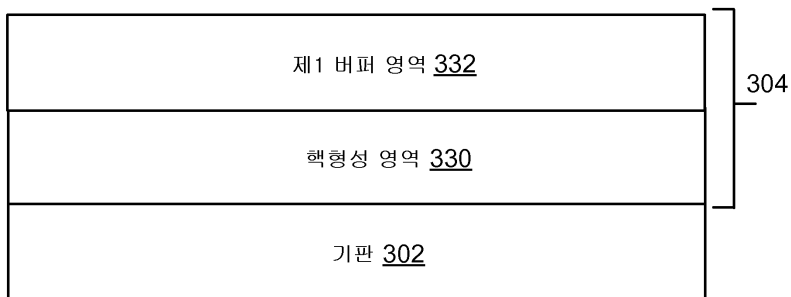
도면9



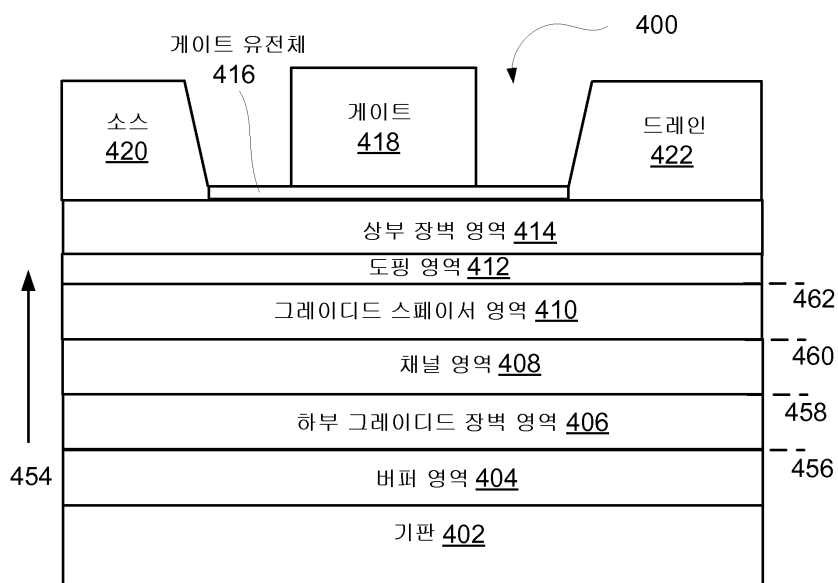
도면10



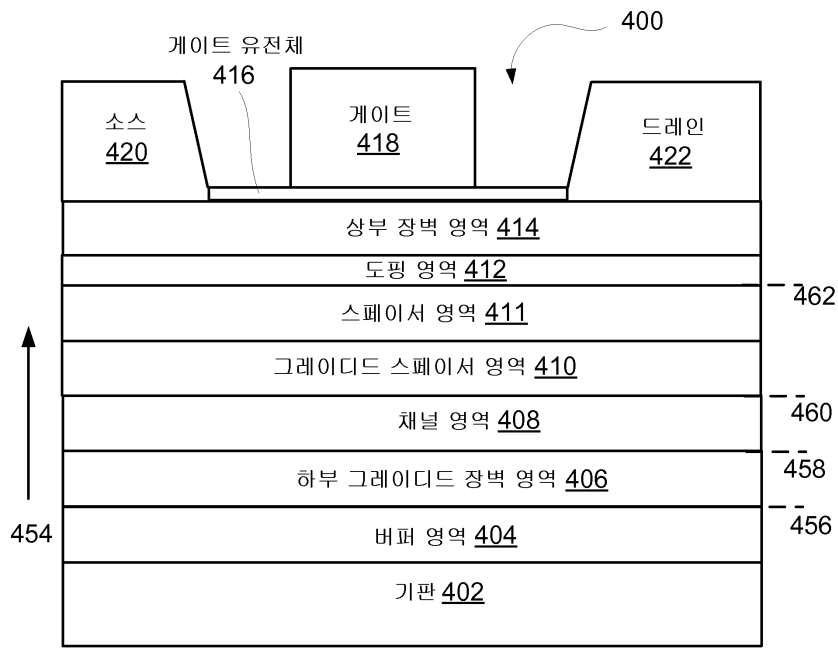
도면11



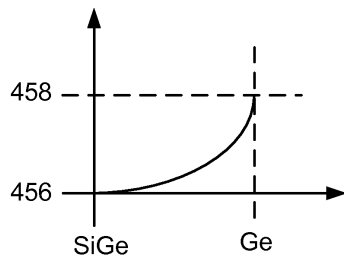
도면12a



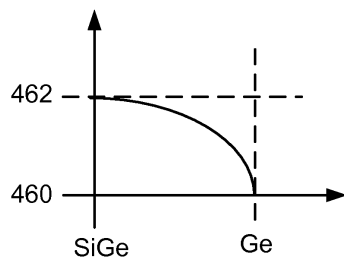
도면12b



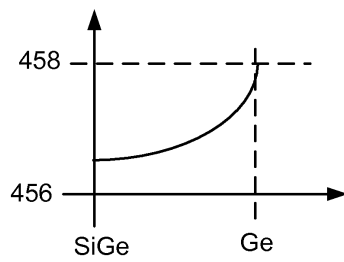
도면13



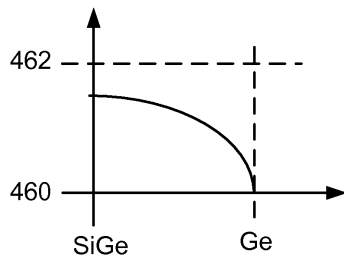
도면14



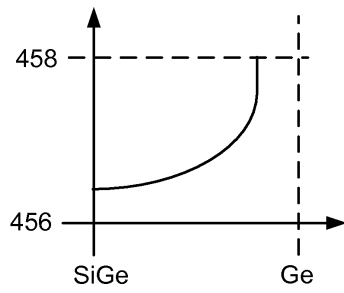
도면15



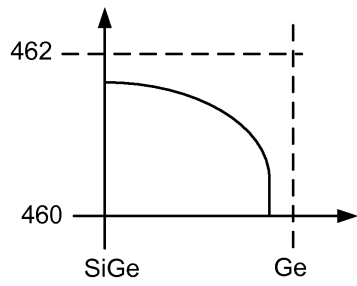
도면16



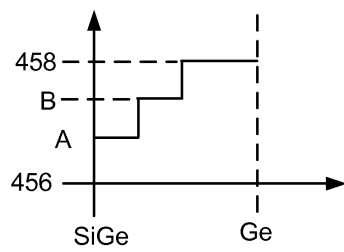
도면17



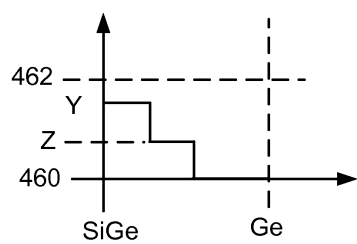
도면18



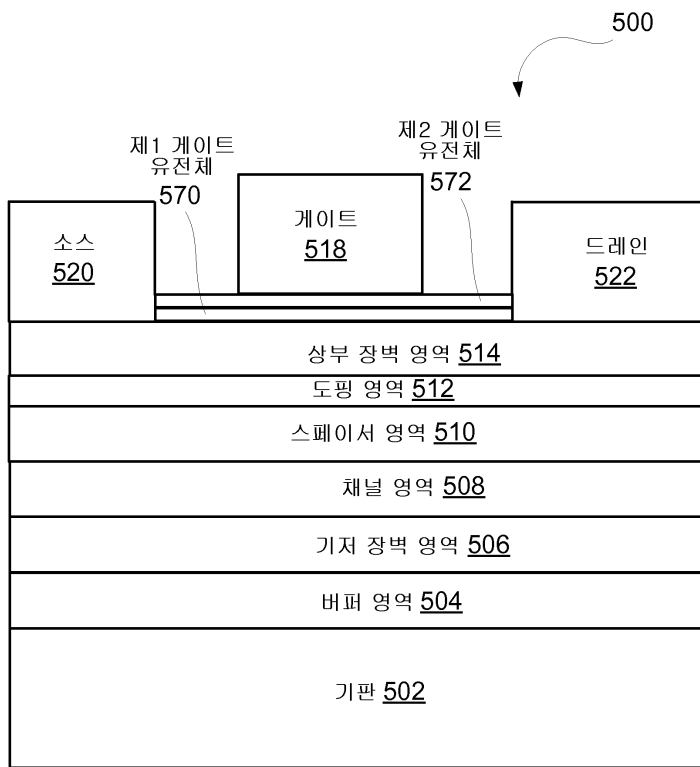
도면19



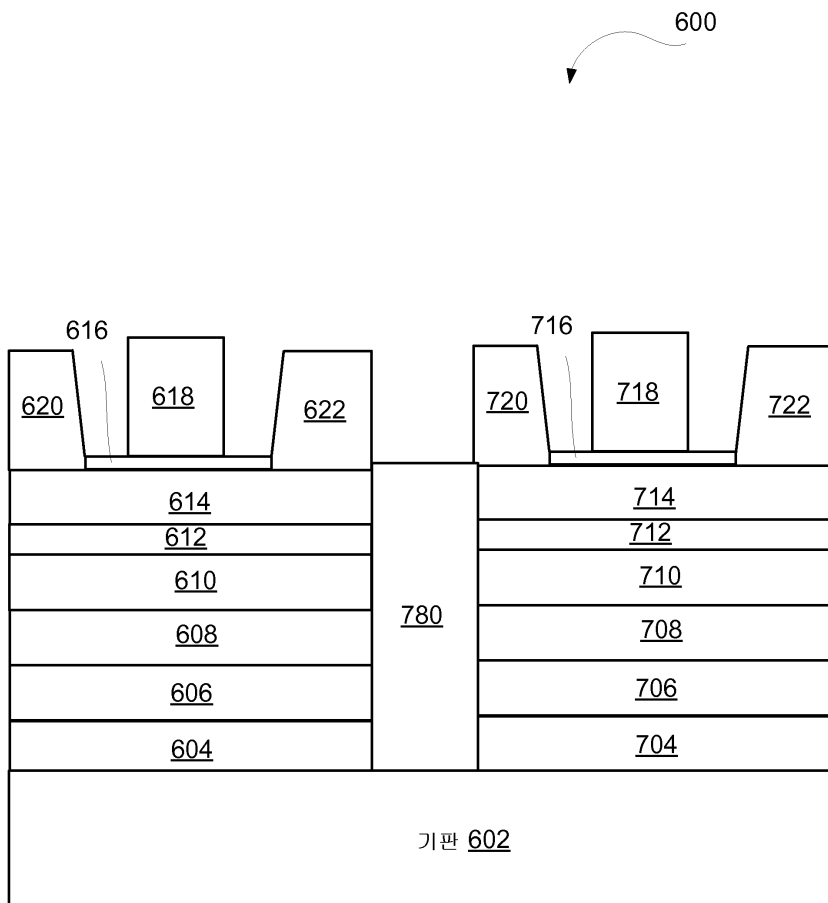
도면20



도면21



도면22



도면23

