



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년01월17일
(11) 등록번호 10-2067200
(24) 등록일자 2020년01월10일

- (51) 국제특허분류(Int. Cl.)
H03K 3/57 (2006.01) G06F 1/04 (2006.01)
- (52) CPC특허분류
H03K 3/57 (2013.01)
G06F 1/04 (2013.01)
- (21) 출원번호 10-2015-7007590
- (22) 출원일자(국제) 2013년08월30일
심사청구일자 2018년05월24일
- (85) 번역문제출일자 2015년03월25일
- (65) 공개번호 10-2015-0052118
- (43) 공개일자 2015년05월13일
- (86) 국제출원번호 PCT/US2013/057614
- (87) 국제공개번호 WO 2014/036457
국제공개일자 2014년03월06일
- (30) 우선권주장
61/695,702 2012년08월31일 미국(US)
13/963,300 2013년08월09일 미국(US)
- (56) 선행기술조사문헌
JP2012161039 A*
KR1020120093954 A*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
어드밴스드 마이크로 디바이시즈, 인코포레이티드
미국 캘리포니아 95054 산타 클라라 어거스틴 드
라이브 2485
- (72) 발명자
사쓰 비스베쉬 에스.
미국 콜로라도 80525 포트 콜린스 앤넬리즈 웨이
2845
아레카푸디 스리칸쓰
미국 캘리포니아 94086 서니베일 텍 테라스 486
(뒷면에 계속)
- (74) 대리인
박장원

전체 청구항 수 : 총 15 항

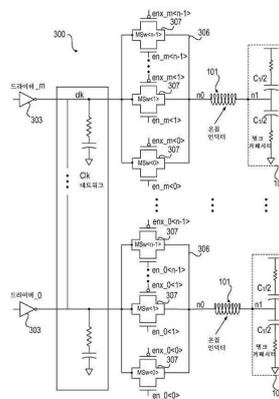
심사관 : 최규돈

(54) 발명의 명칭 공진 클록 모드와 통상의 클록 모드 간의 전이

(57) 요약

공진 클록 네트워크는 복수의 스위치를 통해 클록 네트워크에 연결된 인덕터를 포함한다. 클록 네트워크가 공진 모드에 진입할 때, 인덕터를 클록 네트워크에 연결하도록 스위치의 턴온이 스테거링된다. 클록 네트워크는 자체 인덕터 및 스위치를 각각 구비하는 다수의 구역으로 형성될 수 있다. 각 구역의 스위치의 턴온은 구역 내 스위치의 턴온에 뿐만 아니라 다른 구역의 스위치의 턴오프에 대하여 스테거링될 수 있다. 공진 모드에 진입할 때 스위치의 턴온을 스테거링하는 것에 더하여, 스위치는 공진 동작 모드를 빠져나갈 때 스테거링 방식으로 턴오프될 수 있다.

대표도 - 도3



(72) 발명자

오양 찰리스

미국 캘리포니아 95120 산호세 헌즈우드 코트 746

비오 카일

미국 캘리포니아 94536 프리몬트 버데트 스트리트
38480

명세서

청구범위

청구항 1

방법으로서,

클록 네트워크를 공진 동작 모드로 스위칭할 때 스테거링 방식(staggered manner)으로 상기 클록 네트워크에 인덕터를 연결하도록 제1 복수의 스위치를 턴온하는 단계를 포함하며,

상기 제1 복수의 스위치를 스테거링 방식으로 턴온하는 단계는, 상기 제1 복수의 스위치 중 제1 스위치를 턴온하고 그리고 상기 제1 스위치의 턴온으로부터 소정 지연 이후에 상기 제1 복수의 스위치 중 제2 스위치를 턴온하는 것을 포함하는 방법.

청구항 2

제1항에 있어서,

상기 클록 네트워크를 상기 공진 동작 모드로 스위칭할 때 스테거링 방식으로 상기 클록 네트워크에 제2 인덕터를 연결하는 제2 복수의 스위치를 턴온하는 단계; 및

상기 제1 복수의 스위치 중 적어도 하나의 스위치가 상기 제2 복수의 스위치 중 적어도 다른 하나의 스위치 보다 앞서서 턴온되도록, 상기 제2 복수의 스위치의 턴온에 대하여 상기 제1 복수의 스위치의 턴온을 스테거링하는 단계

를 더 포함하는 방법.

청구항 3

제1항 또는 제2항에 있어서,

공진 동작 모드로부터 상기 클록 네트워크를 스위칭할 때 상기 클록 네트워크로부터 상기 인덕터를 분리하도록 스테거링 방식으로 상기 클록 네트워크에 상기 인덕터를 연결하는 상기 제1 복수의 스위치를 턴오프하는 단계를 더 포함하며,

스테거링 방식으로 상기 제1 복수의 스위치를 턴오프하는 단계는, 상기 제1 복수의 스위치 중 제1 스위치를 턴오프하고 그리고 상기 제1 스위치의 턴오프로부터 다른 소정 지연 이후에 상기 제1 복수의 스위치 중 제2 스위치를 턴오프하는 것을 포함하는 방법.

청구항 4

제3항에 있어서,

상기 클록 네트워크에 상기 인덕터를 연결하는 스테거링 방식은 상기 복수의 스위치를 턴온 또는 턴오프하는 적어도 타이밍 또는 순서가 상기 클록 네트워크로부터 상기 인덕터를 분리하는 스테거링 방식과는 상이한 것인 방법.

청구항 5

방법으로서,

클록 네트워크를 공진 동작 모드로부터 스위칭할 때 스테거링 방식으로 상기 클록 네트워크에 인덕터를 연결하는 제1 복수의 스위치를 턴오프하는 단계를 포함하며,

상기 제1 복수의 스위치를 스테거링 방식으로 턴오프하는 단계는, 상기 제1 복수의 스위치 중 제2 스위치를 턴오프하기 전에, 상기 제1 복수의 스위치 중 제1 스위치를 턴오프하는 것을 포함하는 방법.

청구항 6

제5항에 있어서,

상기 클록 네트워크를 공진 동작 모드로부터 스위칭할 때 스테거링 방식으로 상기 클록 네트워크에 제2 인덕터를 연결하는 제2 복수의 스위치를 턴오프하는 단계; 및

상기 제1 복수의 스위치 중 적어도 하나의 스위치가 상기 제2 복수의 스위치 중 적어도 다른 하나의 스위치 보다 앞서서 턴오프되도록, 상기 제2 복수의 스위치의 턴오프에 대하여 상기 제1 복수의 스위치의 턴오프를 스테거링하는 단계를 더 포함하는 방법.

청구항 7

집적 회로로서,

인덕터;

상기 인덕터를 클록 네트워크에 선택적으로 연결하는 제1 스위치 뱅크(switch bank)를 형성하는 제1 복수의 스위치; 및

상기 클록 네트워크를 공진 동작 모드로 스위칭할 때 상기 제1 복수의 스위치의 턴온을 스테거링하도록 구성된 제어 로직을 포함하며,

상기 제1 복수의 스위치의 스테거링된 턴온은, 상기 제1 복수의 스위치 중 제2 스위치를 턴온하기 전에 상기 제1 복수의 스위치 중 제1 스위치를 턴온하는 것을 특징으로 하는 집적 회로.

청구항 8

제7항에 있어서,

상기 공진 동작 모드를 빠져나가기 위하여 상기 클록 네트워크로부터 상기 인덕터를 분리할 때 상기 제2 스위치 보다 앞서서 상기 제1 스위치가 턴오프되도록, 상기 제1 복수의 스위치의 턴오프를 스테거링하는 제어 로직을 더 포함하는 집적 회로.

청구항 9

제7항 또는 제8항에 있어서,

상기 클록 네트워크에 제2 인덕터를 연결하는 제2 복수의 스위치를 포함하는 제2 스위치 뱅크를 더 포함하며,

상기 제어 로직은 또한, 상기 제1 스위치 뱅크의 스위치들 중 적어도 하나의 스위치가 상기 제2 스위치 뱅크의 스위치들 중 적어도 다른 하나의 스위치 보다 앞서서 턴온되도록, 상기 제2 스위치 뱅크에 대하여 상기 제1 스위치 뱅크의 턴온을 스테거링하는 것을 특징으로 하는 집적 회로.

청구항 10

제7항 또는 제8항에 있어서,

상기 클록 네트워크는 복수의 클록 도메인을 포함하고, 각 클록 도메인은 인덕터, 및 상기 인덕터를 상기 클록 도메인 각각에 연결하는 스위치 뱅크를 포함하는 것인 집적 회로.

청구항 11

제7항 또는 제8항에 있어서,

상기 제1 복수의 스위치 중 상기 제1 스위치에 사용되는 제1 트랜지스터의 사이즈는 상기 제1 복수의 스위치 중 상기 제2 스위치에 사용되는 제2 트랜지스터의 사이즈와는 상이하여, 상기 제1 스위치가 상기 제2 스위치와는 상이한 양의 전류를 운반할 수 있게 하는 것인 집적 회로.

청구항 12

집적 회로로서,

인덕터;

상기 인덕터를 클록 네트워크에 선택적으로 연결하는 제1 복수의 스위치; 및

공진 동작 모드로부터 상기 클록 네트워크를 스위칭할 때 상기 클록 네트워크로부터 상기 인덕터를 분리하는 상기 제1 복수의 스위치의 턴오프를 스테거링하도록 구성된 제어 로직을 포함하며,

상기 제1 복수의 스위치의 스테거링된 턴오프는, 상기 제1 복수의 스위치 중 제2 스위치를 턴오프하기 전에 상기 제1 복수의 스위치 중 제1 스위치를 턴오프하는 것을 특징으로 하는 집적 회로.

청구항 13

제12항에 있어서,

상기 클록 네트워크에 제2 인덕터를 연결하는 제2 복수의 스위치를 더 포함하되;

상기 제어 로직은 또한, 상기 제1 복수의 스위치 중 적어도 하나의 스위치가 상기 제2 복수의 스위치 중 적어도 다른 하나의 스위치 보다 앞서서 턴오프되도록, 상기 제2 복수의 스위치에 대하여 상기 제1 복수의 스위치의 턴오프를 스테거링하는 것을 특징으로 하는 집적 회로.

청구항 14

제12항 또는 제13항에 있어서,

상기 클록 네트워크는 복수의 클록 도메인을 포함하고, 각 클록 도메인은 인덕터, 및 상기 인덕터를 상기 클록 도메인 각각에 연결하는 복수의 스위치에 의해 형성된 스위치 뱅크를 포함하는 것인 집적 회로.

청구항 15

제12항 또는 제13항에 있어서,

상기 제1 복수의 스위치 중 상기 제1 스위치에 사용되는 제1 트랜지스터의 사이즈는 상기 제1 복수의 스위치 중 상기 제2 스위치에 사용되는 제2 트랜지스터의 사이즈와 상이하여 상기 제1 스위치가 상기 제2 스위치와는 상이한 양의 전류를 운반할 수 있게 하는 것인 집적 회로.

발명의 설명

기술 분야

[0001] 개시된 실시예는 집적 회로에서 클록 분배 네트워크에 관한 것으로, 보다 상세하게는 공진 클록 모드로부터 통상의 클록 모드로 공진 클록 네트워크를 스위칭하는 것에 관한 것이다.

배경 기술

[0002] 클록 분배 네트워크는 적어도 부분적으로 클록 네트워크에 연결된 기생 커패시턴스로 인해 오늘날 대부분의 고성능 디지털 회로에서 전반적인 전력 소비에 상당 부분을 차지한다. 전력 소비를 감소시키는 것은 대부분의 전자 회로, 특히 모바일 애플리케이션을 위한 전자 회로에서 중요하다. 공진 클록은 클록 분배 네트워크와 연관된 전력 소비를 감소시키는 하나의 접근법이다. 그러나, 공진 클록은 많은 전류 마이크로프로세서 또는 다른 집적 회로 시스템에서 사용될 수 있는 넓은 범위의 주파수에서 잘 작동하지 않는다.

발명의 내용

[0003] 일부 실시예에서 방법은 클록 네트워크를 공진 동작 모드로 스위칭할 때 스테거링 방식(staggered manner)으로 인덕터(inductor)를 클록 네트워크에 연결하도록 제1 복수의 스위치를 턴온(turn on)하는 단계를 포함한다.

[0004] 일부 실시예에서 방법은 클록 네트워크를 공진 동작 모드로부터 스위칭할 때 스테거링 방식으로 인덕터를 클록 네트워크에 연결하는 복수의 스위치를 턴오프(turn off)하는 단계를 포함한다.

[0005] 일부 실시예에서 집적 회로는 인덕터, 및 상기 인덕터를 클록 네트워크에 선택적으로 연결하는 제1 스위치 뱅크(switch bank)를 형성하는 제1 복수의 스위치를 포함한다. 제어 로직은 상기 클록 네트워크를 공진 동작 모드로 스위칭할 때 상기 스위치의 턴온을 스테거링한다.

[0006] 일부 실시예에서 집적 회로는 인덕터, 및 상기 인덕터를 클록 네트워크에 선택적으로 연결하는 복수의 스위치를

포함한다. 제어 로직은 공진 동작 모드로부터 상기 클록 네트워크를 스위칭할 때 상기 인덕터를 상기 클록 네트워크에 연결하는 상기 스위치의 턴오프를 스테거링하도록 구성된다.

[0007] 일부 실시예에서 비-일시적인 컴퓨터-관독가능한 매체는 집적 회로의 기능적 설명을 인코딩하는 컴퓨터 관독가능한 데이터 구조를 저장하고, 상기 집적 회로는 인덕터, 및 상기 인덕터를 클록 네트워크에 선택적으로 연결하는 제1 스위치 뱅크를 형성하는 제1 복수의 스위치를 포함한다. 상기 집적 회로는 상기 클록 네트워크를 공진 동작 모드로 스위칭할 때 상기 스위치의 턴온을 스테거링하도록 구성된 제어 로직을 더 포함한다.

도면의 간단한 설명

[0008] 개시된 실시예는 첨부 도면을 참조하면 더 잘 이해할 수 있을 것이고 이 기술 분야에 통상의 지식을 가진 자라면 본 발명의 다수의 목적, 특징 및 장점을 보다 잘 이해할 수 있을 것이다.

- 도 1a는 공진 클록과 통상의 클록을 모두 지원하는 예시적인 공진 클록 시스템을 도시한 도면;
 - 도 1b는 공진 클록과 통상의 클록을 모두 지원하는 예시적인 공진 클록 시스템을 도시한 도면;
 - 도 2는 도 1a의 실시예와 연관된 예시적인 파형을 도시한 도면;
 - 도 3은 클록 네트워크 및 이 클록 네트워크에 연결된 다수의 인덕터를 구동하는 다수의 클록 드라이버를 구비하는 공진 클록 시스템의 일 실시예를 도시한 도면;
 - 도 4a는 일 실시예에 따른 스위치 뱅크의 일 실시예를 도시한 도면;
 - 도 4b는 도 4a의 스위치 뱅크와 연관된 제어 신호의 선언(assertion)의 예시적인 타이밍을 도시한 도면;
 - 도 4c는 스위치 뱅크에서 각 스위치에 할당된 스위치 뱅크(400)의 일부분의 실시예를 도시한 도면;
 - 도 4d는 스위치 뱅크를 인에이블하는 예시적인 제어 로직을 도시한 도면;
 - 도 5는 2-스테이지 턴온을 갖는 일 실시예에 대한 예시적인 클록 파형을 도시한 도면;
 - 도 6a는 3개의 클록 도메인을 갖는 클록 네트워크의 일 실시예에 대한 점진적인 턴온을 위한 예시적인 제어 신호를 도시한 도면;
 - 도 6b는 3개의 클록 도메인을 갖는 클록 네트워크의 일 실시예에 대한 점진적인 턴온을 위한 예시적인 제어 로직을 도시한 도면;
 - 도 7은 공진 모드를 빠져나갈 때 발생할 수 있는 전압 오버슈트(overshoot)를 도시한 도면;
 - 도 8은 모드 스위치를 턴오프하는 것에 의해 야기될 수 있는 신뢰성 문제를 해결하기 위해 인덕터와 병렬로 연결된 스로틀 스위치(throttle switch)를 구비하는 일 실시예를 도시한 도면;
 - 도 9는 인에이블 신호의 턴오프가 공진 모드를 점진적으로 턴오프하도록 스테거링된 일 실시예를 도시한 도면;
 - 도 10은 공진 모드를 빠져나갈 때 일 실시예에서 스위치 뱅크의 스위치를 디스에이블(턴오프)하는 예시적인 제어 로직을 도시한 도면;
 - 도 11은 다수의 클록 도메인을 갖는 클록 네트워크에 대한 점진적인 턴오프 솔루션을 제공하는 일 실시예를 도시한 도면.
- 여러 도면에서 동일한 참조 부호의 사용은 유사하거나 또는 동일한 항목을 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0009] 클록 분배 네트워크는 클록 네트워크에 연결된 기생 커패시턴스로 인해 오늘날 대부분의 고성능 디지털 회로에서 전반적인 전력 소비에 상당한 부분을 차지한다. 더 에너지-효율적인 클록 분배를 구현하는 하나의 기술은 공진 클록이다. 도 1a는 공진 클록과 통상의 클록을 모두 지원하는 공진 클록 시스템(100)의 간략화된 모델을 도시한다. 공진 클록 시스템(100)의 독특한 특징은 공진 클록 시스템(100)의 일부를 형성하는 클록 네트워크(106)의 기생 커패시턴스(103)와 병렬로 연결된 인덕터(101)를 사용하는 것이다. 클록 드라이버의 역할은 LC 시스템의 기생 저항에서 손실된 에너지만을 보충하는 것이다. 공진 클록은 에너지 효율을 달성하는데 효율적인 LC 공진에 의존한다. 기생 저항이 없는 이상적인 인덕터와 상호 연결을 위해, 클록 네트워크는 에너지 발산이 없이 발진하는 것이다. 공진 클록은 공진 주파수 인근 주파수에서 가장 효율적이다.

- [0010] 공진 주파수보다 훨씬 더 낮은 주파수에서 공진 클록 네트워크를 구동하면 프로세서의 올바른 동작을 방해하는 잘못 형성된 클록 파형을 초래한다.
- [0011] 현대 마이크로프로세서 및 다른 집적 회로는 단일 주파수에서 공진하도록 설계된 순수 공진 클록 네트워크에 의해 지원될 수 없는 주파수 범위에 걸쳐 동작한다. 일부 실시예에서 이것은 이중 클록 모드의 사용을 초래한다. 공진 주파수 인근 주파수에서, 프로세서는 공진 클록 모드에서 동작한다. 공진 클록이 로버스트하게 동작될 수 있는 범위 밖의 주파수에서, 프로세서는 통상의 모드에서 동작한다. 이것은 일부 실시예에서 도 1a에 도시된 바와 같이 인덕터와 직렬 경로를 따라 모드 스위치(105)를 사용하는 것에 의해 수행될 수 있다. 모드 스위치(105)(MSw)는 공진 동작(rclk) 동안 폐쇄되어 인덕터를 클록 네트워크에 연결하고, 통상의 모드(cclk)에서 개방되어 인덕터를 네트워크로부터 분리한다. 일부 실시예에서, 모드 스위치(105)(MSw)는 도 1a에 도시된 바와 같이 위치된다. 커패시터(109 및 111)는 인덕터(101)의 n1 노드가 AC 의미에서 접지에 연결되는 것을 보장하도록 포함될 수 있다. 이것은 (전류 증강을 초래할 수도 있는) 인덕터에 걸쳐 DC 강하를 회피하므로, 노드(n1)가 클록 신호의 자연적인 DC 값을 취하고, 동시에 공진 주파수에서 매우 낮은 임피던스를 제공하여 인덕터(101) 및 클록 네트워크 용량성 부하가 병렬 LC 탱크 회로인 것처럼 보이고, 커패시터(109 및 111)는 접지에 연결된 것처럼 보인다.
- [0012] 모드 스위치(105)가 도 1a의 실시예에서 clk 노드(113)와 인덕터(101) 사이에 배치된 것으로 도시되어 있으나, 도 1b에 도시된 바와 같이 전력 단자와 커패시터(109) 사이 및 커패시터(111)와 접지 단자 사이에 각각 트랜지스터(115 및 117)에 의해 각각 형성된 모드 스위치를 갖는 헤더-푸터 구성(header-footer configuration)에서와 같이, 인덕터(101)와 커패시터 회로(107) 사이를 비롯하여 여러 다른 모드 스위치 배치들이 가능하다.
- [0013] 도 2는 clk 신호(도 1a), Msw 인에이블 신호 및 n-바이패스(도 1a에서 n1)에 대한 파형을 도시한다. Msw 인에이블 신호는 도 1a에 도시된 MSW_enx 및 MSW_en 제어 신호를 사용하여 모드 스위치(105)의 pFET 및 nFET를 턴온(폐쇄)할 때를 나타낸다. 도 2는 도 1a의 클록 시스템이 (모드 스위치(105)가 개방된) 통상의 클록 모드로부터 (모드 스위치(105)가 폐쇄된) 공진 모드로 전이할 때의 파형을 도시한다. 노드(n0)에서의 전압이 VDD/2 (클록 신호(clk) 피크의 거의 절반)이 아닌 경우, MSw 스위치(105)를 폐쇄하면 클록 네트워크(106)에 상당한 부하를 야기한다. 클록 네트워크에 이러한 급격한 부하를 야기하면 클록의 상승/하강 시간의 상승/하강 시간의 증가, 및 (201)에서 클록 진폭의 감소로 도시된 바와 같이 클록 파형에 유해한 효과를 야기한다. 클록 파형에 대한 이러한 효과는 시스템에서 타이밍 오류를 야기할 수 있다. 나아가, 스위치를 통해 탱크 커패시터 회로(107)를 충전하는 높은 전류 흐름은 신호 전기-이동을 야기하여, 이 부분의 길이에 영향을 미칠 수 있다.
- [0014] MSw 스위치의 배치에 상관없이, 통상의 모드와 공진 모드 사이의 전이는 클록에 유해한 효과를 회피하는 방식으로 제어될 필요가 있다. 본 명세서에 설명된 실시예는 클록의 대기 전압에 커패시터 회로(107)의 충전을 제어하는 것에 의해 커패시터 회로(107)를 충전하여 야기된 클록 네트워크의 급속한 부하 야기를 회피한다.
- [0015] 도 3은 클록 네트워크를 구동하는 다수의 클록 드라이버(303) 및 클록 네트워크에 연결된 다수의 인덕터(101)를 구비하는 공진 클록 시스템(300)의 일 실시예의 간략화된 하이 레벨 다이어그램을 도시한다. 공진 클록 시스템(300)은 일반적으로 코어 전체에 걸쳐 분배되고 다수의 드라이버에 의해 구동된다. 실시예에서, 드라이버 및/또는 인덕터에 의해 서비스되는 클록 네트워크의 각 구역은 클록 도메인으로 고려될 수 있다. 클록 네트워크는 여러 이러한 개별적으로 연결된 클록 도메인으로 이루어진다.
- [0016] 일부 실시예에서, (일반화를 상실함이 없이) 클록 부하가 클록 네트워크에 걸쳐 서로 타이트하게 연결된 m개의 클록 도메인으로 분할되어 동일한 주파수에서 발진하는 것으로 가정한다. 간략화를 위해, 각 도메인은 드라이버에 의해 구동되고 도메인에 연결된 인덕터를 구비하는 것으로 가정한다. 클록 파형이 변형되는 원인은 커패시터 회로(107)로 네트워크에 급속히 부하를 야기하는 것이다. 이 급속한 부하 야기의 문제에 대한 하나의 솔루션은 커패시터 회로(107)를 보다 점진적으로 충전하여, 네트워크에 전류 요구를 감소시키는 것이다. 인덕터마다 복수의 모드(MSw) 스위치를 구현하여 스위치 뱅크(306)를 형성하고, 스위치 뱅크(306) 내에 스위치(307)의 턴온을 제어하는 것에 의해, 인덕터는 스위치 뱅크(306) 내 스위치(307) 각각의 턴온을 스테거링하는 것에 의해 클록 파형을 저하시키지 않는 방식으로 턴온될 수 있다. 나아가, 도메인에 있는 상이한 스위치 뱅크(306)의 턴온은 클록 파형의 저하를 피하는 것을 더 도와주기 위해 스테거링될 수 있다.
- [0017] 도 4a는 모드 스위치(105)와 같은 단일 모드 스위치가 공진 모드를 점진적으로 턴온하는 방식으로 턴온되는 3개의 병렬 스위치(401, 403 및 405)(n=3)로 구현되는 스위치 뱅크(400)의 일례를 도시한다. 도 4b는, n=3의 경우에 스위치를 턴온하기 위해 스위치(401, 403 및 405) 각각에 대한 제어 신호를 선언하는 예시적인 타이밍을 도시하며, 여기서 en<0>은 제일 먼저 선언되고, en<1>이 두 번째로 선언되고, en<2>이 마지막으로 선언된다. 도

4b는 용이한 설명을 위하여 각 스위치의 nFET 및 pFET 디바이스에 대한 제어 신호 MSW_en 및 MSW_enx가 아니라 인에이블 신호 en<0>, en<1> 및 en<2>를 도시하지만, 각 스위치의 pFET 및 nFET 디바이스에 대한 스위치 제어 신호는 en<0>, en<1> 및 en<2>에 대해 도시된 것으로 스테거링된다는 것이 주목된다. 따라서, 스위치(405)는 en<0>의 선언에 응답하여 턴온되고, 스위치(403)는 en<1>의 선언에 응답하여 턴온되며, 스위치(401)는 en<2>에 응답하여 턴온된다. 스위치 뱅크(400)에서 스위치 중에 정확히 상대적인 구동 강도 할당은 전기-이동 한계 및 스위치가 인에이블되는 상대적인 시간에 기초하여 최적화될 수 있다. 도 4c는 스위치 뱅크에서 각 스위치에 할당된 스위치 뱅크(400)의 일부분의 실시예를 도시한다. 스위치 뱅크(400)에 있는 스위치(401) 중에 정확히 상대적인 구동 강도 할당은 전기-이동 한계 및 스위치가 인에이블되는 상대적인 시간에 기초하여 최적화될 수 있다. 타이밍과 스위치의 수는 예시적인 것이고 여러 실시예에서는 특정 클록 시스템의 필요에 따라 결정된 타이밍, 스위치의 개수 및 구동 강도를 구비할 수 있다.

[0018] 도 4d는 도 4b에 도시된 제어 신호를 생성하는 것에 의해 스위치 뱅크(400)를 인에이블하는 예시적인 제어 로직(상태 기계)을 도시한다. 공진 모드에 진입하는 제어 신호를 수신하면, 제어 신호 en<0>는 (411)에서 선언되어 스위치 MSw<0>를 턴온한다. 제1 지연 시간(지연 1) 후에 제2 상태(415)에 진입하고 여기서 제어 신호 en<1>가 선언되어 턴온 스위치 MSw<1>를 턴온한다. 제2 지연(지연 2) 후에 상태 기계는 제3 상태(417)에 진입하고 여기서 제어 신호 en<2>가 선언되어 MSw<2>를 턴온한다. 모든 스위치가 턴온되면, 인덕터는 클록 네트워크에 완전히 연결된다. 상태들 사이의 지연은 카운터 또는 일부 다른 타이밍 메커니즘을 사용하여 구현될 수 있다. 지연은 동일하거나 또는 상이한 길이일 수 있다. 도 4d는 제어 회로의 하나의 유형을 도시하지만, 다른 제어 접근법이 사용될 수 있다.

[0019] 도 5는 2-스테이지 턴온 솔루션(n=2)을 사용하여 획득된 clk, n_바이패스(도 1에서 n1) 및 MSw 인에이블 신호에 대한 예시적인 클록 파형을 도시한다. 도 5에 도시된 바와 같이, 제1 인에이블은 (501)에서 일어나고 제2 인에이블은 (503)에서 일어난다. 클록 파형에서 볼 수 있는 바와 같이, 도 2와 달리, 공진 모드를 인에이블하는 것에 의해 야기된 클록 진폭 감소가 없다.

[0020] 일부 실시예는 MSw 저항을 점진적으로 감소시키는 스위치 뱅크를 사용하여 네트워크로부터 커패시터 회로(107)로의 전류 흐름을 제어한다. 그러나, 일반적으로 모드(MSw) 스위치의 게이트 전압을 제어하여 모드 스위치(MSw)를 점진적으로 턴온하는 것과 같이 점진적인 전이를 가능하게 하는 다른 기술이 또한 유사한 결과를 양산할 수 있다.

[0021] 실시예는 완전히-코어 상황에서 점진적인 턴온을 일반화하는 것에 의해 MSw 스위치를 스테거 방식으로 턴온하는 아이디어를 확장할 수 있다. 따라서, 일부 실시예는 MSw(예를 들어, 도 4a 및 도 4b에 도시)를 구성하는 스위치 뱅크를 스테거할 뿐만 아니라, 도 3에 도시된 m개의 도메인 각각에 있는 MSw 스위치 각각의 턴온을 스테거할 수 있다. 커패시터 회로(107)가 네트워크에 부하를 야기하는 시간을 스테거링하는 것에 의해, 모든 용량성 회로(107)에 의해 요구되는 충전은 시간에 따라 확산되고, 네트워크로부터 전류 유입을 감소시켜, 클록 신호에 대한 영향을 감소시킨다. 도 6a는 각 MSw 스위치가 2개의 스위치를 구비하는 3개의 클록 도메인을 갖는 클록 네트워크(m=3, n=2의 경우)에 대한 점진적인 턴온 솔루션에 대한 예시적인 제어 신호를 도시한다. 도 6b는 도 6a에 도시된 제어 신호를 생성하는 것에 의해 3개의 도메인의 스위치 뱅크를 인에이블하는 예시적인 제어 로직(상태 기계)을 도시한다. 공진 모드에 진입하는 제어 신호를 수신하면, 제어 신호 en_0<0>는 상태(601)에서 인에이블되거나 선언되어 뱅크 0에서 스위치 MSw<0>를 턴온한다. 제1 지연 시간(지연 1) 이후 상태 기계는 제2 상태(603)에 진입하고 여기서 제어 신호 en_0<1> 및 en_1<0>가 선언되어 뱅크 0에서 스위치 MSw<1> 및 뱅크 1에서 스위치 MSw<0>를 각각 턴온(인에이블)한다. 제2 지연(지연 2) 후, 상태 기계는 제3 상태(605)에 진입하고 여기서 제어 신호 en_1<1> 및 en_2<0>가 선언되어 뱅크 1에서 스위치 MSw<1> 및 뱅크 2에서 스위치 MSw<0>를 각각 턴온(인에이블)한다. 제3 지연 후 상태 기계는 제4 상태(607)에 진입하고 여기서 제어 신호 en_2<1>가 선언되어 뱅크 2에서 MSw<1>를 턴온(인에이블)한다. 여러 지연은 카운터 또는 일부 다른 타이밍 메커니즘을 사용하여 구현될 수 있는 것으로 이해된다. 지연은 동일하거나 또는 상이한 길이일 수 있다. 도 6b는 제어 회로의 하나의 유형을 도시하지만, 다른 제어 접근법이 사용될 수 있다.

[0022] 본 명세서에 설명된 실시예는 공진 클록 시스템이 클록 신호를 손상시킴이 없이 통상의 클록과 공진 클록 사이를 전이하여, 성능 저하를 회피할 수 있게 한다.

[0023] 통상의 클록 동작 모드로부터 공진 클록 동작 모드로 변환하는 것과 연관된 문제에 더하여, 공진 클록 동작 모드로부터 비-공진 클록 동작 모드로 변환하는 것이 상당한 문제를 야기한다. 다시 도 1a를 참조하면, 모드 스위치(105)가 개방되어 인덕터(101)가 이를 통해 0의 전류 흐름을 가지지 않거나 또는 거의 0의 전류 흐름을 가

지는 시간에 비-공진 동작 모드로 전이하면, 모드 스위치(105)의 개방에 의해 도 1a에서 노드(n0)에서 모드 스위치(105)와 인덕터(101) 사이의 정선에서의 전압은 날카로운 오버슈트를 생성한다.

- [0024] 도 7은 모드 스위치(105)의 트랜지스터의 게이트 단자에 공급되는 MSW_en 및 MSW_enx 제어 신호가 (701)에서 선언 해제되어, 모드 스위치(105)를 개방하고 클록 네트워크(102)로부터 인덕터(101)를 분리할 때 (도 1a에서) 노드(n0)에서 일어날 수 있는 전압 오버슈트를 도시한다. 도 7은 MSW_en의 선언 해제만을 도시한다는 것이 주목된다. 노드(n0)에서 최종 오버슈트(703)는 종종 전압 공급 레일을 초과하고, 게이트 단자와 드레인 단자 사이에 높은 게이트-산화물 응력으로 인해 모드 스위치(105)의 동작에 신뢰성 위협을 제기한다.
- [0025] 전압 오버슈트의 문제는 도 1a에 도시된 실시예의 상황에서 설명되었으나, 이 문제는 도 1b에 도시된 실시예와 같이 다른 직렬-연결된 모드 스위치 변형에도 존재한다. 도 1b에서, (트랜지스터(115 및 117)와 커패시터 사이) 노드(n1 및 n2)에서의 전압은 잠재적인 전압 오버슈트로 인해 유사한 신뢰성 문제를 야기한다.
- [0026] 전압 오버슈트를 처리하는 하나의 방식은 모드 스위치가 인덕터 전류가 0이거나 거의 0인 시간에 개방되는 것을 보장하는 것이다. 그러나, 이 솔루션은, 로버스트하게 구현하는 것이 곤란하고, 시스템의 동작 과정 동안 공급 전압이 변하는 시스템에서는 실질적으로 복잡하다. 전류 흐름이 0인 순간에 모드 스위치의 게이트 신호가 전이하는 것을 보장하는 시스템을 설계하려면 설계를 상당히 복잡하게 하는 피드백-기반 시스템을 요구한다.
- [0027] 일부 실시예에서 도 8을 참조하면, 쓰로틀 스위치(801)(TSw)는 인덕터(101)와 병렬로 연결되어 모드 스위치를 타이밍에 맞지 않게 턴오프하는 것에 의해 야기된 신뢰성 문제를 해결한다. 쓰로틀 스위치(801)는 공진 클록 모드 동안 개방되고, 모드 스위치(105)가 개방되는 동시에 폐쇄된다. 모드 스위치가 개방됨과 동시에 쓰로틀 스위치(801)를 폐쇄하는 것에 의해, 점진적으로 감쇠하는 인덕터의 전류는 더 이상 높은 임피던스를 보지 않고 (오버슈트를 야기하지 않고) 및 낮은 임피던스 경로를 가져서 쓰로틀 스위치를 순환하고 인덕터를 통한 백어라운드(back around)한다.
- [0028] 그러나, 쓰로틀 스위치(801)를 추가하는 대신에, 일부 실시예에서는 모드 스위치를 구성하는 스위치 뱅크를 점진적으로 턴오프하여 모드 스위치를 점진적으로 턴오프하는 제어를 사용할 수 있다. 따라서, 도 9에 도시된 바와 같이, 인에이블 신호의 턴오프는, 예를 들어, 도 3 및 도 4의 스위치 뱅크에 대해 공진 모드를 점진적으로 턴오프하도록 스테거링될 수 있다. 제1 en<0>는 선언 해제되어 대응하는 스위치를 턴오프하고, 이어서 en<1>, 그리고 마지막으로 en<2>이 선언 해제되어 대응하는 스위치를 턴오프하여, 도 7에 도시된 오버슈트를 회피한다.
- [0029] 도 10은 도 9에 도시된 제어 신호를 생성하는 것에 의해 스위치 뱅크(400)(도 4a)를 디스에이블하는 예시적인 제어 로직(상태 기계)을 도시한다. 공진 모드를 빠져나가는 제어 신호를 수신할 때, 제어 신호 en<0>가 (1001)에서 선언 해제되어 스위치 MSw<0>를 턴오프한다. 제1 지연 시간(지연 1) 후에 제2 상태(1003)에 진입하고 여기서 제어 신호 en<1>가 선언 해제되어 스위치 MSw<1>를 턴오프한다. 제2 지연(지연 2) 후에 제3 상태(1005)에 진입하고 여기서 제어 신호 en<2>가 선언 해제되어 스위치 MSw<2>를 턴오프한다. 지연은 카운터 또는 일부 다른 타이밍 메커니즘을 사용하여 구현될 수 있다. 지연은 동일하거나 또는 상이할 수 있다. 도 10은 제어 회로의 하나의 유형을 도시하지만, 다른 제어 접근법이 사용될 수 있다. 도 4c에 도시된 선언 시퀀스는 도 10에 도시된 선언 해제 시퀀스와 상이할 수 있고, 제어 신호의 선언 및 선언 해제 타이밍과 순서는 독립적으로 결정될 수 있는 것이 주목된다. 스위치 뱅크의 스위치를 형성하는 트랜지스터의 크기를 변화시켜 스위치 뱅크의 스위치가 스위치 뱅크의 다른 스위치와는 상이한 양의 전류를 운반할 수 있게 할 수 있다는 것이 더 주목된다.
- [0030] 유사하게, 보다 전체적인 접근법이 취해질 수 있고 일부 실시예는 완전한-코어 상황에서 점진적인 턴오프를 일반화하는 것에 의해 MSw 스위치를 스테거 방식으로 턴오프하는 아이디어를 확장할 수 있다. 따라서, 일부 실시예는 (도 4a, 도 4b 및 도 4c에 도시된 바와 같이) MSw를 구성하는 스위치 뱅크를 스테거 방식으로 턴오프할 뿐만 아니라, 도 3에 도시된 m개의 도메인 각각에서 MSw 스위치 각각을 스테거 방식으로 턴오프할 수 있다. 도 11은 각 MSw 스위치가 2개의 스위치를 구비하는 3개의 클록 도메인을 갖는 클록 네트워크(m=3, n=2의 경우)에 대한 예시적인 점진적인 턴오프 솔루션을 도시한다. (1101)에서 도메인 0의 en_0<0>이 턴오프된다. (1105)에서 en_0<1>은 (1107)에서 en_1<0>와 함께 턴오프된다. (1107)에서 en_1<1>은 (1109)에서 en_2<0>와 함께 턴오프된다. 마지막으로, (1111)에서 en_2<1>가 턴오프된다. 도 11의 접근법은 두 도메인의 턴오프 및 각 도메인의 스위치 뱅크 내 개별 스위치 모두의 턴오프를 스테거한다.
- [0031] 따라서, 본 명세서에 설명된 실시예는 클록 시스템이 공진 클록 모드로부터 통상의 비-공진 클록 모드로 전이할 때 가능한 전압 오버슈트로 인한 신뢰성 문제를 해결한다.

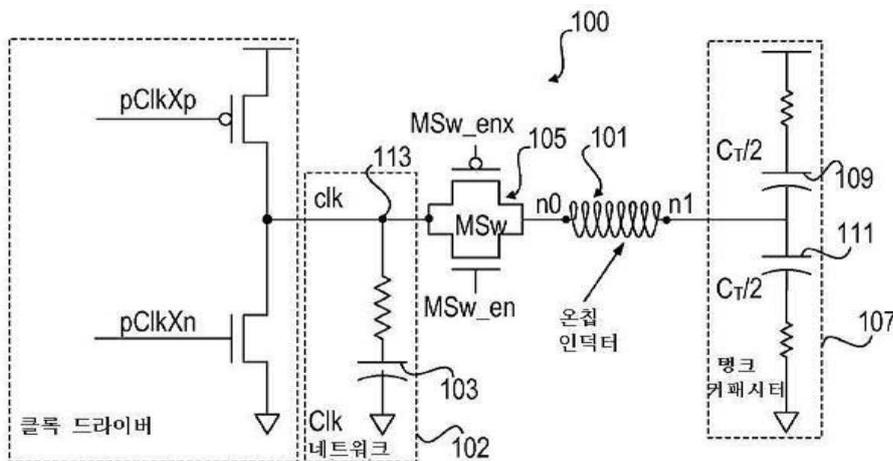
[0032] 회로 및 물리적 구조는 본 명세서의 실시예를 설명할 때 일반적으로 추정되는 것이지만, 현대 반도체 설계 및 제조에서, 물리적 구조 및 회로는 후속 설계, 시뮬레이션, 테스트 또는 제조 스테이지에 사용하기 위한 데이터 구조로 컴퓨터 판독가능한 매체에 구현될 수 있는 것으로 더 인식된다. 예를 들어, 이러한 데이터 구조는 회로 또는 회로 시스템의 기능적 설명을 인코딩할 수 있다. 기능적으로 설명된 데이터 구조는, 예를 들어, 레지스터 전달 언어(RTL), 하드웨어 설명 언어(HDL)로, 베릴로그(Verilog)로, 또는 설계, 시뮬레이션 및/또는 테스트에 사용되는 일부 다른 언어로 인코딩될 수 있다. 본 명세서에 설명된 실시예에 대응하는 데이터 구조는, 예를 들어, 그래픽 데이터베이스 시스템 II(GDSII) 데이터로 인코딩될 수 있고, 집적 회로를 제조하는데 사용되는 포토-마스크 생성을 위한 집적 회로 레이아웃 및/또는 정보를 기능적으로 기술할 수도 있다. 본 명세서에 설명된 실시예의 기능적으로 설명된 측면을 포함하는 다른 데이터 구조는 제조 공정의 하나 이상의 단계에 사용될 수 있다.

[0033] 컴퓨터-판독가능한 매체는 유형적인 컴퓨터 판독가능한 매체, 예를 들어, 디스크, 테이프, 또는 다른 자기 매체, 광 매체 또는 전자 저장 매체를 포함한다. 회로, 시스템 및 방법의 인코딩을 포함하는 컴퓨터-판독가능한 매체에 더하여, 컴퓨터 판독가능한 매체는 본 명세서에 설명된 실시예 또는 그 일부를 구현하는데 사용될 수 있는 데이터 및 명령을 저장할 수 있다. 데이터 구조는 하나 이상의 프로세서에서 실행되는 소프트웨어에 의해, 하드웨어에서 실행되는 펌웨어에 의해, 또는 소프트웨어, 펌웨어 및 하드웨어의 조합에 의해, 설계, 시뮬레이션, 테스트 또는 제조 스테이지의 일부로 사용될 수 있다.

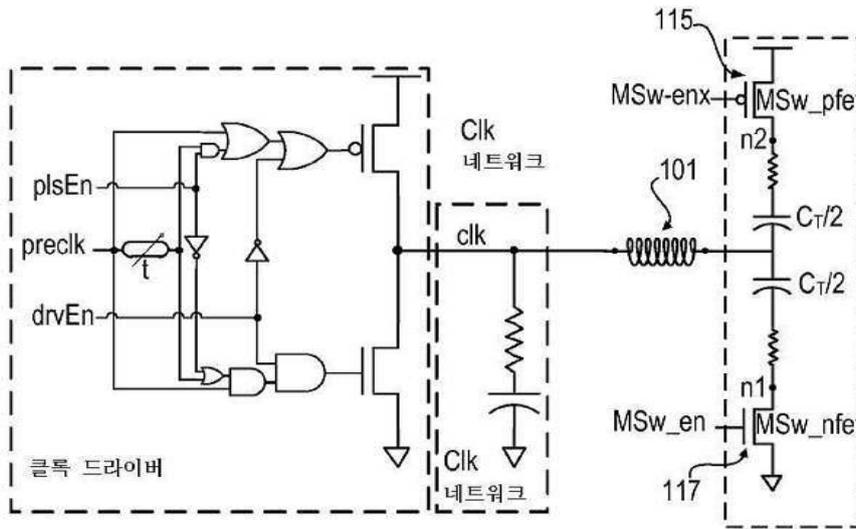
[0034] 본 명세서에 제시된 실시예의 설명은 예시적인 것이고, 이하 청구범위를 제한하는 것으로 의도된 것이 아니다. 예를 들어, 실시예는 마이크로프로세서로 제한되지 않는다. 오히려, 본 명세서에 설명된 솔루션은 일반적으로 집적 회로에 적용된다. 본 명세서에 개시된 실시예의 다른 변동과 변형은 이하 청구범위를 벗어남이 없이 본 명세서에 제시된 설명에 기초하여 이루어질 수 있다.

도면

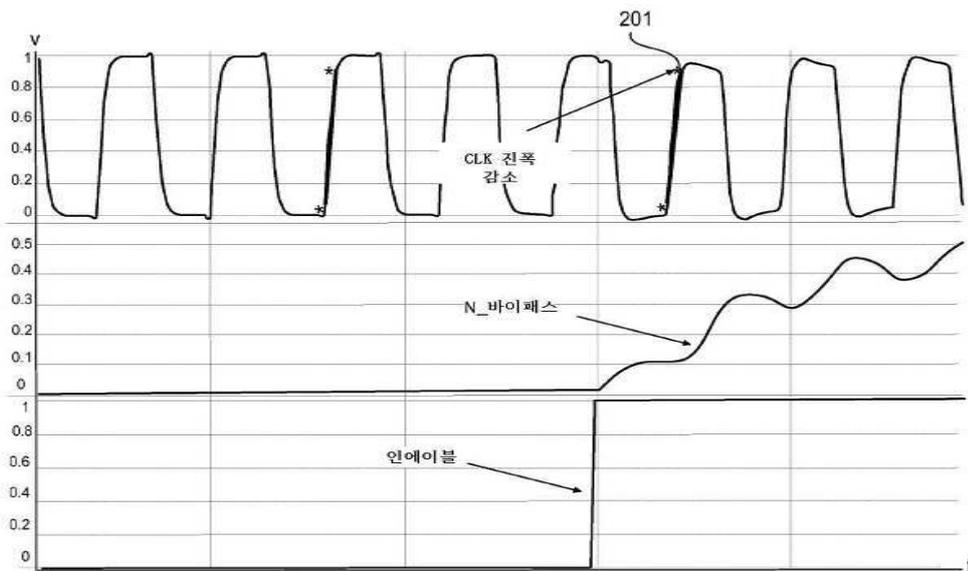
도면1a



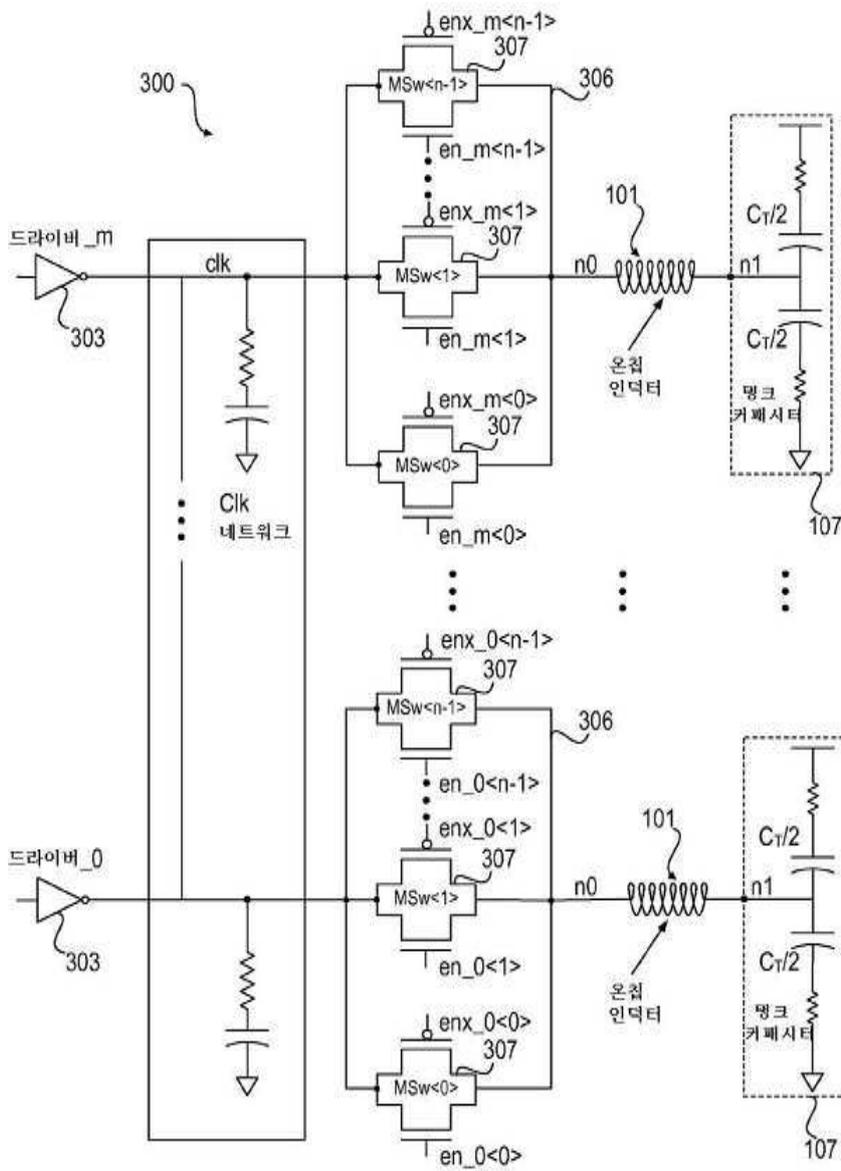
도면1b



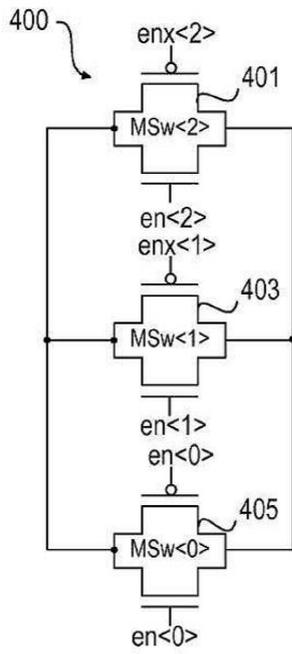
도면2



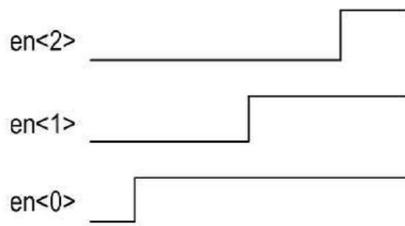
도면3



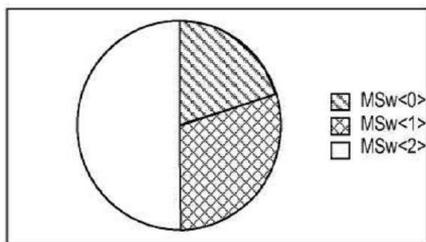
도면4a



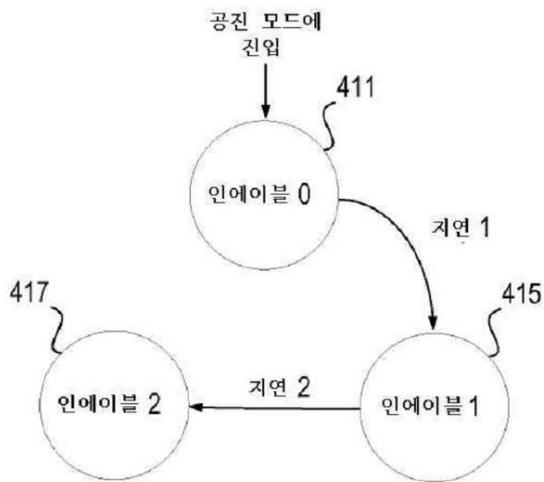
도면4b



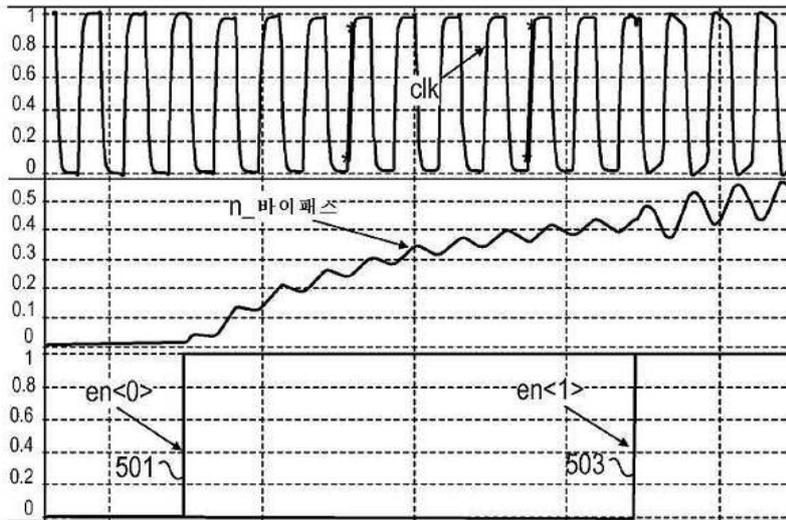
도면4c



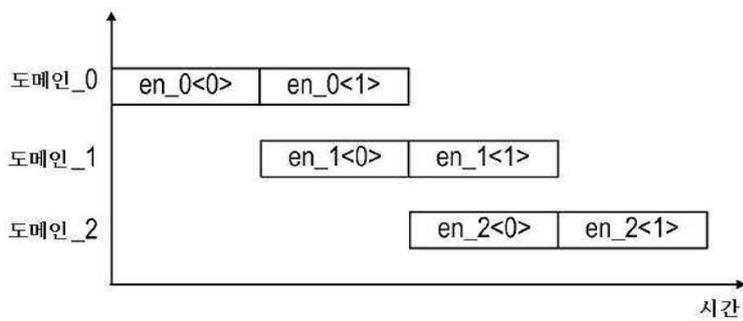
도면4d



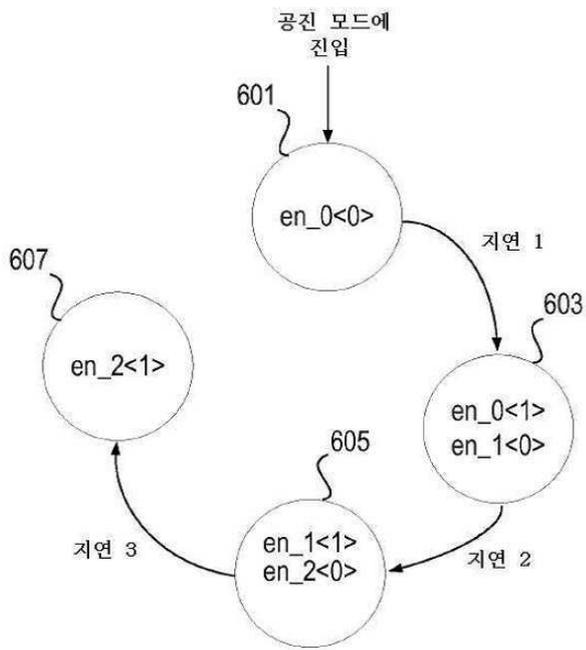
도면5



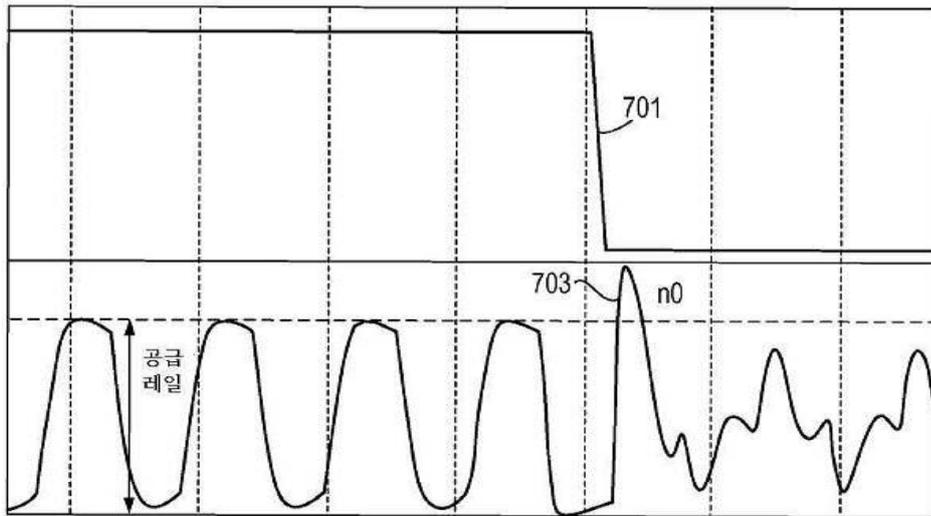
도면6a



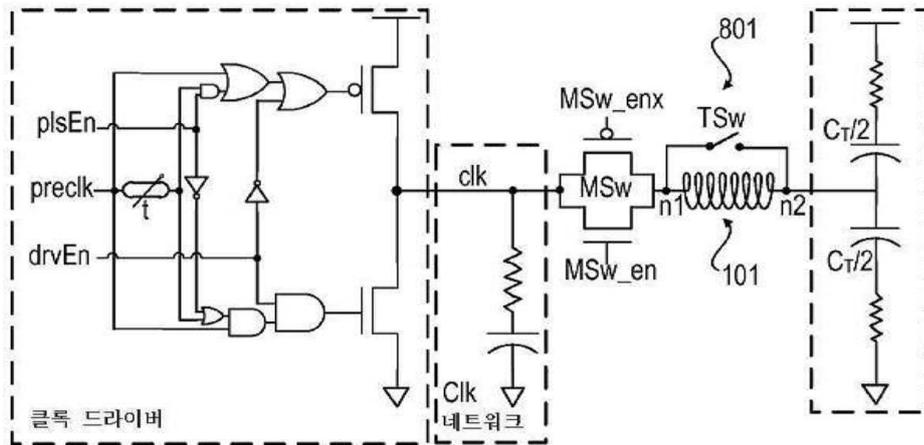
도면6b



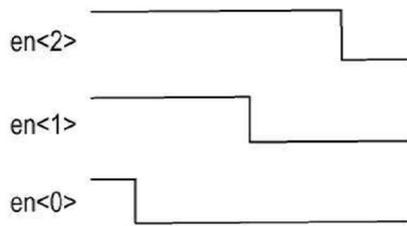
도면7



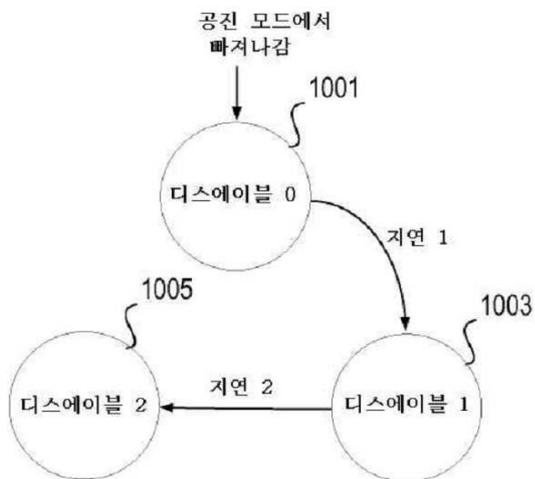
도면8



도면9



도면10



도면11

