



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0060537  
(43) 공개일자 2020년05월29일

(51) 국제특허분류(Int. Cl.)  
H04L 5/00 (2006.01) H04L 27/26 (2006.01)  
(52) CPC특허분류  
H04L 5/0051 (2013.01)  
H04L 27/2613 (2013.01)  
(21) 출원번호 10-2020-7014688(분할)  
(22) 출원일자(국제) 2016년01월20일  
심사청구일자 2020년05월22일  
(62) 원출원 특허 10-2018-7007776  
원출원일자(국제) 2016년01월20일  
심사청구일자 2018년03월19일  
(85) 번역문제출일자 2020년05월22일  
(86) 국제출원번호 PCT/CN2016/071500  
(87) 국제공개번호 WO 2017/124335  
국제공개일자 2017년07월27일

(71) 출원인  
닛본 덴끼 가부시끼가이샤  
일본국 도쿄도 미나토구 시바 5쥬메 7방 1코  
(72) 발명자  
지양 츠우양신  
중국 베이징 100084 하이덴 디스트릭트 칭화 사이언스 파크 이노베이션 플라자 빌딩 에이 11에프  
가오 유카이  
중국 베이징 100084 하이덴 디스트릭트 칭화 사이언스 파크 이노베이션 플라자 빌딩 에이 11에프  
(뒷면에 계속)  
(74) 대리인  
문두현

전체 청구항 수 : 총 20 항

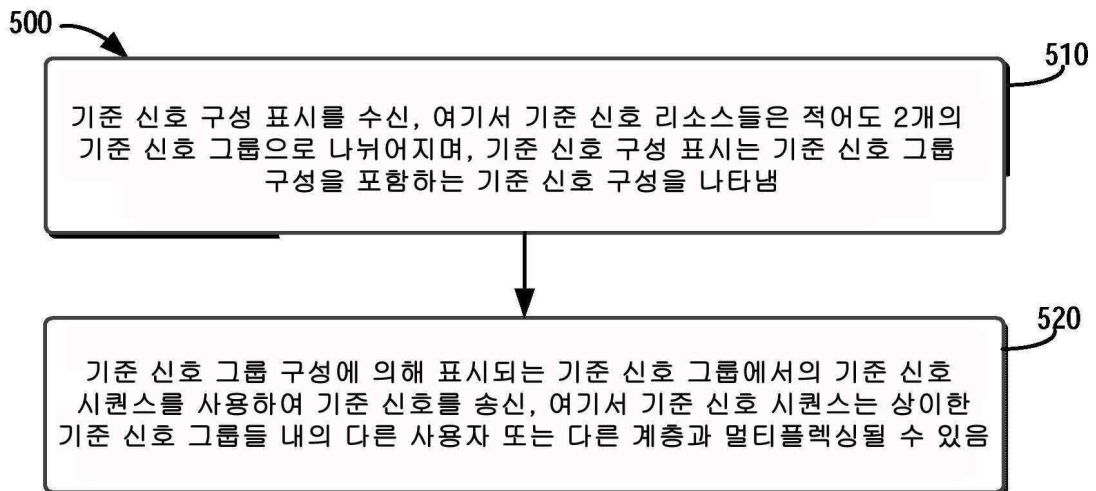
(54) 발명의 명칭 기준 신호를 송신하는 방법 및 장치

(57) 요약

본 발명의 실시예들은 기준 신호를 송신하는 방법 및 장치, 그리고 기준 신호를 수신하는 방법 및 장치에 관한 것이다. 본 발명의 일 실시예에서, 기준 신호를 송신하는 방법은 기준 신호 구성 표시를 수신하는 단계로서, 기준 신호 리소스들이 적어도 2개의 기준 신호 그룹으로 분할되고, 상기 기준 신호 구성 표시는 기준 신호 그룹 구

(뒷면에 계속)

대표도 - 도5



성을 포함하는 기준 신호 구성을 표시하는, 상기 수신하는 단계; 및 상기 기준 신호 그룹 구성에 의해 표시된 기준 신호 그룹 내의 기준 신호 시퀀스를 사용하여 상기 기준 신호를 송신하는 단계로서, 상기 기준 신호 시퀀스는 다른 기준 신호 그룹들 내의 다른 계층 또는 다른 사용자와 다중화될 수 있는, 상기 송신하는 단계를 포함한다. 본 발명의 실시예들에 따라, 상이한 계층들 또는 사용자들에 대한 기준 신호들이 상이한 기준 신호 그룹들로 다중화될 수 있으므로, 동일하지 않은 할당 대역폭을 갖는 다수의 MU-사용자들이 상당한 채널 추정 손실 및 PAPR 손실 없이 지원될 수 있다.

(52) CPC특허분류

*H04L 5/0007* (2013.01)

(72) 발명자

**췌 젠니안**

중국 베이징 100084 하이덴 디스트릭트 칭화 사이 언스 파크 이노베이션 플라자 빌딩 에이 11에프

**왕 강**

중국 베이징 100084 하이덴 디스트릭트 칭화 사이 언스 파크 이노베이션 플라자 빌딩 에이 11에프

## 명세서

### 청구범위

#### 청구항 1

사용자 장비(UE)에 의해 수행되는 방법으로서,

기준 신호 리소스들이 적어도 2개의 기준 신호 그룹들로 분할되는지의 여부를 나타내는 표시를 수신하는 단계;  
및

상기 표시에 기반하여 기준 신호를 생성하는 단계를 포함하고,

상기 기준 신호 그룹들 중 하나는 기준 신호 시퀀스에 대응하고,

하나의 기준 신호 그룹 내의 상기 기준 신호 시퀀스는 수학적식

$$r_{u,v}^{(\alpha)}(n) = e^{j\alpha n} \bar{r}_{u,v}(n), \quad 0 \leq n < M_{sc}^{RS}$$

에 따른 기본 시퀀스(base sequence)  $\bar{r}_{u,v}(n)$ 의 사이클릭 시프트  $\alpha$ 에 의해 규정되고,

다른 기준 신호 그룹 내의 상기 기준 신호 시퀀스는 수학적식

$$r_{u,v}^{(\alpha)}(n) = e^{j\frac{\alpha}{2}} e^{j\alpha n} \bar{r}_{u,v}(n), \quad 0 \leq n < M_{sc}^{RS}$$

에 따른 상기 기본 시퀀스  $\bar{r}_{u,v}(n)$ 의 상기 사이클릭 시프트  $\alpha$ 에 의해 규정되는, 사용자 장비에 의해 수행되는 방법.

#### 청구항 2

제 1 항에 있어서,

어떤 기준 신호 그룹이 적용되는지를 나타내는 표시를 수신하는 단계를 더 포함하고,

상기 기준 신호 그룹들 각각은 기준 신호 시퀀스에 대응하는, 사용자 장비에 의해 수행되는 방법.

#### 청구항 3

제 1 항에 있어서,

상기 기준 신호 리소스들이 적어도 2개의 기준 신호 그룹들로 분할되는지의 여부를 나타내는 상기 표시가 무선 리소스 제어(radio resource control, RRC) 시그널링을 통해 수신되는, 사용자 장비에 의해 수행되는 방법.

#### 청구항 4

제 2 항에 있어서,

어떤 기준 신호 그룹이 적용되는지를 나타내는 상기 표시가 DCI를 통해 수신되는, 사용자 장비에 의해 수행되는 방법.

#### 청구항 5

제 1 항에 있어서,

상기 기준 신호 리소스들은 2개의 기준 신호 그룹들로 분할되는, 사용자 장비에 의해 수행되는 방법.

#### 청구항 6

제 5 항에 있어서,

상기 기준 신호 그룹들 중 하나의 그룹의 인덱스들에 대응하는 사이클릭 시프트(cyclic shift) 필드는 000,

001, 010 및 111 중 하나이며, 다른 그룹의 인덱스들에 대응하는 사이클릭 시프트 필드는 011, 100, 101 및 110 중 하나인, 사용자 장비에 의해 수행되는 방법.

**청구항 7**

제 5 항에 있어서,

상기 기준 신호 그룹들 중 하나를 반송하기 위한 RE들 및 다른 기준 신호 그룹을 반송하기 위한 RE들은 주파수 도메인에서 엇갈려(staggered) 있는, 사용자 장비에 의해 수행되는 방법.

**청구항 8**

제 1 항에 있어서,

상기 기준 신호 리소스들이 상기 적어도 2개의 기준 신호 그룹들로 분할되면, 슬롯  $n^s$  내의 계층  $\lambda$ 와 관련된 상기 기준 신호 시퀀스에 대한 사이클릭 시프트  $\alpha_\lambda$ 는 다음의 수학적 식, 즉

$$n_{cs,\lambda} = (n_{DMRS}^{(1)} + n_{DMRS,\lambda}^{(2)} + 2n_{PN}(n_s)) \bmod 12$$

을 만족하는  $\alpha_\lambda = 2\pi n_{cs,\lambda} / 12$  로서 주어지는, 사용자 장비에 의해 수행되는 방법.

**청구항 9**

제 5 항에 있어서,

상기 기준 신호 그룹들에 대한 상기 기준 신호 시퀀스의 길이는 레거시(legacy) DMRS 시퀀스의 길이의 절반인, 사용자 장비에 의해 수행되는 방법.

**청구항 10**

제 9 항에 있어서,

각각의 상기 기준 신호 시퀀스의 길이는  $M_{sc}^{RS} = mN_{sc}^{RB} / 2$  이고, 여기서  $N_{sc}^{RB}$  는 서브캐리어들의 수로서 표현되는 주파수 도메인에서의 리소스 블록 크기이고,  $1 \leq m \leq N_{RB}^{max,UL}$  이며,  $N_{RB}^{max,UL}$  은 가장 큰 업링크 대역폭 구성으로서 주어지는, 사용자 장비에 의해 수행되는 방법.

**청구항 11**

제 1 항에 있어서,

상기 기준 신호 그룹들 중 하나는 짝수 서브캐리어들에 대한 기준 신호 시퀀스에 대응하고, 다른 기준 신호 그룹은 홀수 서브캐리어들에 대한 기준 신호 시퀀스에 대응하는, 사용자 장비에 의해 수행되는 방법.

**청구항 12**

제 1 항에 있어서,

상기 기준 신호를 송신하는 단계를 더 포함하는, 사용자 장비에 의해 수행되는 방법.

**청구항 13**

프로세서를 포함하는 사용자 장비(UE)로서, 상기 프로세서는

기준 신호 리소스들이 적어도 2개의 기준 신호 그룹들로 분할되는지의 여부를 나타내는 표시를 수신하고,

상기 표시에 기반하는 기준 신호를 송신하도록 구성되고,

상기 기준 신호 그룹들 중 하나는 기준 신호 시퀀스에 대응하고,

하나의 기준 신호 그룹 내의 상기 기준 신호 시퀀스는 수학적식

$$r_{u,v}^{(\alpha)}(n) = e^{-j\alpha n} \bar{r}_{u,v}(n), \quad 0 \leq n < M_{sc}^{RS}$$

에 따른 기본 시퀀스(base sequence)  $\bar{r}_{u,v}(n)$ 의 사이클릭 시프트  $\alpha$ 에 의해 규정되고,  
다른 기준 신호 그룹 내의 상기 기준 신호 시퀀스는 수학적식

$$r_{u,v}^{(\alpha)}(n) = e^{j\frac{\alpha}{2}} e^{j\alpha n} \bar{r}_{u,v}(n), \quad 0 \leq n < M_{sc}^{RS}$$

에 따른 상기 기본 시퀀스  $\bar{r}_{u,v}(n)$ 의 상기 사이클릭 시프트  $\alpha$ 에 의해 규정되는, 사용자 장비.

**청구항 14**

제 13 항에 있어서,

상기 프로세서는 또한, 어떤 기준 신호 그룹이 적용되는지를 나타내는 표시를 수신하도록 구성되고,  
상기 기준 신호 그룹들 각각은 기준 신호 시퀀스에 대응하는, 사용자 장비.

**청구항 15**

제 13 항에 있어서,

상기 기준 신호 리소스들은 2개의 기준 신호 그룹들로 분할되는, 사용자 장비.

**청구항 16**

제 15 항에 있어서,

상기 기준 신호 그룹들 중 하나의 그룹의 인덱스들에 대응하는 사이클릭 시프트(cyclic shift) 필드는 000, 001, 010 및 111 중 하나이며, 다른 그룹의 인덱스들에 대응하는 사이클릭 시프트 필드는 011, 100, 101 및 110 중 하나인, 사용자 장비.

**청구항 17**

제 15 항에 있어서,

상기 기준 신호 그룹들 중 하나를 반송하기 위한 RE들 및 다른 기준 신호 그룹을 반송하기 위한 RE들은 주파수 도메인에서 엇갈려(staggered) 있는, 사용자 장비.

**청구항 18**

제 13 항에 있어서,

상기 기준 신호 리소스들이 상기 적어도 2개의 기준 신호 그룹들로 분할되면, 슬롯  $n^s$  내의 계층  $\lambda$ 와 관련된 상기 기준 신호 시퀀스에 대한 사이클릭 시프트  $\alpha_\lambda$ 는 다음의 수학적식, 즉

$$n_{cs,\lambda} = (n_{DMRS}^{(1)} + n_{DMRS,\lambda}^{(2)} + 2n_{PN}(n^s)) \bmod 12$$

을 만족하는  $\alpha_\lambda = 2\pi n_{cs,\lambda} / 12$  로서 주어지는, 사용자 장비.

**청구항 19**

제 15 항에 있어서,

상기 기준 신호 그룹들에 대한 상기 기준 신호 시퀀스의 길이는 레거시(legacy) DMRS 시퀀스의 길이의 절반이고,

각각의 상기 기준 신호 시퀀스의 길이는  $M_{sc}^{RS} = mN_{sc}^{RB} / 2$  이고, 여기서  $N_{sc}^{RB}$ 는 서브캐리어들의 수로서 표현되는 주

파수 도메인에서의 리소스 블록 크기이고,  $1 \leq m \leq N_{RB}^{\max, UL}$  이며,  $N_{RB}^{\max, UL}$  은 가장 큰 업링크 대역폭 구성으로서 주어지는, 사용자 장비.

**청구항 20**

기지국에 의해 수행되는 방법으로서,

기준 신호 리소스들이 적어도 2개의 기준 신호 그룹들로 분할되는지의 여부를 나타내는 표시를 송신하는 단계; 및

상기 표시에 기반하여 생성되는 기준 신호를 수신하는 단계를 포함하고,

상기 기준 신호 그룹들 중 하나는 기준 신호 시퀀스에 대응하고,

하나의 기준 신호 그룹 내의 상기 기준 신호 시퀀스는 수학적식

$$r_{u,v}^{(\alpha)}(n) = e^{j\alpha n} \bar{r}_{u,v}(n), \quad 0 \leq n < M_{sc}^{RS}$$

에 따른 기본 시퀀스(base sequence)  $\bar{r}_{u,v}(n)$  의 사이클릭 시프트  $\alpha$  에 의해 규정되고,

다른 기준 신호 그룹 내의 상기 기준 신호 시퀀스는 수학적식

$$r_{u,v}^{(\alpha)}(n) = e^{j\frac{\alpha}{2}} e^{j\alpha n} \bar{r}_{u,v}(n), \quad 0 \leq n < M_{sc}^{RS}$$

에 따른 상기 기본 시퀀스  $\bar{r}_{u,v}(n)$  의 상기 사이클릭 시프트  $\alpha$  에 의해 규정되는, 기지국에 의해 수행되는 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명의 실시예들은 일반적으로 무선 통신 기술에 관한 것이며, 보다 구체적으로는 기준 신호를 송신하는 방법 및 장치, 그리고 기준 신호를 수신하는 방법 및 장치에 관한 것이다.

**배경 기술**

[0002] 다중 안테나 기술은 무선 통신 시스템의 데이터 레이트 및 신뢰성을 상당히 증가시킬 수 있다. 송신기와 수신기 모두에 다중 안테나가 장착되어 있어 다중 입력 다중 출력(multiple-input multiple-output, MIMO) 통신 채널을 생성하면 특히 성능이 향상된다. 이러한 시스템 및/또는 관련 기술은 일반적으로 MIMO라 불린다.

[0003] LTE(Long Term Evolution) 표준은 강화된 MIMO 지원으로 현재 발전하고 있다. LTE의 핵심 구성 요소는 MIMO 안테나 배치 및 MIMO 관련 기술을 지원한다. 현재 1 차원(수평) 안테나 어레이는 수평 프리 코딩 과정을 통해서만 방위각 도메인에서 유연한 빔 적응을 제공할 수 있으며, 고정된 하향 기울기는 수직 방향으로 적용된다.

[0004] 최근, 수직 도메인 상에서의 사용자 고유의 고도 빔포밍 및 공간 다중화가 가능하도록 2 차원(2D) 안테나 평면을 이용함으로써 완전한 MIMO 능력이 이용될 수 있음이 밝혀졌다. 또한, 업링크(UL) 복조 기준 신호(DMRS)가 부분 중첩을 위해 추가의 직교 포트를 지원하는 것이 제안되었다.

[0005] 또한, 보다 높은 중심 주파수가 사용되는 경우 시간 도메인에서는 채널 변화가 느리기 때문에, 시간 도메인에서 스파스(sparse) RS를 사용할 수 있다. 즉, 향후 5G 통신에서는, 새로운 서브프레임 구조에서 자도프-추(Zadoff-Chu, ZC) 시퀀스가 사용되도록 제안된 오버 헤드를 줄이기 위해 RS 송신을 위한 시간 도메인에서 하나 또는 몇 개의 심볼만이 제안된다. 예를 위해, 도 1은 하나의 TTI에서 RS 송신을 위해 단지 하나의 심볼만이 존재하는 가능한 새로운 서브프레임 구조들 중 하나를 도시한다. 그러나, 다른 가능한 새로운 서브프레임 구조에서는, 심볼이 다른 위치에 위치될 수도 있고 및/또는 하나 이상의 UL/DL 심볼을 포함할 수도 있음을 이해해야 한다.

[0006] 따라서, 향후의 5G 통신에서는, UL 및 다운링크(DL) 모두에 대해 DMRS의 몇 개의 심볼들 중 단지 하나의 심볼만을 사용할 수 있다. 그러한 경우에는, 고차원 다중 사용자 MIMO(MU-MIMO)를 지원하기 위해, 부분적으로 중첩하는 BW들에 대하여 더 많은 직교 포트를 사용하는 것을 고려해야 한다.

[0007] 따라서, 본 기술 분야에서는, 시간 도메인에서의 새로운 채널 특성 변화로 새로운 서브프레임 구조에 적응하고 보다 많은 사용자 또는 보다 많은 계층을 지원하기 위한, 새로운 DMRS 설계 및 새로운 기준 신호 송신 및 수신 솔루션이 요구된다.

**발명의 내용**

**해결하려는 과제**

**과제의 해결 수단**

[0008] 본 발명에서는, 종래 기술의 문제점들 중의 적어도 일부를 완화하거나 적어도 완화하기 위한 기준 신호 송신 및 수신을 위한 새로운 솔루션이 제공된다.

[0009] 본 발명의 제 1 양태에 따르면, 기준 신호를 송신하는 방법이 제공된다. 상기 방법은 기준 신호 구성 표시를 수신하는 단계로서, 기준 신호 리소스들이 적어도 2개의 기준 신호 그룹으로 분할되고, 상기 기준 신호 구성 표시는 기준 신호 그룹 구성을 포함하는 기준 신호 구성을 표시하는, 상기 수신하는 단계; 및 상기 기준 신호 그룹 구성에 의해 표시된 기준 신호 그룹 내의 기준 신호 시퀀스를 사용하여 상기 기준 신호를 송신하는 단계로서, 상기 기준 신호 시퀀스는 다른 기준 신호 그룹들 내의 다른 계층 또는 다른 사용자와 다중화될 수 있는, 상기 송신하는 단계를 포함할 수 있다.

[0010] 본 발명의 제 2 양태에서는, 기준 신호를 수신하는 방법이 제공된다. 상기 방법은 기준 신호 구성 표시를 송신하는 단계로서, 기준 신호 리소스들이 적어도 2개의 기준 신호 그룹으로 분할되고, 상기 기준 신호 구성 표시는 기준 신호 그룹 구성을 포함하는 기준 신호 구성을 표시하는, 상기 송신하는 단계; 및 상기 기준 신호 그룹 구성에 의해 표시된 기준 신호 그룹 내의 기준 신호 시퀀스를 사용하여 송신되는 상기 기준 신호를 수신하는 단계로서, 상기 기준 신호 시퀀스는 다른 기준 신호 그룹들 내의 다른 계층 또는 다른 사용자와 다중화될 수 있는, 상기 수신하는 단계를 포함할 수 있다.

[0011] 본 발명의 제 3 양태에서는, 기준 신호를 송신하는 장치가 또한 제공된다. 상기 장치는 기준 신호 구성 표시를 수신하도록 구성되는 표시 수신 모듈로서, 기준 신호 리소스들이 적어도 2개의 기준 신호 그룹으로 분할되고, 상기 기준 신호 구성 표시는 기준 신호 그룹 구성을 포함하는 기준 신호 구성을 표시하는, 상기 표시 수신 모듈; 및 상기 기준 신호 그룹 구성에 의해 표시된 기준 신호 그룹 내의 기준 신호 시퀀스를 사용하여 상기 기준 신호를 송신하도록 구성되는 신호 송신 모듈로서, 상기 기준 신호 시퀀스는 다른 기준 신호 그룹들 내의 다른 계층 또는 다른 사용자와 다중화될 수 있는, 상기 신호 송신 모듈을 포함할 수 있다.

[0012] 본 발명의 제 4 양태에서는, 기준 신호를 수신하는 장치가 제공된다. 상기 장치는 기준 신호 구성 표시를 송신하도록 구성되는 표시 송신 모듈로서, 기준 신호 리소스들이 적어도 2개의 기준 신호 그룹으로 분할되고, 상기 기준 신호 구성 표시는 기준 신호 그룹 구성을 포함하는 기준 신호 구성을 표시하는, 상기 표시 송신 모듈; 및 상기 기준 신호 그룹 구성에 의해 표시된 기준 신호 그룹 내의 기준 신호 시퀀스를 사용하여 송신되는 상기 기준 신호를 수신하도록 구성되는 신호 수신 모듈로서, 상기 기준 신호 시퀀스는 다른 기준 신호 그룹들 내의 다른 계층 또는 다른 사용자와 다중화될 수 있는, 상기 신호 수신 모듈을 포함할 수 있다.

[0013] 본 발명의 제 5 양태에 따르면, 컴퓨터 프로그램 코드가 구현된 컴퓨터 판독 가능 저장 매체가 제공되며, 상기 컴퓨터 프로그램 코드는 실행될 시에, 장치로 하여금 상기 제 1 양태의 임의의 실시예에 따른 방법 내의 동작들을 수행하게 하도록 구성된다.

[0014] 본 발명의 제 6 양태에 따르면, 컴퓨터 프로그램 코드가 구현된 컴퓨터 판독 가능 저장 매체가 제공되며, 상기 컴퓨터 프로그램 코드는 실행될 시에, 장치로 하여금 상기 제 2 양태의 임의의 실시예에 따른 방법 내의 동작들을 수행하게 하도록 구성된다.

[0015] 본 발명의 제 7 양태에 따르면, 제 5 양태에 따른 컴퓨터 판독 가능 저장 매체를 포함하는 컴퓨터 프로그램 제품이 제공된다.

[0016] 본 발명의 제 8 양태에 따르면, 제 6 양태에 따른 컴퓨터 판독 가능 저장 매체를 포함하는 컴퓨터 프로그램 제품이 제공된다.

[0017] 본 발명의 실시예들에 따르면, 기준 신호 리소스들이 적어도 2개의 기준 신호 그룹으로 분할되고, 상이한 계층

들 또는 사용자들에 대한 기준 신호들이 상이한 기준 신호 그룹들로 다중화되는 기준 신호 송신 및 수신을 위한 새로운 솔루션을 제공한다. 따라서, 동일하지 않게 할당된 대역폭들을 갖는 보다 많은 MU-사용자들에 대하여 상당한 채널 추정 손실 및 PAPR 문제점들을 지원할 수 있다.

**도면의 간단한 설명**

[0018]

본 발명의 상기 및 다른 특징들은 첨부된 도면을 참조하여 실시예들에서 예시된 실시예들에 대한 상세한 설명을 통해 보다 명확해질 것이며, 본 도면들 전반에 걸쳐 유사한 참조 번호들은 동일하거나 유사한 구성 요소를 나타낸다.

도 1은 감소된 UL 심볼들을 갖는 새롭게 제안된 서브프레임 구조에서 가능한 UL 심볼들 중 하나를 개략적으로 도시한 도면.

도 2는 기존의 통신 시스템에서의 DMRS 패턴을 개략적으로 도시한 도면.

도 3은 사이클 시프트의  $n_{DMRS}^{(1)}$  값들에 대한 맵핑을 개략적으로 도시한 도면.

도 4는 업링크 관련 DCI 포맷의 사이클릭 시프트 필드의  $n_{DMRS,\lambda}^{(2)}$  및  $[w^{(2)}(0) \ w^{(2)}(1)]$ 에 대한 맵핑을 개략적으로 도시한 도면.

도 5는 본 발명의 일 실시예에 따른 기준 신호를 송신하는 방법의 흐름도를 개략적으로 도시한 도면.

도 6a 및 도 6b는 본 발명의 일 실시예에 따른 DMRS 그룹핑에 기초한 주파수 분할 다중화(FDM) 모드에서의 예시적인 DMRS 패턴들을 개략적으로 도시한 도면.

도 7은 본 발명의 일 실시예에 따른 DMRS 그룹핑에 기초한 시간 분할 다중화 모드(TDM)에서의 예시적인 DMRS 패턴을 개략적으로 도시한 도면.

도 8A 내지 도 8F는 본 발명의 일 실시예에 따른 추가의 5G 통신 시스템에서의 DMRS 그룹핑에 기초한 예시적인 가능한 DMRS 패턴들을 개략적으로 도시한 도면.

도 9는 본 발명의 일 실시예에 따른 DMRS 그룹 구성을 나타내는 예시적인 표시 방식을 개략적으로 도시한 도면.

도 10은 본 발명의 다른 실시예에 따른 DMRS 그룹 구성을 나타내는 또 다른 예시적인 표시 방식을 개략적으로 도시한 도면.

도 11은 본 발명의 다른 실시예에 따른 DMRS 그룹 구성을 나타내는 추가의 예시적인 표시 방식을 개략적으로 도시한 도면.

도 12는 본 발명의 일 실시예에 따른 4개의 새로운 사용자 장비에 대한 DMRS 구성을 개략적으로 도시한 도면.

도 13은 본 발명의 일 실시예에 따른 UE1 및 UEj에 대한 RE들에서 송신되는 DMRS 신호들을 개략적으로 도시한 도면.

도 14는 본 발명의 일 실시예에 따른 레저시 사용자 장비 및 2개의 새로운 사용자 장비에 대한 DMRS 구성들을 개략적으로 도시한 도면.

도 15는 본 발명의 실시예들에 따른 업링크 관련 DCI 포맷의 사이클릭 시프트 필드의  $n_{DMRS,\lambda}^{(2)}$  및  $[w^{(2)}(0) \ w^{(2)}(1)]$ 에 대한 예시적인 맵핑을 개략적으로 도시한 도면.

도 16은 본 발명의 일 실시예에 따른 예시적인 다중 전송 시간 간격(TTI) 스케줄링의 다이어그램을 개략적으로 도시한 도면.

도 17은 본 발명의 다른 실시예에 따른 다른 예시적인 다중 TTI 스케줄링의 다이어그램을 개략적으로 도시한 도면.

도 18은 본 발명의 일 실시예에 따른 엇갈림 패턴에 기초하는 예시적인 DMRS 송신을 개략적으로 도시한 도면.

도 19는 본 발명의 다른 실시예에 따른 하나의 OCC 그룹에 대한 4개의 RE에서 송신되는 DMRS 신호들을 개략적으로 도시한 도면.

도 20은 본 발명의 일 실시예에 따른 기준 신호를 수신하는 방법의 흐름도를 개략적으로 도시한 도면.

도 21은 본 발명의 일 실시예에 따른 기준 신호를 송신하기 위한 장치의 블록도를 개략적으로 도시한 도면.

도 22는 본 발명의 일 실시예에 따른 기준 신호를 수신하는 장치의 블록도를 개략적으로 도시한 도면.

도 23은 본 명세서에서 설명되는 무선 네트워크에서 UE 및 장치(2320)에 구현되거나 포함될 수 있는 장치(2310) 및 기지국에 구현되거나 포함될 수 있는 장치(2320)의 간략화된 블록도를 더 도시한 도면.

**발명을 실시하기 위한 구체적인 내용**

[0019] 이하, 본 발명에서 제공되는 솔루션들에 대하여 첨부된 도면들을 참조하여 실시예들을 통해 상세히 설명한다. 이 실시예들은 당업자가 본 발명을 더 잘 이해하고 구현할 수 있도록 하기 위한 것일 뿐이며, 본 발명의 범위를 어떠한 방식으로든 제한하려는 것이 아님을 이해해야 한다.

[0020] 첨부된 도면들에는, 본 발명의 다양한 실시예들이 블록도, 흐름도 및 기타 도면들로 도시되어 있다. 흐름도 또는 블록도 내의 각 블록은 특정 논리 기능들을 수행하기 위한 하나 이상의 실행 가능한 명령을 포함하는 모듈, 프로그램 또는 코드의 일부를 나타낼 수 있으며, 본 발명에서 없어도 되는 블록은 점선으로 도시된다. 또한, 이들 블록이 방법의 단계를 수행하기 위한 특정 시퀀스로 도시되어 있지만, 실제에 있어서는, 반드시 도시된 순서에 따라 엄격하게 수행될 필요는 없다. 예를 들어, 역순으로 또는 동시에 수행될 수도 있으며, 이것은 각각의 동작의 본질에 의존한다. 또한 블록도 및/또는 흐름도의 각 블록과 이들의 조합은 특정 기능/동작을 수행하기 위한 전용 하드웨어 기반 시스템에 의해 또는 전용 하드웨어 및 컴퓨터 명령들의 조합에 의해 구현될 수 있음에 유의해야 한다.

[0021] 일반적으로, 청구 범위에서 사용되는 모든 용어들은 본 명세서에서 달리 명시적으로 정의되지 않는 한, 본 기술 분야에서의 통상적인 의미에 따라 해석되어야 한다. "일/그/상기 요소, 장치, 구성 요소, 수단, 단계 등"에 대한 모든 언급은 달리 명시되지 않는 한, 복수의 이러한 장치, 구성 요소, 수단, 유닛, 단계 등을 배제함 없이 상기 요소, 장치, 구성 요소, 수단, 유닛, 단계 등의 적어도 하나의 인스턴스를 언급하는 것으로 개방적으로 해석되어야 한다. 또한, 본 명세서에서 사용되는 부정 관사는 복수의 그러한 단계, 유닛, 모듈, 장치 및 대상 등을 배제하지 않는다.

[0022] 또한, 본 발명과 관련하여, 사용자 장비(UE)는 단말기, 이동 단말기(MT), 가입자국(SS), 휴대 가입자국(PSS), 이동국(MS), 또는 액세스 단말기(AT)를 지칭하는 것일 수 있으며, UE, 단말기, MT, SS, PSS, MS, 또는 AT의 일부 또는 전부의 기능을 포함할 수 있다. 또한, 본 발명과 관련하여, 용어 "BS"는 예를 들어 노드 B(NodeB 또는 NB), 진화된 NodeB(eNodeB 또는 eNB), 무선 헤더(RH), 원격 무선 헤더(RRH), 릴레이, 또는 펌토(femto), 피코(pico) 등과 같은 저전력 노드를 포함할 수 있다.

[0023] 이하, 본 발명의 보다 용이한 이해를 위해, 도 2 내지 도 4를 참조하여 기존 통신 시스템에서의 DMRS 패턴 및 맵핑들에 대하여 먼저 설명하도록 한다.

[0024] 먼저, 기존 통신 시스템에서의 DMRS 패턴을 보다 상세하게 나타내는 도 2를 참조한다. 기존 통신 시스템에서, 물리적 업링크 공유 채널(PUSCH)은 자도프 추(Zadoff-Chu) 시퀀스를 기반으로 한다. 도 2에 도시된 바와 같이, UE1에 있어서, 신호  $R_i(n)$  및  $R'_i(n)$ 은 각각 제 1 슬롯 및 제 2 슬롯에서의 DMRS 시퀀스이며, 이들은 상이한 사이클릭 시프트들을 가질 수 있다. 시퀀스 그룹 호핑(hopping)이 디스에이블되는 경우, 신호들  $R_i(n)$  및  $R'_i(n)$ 은 동일한 루트 시퀀스를 가질 수 있다. 또한, 동일하지 않은 대역폭을 갖는 MU-MIMO에서 신호를 송신하는 2명의 사용자(이하, MU-사용자(mu-user)라고 칭함)는 2개의 슬롯에서 상이한 OCC 시퀀스를 사용할 수 있고, 동일한 대역폭을 갖는 복수의 MU-사용자는 DMRS에서 상이한 사이클릭 시프트를 사용할 수 있다.

[0025] 기존의 통신에서, 기준 신호 시퀀스  $r_{u,v}^{(\alpha)}(n)$ 는 다음에 따른 기본 시퀀스  $\bar{r}_{u,v}(n)$ 의 사이클릭 시프트  $\alpha$ 에 의해 정의되며,

[0026] 
$$r_{u,v}^{(\alpha)}(n) = e^{j\alpha n} \bar{r}_{u,v}(n), \quad 0 \leq n < M_{sc}^{RS}$$

[0027] 여기서  $n=0, \dots, M_{sc}^{RS}-1$ 이고,  $M_{sc}^{RS} = mN_{sc}^{RB}$ 는 기준 신호 시퀀스의 길이이며,  $1 \leq m \leq N_{RB}^{\max, UL}$ 이다. 복수의 기준 신호 시퀀스들은 상이한 값들의  $\alpha$ 를 통해 단일의 기본 시퀀스로부터 정의된다. 기본 시퀀스들  $\bar{r}_{u,v}(n)$ 은 그룹

들로 분할되며, 여기서  $u \in \{0,1,\dots,29\}$  는 그룹 넘버이고,  $v$ 는 그룹 내의 기본 시퀀스 넘버이며, 각각의 그룹은 각 길이가  $M_{sc}^{RS} = mN_{sc}^{RB}$ ,  $1 \leq m \leq 5$  인 하나의 기본 시퀀스( $v=0$ ) 및 각 길이가  $M_{sc}^{RS} = mN_{sc}^{RB}$ ,  $6 \leq m \leq N_{RB}^{\max, UL}$  인 두 개의 기본 시퀀스를 포함한다. 그룹 내의 시퀀스 그룹 넘버  $u$  및 넘버  $v$ 는 시간에 따라 변할 수 있으며, 기본 시퀀스  $\bar{r}_{u,v}(0), \dots, \bar{r}_{u,v}(M_{sc}^{RS} - 1)$  의 정의는 시퀀스 길이  $M_{sc}^{RS}$  에 의존한다.

[0028] 또한, 계층  $\lambda$  와 관련된 PUSCH 복조 신호 시퀀스  $r_{PUSCH}^{(\lambda)}(\cdot)$  는 다음과 같이 정의되며,

[0029] 
$$r_{PUSCH}^{(\lambda)}(m \cdot M_{sc}^{RS} + n) = w^{(\lambda)}(m)r_{u,v}^{(\alpha_\lambda)}(n)$$

[0030] 여기서

[0031] 
$$m = 0,1$$
  

$$n = 0, \dots, M_{sc}^{RS} - 1$$
 이고,

[0032] 또한

[0033] 
$$M_{sc}^{RS} = M_{sc}^{PUSCH}$$
 이다.

[0034] 시퀀스  $r_{u,v}^{(\alpha_\lambda)}(0), \dots, r_{u,v}^{(\alpha_\lambda)}(M_{sc}^{RS} - 1)$  는 전술한 바와 같이  $\bar{r}_{u,v}(0), \dots, \bar{r}_{u,v}(M_{sc}^{RS} - 1)$  이며, DCI 포맷 0의 경우, 직교 시퀀스  $w^{(\lambda)}(m)$  는 다음과 같이 정의된다

[0035] 
$$\begin{bmatrix} w^{(\lambda)}(0) & w^{(\lambda)}(1) \end{bmatrix} = \begin{bmatrix} 1 & 1 \end{bmatrix}$$

[0036] 슬롯  $n_s$ 에서의 사이클릭 시프트  $\alpha_\lambda$ 는  $\alpha_\lambda = 2\pi n_{cs,\lambda} / 12$  로 주어지고 여기서

[0037] 
$$n_{cs,\lambda} = (n_{DMRS}^{(1)} + n_{DMRS,\lambda}^{(2)} + n_{PN}(n_s)) \bmod 12$$
 이며,

[0038] 여기서  $n_{DMRS}^{(1)}$  의 값들은 상위 계층들에 의해 제공되는 파라미터 사이클릭 시프트에 따라, 도 3에 도시된 3GPP TS 36.212의 표 5.5.2.2.2-2에 의해 주어진다.  $n_{DMRS,\lambda}^{(2)}$  는 대응하는 PUSCH 송신과 관련된 전송 블록에 대한 3GPP TS 36.212의 가장 최근의 업링크 관련 DCI에서의 DMRS 필드에 대한 사이클릭 시프트에 의해 주어진다. 특히,  $n_{DMRS,\lambda}^{(2)}$  의 값은 도 4에 도시된 표 5.5.2.1.1-1 3GPP TS 36.212에서 주어진다. 양(quantity)  $n_{PN}(n_s)$ 은 슬롯과 관련된 것으로서, 다음과 같이 주어지며,

[0039] 
$$n_{PN}(n_s) = \sum_{i=0}^7 c(8N_{symb}^{UL} \cdot n_s + i) \cdot 2^i$$

[0040] 여기서 의사-랜덤(pseudo-random) 시퀀스  $c(i)$ 는 3GPP TS 36.212의 7.2 절에 정의되어 있으며,  $c(i)$ 의 적용은 셀-고유의 것이다.

[0041] 지금까지, 기존 통신 시스템에서 사용되는 DMRS 패턴 및 맵핑들에 대해 설명하였으며, 보다 상세한 설명을 위해, 예를 들어 3GPP TS 36.211에서의 관련 콘텐츠를 참조할 수 있다.

[0042] 또한, 전술한 바와 같이, DMRS의 하나 또는 소수의 심볼만이 UL 및 다운링크(DL) 모두에 사용될 경우에는, 고차원 다중 사용자 MIMO(MU-MIMO)를 지원하기 위해, 부분적으로 중첩되는 BW들을 위해 더 많은 직교 포트를 사용하는 것을 고려해야 한다. 그러나, 기존의 통신 시스템에서,  $i_r$ 은 동일하지 않은 할당 대역폭을 가진 2명의 다중 사용자만 지원하거나, 또는 ZC 시퀀스 길이에 훨씬 많은 수준의 노력과 제한을 필요로 하여 PAPR(Peak to Average Power Ratio) 문제를 야기하게 된다. 따라서, 새로운 RS 패턴 및 새로운 RS 송신 및 수신 솔루션들이 본 발명에서 제공되며, 이것은 도 5 내지 도 23을 참조하여 상세히 설명될 것이다.

[0043] 도 5는 본 발명의 일 실시예에 따른 기준 신호를 송신하는 방법의 흐름도를 개략적으로 도시한 것이다. 도 5에 도시된 바와 같이, 먼저 단계 510에서, 기준 신호 구성 표시가 수신되고, 여기서 기준 신호 리소스들이 적어도

2개의 기준 신호 그룹으로 분할되고, 이 기준 신호 구성 표시는 기준 신호 그룹 구성을 포함하는 기준 신호 구성을 나타낸다.

- [0044] 본 발명의 실시예들에서, RS 리소스들, 즉 RS의 기본 시퀀스는 M개의 상이한 그룹으로 분할될 수 있고, M개의 상이한 그룹은 주파수 분할 모드 또는 시간 분할 모드에서 사용되어 더 많은 사용자들 또는 더 많은 계층들을 지원할 수가 있다. 다음으로, 예들을 제공하여 보다 상세하게 설명하도록 하며, 이러한 예들에서는, 보다 쉽게 이해할 수 있도록 하기 위해 DMRS 리소스들이 2개의 그룹으로 분할된다(즉, M이 2임). 그러나, 당업자는 M의 수가 2로 제한되지 않으며 임의의 적합한 수일 수 있음을 쉽게 알 수 있다.
- [0045] 도 6a에서, DMRS 리소스들은 2개의 그룹, 즉 DMRS 그룹 0 및 DMRS 그룹 1로 분할되어 있으며, DMRS 그룹 0을 반송하기 위한 RE들 및 DMRS 그룹 1을 반송하기 위한 RE들이 주파수 도메인에서 엇갈려 놓여 있다. 따라서, 하나의 DMRS 포트/계층에 대한, DMRS 시퀀스의 길이는 본 명세서에서 제안된 바와 같은 DMRS 그룹핑으로 송신되지 않는 레거시 DMRS 시퀀스 또는 PUSCH의 길이의 절반이다. 따라서, DMRS 그룹핑을 사용하여 새로운 UE에게 할당되는 리소스 블록(RB)의 수는 M(즉, 2)의 배수가 되어야 한다. 예를 들어, M=2인 경우, RB의 수는 2, 4, 6 등으로 된다. 대안적으로, 이 조건은 RB의 수가 6 미만일 경우에만 만족되어야 할 수도 있다.
- [0046] 도 6b는 본 발명의 일 실시예에 따른 DMRS 그룹핑에 기반한 주파수 분할 다중화 모드의 예시적인 DMRS 패턴을 도시한 것이다. 도 6a에 도시된 DMRS 패턴과 도 6b에 도시된 DMRS 패턴의 차이는 기준 신호 그룹들이 상이한 심볼들로 호핑된다는 것이다. 다시 말해, 슬롯 0의 DMRS 심볼 및 슬롯 1의 DMRS 심볼에서, DMRS 그룹 0을 반송하기 위한 RE들 및 DMRS 그룹 1을 반송하기 위한 RE들은 상이한 방식으로 주파수 도메인에 엇갈려 놓여 있다. 슬롯 0의 DMRS 심볼에서는, DMRS 그룹 0을 반송하기 위한 RE들 및 DMRS 그룹 1을 반송하기 위한 RE들이 DMRS 그룹 0, DMRS 그룹 1, DMRS 그룹 0, DMRS 그룹 1...의 순서로 엇갈려 놓여 있으며, 슬롯 1의 DMRS 심볼에서는, DMRS 그룹 0을 반송하기 위한 RE들 및 DMRS 그룹 1을 반송하기 위한 RE들이 DMRS 그룹 1, DMRS 그룹 0, DMRS 그룹 1, DMRS 그룹 0...의 순서로 엇갈려 놓여 있다.
- [0047] 도 7은 본 발명의 일 실시예에 따른 다른 5G 통신 시스템에서의 DMRS 그룹핑에 기반한 다른 예시적인 DMRS 패턴을 도시한 것이다. 도 7에 도시된 바와 같이, 이 새로운 DMRS 패턴은 DMRS 그룹핑을 기반으로 하지만 시간 분할 다중화 모드로 구현된다. 즉, 슬롯 0의 DMRS 심볼에서는, 모든 RE가 DMRS 그룹 0을 반송하고, 슬롯 1의 DMRS 심볼에서는 모든 RE가 DMRS 그룹 1을 반송한다.
- [0048] 실제에 있어서, 미래의 5G 통신 시스템에서는, 프레임 구조가 다른 형태를 가질 수도 있다. 미래의 5G 통신 시스템에서는, TTI 길이가 매우 짧을 수 있으며, 따라서 예를 들어 도 8A 내지 도 8E에 도시된 바와 같이 슬롯에 2개 또는 4개의 연속적인 DMRS 심볼을 포함할 수 있음을 알 수 있다. 또한, M은 2에 한정되지 않으며, 도 8F에 도시된 바와 같이 3 이상일 수도 있다.
- [0049] 레거시 DMRS 패턴 또는 새로운 DMRS 패턴이 사용되는지의 여부, 또는 달리 말해, DMRS 그룹 구성이 인에이블되는지의 여부에 관해서는, DRMS 구성 표시(DRMS configuration Indication, DCI) 포맷 정보 또는 무선 리소스 제어(radio resource control, RRC) 시그널링에서의 비트에 의해 통지될 수 있다. 상이한 UE 또는 UE의 상이한 계층들에 대한 DMRS 그룹 구성은 명시적으로 또는 암시적으로 RRC 시그널링 또는 DCI 포맷 정보일 수 있는 RS 신호 표시에 의해 표시될 수 있다. 즉, DMRS 그룹 구성은 새로운 RRC 시그널링에 의해 표시될 수 있거나, 사이클릭 시프트 구성 및 직교 커버 코드 구성을 또한 나타내는 DCI 포맷에 의해 표시될 수 있다. 일 예로서, 기준 신호 그룹 구성은 사이클릭 시프트 구성에 의해 암시적으로 표시될 수 있다. 다른 예로서, 기준 신호 그룹 구성은 기준 신호 구성 표시에서의 비트에 의해 명시적으로 표시될 수 있다.
- [0050] 또한, DMRS 그룹 구성에 대한 RRC 시그널링은, 새로운 DRMS 패턴이 인에이블되는지의 여부 또는 새로운 DRMS 패턴이 인에이블되고 DMRS 그룹 구성이 동일한 RRC 시그널링에서 표시될 수 있는지를 나타내기 위한 RRC 시그널링과는 별도의 시그널링일 수 있다. 또한, DCI 포맷 정보 내의 동일하거나 상이한 비트가 DMRS 그룹 표시 및 새로운 DRMS가 인에이블되는지 여부에 대한 표시를 제공하는데 사용될 수 있다.
- [0051] 본 발명의 일 실시예에서는, 하나의 기준 그룹만이 하나의 UE에 의해 사용될 수 있다. 이러한 경우, DMRS 그룹 구성은 사이클릭 시프트 구성, 즉 DCI 포맷의 사이클릭 시프트 필드에 의해 암시적으로 표시될 수 있다. 예를 들어, 도 9에서, DCI 포맷의 CS 필드 인덱스들의 일 부분은 새로운 DMRS 패턴을 위한 것이고, DCI 포맷의 CS 필드 인덱스들의 나머지 부분은 레거시 DMRS 패턴을 위한 것이다. 즉, 새로운 UE들을 위한 DCI의 CS 필드용 테이블에서, 모든 인덱스들은 2개의 부분으로 분할되며, 제 1 부분은 그것이 레거시 DMRS 패턴을 사용해야 함을 UE에게 나타내는 것이고, 제 2 부분은 그것이 새로운 DMRS 패턴을 사용해야 함을 UE에게 나타내는 것이다. 제

2 부분에서, 인덱스들은 2개의 부분으로 더 분할되며, 하나는 DMRS 그룹 0을 위한 것이고, 다른 하나는 DMRS 그룹 1(M=2인 경우)을 위한 것이다. 예를 들어, 도 9에 도시된 바와 같이, DCI 포맷의 인덱스가 000일 경우, UE는 DMRS를 송신하기 위해 새로운 DMRS 패턴의 새로운 DMRS 그룹 0을 사용해야 한다. 반면에, DCI 포맷의 인덱스가 010일 경우에는, UE는 레거시 DMRS 패턴을 사용해야 한다. 이러한 경우에 있어서는, 레거시 패턴이 사용되는지 또는 새로운 패턴이 사용되는지의 여부를 새로운 UE에게 나타내기 위해, 임의의 RRC 시그널링 또는 임의의 비트 DCI 정보를 필요로 하지 않는다.

[0052] 도 10은 DCI 포맷의 CS 필드 내 인덱스들이 M개의 부분(M=2)으로 분할되는 본 발명의 다른 실시예에 따른 DMRS 그룹 구성을 나타내는 또 다른 예시적인 표시 방식을 개략적으로 도시한 것이다. 도 10에 도시된 바와 같이, DCI 포맷의 CS 필드 내 인덱스들은 2개의 부분으로 분할되며, 하나의 부분은 DMRS 그룹 0을 위한 것이고, 다른 부분은 DMRS 그룹 1을 위한 것이다. 예를 들어, 인덱스 000,001,010,111이 제 1 그룹, 즉 DMRS 그룹 0에 포함되며, 인덱스 011,100,101,110이 제 2 그룹, 즉 DMRS 그룹 1에 포함된다. 대안적으로는, RRC 시그널링에 기반하여 사이클릭 시프트(즉, 도 4에 도시된 바와 같은  $m_{DMRS}^{(i)}$  값들)를 M개의 그룹으로 나눌 수도 있다. 일 예로서, 인덱스 0, 1, 2, 3은 DMRS 그룹 0에 대응하고, 나머지 인덱스들은 DMRS 그룹 1에 대응한다. 이러한 경우에 있어서는, 레거시 패턴이 사용되는지 또는 새로운 패턴이 사용되는지 여부를 나타내기 위해 1 비트 RRC 시그널링 또는 1 비트 DCI 정보를 사용할 수 있다.

[0053] 본 발명의 다른 실시예에서는, 하나보다 많은 기준 신호 그룹이 하나의 사용자 장비에 의해 사용되도록 허용된다. 이 경우에는, 하나의 UE의 상이한 계층들에 대한 DMRS 시퀀스들이 상이한 DMRS 그룹들에서 다중화될 수 있으며, RRC 시그널링에 의해 또는 DCI 포맷의 일 비트에 의해 통지될 수 있는 새로운 맵핑 테이블을 사용할 수 있다. 예시적인 새로운 테이블이 도 11에 도시되어 있으며, 여기서  $\Delta_{TC}$ 는 DMRS 그룹 구성을 나타내고, 0의 값은 DMRS 그룹 0을 나타내며; 1의 값은 DMRS 그룹 1을 나타낸다. 도 11로부터, DMRS 그룹 구성이 CS 인덱스 및 계층에 바인딩되어 있음은 명백하다. 이러한 경우에 있어서는, 2개 계층을 가진 4개의 UE가 다음과 같은 방식으로 스케줄링될 수 있고, 필드 000+001+010+011이 사용되며, 다중화는 UE내 CS, UE간 OCC 및 FDM에 의해 구현된다.

[0054] 하나의 UE 내의 상이한 계층들이 상이한 DMRS 그룹들에 의해 다중화될 수 있는 경우에는, 2개의 계층들이 OCC 또는 FDM으로 지원될 수 있으며, 예를 들어, 필드 100 또는 101이 FDM으로 지원될 수 있고, 필드 110 또는 111은 OCC로 지원될 수 있다. 동시에, 단일 사용자(single user, SU) 모드에서는 최대 8개의 계층을 지원할 수 있다. 이 경우에는, UE가 계층 번호로 구성될 필요가 있기 때문에, UE는 암시적으로 DMRS, OCC 및 FDM을 통지받을 수 있다. 일 예로서, UE가 8개 계층으로 구성되고, 필드 000인 경우, UE는 사전 정의된 맵핑을 다음과 같이 가정할 수 있다: 계층 0-3의 경우, CS 및 OCC,  $\Delta_{TC}$ 가 테이블에 나타나 있고; 계층 4-7의 경우, CS 및 OCC가 계층 0-3과 동일하지만 FDM 구성의 경우에는(1- $\Delta_{TC}$ )임.

[0055] 다른 실시예에서는, 4개 이상의 계층을 갖는 SU-MIMO의 경우, CS, OCC 및 DMRS 그룹 구성들이 암시적으로 UE에게 통지될 수 있다. 이러한 경우에 있어서는, 집성된 기준 신호 구성을 사용하여 송신 DMRS에서 더 많은 계층을 지원하는 것이 가능하다. 집성된 기준 신호 구성은 하나보다 많은 구성으로부터 집성되는 기준 신호 구성을 나타낸다. 예를 들어, 집성된 기준 구성은 기준 신호 구성 표시에 의해 나타내지는 기준 신호 구성 및 그과 함께 사용되도록 미리 정해진 다른 기준 신호 구성을 집성시킴으로써 형성될 수 있다. 다른 기준 신호 구성은 기준 신호 구성 표시에 의해 나타내지지만 상이한 기준 신호 그룹 구성을 갖는 기준 신호 구성으로부터 얻어지는 구성일 수 있다. 대안적으로, 이것은 기준 신호 구성 표시에 의해 나타내지는 기준 신호 구성과는 상이하며, 기준 신호 구성 표시에 의해 나타내지는 기준 신호 구성과 함께 사용되도록 미리 결정된, 사이클릭 필드 맵핑 테이블 내의 기준 신호 구성일 수 있다. 예를 들어, 계층 수 v의 경우, 이것은 첫번째 v/2 계층들 및 두번째 v/2 계층들에 대해 동일한 CS/OCC를 사용할 수 있지만, 그에 대한 상이한 DMRS 그룹 구성을 가질 수 있다. 따라서, 이 실시예에서는, 기준 신호 구성 표시가 하나의 기준 신호 구성만을 나타내더라도, 그것이 2개 이상의 CS/OCC/DMRS 그룹 구성을 집성하여 더 많은 계층(케이스 M=2의 경우, 최대 8개 계층)을 지원하게 된다.

[0056] 일 예로서, 도 3에 도시된 바와 같은 레거시 테이블에서는, CS 필드의 2개의 인덱스(즉, 2개의 구성)가 8개의 계층에 대한 CS 및 OCC 구성들을 나타내도록 하나의 UE에 구성된다. 2개의 인덱스 간의 관계는 고정되거나 미리 결정될 수 있으며, 이것은 DCI 포맷의 레거시 CS 필드를 사용하여 UE에게 통지될 수 있다. 예를 들어, 8개의 계층에 있어서, 인덱스 000은 실제로 첫번째 4개의 계층 및 두번째 4개의 계층에 대한 CS/OCC를 각각 표시하는 인덱스 000 및 001을 나타내며, 여기서 계층 0, 1, 2 및 3은 CS 0, 6, 9 및 OCC [1 1] [1 -1] [1-1]를 사용

하고, 계층 4, 5, 6, 7은 CS 6 0 9 3 및 OCC [1 -1] [1-1] [1 1] [1 1]을 사용한다. 대안적으로는, 인덱스 000이 짝수 계층, 예를 들어 0, 2, 4, 6에 대한 CS/OCC를 표시하는데 사용될 수 있으며, 인덱스 001이 홀수 계층, 예를 들어 1, 3, 5, 7에 대한 CS/OCC를 표시하는데 사용될 수 있다.

[0057] 다음으로, 도 5를 다시 참조하면, 단계 520에서, 기준 신호 그룹 구성에 표시된 기준 신호 그룹에서의 기준 신호 시퀀스를 사용하여 기준 신호가 송신되며, 여기서 이 기준 신호 시퀀스는 상이한 기준 신호 그룹들 내의 다른 계층 또는 다른 사용자와 다중화될 수 있다.

[0058] 기준 신호 구성 정보를 수신한 이후에, UE는 기준 신호 구성 정보에 표시된 구성들에 따라 DMRS 시퀀스를 송신할 수 있다.

[0059] 일 예로서, 4개의 1-계층 UE를 취하는 경우, UE0, UE1, UE2, UE3은 각각 DCI 포맷의 인덱스들 000, 001, 100 및 101로 구성된다. 도 12는 4개의 새로운 UE가 페어링될 경우 슬롯 0 또는 슬롯 1에서 송신되는 CS 구성, OCC 구성 및 DMRS 신호를 도시한 것이다. 현재의 표준에서는, 시퀀스 그룹 호핑이 디스에이블되는 경우, MU-MIMO를 지원하기 위해 R'i와 Ri 사이의 사이클릭 시프트 오프셋은 모든 이들 UE에 대해 동일해야 한다(즉, R'i(n) = e<sup>jan</sup> Ri(n)). 즉, 2개의 슬롯 사이의 사이클릭 시프트 인덱스 오프셋(또는 모드 12 이후)은 모든 MU-사용자에 대해 동일하다. 예를 들어, UE0에 대한, 슬롯 0 및 1에서의 사이클릭 시프트 인덱스들은 각각 0 및 6이고, 인덱스 오프셋 값은 6이며; UE3에 대한, 2개의 슬롯에서의 인덱스들은 각각 8 및 2이고, 모드 12 이후의 오프셋 또한 6이다.

[0060] 도 13은 2개의 슬롯에서의 새로운 DMRS 포맷을 사용하여 2개의 UE에 의해 송신되는 기준 신호들을 도시한 것이며, 여기서 가장 가까운 4개의 RE, 즉, 슬롯 0 및 슬롯 1에서의 처음 2개의 기준 신호가 명확화를 위해 바닥에 추가로 도시되어 있다. 가장 가까운 4개의 RE에서의 심볼들은 다음 식으로 나타낼 수 있다:

[0061] 
$$\begin{bmatrix} R_0(n) & e^{jan}R_0(n) & 0 & 0 \end{bmatrix}$$

[0062] 
$$\begin{bmatrix} R_1(n) & -e^{jan}R_1(n) & 0 & 0 \end{bmatrix}$$

[0063] 
$$\begin{bmatrix} 0 & 0 & R_2(n) & e^{jan}R_2(n) \end{bmatrix}$$

[0064] 
$$\begin{bmatrix} 0 & 0 & R_3(n) & -e^{jan}R_3(n) \end{bmatrix}$$

[0065] 상기의 식을 형성할 경우, 2개의 새로운 UE에 있어서, 이들이 동일하지 않은 대역폭을 갖더라도 이들 4개의 UE 사이에 직교성(orthogonality)이 달성될 수 있음을 알 수 있다.

[0066] 그러나, 레거시 UE가 새로운 UE와 페어링될 경우에는, 이들이 서로 다른 DMRS 패턴을 사용하고 있고 레거시 UE가 상이한 DMRS 그룹들에서 다중화되지 않기 때문에, 직교성을 달성할 수 없다. 즉, 동일한 주파수 리소스들의 경우, 레거시 DMRS 시퀀스의 길이는 새로운 DMRS 시퀀스의 길이의 2배가 된다. 따라서, 기본적으로, 레거시 UE와 새로운 UE의 시작 주파수 위치가 동일하다면, 레거시 DMRS 시퀀스의 리소스 인덱스는 새로운 DMRS 시퀀스의 2배가 된다. 도 14는 레거시 UE가 새로운 UE들과 페어링될 경우, 슬롯 0 또는 슬롯 1에서 송신되는 CS 구성, OCC 구성 및 DMRS 신호의 예를 도시한 것이다. 가장 가까운 4개의 RE에서의 심볼들은 다음 식으로 나타낼 수 있다:

[0067] 
$$\begin{bmatrix} R_0(2n) & e^{ja2n}R_0(2n) & R_0(2n+1) & e^{ja(2n+1)}R_0(2n+1) \end{bmatrix}$$

[0068] 
$$\begin{bmatrix} R_1(n) & -e^{jan}R_1(n) & 0 & 0 \end{bmatrix}$$

[0069] 
$$\begin{bmatrix} 0 & 0 & R_2(n) & -e^{jan}R_2(n) \end{bmatrix}$$

[0070] 이 식으로부터, 직교성을 달성할 수 없다는 것은 명백하다. 실제에 있어서, 직교성을 달성하기 위해서는, 새로운 UE에 대한 2개의 슬롯 사이의 사이클릭 시프트 오프셋은 레거시 UE의 2배가 되어야 한다. 달리 말해, OCC 시퀀스를 제외하고, 2개의 슬롯 사이의 위상 시프트는 레거시 위상 시프트로 유지되어야 하며, 즉 동일한 주파수 리소스 n에서 R'1/R1 = R'0/R0로 유지되어야 한다. 따라서, 이러한 경우, 새로운 사용자 장비와 레거시 사용자 장비 간의 직교성을 향상시키기 위해, 기준 신호를 송신하는 새로운 사용자 장비에 대한 슬롯들 사이의 사이

클릭 시프트 오프셋을 증가시킬 필요가 있다.

[0071] 본 발명의 일 실시예에서, 사이클릭 시프트는 DMRS 시퀀스가 생성될 경우 M만큼 확대된다. 예를 들어, DMRS 그룹 0의 경우, 기준 신호 시퀀스는 다음과 같이 변경될 수 있다:

[0072] 
$$r_{u,v}^{(\alpha)}(n) = e^{j\alpha 2n} \bar{r}_{u,v}(n), \quad 0 \leq n < M_{sc}^{RS},$$

[0073] DMRS 그룹 1의 경우, 기준 신호 시퀀스는 다음과 같이 변경될 수 있다:

[0074] 
$$r_{u,v}^{(\alpha)}(n) = e^{j\alpha(2n+1)} \bar{r}_{u,v}(n), \quad 0 \leq n < M_{sc}^{RS}$$

[0075] 여기서  $M_{sc}^{RS}$  는 DMRS 시퀀스 길이이다. 따라서, 레거시 UE<sub>0</sub>와 새로운 UE<sub>1</sub>에 동일한 주파수 리소스들이 할당될 경우, UE<sub>1</sub>의 DMRS 시퀀스 길이는 UE<sub>0</sub>의 DMRS 시퀀스 길이의 절반이 된다.

[0076] 제안된 바와 같이 DMRS 시퀀스를 변경한 이후에, 가장 가까운 4개의 RE들 내의 새로운 심볼들은 다음의 식으로 나타낼 수 있다:

[0077] 
$$[ R_0(2n) \quad e^{ja2n} R_0(2n) \quad R_0(2n+1) \quad e^{ja(2n+1)} R_0(2n+1) ]$$

[0078] 
$$[ R_1(n) \quad -e^{ja2n} R_1(n) \quad 0 \quad 0 ]$$

[0079] 
$$[ 0 \quad 0 \quad R_2(n) \quad -e^{ja(2n+1)} R_2(n) ]$$

[0080] 상기의 식으로부터, 레거시 UE와 새로운 UE 간에 직교성이 확보될 수 있음을 알 수 있다.

[0081] 그러나, 새로운 DMRS 시퀀스에서는, 차이 CS들 간의 직교성이 깨지는 것을 또한 알 수 있다. 예를 들어, CS0과 CS6 간의 직교성이 깨져있다. 기존 DMRS 구성에서, 사이클릭 시프트 오프셋은 6이며, 주파수 도메인에서 가장 가까운 2개의 RE는 레거시 패턴에서 하나의 직교 그룹이 될 수 있다. 즉, 주파수 도메인에서, 이것은 2개의 연속적인 서브-캐리어의 직교 주파수-코드 스패닝 블록들로 변환될 수 있다. 결과적으로, 채널 추정의 그레인도 레리티(granularity)는 (대략) 2개의 서브-캐리어당 하나이다. DMRS 시퀀스가 생성될 때 사이클릭 시프트 오프셋을 증가시킨 후에는, 이것이 보장될 수 없다.

[0082] 사이클릭 시프트 오프셋이 증가되는 실시예에서, CS 오프셋 3의 직교성은 2개의 연속적인 DMRS 서브-캐리어의 직교 주파수-코드 스패닝 블록을 발생시킨다. 또한, 6개의 오프셋을 갖는 2개의 CS는 동일한 DMRS 시퀀스를 발생시키게 된다.

[0083] 
$$r_{u,v}^{(\alpha)}(n) = e^{j\alpha 2n} \bar{r}_{u,v}(n), \quad 0 \leq n < M_{sc}^{RS} \Rightarrow r_{u,v}^{(\alpha)}(n) = r_{u,v}^{(\alpha+6)}(n)$$

[0084] 따라서, 새로운 DMRS 패턴에서는, 6 대신에 CS 오프셋 3을 사용해야 한다. 이러한 경우에 있어서, 새로운 사용자 장비에 대한 사이클릭 시프트는 상이한 사이클릭 시프트들 간의 직교성을 유지하기 위해 감소될 수 있다. 이러한 경우,  $n_{DMRS}^{(1)}$  및/또는  $n_{DMRS}^{(2)}$ 를 축소시키는 것을 고려할 수 있다. 즉,  $n_{cs,\lambda}$ 의 수학적식은 다음과 같이 변경될 수 있다.

[0085] 
$$n_{cs,\lambda} = ((n_{DMRS}^{(1)} + n_{DMRS,\lambda}^{(2)}) / 2 + n_{PN}(n_s)) \bmod 12$$

[0086] 또는

[0087] 
$$n_{cs,\lambda} = (n_{DMRS}^{(1)} + n_{DMRS,\lambda}^{(2)} / 2 + n_{PN}(n_s)) \bmod 12$$

[0088] 또 다른 옵션으로서, 새로운 사이클릭 시프트 값들을 도입할 수 있다. 특히 최대 2개의 계층의 경우, 첫번째 계층과 두번째 계층 사이의 CS 오프셋은 3이어야 한다. 예를 들어, 관련 값 0, 6을 GPP TS 36.212의 테이블 5.5.2.1.1.-1의 인덱스 000에 해당하는 0, 3으로 수정할 수 있다. 도 15는 본 발명의 실시예들에 따른 업링크

관련 DCI 포맷의 사이클릭 시프트 필드를  $n_{\text{DMRS},\lambda}^{(2)}$  및  $[w^{(\lambda)}(0) \ w^{(\lambda)}(1)]$  에 예시적으로 맵핑한 것을 개략적으로 도시한 것이다. 이러한 경우에는, 다음과 같이  $n_{\text{cs},\lambda}$  의 이전 수학적식을 사용하거나 모드 6을 사용할 수 있다:

$$n_{\text{cs},\lambda} = \left( (n_{\text{DMRS}}^{(1)} + n_{\text{DMRS},\lambda}^{(2)}) + n_{\text{PN}}(n_s) \right) \bmod 6$$

또는

$$n_{\text{cs},\lambda} = \left( (n_{\text{DMRS}}^{(1)} + n_{\text{DMRS},\lambda}^{(2)}) + n_{\text{PN}}(n_s) \right) \bmod 12$$

일 예로서, 새로운 DMRS 패턴/시퀀스가 사용될 것인지 또는 레거시 DMRS 패턴/시퀀스가 사용될 것인지를 나타내기 위해 일 비트 DCI 형성 또는 RRC 신호가 사용될 수 있다. 새로운 것일 경우, 제 2 층과 제 1 층 사이의 CS 오프셋은 3이다. CS 오프셋이 M의 팩터에 의해 확대되기 때문에, 인덱스 000 및 001로부터 도출되는 관련 DMRS 시퀀스들이 동일하고, 인덱스 010 및 111로부터의 DMRS 시퀀스들이 동일하고, 인덱스 011 및 110으로부터의 관련 DMRS 시퀀스들이 동일하며, 인덱스 100 및 101로부터의 관련 DMRS 시퀀스들도 또한 동일하다. 그러므로, 전체 CS 인덱스들이 2개의 그룹으로 분할될 수 있으며, 하나의 그룹은 하나의 DMRS 그룹에 대응하고, 상이한 관련 DMRS 시퀀스들을 갖는다. 예를 들어, 인덱스 000, 010, 011, 100, 101이 DMRS 그룹 0에 대응할 수 있으며, 나머지 인덱스들은 DMRS 그룹 1에 대응할 수 있다. 이러한 방식으로, UE가 인덱스 000을 수신할 경우, 그것은 UE가 DMRS 그룹 0에 속한다는 것을 의미한다.

또한, 하위 호환성(backward compatibility)을 고려하여, 새로운 UE들에 대한 하나의 서브프레임의 2개의 슬롯 사이의 위상 시프트가, 레거시 UE들과 동일하게 유지되어야 한다.

DMRS 그룹 0의 경우, 기준 신호 시퀀스는 다음의 레거시 공식으로 그대로 유지될 수 있다:

$$r_{u,v}^{(\alpha)}(n) = e^{jan} \bar{r}_{u,v}^{(\alpha)}(n), \quad 0 \leq n < M_{\text{sc}}^{\text{RS}}$$

한편, DMRS 그룹 1의 경우에는 다음과 같다

$$r_{u,v}^{(\alpha)}(n) = e^{j\frac{\alpha}{2}} e^{jan} \bar{r}_{u,v}^{(\alpha)}(n), \quad 0 \leq n < M_{\text{sc}}^{\text{RS}}$$

$$n_{\text{cs},\lambda} = \left( n_{\text{DMRS}}^{(1)} + n_{\text{DMRS},\lambda}^{(2)} + 2n_{\text{PN}}(n_s) \right) \bmod 12.$$

따라서, 이 솔루션에서는, 새로운 UE들에 대한 하나의 서브프레임의 2개의 슬롯들 사이의 사이클릭 시프트 오프셋이, 레거시 UE들의 M배로 유지된다.

또한, 다른 5G 통신 시스템에서는, TTI가 매우 짧을 수 있다는 것을 알 수 있다. TTI 길이가 매우 짧은 시나리오에서는, 일부 TTI에서 DMRS를 제거할 수 있다. 즉, DMRS는 모든 TTI에서 송신되지는 않는다. 이 경우, 물리적 제어 시그널링에서의 1 비트 또는 소수의 비트를 사용하여, 얼마나 많은 DMRS 심볼들이 사용되는지 또는 현재 TTI에 DMRS 심볼들이 존재 하는지의 여부를 UE에게 통지할 수 있다. TTI에 DMRS가 존재하지 않을 경우, UE는 이전 DMRS를 사용하여 데이터를 복조할 수 있다. 또한, 이전 송신 또는 초기 송신에서 DMRS를 사용하여 DMRS가 없는 재송신을 수행할 수 있다.

또한, 다중 TTI 스케줄링을 고려할 수도 있다. 즉, eNB는 하나의 TTI에서 제어 시그널링 정보만을 구성하고, UE가 이 제어 시그널링 정보에 기초하여, 다수의 TTI에서 데이터를 수신 및/또는 송신할 수 있다. 따라서, 이러한 경우에 있어서는, 하나 또는 소수의 TTI만이 DMRS를 포함할 수 있다. 다른 옵션으로서, 길이가 L인 OCC 시퀀스들이 사용될 수 있으며, 이것이 도 16에 도시되어 있다. 도시된 바와 같이, 길이가 L인 OCC 시퀀스들 또는 DFT 시퀀스들이 이들 L TTI들에 대한 DMRS에 적용될 수 있다. 이 경우, 각 TTI에는 하나의 DMRS만이 존재하게 된다. 일 예로서 L=4를 취하는 경우, 4개의 직교 OCC 시퀀스가 DMRS 시퀀스 상에 다중화될 수 있다. 이러한 방식으로, 최대 4개의 계층 또는 4개의 MU-사용자가 OCC 시퀀스들에 의해 다중화될 수 있다.

추가 옵션으로서, 도 17에 도시된 바와 같이 6개의 DFT 시퀀스를 사용할 수도 있다. 이러한 경우에 있어서는, 각 TTI에서 2개의 DMRS 시퀀스를 송신할 수 있으며, 각 TTI에서 DMRS 시퀀스에 DFT 시퀀스 값을 다중

화할 수 있다. 따라서, 최대 6의 계층 또는 사용자가 6개의 DFT 시퀀스에 의해 다중화될 수 있다.

[0102] 다른 상이한 실시예에서, 각 사용자 또는 계층은 엇갈림 패턴의 M개 DMRS 그룹을 사용하여 송신될 수가 있다. 즉, 하나의 UE는 엇갈림 패턴에 기반한 M개의 DMRS 그룹을 사용하여 멀티플렉스 DMRS 시퀀스를 송신하게 된다. 이 실시예에서, UE는 매 계층마다 각 DMRS 그룹에서의 DMRS 시퀀스들을 송신할 필요가 있다. 이러한 경우에 있어서는, 상이한 UE가 상이한 OCC 시퀀스들에 의해 다중화될 수 있다.

[0103] 예를 들어, 도 18에 도시된 바와 같이 DMRS 송신을 위해 하나의 심볼만이 사용되는 경우, UE<sub>0</sub> 및 UE<sub>1</sub>은 엇갈림 패턴의 M개의 DMRS 그룹을 사용하여 기준 신호 시퀀스들을 송신하고, 또한 이 2개의 UE는 동일한 하나의 심볼에서 OCC=2인 MU-MIMO 모드로 기준 신호들을 송신하며, 여기서  $[w_{00} \ w_{01}] = [1 \ 1]$  및  $[w_{10} \ w_{11}] = [1 \ -1]$ 이다. 이 경우, 하나의 계층을 갖는 UE<sub>0</sub>는 DMRS 그룹 0의 DMRS 시퀀스  $w_{00} * R_0$ 와 DMRS 그룹 1의 DMRS 시퀀스  $w_{01} * R'_0$ 을 송신하며, 동일한 심볼에서, UE<sub>1</sub>은 DMRS 그룹 0의 DMRS 시퀀스  $w_{10} * R_1$ 과 DMRS 그룹 1의 DMRS 시퀀스  $w_{11} * R'_1$ 을 송신한다. 예를 들어 R10 업링크 DMRS 패턴에서, 도 19에 도시된 DMRS 송신을 위해 2개의 심볼이 사용되는 다른 경우에는, UE i에 있어서, 상이한  $CS \ R_i^0 \ R_i^1 \ R_i^2 \ R_i^3$ 를 갖는 4개의 ZC 시퀀스가 사용될 수 있으며, 이러한 방식으로, 4명의 MU-사용자들(UE들이 상이한 대역폭으로 스케줄링될 수 있음)을 지원하기 위해 OCC=4인 R10 업링크 MU-MIMO 메커니즘을 확장할 수 있다. 이러한 경우에 있어서, OCC는 다음과 같을 수 있다:

[0104]  $[w_{i0} \ w_{i1} \ w_{i2} \ w_{i3}] = [1 \ 1 \ 1 \ 1]$ ; 또는

[0105]  $[1 \ -1 \ 1 \ -1]$ ; 또는

[0106]  $[1 \ 1 \ -1 \ -1]$ ; 또는

[0107]  $[1 \ -1 \ -1 \ 1]$ .

[0108] 각 사용자 또는 계층이 엇갈림 패턴의 M개의 DMRS 그룹을 사용하여 송신될 수 있는 실시예에서, DMRS 시퀀스는 또한 새로운 UE와 레거시 UE 사이에서 및 전송한 바와 같은 상이한 CS들 사이에서 직교 유지되게 하위 호환성을 갖도록 변경될 수도 있음에 유의해야 한다. 다시 말해, 모든 UE들에 있어서, 4개의 ZC 시퀀스들 간의 사이클릭 시프트 오프셋은 동일하게 유지되어야 한다. 특히, UE i의 경우,  $R_i^1$ 와  $R_i^2$  사이의 사이클릭 시프트 오프셋은, 하나의 TTI에서 UEi와 함께 스케줄링된 UEj에 대한  $R_j^1$ 와  $R_j^2$  사이의 오프셋과 동일할 수 있다. 한편, 새로운 UE가 레거시 UE와 다중화할 경우, 2개의 슬롯에서의 DMRS 시퀀스들 사이의 사이클릭 시프트 오프셋은 레거시 UE와 동일해야 한다.

[0109] 또한, 송신 성능을 향상시키기 위해 다른 방식들을 사용할 수도 있다. 예를 들어, DMRS 그룹들이 인에이블되는 경우, 하나의 TTI에서 DMRS 심볼들의 전력 및 PUSCH 심볼들의 전력이 동일하게 유지되면, 하나의 DMRS RE에서의 전력은 PUSCH에서의 전력의 2배가 된다. 또한, 하나의 DMRS RE의 전력과 하나의 PUSCH RE의 전력이 동일하게 유지되면, DMRS 심볼들의 전력은 PUSCH 심볼의 전력의 절반이 된다. 이들 모두는 서로 다른 심볼들 간의 전력 불균형을 의미한다. 따라서, 이러한 전력 불균형을 피하기 위해 스케일링 팩터(scaling factor)를 변경할 수도 있다.

[0110] 따라서, 3GPP TS 36.213의 섹션 5.5.2.1.2에서, 진폭 스케일링 팩터는  $\Delta * \beta_{PUSCH}$ 로 변경될 수 있으며, 여기서  $\Delta$ 는 1이거나, 또는 디폴트 정보로서 UE에 통지될 수 있는  $\sqrt{2}$ 일 수 있다. 일 예로서, 새로운 DMRS 패턴을 갖는 UE의 경우, 진폭 스케일링 팩터는  $\Delta * \beta_{PUSCH}$ 일 수 있다. 대안적으로, eNB는 RRC 시그널링을 사용하여 UE에게 이  $\Delta$  값들을 알릴 수 있으며, eNB는 UE에 대한 다수의 값들 중에서 하나의 값을 선택할 수 있다. 예를 들어, 후보  $\Delta$  값들은  $\{1, \sqrt{2}\}$  또는  $\{1, \sqrt{2}, \sqrt{0.5}\}$  등일 수 있다. 이러한 방식으로, 전력 불균형이 크게 완화될 수 있다.

[0111] 이상, 기준 신호 송신의 솔루션에 대해 주로 설명하였다. 본 발명에서는, 기준 신호를 수신하는 방법이 또한 제공되며, 이에 대해 도 20을 참조하여 설명하도록 한다.

[0112] 도 20에 도시된 바와 같이, 방법(2000)은 기준 신호 구성 표시가 송신되는 단계 2010으로부터 시작될 수 있다. 특히, 전송한 바와 같이, 기준 신호 리소스들은 적어도 2개의 기준 신호 그룹들로 분할될 수 있으며, 기준 신호 구성 표시는 기준 신호 그룹 구성을 포함하는 기준 신호 구성을 나타낼 수 있다.

- [0113] 본 발명의 일 실시예에서, 기준 신호 리소스는 적어도 2개의 기준 신호로 분할될 수 있고, 적어도 2개의 기준 신호 그룹은 주파수 분할 다중화 모드 또는 시간 분할 다중화 모드에서 다중화되며, 이러한 방식으로, 한정된 안테나 포트 리소스들로 더 많은 사용자 또는 더 많은 계층을 지원할 수가 있다. 또한, 주파수 분할 다중화 모드에서는, 적어도 2개의 기준 신호 그룹이 상이한 심볼들에서 더 호핑될 수 있다.
- [0114] 본 발명의 다른 실시예에서, 기준 신호 구성 표시는 기준 신호 그룹 구성에 추가하여 사이클릭 시프트 구성 및 직교 커버 코드 구성을 더 나타낼 수 있다. 이것은 사이클릭 시프트 구성, 직교 커버 코드 구성 및 기준 신호 그룹 구성이 동일한 기준 신호 표시 즉, DCI 포맷으로 표시될 수 있음을 의미한다. 예를 들어, 기준 신호 그룹 구성은 사이클릭 시프트 구성에 의해 암시적으로 표시되거나, 또는 기준 신호 구성 표시의 비트에 의해 명시적으로 표시될 수 있다. 또한, 기준 신호 그룹 구성이 인에이블되는지의 여부는 기준 신호 구성 표시의 비트 또는 개별적인 RRC 시그널링을 사용하여 표시될 수 있다.
- [0115] 본 발명의 일부 실시예들에서는, 하나의 기준 신호 그룹만이 하나의 사용자 장비에 의해 사용되도록 허용된다. 이러한 경우에 있어서는, 사이클릭 시프트 구성을 위한 인덱스의 일 부분이 레거시 기준 신호 패턴을 위해 예비될 수 있으며, 그 인덱스의 나머지 부분은 그 각각이 적어도 2개의 기준 신호 그룹 중의 대응하는 것에 할당되는 적어도 2개의 그룹으로 분할된다. 대안적으로, 사이클릭 시프트 구성을 위한 인덱스는 그 각각이 적어도 2개의 기준 신호 그룹 중의 대응하는 것에 할당되는 적어도 2개의 그룹으로 분할될 수 있다.
- [0116] 본 발명의 일부 실시예들에서는, 하나보다 많은 기준 신호 그룹이 하나의 사용자 장비에 의해 사용되도록 허용된다. 이러한 경우에 있어서는, 기준 신호 그룹 표시가 사이클릭 시프트에 대한 인덱스와 함께 바인딩될 수 있다. 환언하면, 사이클릭 시프트에 대한 특정 인덱스에 대해, 기준 신호 그룹 표시가 미리 결정된다.
- [0117] 다음으로, 도 20의 단계 2020에 도시된 바와 같이, 기준 신호 그룹 구성에 의해 표시된 기준 신호 그룹 내의 기준 신호 시퀀스를 사용하여 송신되는 기준 신호가 수신되며, 여기서 기준 신호 시퀀스는 상이한 기준 신호 그룹들 내의 다른 계층 또는 다른 사용자와 다중화된다.
- [0118] 기준 신호 구성 표시가 UE에게 송신된 후에, UE는 기준 신호 그룹 구성에 의해 표시된 기준 신호 그룹 내의 기준 신호 시퀀스를 사용하여 기준 신호를 송신하게 된다. eNB는 UE로부터 기준 신호를 수신할 수 있으며, 기준 신호 시퀀스는 상이한 기준 신호 그룹들 내의 다른 계층 또는 다른 사용자와 다중화될 수 있다.
- [0119] 또한, 기준 신호가 더 많은 계층을 지원하기 위해 집성된 기준 신호 구성을 사용하여 송신되는 것도 가능하다. 집성된 기준 구성은 하나보다 많은 구성으로부터 집성되는 기준 신호 구성일 수 있으며, 이것은 기준 신호 구성 표시에 의해 표시된 기준 신호 구성 및 그와 함께 사용되도록 미리 정해진 다른 기준 신호 구성을 집성시킴으로써 형성될 수 있다. 상기 다른 기준 신호 구성은 기준 신호 구성 표시에 의해 표시되지만 상이한 기준 신호 그룹 구성을 갖는 기준 신호 구성으로부터 얻어지는 기준 신호 구성일 수 있거나; 또는 기준 신호 구성 표시에 의해 표시된 기준 신호 구성과 함께 사용되도록 미리 정해진 사이클릭 필드 맵핑 테이블 내의 상이한 기준 신호 구성일 수 있다.
- [0120] eNB는 채널 조건을 알기 위해 UE에게 송신되는 기준 신호 구성에 따라 기준 신호를 복조하게 된다.
- [0121] 본 발명의 실시예들에 따라, 본 발명은 기준 신호 송신 및 수신을 위한 새로운 솔루션을 제공하며, 이 새로운 솔루션에서는 기준 신호 리소스들이 적어도 2개의 기준 신호 그룹들로 분할되고, 상이한 계층들 또는 사용자들에 대한 기준 신호들이 상이한 기준 신호 그룹들에서 다중화될 수 있다. 따라서, 중대한 채널 추정 손실 및 PAPR 손실 없이도, 동일하지 않은 할당 대역폭을 가진 더 많은 MU-사용자들을 지원할 수 있다.
- [0122] 또한, 도 21은 본 발명의 일 실시예에 따른 기준 신호를 송신하기 위한 장치의 블록도를 개략적으로 더 도시한 것이다.
- [0123] 도 21에 도시된 바와 같이, 장치(2100)는 표시 수신 모듈(2110) 및 신호 송신 모듈(2120)을 포함한다. 표시 수신 모듈(2110)은 기준 신호 구성 표시를 수신하도록 구성될 수 있으며, 여기서 기준 신호 리소스들은 적어도 2개의 기준 신호 그룹으로 분할되고, 기준 신호 구성 표시는 기준 신호 그룹 구성을 포함하는 기준 신호 구성을 나타낸다. 신호 송신 모듈은 기준 신호 그룹 구성에 의해 표시된 기준 신호 그룹 내의 기준 신호 시퀀스를 사용하여 기준 신호를 송신하도록 구성될 수 있으며, 여기서 기준 신호 시퀀스는 상이한 기준 신호 그룹들 내의 다른 계층 또는 다른 사용자와 다중화될 수 있다.
- [0124] 본 발명의 일 실시예에서는, 적어도 2개의 기준 신호 그룹이 주파수 분할 다중화 모드 또는 시간 분할 다중화 모드에서 다중화될 수 있다. 주파수 분할 다중화 모드에서는, 적어도 2개의 기준 신호 그룹이 상이한 심볼들에

서 더 호핑될 수 있다.

- [0125] 본 발명의 다른 실시예에서는, 기준 신호 구성이 사이클릭 시프트 구성 및 직교 커버 코드 구성을 더 나타낼 수 있다. 이 경우, 기준 신호 그룹 구성은 사이클릭 시프트 구성에 의해 암시적으로 표시되거나 또는 기준 신호 구성 표시 내의 비트에 의해 명시적으로 표시될 수 있다. 또한, 기준 신호 그룹 구성이 인에이블되는지의 여부는, 이것이 비록 별도의 RRC 시그널링에 의해 표시될 수도 있지만, 기준 신호 구성 표시 내의 비트에 의해 표시될 수 있다.
- [0126] 본 발명의 다른 실시예에서는, 하나의 기준 신호 그룹만이 사용자에게 의해 사용되도록 허용될 수 있다. 이러한 경우에 있어서는, 사이클릭 시프트 구성을 위한 인덱스의 일 부분이 레거시 기준 신호 패턴을 위해 예비될 수 있고, 인덱스의 나머지 부분은 적어도 2개의 그룹으로 분할될 수 있으며, 각각의 그룹은 적어도 2개의 기준 신호 그룹 중의 대응하는 것에 할당된다. 대안적으로, 사이클릭 시프트 구성을 위한 인덱스는 적어도 2개의 그룹으로 분할될 수 있으며, 각각의 그룹은 적어도 2개의 기준 신호 그룹 중의 대응하는 것에 할당된다.
- [0127] 본 발명의 또 다른 실시예에서는, 하나보다 많은 기준 신호 그룹이 사용자에게 의해 사용되도록 허용될 수 있다.
- [0128] 본 발명의 또 다른 실시예에서, 기준 신호는 더 많은 계층을 지원하기 위해 집성된 기준 신호 구성을 사용하여 송신될 수 있으며, 여기서 집성된 기준 구성은 기준 신호 구성 표시 및 이와 함께 사용되도록 미리 정해진 다른 기준 신호 구성에 의해 표시되는 기준 신호 구성을 집성함으로써 형성된다. 이 경우, 다른 기준 신호 구성은 기준 신호 구성 표시에 의해 표시되지만, 상이한 기준 신호 그룹 구성을 갖는 기준 신호 구성으로부터 얻어지는 기준 신호 구성일 수 있다. 대안적으로, 다른 기준 신호 구성은 기준 신호 구성 표시에 의해 표시되는 기준 신호 구성과 함께 사용되도록 미리 정해진 사이클릭 필드 맵핑 테이블 내의 상이한 기준 신호 구성일 수 있다.
- [0129] 또한, 새로운 사용자 장비와 레거시 사용자 장비 간의 직교성을 향상시키기 위해, 장치(2100)는 기준 신호를 송신하는 새로운 사용자 장비에 대한 슬롯들 사이의 사이클릭 시프트 오프셋을 증가시키도록 구성되는 오프셋 증가 모듈(2130)을 더 포함할 수 있다. 또한, 상이한 사이클릭 시프트들 간의 직교성을 유지하기 위해, 장치(2100)는 새로운 사용자 장비가 상이한 사이클릭 시프트들 간의 직교성을 유지하도록 하기 위해 사이클릭 시프트를 감소시키게 구성되는 시프트 감소 모듈(2140)을 더 포함할 수 있다.
- [0130] 도 22는 본 발명의 일 실시예에 따른 기준 신호를 수신하기 위한 장치를 더 도시한 것이다. 도 22에 도시된 바와 같이, 장치(2200)는 표시 송신 모듈(2210) 및 신호 수신 모듈(2220)을 포함할 수 있다. 표시 송신 모듈(2210)은 기준 신호 구성 표시를 송신하도록 구성될 수 있으며, 여기서 기준 신호 리소스들은 적어도 2개의 기준 신호 그룹으로 분할되고, 기준 신호 구성 표시는 기준 신호 그룹 구성을 포함하는 기준 신호 구성을 나타낸다. 신호 수신 모듈(2220)은 기준 신호 그룹 구성에 의해 표시된 기준 신호 그룹 내의 기준 신호 시퀀스를 사용하여 송신되는 기준 신호를 수신하도록 구성될 수 있으며, 여기서 기준 신호 시퀀스는 상이한 기준 신호 그룹들 내의 다른 계층 또는 다른 사용자와 다중화될 수 있다.
- [0131] 본 발명의 일 실시예에서, 적어도 2개의 기준 신호 그룹은 주파수 분할 다중화 모드 또는 시간 분할 다중화 모드에서 다중화된다. 주파수 분할 다중화 모드에서는, 적어도 2개의 기준 신호 그룹이 상이한 심볼들에서 더 호핑될 수 있다.
- [0132] 본 발명의 다른 실시예에서, 기준 신호 구성은 사이클릭 시프트 구성 및 직교 커버 코드 구성을 더 표시할 수 있다. 이 경우, 기준 신호 그룹 구성은 사이클릭 시프트 구성에 의해 암시적으로 표시되거나 기준 신호 구성 표시의 비트에 의해 명시적으로 표시될 수 있다. 또한, 기준 신호 그룹 구성이 인에이블되는지 여부는, 이것이 별도의 RRC 시그널링에 의해 표시될 수도 있지만, 기준 신호 구성 표시의 비트에 의해 표시될 수 있다.
- [0133] 본 발명의 다른 실시예에서, 하나의 기준 신호 그룹만이 사용자에게 의해 사용되도록 허용될 수 있다. 이러한 경우, 사이클릭 시프트 구성을 위한 인덱스의 일 부분이 레거시 기준 신호 패턴을 위해 예비될 수 있고, 인덱스의 나머지 부분은 적어도 2개의 그룹으로 분할될 수 있으며, 각각의 그룹에는 적어도 2개의 기준 신호 그룹 중 대응하는 것이 할당된다. 대안적으로는, 사이클릭 시프트 구성을 위한 인덱스가 적어도 2개의 그룹으로 분할될 수 있으며, 각각의 그룹에는 적어도 2개의 기준 신호 그룹 중 대응하는 것이 할당된다.
- [0134] 본 발명의 또 다른 실시예에서는, 하나보다 많은 기준 신호 그룹이 사용자에게 의해 사용되도록 허용될 수 있다.
- [0135] 본 발명의 또 다른 실시예에서, 기준 신호는 더 많은 계층을 지원하기 위해 집성된(aggreated) 기준 신호 구성을 사용하여 송신될 수 있으며, 이 집성된 기준 구성은 기준 신호 구성 표시에 의해 표시되는 기준 신호 구성 및 그것과 함께 사용되도록 미리 결정된 다른 기준 신호 구성을 집성하는 것에 의해 형성된다. 이 경우, 상이

다른 기준 신호 구성은 기준 신호 구성 표시에 의해 표시되지만 상이한 기준 신호 그룹 구성을 갖는 기준 신호 구성으로부터 얻어지는 기준 신호 구성일 수 있다. 대안적으로, 상기 다른 기준 신호 구성은 기준 신호 구성 표시에 의해 표시되는 기준 신호 구성과 함께 사용되도록 미리 결정된, 사이클릭 필드 맵핑 테이블 내의 상이한 기준 신호 구성일 수 있다.

[0136] 이제, 도 21 및 도 22를 참조하여 장치들(2100 및 2200)에 대해 간략하게 설명한다. 장치들(2100 및 2200)은 도 5 내지 도 20을 참조하여 설명한 바와 같은 기능들을 구현하도록 구성될 수 있다. 따라서, 이들 장치 내 모듈들의 동작에 관한 상세한 설명에 대해서는, 도 5 내지 도 20을 참조하여 방법의 각 단계들에 대한 설명을 참조할 수 있다.

[0137] 또한, 장치들(2100 및 2200)의 구성 요소들은 하드웨어, 소프트웨어, 펌웨어, 및/또는 이들의 임의의 조합으로 구현될 수도 있음에 유의한다. 예를 들어, 장치들(2100 및 2200)의 구성 요소는 회로, 프로세서 또는 임의의 다른 적절한 선택 장치에 의해 각각 구현될 수 있다. 당업자라면 전술한 예들은 단지 예시를 위한 것이라는 것을 이해할 것이다. 예를 들어, DMRS 그룹의 개수 M이 본 발명을 설명하기 위해 예시되었지만, 2개로 제한되지 않는다. 또한, 기준 신호 수신 및 송신 솔루션들이 UL 송신에만 한정되어 있지만, DL 송신을 위해 사용할 수도 있다. 그러나, 이러한 경우에는, 전술한 동작과 달리, eNB가 기준 신호 구성 표시를 송신하고 기준 신호를 수신하는 대신에, 기준 신호 구성 표시 및 기준 신호 모듈을 송신하게 되는 한편, UE가 RS 구성 표시를 수신하고 기준 신호를 송신하는 대신에, RS 구성 표시 및 기준 신호를 수신하고나서, 그 RS 구성 표시에 표시된 RS 구성에 기초하여 기준 신호를 복조하게 된다.

[0138] 또한, 본 발명의 일부 실시예들에서, 장치들(2100 및 2200)은 적어도 하나의 프로세서를 포함할 수 있다. 본 발명의 실시예들과 함께 사용하기에 적합한 적어도 하나의 프로세서는 예를 들어, 이미 공지되어 있거나 장래에 개발될 일반 및 특수 목적 프로세서들 모두를 포함할 수 있다. 장치들(2100 및 2200)은 적어도 하나의 메모리를 더 포함할 수 있다. 적어도 하나의 메모리는 예를 들어 RAM, ROM, EPROM, EEPROM 및 플래시 메모리 장치와 같은 반도체 메모리 장치를 포함할 수 있다. 적어도 하나의 메모리는 컴퓨터 실행 가능한 명령어들의 프로그램을 저장하는데 사용될 수 있다. 이 프로그램은 임의의 고-레벨 및/또는 저-레벨 호환 가능하거나 해석 가능한 프로그래밍 언어로 기록될 수 있다. 실시예들에 따르면, 컴퓨터 실행 가능한 명령어들은 장치들(2100 및 2200)로 하여금 적어도 도 5 내지 도 20을 각각 참조하여 설명한 방법에 따른 동작들을 수행하게 하는 적어도 하나의 프로세서로 구성될 수 있다.

[0139] 도 23은 본 명세서에서 설명된 무선 네트워크에서의 무선 네트워크를 위한 UE와 같은 단말 장치로 구현되거나 구성될 수 있는 장치(2310) 및 NB 또는 eNB와 같은 기지국으로 구현되거나 구성될 수 있는 장치(2320)에 대한 단순화된 블록도를 도시한 것이다.

[0140] 장치(2310)는 데이터 프로세서(DP)와 같은 적어도 하나의 프로세서(2311) 및 프로세서(2311)에 커플링된 적어도 하나의 메모리(MEM)(2312)를 포함한다. 장치(2310)는 장치(2320)에 통신 가능하게 연결되도록 작동할 수 있는, 프로세서(2311)에 커플링된 송신기(TX) 및 수신기(RX)(2313)를 더 포함할 수 있다. MEM(2312)는 프로그램(PROG)(2314)을 저장한다. PROG(2314)은 관련 프로세서(2311) 상에서 실행될 때, 장치(2310)로 하여금 예를 들어 방법(500)을 수행하도록 본 발명의 실시예들에 따라 동작하게 할 수 있는 명령어들을 포함할 수 있다. 적어도 하나의 프로세서(2311) 및 적어도 하나의 MEM(2312)의 조합이 본 발명의 다양한 실시예들을 구현하도록 구성된 처리 수단(2315)을 형성할 수도 있다.

[0141] 장치(2320)는 DP와 같은 적어도 하나의 프로세서(2321) 및 프로세서(2321)에 커플링된 적어도 하나의 MEM(2322)를 포함한다. 장치(2320)는 장치(2310)와 무선 통신하도록 작동할 수 있는, 프로세서(2321)에 커플링된 적절한 TX/RX(2323)를 더 포함할 수 있다. MEM(2322)는 PROG(2324)을 저장한다. PROG(2324)은 관련 프로세서(2321) 상에서 실행될 때, 장치(2320)로 하여금 예를 들어 방법(2000)을 수행하도록 본 발명의 실시예들에 따라 동작하게 할 수 있는 명령어들을 포함할 수 있다. 적어도 하나의 프로세서(2321) 및 적어도 하나의 MEM(2322)의 조합이 본 발명의 다양한 실시예들을 구현하도록 구성된 처리 수단(2325)을 형성할 수도 있다.

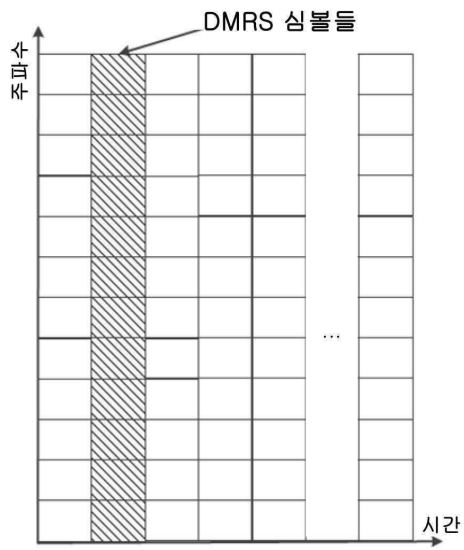
[0142] 본 발명의 다양한 실시예들은 프로세서들(2311, 2321), 소프트웨어, 펌웨어, 하드웨어 또는 이들의 조합 중 하나 이상에 의해 실행 가능한 컴퓨터 프로그램에 의해 구현될 수 있다.

[0143] MEM들(2312 및 2322)은 로컬 기술 환경에 적합한 임의의 유형의 것일 수 있으며, 비한정적인 예로서, 반도체 기반 메모리 장치, 자기 메모리 장치 및 시스템, 광학 메모리 장치 및 시스템, 고정식 메모리 및 착탈식 메모리 등일 수 있다.

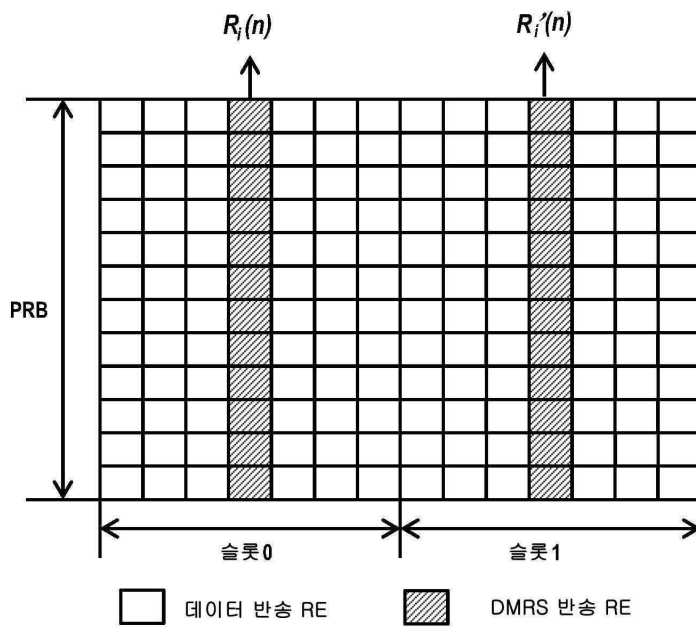
- [0144] 프로세서들(2311 및 3231)은 로컬 기술 환경에 적합한 임의의 유형의 것일 수 있으며, 비한정적인 예로서, 범용 컴퓨터, 특수 목적 컴퓨터, 마이크로프로세서, 디지털 신호 프로세서 DSP 및 멀티코어 프로세서 아키텍처 기반 프로세서 중 하나 이상을 포함할 수 있다.
- [0145] 또한, 본 발명은 전술한 바와 같은 컴퓨터 프로그램을 포함하는 캐리어를 제공할 수도 있으며, 이 캐리어는 전자 신호, 광 신호, 무선 신호, 또는 컴퓨터 판독 가능 저장 매체 중 하나이다. 컴퓨터 판독 가능 저장 매체는 예를 들어, RAM(random access memory), ROM(read only memory), 플래시 메모리, 자기 테이프, CD-ROM, DVD, 블루-레이 디스크 등과 같은 전자 메모리 장치 또는 광학 콤팩트 디스크일 수 있다.
- [0146] 본 명세서에서 설명되는 기술들은 다양한 수단에 의해 구현될 수 있으며, 따라서 하나의 실시예로 설명된 해당 장치의 하나 이상의 기능을 구현하는 장치는 종래 기술의 수단뿐만 아니라 그 실시예로 설명된 해당 장치의 하나 이상의 기능을 구현하는 수단도 포함하며, 이것은 각각의 개별 기능을 위한 별도의 수단 또는 두 가지 이상의 기능을 수행하도록 구성될 수 있는 수단을 포함할 수 있다. 예를 들어, 이들 기술은 하드웨어(하나 이상의 장치), 펌웨어(하나 이상의 장치), 소프트웨어(하나 이상의 모듈), 또는 이들의 조합으로 구현될 수 있다. 펌웨어 또는 소프트웨어의 경우, 본 명세서에서 설명되는 기능들을 수행하는 모듈(예를 들어, 절차, 기능 등)을 통해 구현할 수 있다.
- [0147] 본 명세서의 예시적인 실시예들에 대하여 방법 및 장치의 블록도 및 흐름도를 참조하여 이상 설명하였다. 블록도 및 흐름도의 각 블록 및 블록도 및 흐름도의 블록들의 조합은 각각 컴퓨터 프로그램 명령어들을 포함하는 다양한 수단에 의해 구현될 수 있음을 이해할 것이다. 이들 컴퓨터 프로그램 명령어들은 범용 컴퓨터, 특수 목적 컴퓨터, 또는 다른 프로그램 가능 데이터 처리 장치 상에 로딩되어 머신을 생성할 수 있으며, 이에 따라 컴퓨터 또는 다른 프로그램 가능한 데이터 처리 장치에서 실행되는 명령어들이 흐름도 블록 또는 블록들에서 지정된 기능들을 구현하는 수단을 생성하게 된다.
- [0148] 본 명세서가 다수의 특정 구현 세부 사항을 포함하고 있지만, 이들은 임의의 구현의 범위 또는 청구될 수 있는 것의 범위에 대한 제한으로서 해석되어서는 안되며, 오히려 특정 구현들의 특정 실시예들에 특유한 것일 있는 특징의 설명으로 해석되어야 한다. 별도의 실시예들과 관련하여 본 명세서에서 설명되는 특정 특징들은 또한 단일 실시예에서 조합하여 구현될 수 있다. 반대로, 단일 실시예와 관련하여 설명된 다양한 특징들은 또한 다수의 실시예들에서 개별적으로 또는 임의의 적합한 하위-조합으로 구현될 수 있다. 더욱이, 특징들은 특정 조합으로 작용하고 심지어 그 자체로 초기에 청구된 것으로서 기술되었을지라도, 청구된 조합으로부터의 하나 이상의 특징들이 어떤 경우에는 그 조합으로부터 제거될 수 있고, 청구된 조합은 하위 조합에 관한 것이거나 하위 조합의 변형에 관한 것일 수 있다.
- [0149] 기술이 진보함에 따라, 본 발명의 개념이 다양한 방식으로 구현될 수 있음은 당업자에게 자명할 것이다. 전술한 실시예들은 본 발명을 한정하기보다는 설명하기 위한 것이며, 당업자가 용이하게 이해할 수 있는 바와 같이 본 발명의 사상 및 범위를 벗어나지 않고 수정 및 변형이 이루어질 수 있음을 이해해야 한다. 이러한 수정 및 변형은 개시 내용 및 첨부된 청구항들의 범위 내에 있는 것으로 간주된다. 본 발명의 보호 범위는 첨부된 청구항들에 의해 규정된다.

도면

도면1



도면2



도면3

표 5.5.2.1.1-1: 업링크 관련 DCI 포맷의 사이클릭 시프트 필드를  $n_{\text{DMRS}, \lambda}^{(2)}$  및  $[w^{(\lambda)}(0) \ w^{(\lambda)}(1)]$  에 맵핑

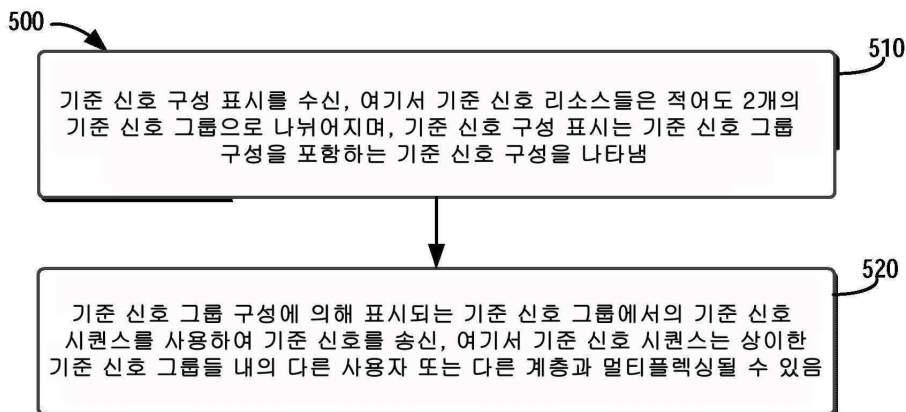
| 업링크 관련 DCI 포맷의 사이클릭 시프트 필드 [3] | $n_{\text{DMRS}, \lambda}^{(2)}$ |               |               |               | $[w^{(\lambda)}(0) \ w^{(\lambda)}(1)]$ |               |               |               |
|--------------------------------|----------------------------------|---------------|---------------|---------------|---|---------------|---------------|---------------|
|                                | $\lambda = 0$                    | $\lambda = 1$ | $\lambda = 2$ | $\lambda = 3$ | $\lambda = 0$                           | $\lambda = 1$ | $\lambda = 2$ | $\lambda = 3$ |
| 000                            | 0                                | 6             | 3             | 9             | [1 1]                                   | [1 1]         | [1 -1]        | [1 -1]        |
| 001                            | 6                                | 0             | 9             | 3             | [1 -1]                                  | [1 -1]        | [1 1]         | [1 1]         |
| 010                            | 3                                | 9             | 6             | 0             | [1 -1]                                  | [1 -1]        | [1 1]         | [1 1]         |
| 011                            | 4                                | 10            | 7             | 1             | [1 1]                                   | [1 1]         | [1 1]         | [1 1]         |
| 100                            | 2                                | 8             | 5             | 11            | [1 1]                                   | [1 1]         | [1 1]         | [1 1]         |
| 101                            | 8                                | 2             | 11            | 5             | [1 -1]                                  | [1 -1]        | [1 -1]        | [1 -1]        |
| 110                            | 10                               | 4             | 1             | 7             | [1 -1]                                  | [1 -1]        | [1 -1]        | [1 -1]        |
| 111                            | 9                                | 3             | 0             | 6             | [1 1]                                   | [1 1]         | [1 -1]        | [1 -1]        |

도면4

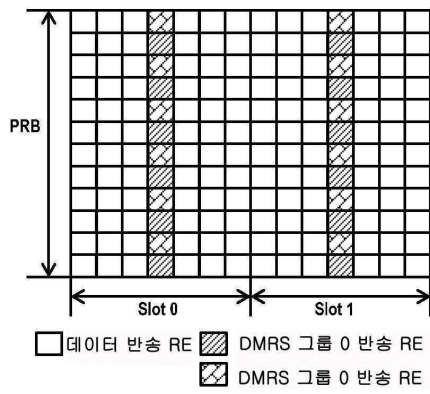
표 5.5.2.1.1-1: 사이클릭 시프트를  $n_{\text{DMRS}}^{(1)}$  값들에 맵핑

| 사이클릭 시프트 | $n_{\text{DMRS}}^{(1)}$ |
|----------|-------------------------|
| 0        | 0                       |
| 1        | 2                       |
| 2        | 3                       |
| 3        | 4                       |
| 4        | 6                       |
| 5        | 8                       |
| 6        | 9                       |
| 7        | 10                      |

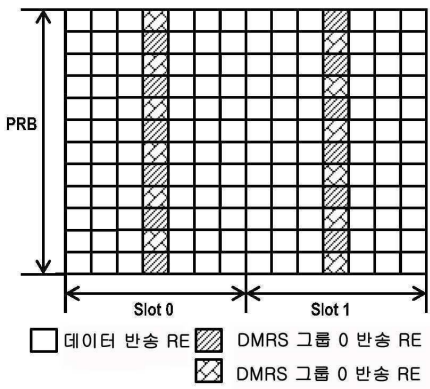
도면5



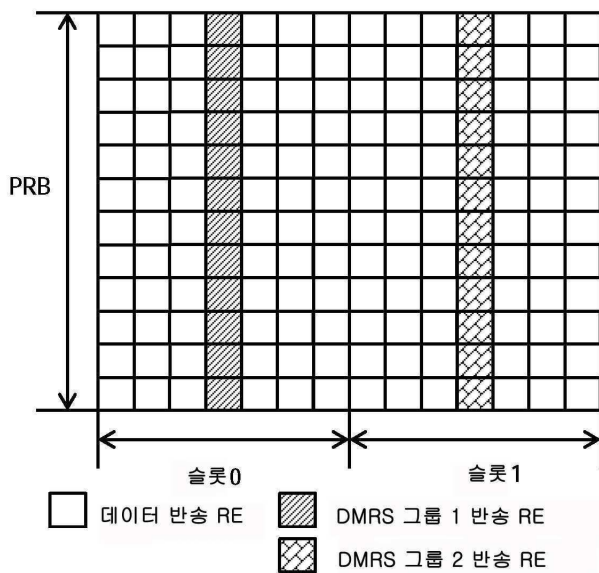
도면6a



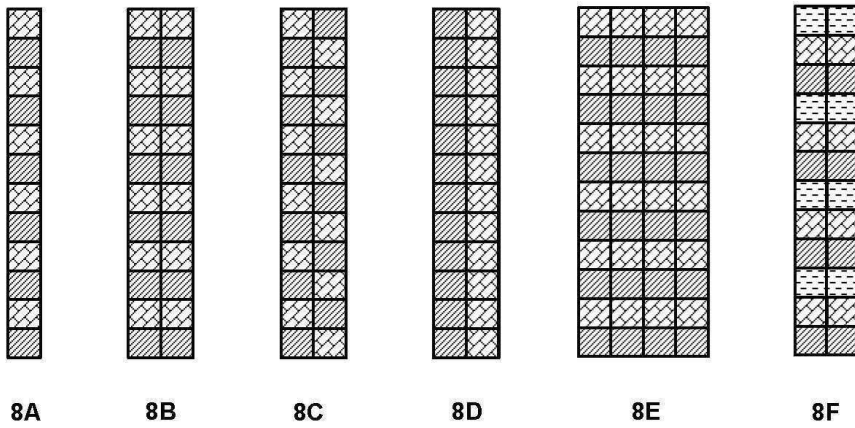
도면6b



도면7



도면8



도면9

| 업링크 관련 DCI 포맷의<br>사이클릭 시프트 필드[3] | $n_{\text{DMRS}, \lambda}^{(2)}$ |             |             |             | $[w^{(\lambda)}(0) \quad w^{(\lambda)}(1)]$ |             |             |             |
|----------------------------------|----------------------------------|-------------|-------------|-------------|---|-------------|-------------|-------------|
|                                  | $\lambda=0$                      | $\lambda=1$ | $\lambda=2$ | $\lambda=3$ | $\lambda=0$                                 | $\lambda=1$ | $\lambda=2$ | $\lambda=3$ |
| 000                              | 0                                | 6           | 3           | 9           | [1 1]                                       | [1 1]       | [1 -1]      | [1 -1]      |
| 001                              | 6                                | 0           | 9           | 3           | [1 -1]                                      | [1 -1]      | [1 1]       | [1 1]       |
| 010                              | 3                                | 9           | 6           | 0           | [1 -1]                                      | [1 -1]      | [1 1]       | [1 1]       |
| 011                              | 4                                | 10          | 7           | 1           | [1 1]                                       | [1 1]       | [1 1]       | [1 1]       |
| 100                              | 2                                | 8           | 5           | 11          | [1 1]                                       | [1 1]       | [1 1]       | [1 1]       |
| 101                              | 8                                | 2           | 11          | 5           | [1 -1]                                      | [1 -1]      | [1 -1]      | [1 -1]      |
| 110                              | 10                               | 4           | 1           | 7           | [1 -1]                                      | [1 -1]      | [1 -1]      | [1 -1]      |
| 111                              | 9                                | 3           | 0           | 6           | [1 1]                                       | [1 1]       | [1 -1]      | [1 -1]      |

새로운 패턴의 DMRS 그룹 0 (000, 001, 010, 011)  
레거시 패턴 (100, 101, 110, 111)  
새로운 패턴의 DMRS 그룹 1 (100, 101, 110, 111)

도면10

| 업링크 관련 DCI 포맷의<br>사이클릭 시프트 필드[3] | $n_{\text{DMRS}, \lambda}^{(2)}$ |             |             |             | $[w^{(\lambda)}(0) \quad w^{(\lambda)}(1)]$ |             |             |             |
|----------------------------------|----------------------------------|-------------|-------------|-------------|---|-------------|-------------|-------------|
|                                  | $\lambda=0$                      | $\lambda=1$ | $\lambda=2$ | $\lambda=3$ | $\lambda=0$                                 | $\lambda=1$ | $\lambda=2$ | $\lambda=3$ |
| 000                              | 0                                | 6           | 3           | 9           | [1 1]                                       | [1 1]       | [1 -1]      | [1 -1]      |
| 001                              | 6                                | 0           | 9           | 3           | [1 -1]                                      | [1 -1]      | [1 1]       | [1 1]       |
| 010                              | 3                                | 9           | 6           | 0           | [1 -1]                                      | [1 -1]      | [1 1]       | [1 1]       |
| 011                              | 4                                | 10          | 7           | 1           | [1 1]                                       | [1 1]       | [1 1]       | [1 1]       |
| 100                              | 2                                | 8           | 5           | 11          | [1 1]                                       | [1 1]       | [1 1]       | [1 1]       |
| 101                              | 8                                | 2           | 11          | 5           | [1 -1]                                      | [1 -1]      | [1 -1]      | [1 -1]      |
| 110                              | 10                               | 4           | 1           | 7           | [1 -1]                                      | [1 -1]      | [1 -1]      | [1 -1]      |
| 111                              | 9                                | 3           | 0           | 6           | [1 1]                                       | [1 1]       | [1 -1]      | [1 -1]      |

DMRS 그룹 0 (000, 001, 010, 011)  
DMRS 그룹 1 (100, 101, 110, 111)

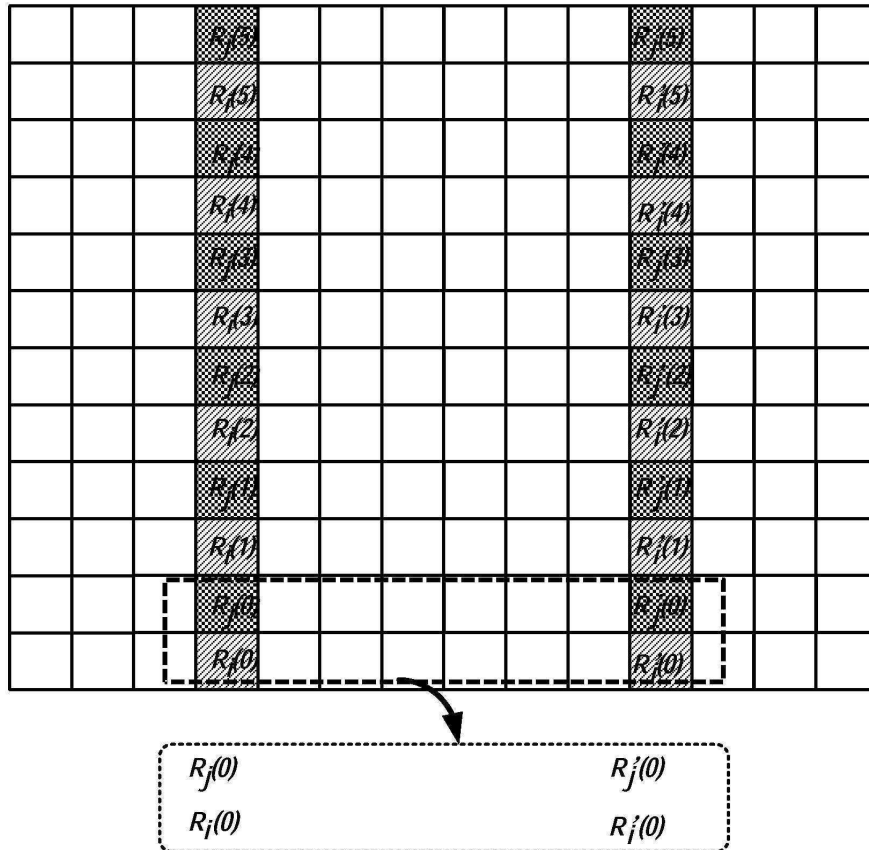
도면11

| 업링크 관련 DCI 포맷의 사이클릭 시프트 필드 [3] | $w_{\text{DMRS}, \lambda}^{(2)}$ |               |               |               | $[w^{(\lambda)}(0) \ w^{(\lambda)}(1)]$                     |   |   |   |
|--------------------------------|----------------------------------|---------------|---------------|---------------|---|---|---|---|
|                                | $\lambda = 0$                    | $\lambda = 1$ | $\lambda = 2$ | $\lambda = 3$ | $\lambda = 0$   | $\lambda = 1$   | $\lambda = 2$   | $\lambda = 3$   |
| 000                            | 0                                | 6             | 4             | 10            | $\begin{bmatrix} 1 & 1 \end{bmatrix}$<br>$\Delta_{TC} = 0$  | $\begin{bmatrix} 1 & 1 \end{bmatrix}$<br>$\Delta_{TC} = 0$  | $\begin{bmatrix} 1 & -1 \end{bmatrix}$<br>$\Delta_{TC} = 0$ | $\begin{bmatrix} 1 & -1 \end{bmatrix}$<br>$\Delta_{TC} = 0$ |
| 001                            | 8                                | 2             | 4             | 10            | $\begin{bmatrix} 1 & -1 \end{bmatrix}$<br>$\Delta_{TC} = 0$ | $\begin{bmatrix} 1 & -1 \end{bmatrix}$<br>$\Delta_{TC} = 0$ | $\begin{bmatrix} 1 & 1 \end{bmatrix}$<br>$\Delta_{TC} = 1$  | $\begin{bmatrix} 1 & 1 \end{bmatrix}$<br>$\Delta_{TC} = 1$  |
| 010                            | 4                                | 10            | 8             | 2             | $\begin{bmatrix} 1 & -1 \end{bmatrix}$<br>$\Delta_{TC} = 1$ | $\begin{bmatrix} 1 & -1 \end{bmatrix}$<br>$\Delta_{TC} = 1$ | $\begin{bmatrix} 1 & 1 \end{bmatrix}$<br>$\Delta_{TC} = 0$  | $\begin{bmatrix} 1 & 1 \end{bmatrix}$<br>$\Delta_{TC} = 0$  |
| 011                            | 2                                | 8             | 10            | 4             | $\begin{bmatrix} 1 & 1 \end{bmatrix}$<br>$\Delta_{TC} = 1$  | $\begin{bmatrix} 1 & 1 \end{bmatrix}$<br>$\Delta_{TC} = 1$  | $\begin{bmatrix} 1 & -1 \end{bmatrix}$<br>$\Delta_{TC} = 1$ | $\begin{bmatrix} 1 & -1 \end{bmatrix}$<br>$\Delta_{TC} = 1$ |
| 100                            | 6                                | 0             | 10            | 4             | $\begin{bmatrix} 1 & -1 \end{bmatrix}$<br>$\Delta_{TC} = 0$ | $\begin{bmatrix} 1 & -1 \end{bmatrix}$<br>$\Delta_{TC} = 1$ | $\begin{bmatrix} 1 & 1 \end{bmatrix}$<br>$\Delta_{TC} = 0$  | $\begin{bmatrix} 1 & 1 \end{bmatrix}$<br>$\Delta_{TC} = 1$  |
| 101                            | 10                               | 4             | 8             | 2             | $\begin{bmatrix} 1 & -1 \end{bmatrix}$<br>$\Delta_{TC} = 1$ | $\begin{bmatrix} 1 & -1 \end{bmatrix}$<br>$\Delta_{TC} = 0$ | $\begin{bmatrix} 1 & 1 \end{bmatrix}$<br>$\Delta_{TC} = 1$  | $\begin{bmatrix} 1 & 1 \end{bmatrix}$<br>$\Delta_{TC} = 0$  |
| 110                            | 0                                | 10            | 6             | 4             | $\begin{bmatrix} 1 & -1 \end{bmatrix}$<br>$\Delta_{TC} = 0$ | $\begin{bmatrix} 1 & 1 \end{bmatrix}$<br>$\Delta_{TC} = 0$  | $\begin{bmatrix} 1 & -1 \end{bmatrix}$<br>$\Delta_{TC} = 1$ | $\begin{bmatrix} 1 & 1 \end{bmatrix}$<br>$\Delta_{TC} = 1$  |
| 111                            | 6                                | 4             | 0             | 10            | $\begin{bmatrix} 1 & 1 \end{bmatrix}$<br>$\Delta_{TC} = 1$  | $\begin{bmatrix} 1 & -1 \end{bmatrix}$<br>$\Delta_{TC} = 1$ | $\begin{bmatrix} 1 & 1 \end{bmatrix}$<br>$\Delta_{TC} = 0$  | $\begin{bmatrix} 1 & -1 \end{bmatrix}$<br>$\Delta_{TC} = 0$ |

도면12

|     |   | occ                                    | DMRS 그룹 | 슬롯 0의 DMRS 시퀀스 | 슬롯 1의 DMRS 시퀀스 |
|-----|---|--|---------|----------------|----------------|
| UE0 | 0 | $\begin{bmatrix} 1 & 1 \end{bmatrix}$  | 0       | $R_0$          | $R'_0$         |
| UE1 | 6 | $\begin{bmatrix} 1 & -1 \end{bmatrix}$ | 0       | $R_1$          | $-R'_1$        |
| UE2 | 2 | $\begin{bmatrix} 1 & 1 \end{bmatrix}$  | 1       | $R_2$          | $-R'_2$        |
| UE3 | 8 | $\begin{bmatrix} 1 & -1 \end{bmatrix}$ | 1       | $R_3$          | $-R'_3$        |

도면13



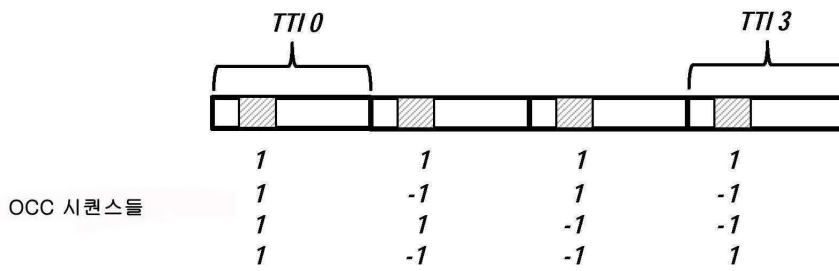
도면14

|         |   | OCC    | DMRS 그룹 | 슬롯 0의 DMRS 시퀀스 | 슬롯 1의 DMRS 시퀀스 |
|---------|---|--------|---------|----------------|----------------|
| 레거시 UE0 | 0 | [1 1]  | 0       | $R_0$          | $R'_0$         |
| UE1     | 6 | [1 -1] | 0       | $R_1$          | $-R'_1$        |
| UE2     | 8 | [1 -1] | 1       | $R_2$          | $-R'_2$        |

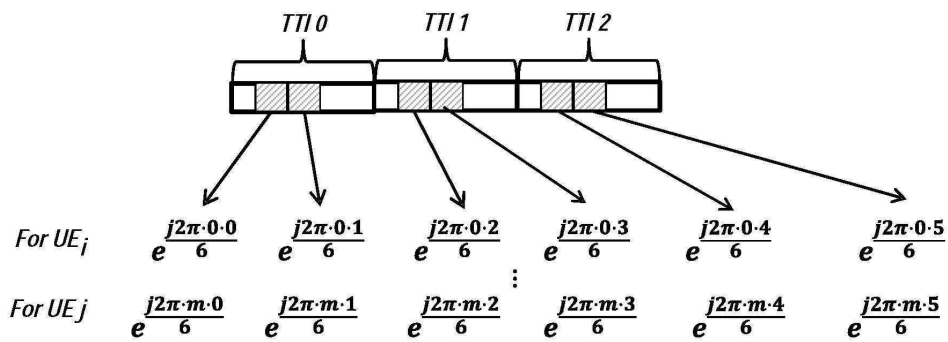
도면15

| 업링크 관련 DCI 포맷의 사이클릭 시프트 필드[3] | $n_{\text{DMRS},\lambda}^{(2)}$ |               | $[w^{(\lambda)}(0) \ w^{(\lambda)}(1)]$ |               |
|-------------------------------|---------------------------------|---------------|---|---------------|
|                               | $\lambda = 0$                   | $\lambda = 1$ | $\lambda = 0$                           | $\lambda = 1$ |
| 000                           | 0                               | 3             | [1 1]                                   | [1 1]         |
| 001                           | 6                               | 9             | [1 -1]                                  | [1 -1]        |
| 010                           | 3                               | 6             | [1 -1]                                  | [1 -1]        |
| 011                           | 4                               | 7             | [1 1]                                   | [1 1]         |
| 100                           | 2                               | 5             | [1 1]                                   | [1 1]         |
| 101                           | 8                               | 11            | [1 -1]                                  | [1 -1]        |
| 110                           | 10                              | 1             | [1 -1]                                  | [1 -1]        |
| 111                           | 9                               | 0             | [1 1]                                   | [1 1]         |

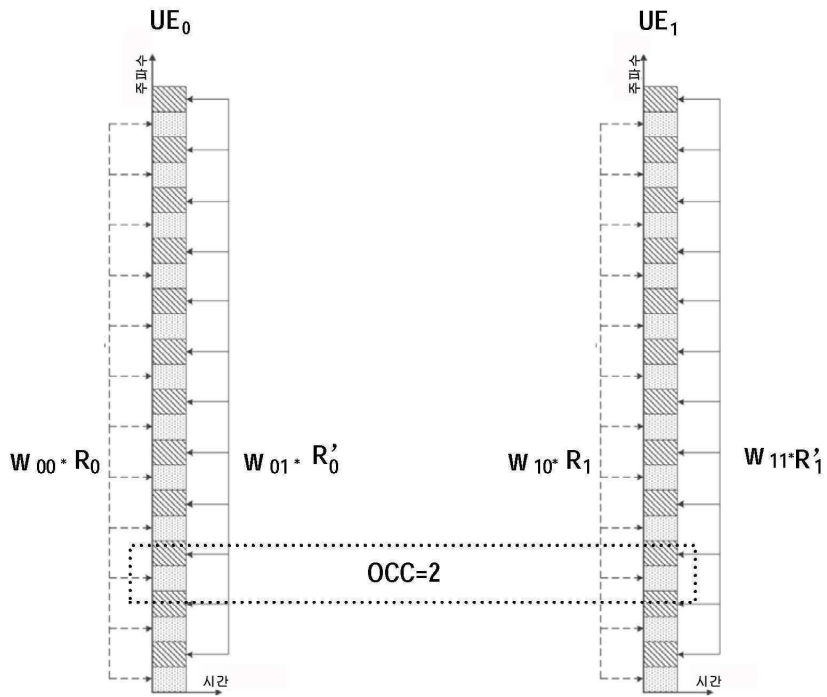
도면16



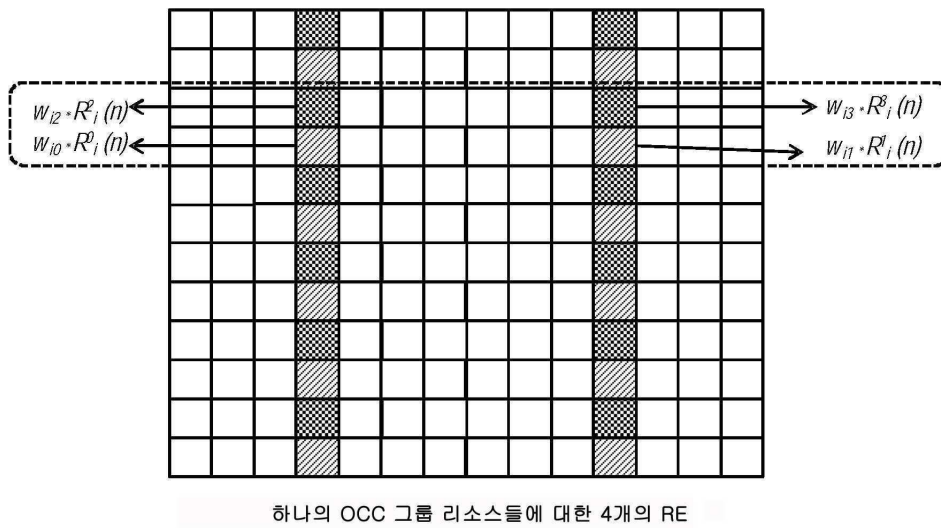
도면17



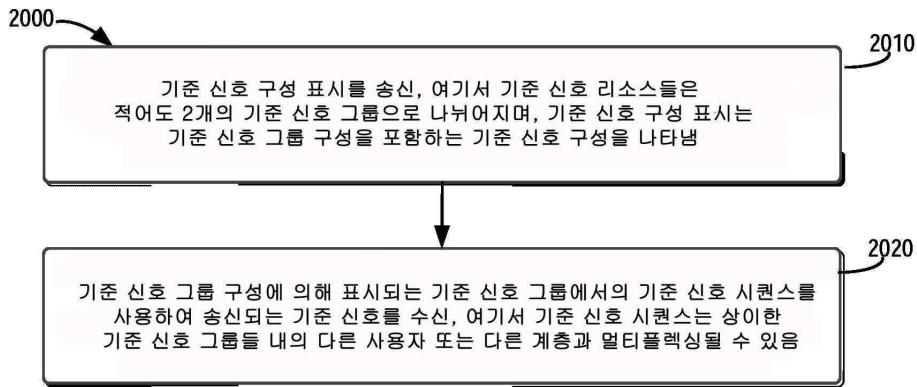
도면18



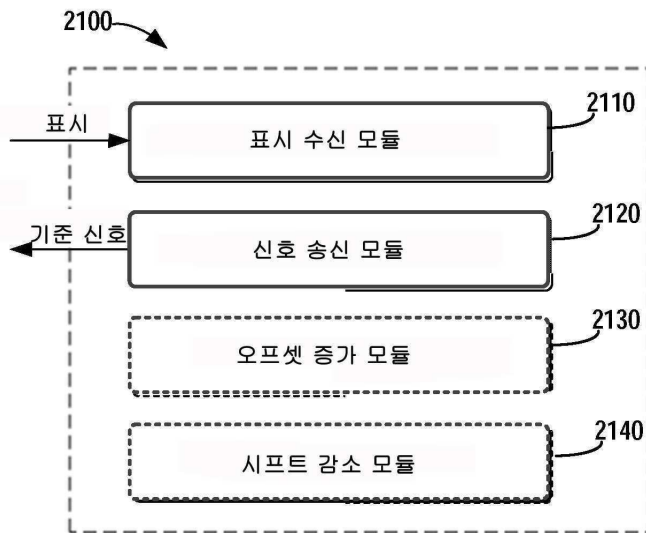
도면19



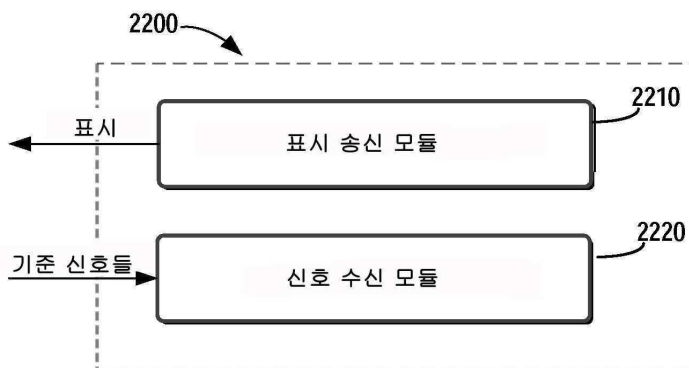
도면20



도면21



도면22



도면23

