

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-336540

(P2007-336540A)

(43) 公開日 平成19年12月27日(2007.12.27)

(51) Int. Cl.

H03M 1/74 (2006.01)

F I

H03M 1/74

テーマコード (参考)

5J022

審査請求 有 請求項の数 22 O L (全 21 頁)

(21) 出願番号 特願2007-153171 (P2007-153171)
(22) 出願日 平成19年6月8日(2007.6.8)
(31) 優先権主張番号 10-2006-0053342
(32) 優先日 平成18年6月14日(2006.6.14)
(33) 優先権主張国 韓国 (KR)

(71) 出願人 592127149
韓国科学技術院
大韓民国大田広域市儒城区九城洞 3 7 3 -
1 番地
(74) 代理人 110000165
グローバル・アイピー東京特許業務法人
(72) 発明者 チョ ギュヒョン
305-701 大韓民国 デジョン ユ
ソング グソンドン 373-1 韓国科
学技術院 5-4222
(72) 発明者 ジョン ヨンジュン
大韓民国 デジョン ユンソグ シンソン
ドン 126-3 ソンジョンアートビル
202

最終頁に続く

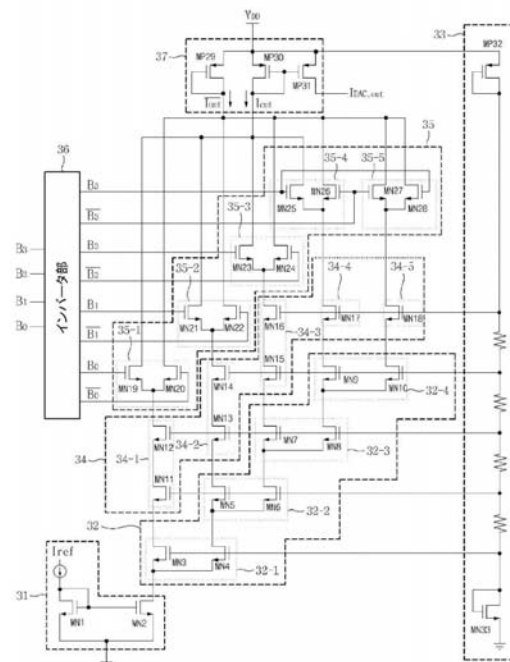
(54) 【発明の名称】 デジタルアナログ変換器

(57) 【要約】

【課題】 高解像度の特性等を有するデジタルアナログ変換器を提供する。

【解決手段】 デジタルアナログ変換器は、電流供給部と 31、電流供給部から供給される電流を分配する電流分配部 32 と、入力信号に対する反転信号と非反転信号を出力するインバータ部 36 と、反転信号と非反転信号に応じて、電流分配部により分配される電流の流れを制御するスイッチング部 35 と、非反転信号に応じる分配電流を加算して、アナログ信号を出力する電流出力部 37 とを含む。

【選択図】 図 3



【特許請求の範囲】

【請求項 1】

電流供給部と、
前記電流供給部から供給される電流を分配する電流分配部と、
入力信号に対する反転信号と非反転信号を出力するインバータ部と、
前記反転信号と非反転信号に応じて、前記電流分配部により分配される電流の流れを制御するスイッチング部と、
前記非反転信号に応じる分配電流を加算して、アナログ信号を出力する電流出力部とを備えるデジタルアナログ変換器。

【請求項 2】

前記電流分配部が飽和領域 (Saturation Region) で動作するようにバイアス電圧を供給するバイアス部をさらに備える請求項 1 に記載のデジタルアナログ変換器。

【請求項 3】

前記電流供給部は、1つの電流源を含むカレントミラー (current mirror) 回路からなる請求項 1 に記載のデジタルアナログ変換器。

【請求項 4】

前記電流分配部は、M (M は、正の整数) 個の単位電流分配部からなり、
前記単位電流分配部は、ソース端が共通接続され、チャンネルサイズが実質的に同じ 2 つの N 型トランジスタからなる請求項 1 に記載のデジタルアナログ変換器。

【請求項 5】

前記単位電流分配部のうち、L (L は、M - 1 より小、又は同じ正の整数) 番目の単位電流分配部の 2 つの N 型トランジスタのうち、何れか一つの N 型トランジスタのドレイン端は、L + 1 番目の単位電流分配部の 2 つの N 型トランジスタのソース端と共通接続された請求項 4 に記載のデジタルアナログ変換器。

【請求項 6】

前記スイッチング部は、前記 M 個の単位電流分配部から出力される M 個の分配電流の供給を制御する M 個の単位スイッチング部を備える請求項 4 に記載のデジタルアナログ変換器。

【請求項 7】

前記単位スイッチング部は、ソース端を共通に接続した 2 つの N 型トランジスタからなり、
前記 2 つの N 型トランジスタのうち、何れか一つの N 型トランジスタのゲート端に前記非反転信号が入力され、
前記 2 つの N 型トランジスタのうち、他の一つの N 型トランジスタのゲート端に前記反転信号が入力される請求項 6 に記載のデジタルアナログ変換器。

【請求項 8】

前記単位スイッチング部は、ドレイン端を共通に接続した 2 つの P 型トランジスタからなり、
前記 2 つの P 型トランジスタのうち、何れか一つの P 型トランジスタのゲート端に前記非反転信号が入力され、
前記 2 つの P 型トランジスタのうち、他の一つの P 型トランジスタのゲート端に前記反転信号が入力される請求項 6 に記載のデジタルアナログ変換器。

【請求項 9】

前記電流分配部と前記スイッチング部との間に設けられたインピーダンスバッファ部をさらに備える請求項 6 に記載のデジタルアナログ変換器。

【請求項 10】

前記インピーダンスバッファ部は、前記 M 個の単位電流分配部と前記 M 個の単位スイッチング部との間に設けられた M 個の単位インピーダンスバッファ部を備え、
前記単位インピーダンスバッファ部は、1つの N 型トランジスタ又はカスコード接続し

10

20

30

40

50

た 2 つの N 型トランジスタからなる請求項 9 に記載のデジタルアナログ変換器。

【請求項 1 1】

前記電流出力部は、

前記非反転信号に応じる分配電流を加算して、前記アナログ信号を出力するカレントミラー部と、

前記反転信号に応じる分配電流の疎通経路を提供するダイオード接続したトランジスタと、からなる請求項 1 に記載のデジタルアナログ変換器。

【請求項 1 2】

電流供給部と、

前記電流供給部から供給される電流を分配する電流分配部と、

10

入力信号に対する反転信号と非反転信号を出力するインバータ部と、

前記反転信号と非反転信号に応じて、前記電流分配部により分配される電流の流れを制御するスイッチング部と、

前記反転信号に応じる分配電流を加算して、アナログ信号を出力する電流出力部とを備えるデジタルアナログ変換器。

【請求項 1 3】

前記電流分配部が飽和領域で動作するようにバイアス電圧を供給するバイアス部をさらに備える請求項 1 2 に記載のデジタルアナログ変換器。

【請求項 1 4】

前記電流供給部は、1 つの電流源を含むカレントミラー回路からなる請求項 1 2 に記載のデジタルアナログ変換器。

20

【請求項 1 5】

前記電流分配部は、M (M は、正の整数) 個の単位電流分配部からなり、

前記単位電流分配部は、ソース端が共通接続され、チャンネルサイズが実質的に同じ 2 つの P 型トランジスタからなる請求項 1 2 に記載のデジタルアナログ変換器。

【請求項 1 6】

前記単位電流分配部のうち、L (L は、M - 1 より小さいか、又は同じ正の整数) 番目の単位電流分配部の 2 つの P 型トランジスタのうち、何れか一つのトランジスタのドレイン端は、L + 1 番目の単位電流分配部の 2 つの P 型トランジスタのソース端と共通接続した請求項 1 5 に記載のデジタルアナログ変換器。

30

【請求項 1 7】

前記スイッチング部は、前記 M 個の単位電流分配部から出力される M 個の分配電流の供給を制御する M 個の単位スイッチング部を備える請求項 1 5 に記載のデジタルアナログ変換器。

【請求項 1 8】

前記単位スイッチング部は、ソース端お共通接続した 2 つの P 型トランジスタからなり、

前記 2 つの P 型トランジスタのうち、何れか一つのトランジスタのゲート端に前記非反転信号が入力され、

前記 2 つの P 型トランジスタのうち、他の一つの P 型トランジスタのゲート端に前記反転信号が入力される請求項 1 7 に記載のデジタルアナログ変換器。

40

【請求項 1 9】

前記単位スイッチング部は、ドレイン端を共通に接続した 2 つの N 型トランジスタからなり、

前記 2 つの N 型トランジスタのうち、何れか一つの N 型トランジスタのゲート端に前記非反転信号が入力され、

前記 2 つの N 型トランジスタのうち、他の一つの N 型トランジスタのゲート端に前記反転信号が入力される請求項 1 7 に記載のデジタルアナログ変換器。

【請求項 2 0】

前記電流分配部と前記スイッチング部との間に設けられたインピーダンスバッファ部を

50

さらに備える請求項 17 に記載のデジタルアナログ変換器。

【請求項 21】

前記インピーダンスバッファ部は、前記 M 個の単位電流分配部と前記 M 個の単位スイッチング部との間に設けられた M 個の単位インピーダンスバッファ部を備え、

前記単位インピーダンスバッファ部は、1 つの P 型トランジスタ又はカスコード接続した 2 つの P 型トランジスタからなる請求項 18 に記載のデジタルアナログ変換器。

【請求項 22】

前記電流出力部は、

前記非反転信号に応じる分配電流を加算して、前記アナログ信号を出力するカレントミラー部と、

前記反転信号に応じる分配電流の疎通経路を提供するダイオード接続したトランジスタからなる請求項 12 に記載のデジタルアナログ変換器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、デジタルアナログ変換器に関し、さらに詳細には、解像度特性に優れ、チップ面積を削減できるデジタルアナログ変換器に関する。

【背景技術】

【0002】

最近、デジタル信号の処理技術が急激に向上するに伴い、高解像度 TV、デジタル TV、CDP、デジタルムービーカメラ、デジタルビデオカメラ、無線呼出器及び携帯用電話機のようなデジタル信号処理システムの開発が急激に進展しつつある。このような状況下、特に、デジタル信号処理システム内のデジタル回路で処理された信号をアナログ信号に変換する高速のデジタルアナログ変換器 (Digital Analog Converter: DAC) の重要性が大きくなっている。

【0003】

デジタルアナログ変換器には、デジタル入力の二進数信号に対して、電流、電圧又は電荷の適切な加重値 (Weight) を付与した後、これを配列して、所望のアナログ信号を得る二進加重 (Binary Weighted) 方式のデジタルアナログ変換器、温度計コード (Thermometer Code) 技法を適用した温度計コード方式のデジタルアナログ変換器などがある。

【0004】

二進加重方式のデジタルアナログ変換方式では、デジタル信号の最下位ビットの LSB (Least Significant Bit) から最上位ビットの MSB (Most Significant Bit) に対応して、電流の大きさが、 $2^{L_{SB}}$ から $2^{M_{MSB}}$ まで 2^N の割合で変化する。これにより、例えば 8 ビットの解像度を実現する場合、電流比が 2^0 から 2^7 の 8 つの電流源が必要となる。このとき、最小の電流源と最大の電流源との間の電流比は、128 となる。一般的には、電流源の出力電流の大きさは、電流源を構成する素子の大きさで決定されるため、最小電流源と最大電流源のトランジスタ大きさの比は、128 倍となる。

【0005】

このような二進加重方式のデジタルアナログ変換方式において、使用される最小電流源と最大電流源の素子の大きさ比が極めて大きくなると、半導体工程上の些細な変化により、変換器の深刻な特性変化を引き起こし、変換器の正確性と精密性が著しく低下するおそれがある。

【0006】

また、二進加重方式のデジタルアナログ変換器を構成する上記素子の大きさ比が大きいため、半導体チップ上に変換器を実現するときに必要なチップ面積も増加してしまうという問題がある。

【0007】

10

20

30

40

50

このような問題を解決するため、セグメント二進加重 (segmented binary-weighted) デジタルアナログ変換器が提案された。

【0008】

図1は、従来のセグメント二進加重方式のデジタルアナログ変換器を示す図である。

【0009】

図1のデジタルアナログ変換器は、既存の二進加重方式のデジタルアナログ変換器が有する極めて大きい素子の上記大きさ比を小さくするため、2つの4ビット変換器11、12を利用して8ビットの変換器を有する。

【0010】

この場合、最小電流源と最大電流源の電流比は8に減少し、最大電流源を構成するトランジスタの大きさは、最小電流源を構成するトランジスタの大きさの8倍になる。よって、各素子の大きさ比が減少して、半導体工程の変化に対する特性の敏感度を減少させることができる。

【0011】

図2は、従来のセグメント温度計コード方式のデジタルアナログ変換器を示す図である。

【0012】

図2のデジタルアナログ変換器は、セグメントにより8ビットの解像度の変換器を実現したものである。

【0013】

二進加重方式のデジタルアナログ変換器とは異なり、温度計コード方式のデジタルアナログ変換器は、Nビットの解像度を実現するために、 $2^N - 1$ 個の同じ大きさの電流源を使用する。したがって、電流源に用いられるトランジスタの大きさも同じとなる。これにより、二進加重方式のデジタルアナログ変換器の問題点として指摘される半導体工程の変化に伴う特性の感度を下げることができる。

【発明の開示】

【発明が解決しようとする課題】

【0014】

しかしながら、セグメント二進加重方式のデジタルアナログ変換器においては、全体ビット数が10ビットに増加すれば、2つの5ビット変換器を利用して10ビット変換器を構成し、これにより、電流源を構成する素子の大きさ比も16に増加し、このような素子の大きさ比は、全体ビット数が増加するほど大きくなるという問題がある。

また、温度計コード方式のデジタルアナログ変換器においては、デジタル入力信号を温度計コードに転換させる二進数-温度計コード変換機能 (binary-to-thermometer code conversion function) を実現する回路をさらに要求し、これを半導体チップ上に実現するためのチップ面積を増加させ、コード変換のための付加的な電力消費を引き起こすおそれがあるという問題がある。

そこで、本発明は、上述した問題点を解決するためのものであり、その目的は、高解像度のデジタルアナログ変換器を提供することにある。

【0015】

また、本発明の他の目的は、回路が単純化され、小さなチップ面積上に実現できるデジタルアナログ変換器を提供することにある。

【0016】

本発明のさらに他の目的は、半導体工程の変化に対する特性の敏感度を減少させて、動作の安定性が向上したデジタルアナログ変換器を提供することにある。

【課題を解決するための手段】

【0017】

上述した課題を解決するため、本発明に係るデジタルアナログ変換器は、電流供給部と、電流供給部から供給される電流を分配する電流分配部と、入力信号に対する反転信号と非反転信号を出力するインバータ部と、反転信号と非反転信号に応じて、電流分配部によ

10

20

30

40

50

り分配される電流の流れを制御するスイッチング部と、非反転信号に応じる分配電流を加算して、アナログ信号を出力する電流出力部とを備える。

【0018】

電流分配部が飽和領域 (Saturation Region) で動作するようにバイアス電圧を供給するバイアス部をさらに備えることが好ましい。

【0019】

電流供給部は、1つの電流源を含むカレントミラー回路からなることが好ましい。

【0020】

電流分配部は、M (Mは、正の整数) 個の単位電流分配部からなり、単位電流分配部は、ソース端が共通に接続され、チャンネルサイズが実質的に同じ2つのN型トランジスタからなることが好ましい。 10

【0021】

L (Lは、M-1より小、又は同じ正の整数) 番目の単位電流分配部の2つのN型トランジスタのうち、何れか一つのN型トランジスタのドレイン端は、L+1番目の単位電流分配部の2つのN型トランジスタのソース端と共通に接続することが好ましい。

【0022】

スイッチング部は、M個の単位電流分配部から出力されるM個の分配電流の供給を制御するM個の単位スイッチング部を備えることが好ましい。

【0023】

単位スイッチング部は、ソース端を共通に接続した2つのN型トランジスタからなり、2つのN型トランジスタのうち、何れか一つのトランジスタのゲート端に非反転信号が入力され、2つのN型トランジスタのうち、他の一つのN型トランジスタのゲート端に反転信号が入力されることが好ましい。 20

【0024】

単位スイッチング部は、ドレイン端を共通に接続した2つのP型トランジスタからなり、2つのP型トランジスタのうち、何れか一つのP型トランジスタのゲート端に非反転信号が入力され、2つのP型トランジスタのうち、他の一つのP型トランジスタのゲート端に反転信号が入力されることが好ましい。

【0025】

電流分配部とスイッチング部との間に設けられたインピーダンスバッファ部をさらに備えることが好ましい。 30

【0026】

インピーダンスバッファ部は、M個の単位電流分配部とM個の単位スイッチング部との間に設けられたM個の単位インピーダンスバッファ部を備え、単位インピーダンスバッファ部は、1つのN型トランジスタ又はカスコード接続した2つのN型トランジスタからなることが好ましい。

【0027】

電流出力部は、非反転信号に応じる分配電流を加算して、アナログ信号を出力するカレントミラー部と、反転信号に応じる分配電流の疎通経路を提供するダイオード接続したトランジスタと、からなることが好ましい。 40

【0028】

また、上述した課題を解決するため、本発明に係るデジタルアナログ変換器は、電流供給部と、電流供給部から供給される電流を分配する電流分配部と、入力信号に対する反転信号と非反転信号を出力するインバータ部と、反転信号と非反転信号に応じて、電流分配部により分配される電流の流れを制御するスイッチング部と、反転信号に応じる分配電流を加算して、アナログ信号を出力する電流出力部とを備える。

【0029】

電流分配部が飽和領域で動作するようにバイアス電圧を供給するバイアス部をさらに備えることが好ましい。

【0030】

電流供給部は、1つの電流源を含むカレントミラー回路からなることが好ましい。

【0031】

電流分配部は、M（Mは、正の整数）個の単位電流分配部からなり、単位電流分配部は、ソース端が共通接続され、チャンネルサイズが実質的に同じ2つのP型トランジスタからなることが好ましい。

【0032】

単位電流分配部のうち、L（Lは、M-1より小さいか、又は同じ正の整数）番目の単位電流分配部の2つのP型トランジスタのうち、何れか一つのトランジスタのドレイン端は、L+1番目の単位電流分配部の2つのP型トランジスタのソース端と共通接続したことが好ましい。

10

【0033】

スイッチング部は、M個の単位電流分配部から出力されるM個の分配電流の供給を制御するM個の単位スイッチング部を備えることが好ましい。

【0034】

単位スイッチング部は、ソース端お共通接続した2つのP型トランジスタからなり、2つのP型トランジスタのうち、何れか一つのトランジスタのゲート端に非反転信号が入力され、2つのP型トランジスタのうち、他の一つのトランジスタのゲート端に反転信号が入力されることが好ましい。

【0035】

単位スイッチング部は、ドレイン端お共通接続した2つのN型トランジスタからなり、2つのN型トランジスタのうち、何れか一つのトランジスタのゲート端に非反転信号が入力され、2つのN型トランジスタのうち、他の一つのトランジスタのゲート端に反転信号が入力されることが好ましい。

20

【0036】

電流分配部とスイッチング部との間に設けられたインピーダンスバッファ部をさらに備えることが好ましい。

【0037】

インピーダンスバッファ部は、M個の単位電流分配部とM個の単位スイッチング部との間に設けられたM個の単位インピーダンスバッファ部を備え、単位インピーダンスバッファ部は、1つのP型トランジスタ又はカスコード接続した2つのP型トランジスタからなることが好ましい。

30

【0038】

電流出力部は、非反転信号に応じる分配電流を加算して、アナログ信号を出力するカレントミラー部と、反転信号に応じる分配電流の疎通経路を提供するダイオード接続したトランジスタからなることが好ましい。

【発明の効果】

【0039】

本発明によれば、高解像度のデジタルアナログ変換器を提供することができる。

【0040】

デジタルアナログ変換器の回路が単純化し、チップ面積を小さくすることができる。すなわち、必要な電流源が一個であるので、電流源の制御に必要なデジタル回路を極めて単純化させることができる。よって、使用する素子の大きさ比も小さくなり、小面積の半導体チップ上に実現できる。

40

【0041】

半導体工程の変化に対する特性の敏感度を減少させて、デジタルアナログ変換器の動作の安定性が向上する。

【発明を実施するための最良の形態】

【0042】

以下、本発明の好ましい実施形態を図面を参照して説明する。

【0043】

50

図 3 は、本発明の第 1 の実施形態に係るデジタルアナログ変換器の構成例を示す図である。

【0044】

なお、図 3 では、説明の便宜上、4 ビットの解像度を実現するためのデジタルアナログ変換器を例に挙げて示しているが、デジタルアナログ変換器は、これに限定されず、8 ビット、12 ビットなどの解像度を実現するためのものに拡張して適用してもよい。

【0045】

図 3 に示すように、デジタルアナログ変換器は、電流供給部 31、電流分配部 32、バイアス部 33、インピーダンスバッファ部 34、スイッチング部 35、インバータ部 36 及び電流出力部 37 を備える。

10

【0046】

<電流供給部 31>

電流供給部 31 は、デジタルアナログ変換器の最大出力に対応する電流を、後述する電流分配部 32 の第 1 単位電流分配部 32-1 に供給する。

【0047】

電流供給部 31 は、例えば、1 つの電流源を含むカレントミラー (current mirror) 回路からなる。

【0048】

すなわち、電流供給部 31 は、1 つの電流源 I_{ref} 及びダイオードを接続した 2 つの N 型トランジスタ MN1、MN2 を用いて構成する。このように構成することにより、デジタルアナログ変換器の実現に必要な電流源が 1 つに減る。よって、電流源を制御するためのデジタル回路を単純化して、デジタルアナログ変換器の製造費を削減することができる。

20

【0049】

このようなカレントミラー回路の他の例として、カスコードミラー (cascode mirror)、ウィルソンカレントミラー (Wilson current mirror)、レギュレテッドカスコードミラー (regulated cascode mirror)、ハイスイングカスコードミラー (high-swing cascode mirror) などの回路がある。

【0050】

30

<電流分配部 32>

電流分配部 32 は、電流供給部 31 から供給された電流を分配する。

【0051】

電流分配部 32 は、4 つの単位電流分配部 32-1、32-2、32-3、32-4 からなる。それぞれの単位電流分配部は、ソース端が共通に接続され、チャンネルサイズが実質的に同じ 2 つの N 型トランジスタからなるように構成されている。

【0052】

L (L は、 $L < 4$ の正の整数) 番目の単位電流分配部の 2 つの N 型トランジスタのうち、何れか一つの N 型トランジスタのドレイン端は、 $L + 1$ 番目の単位電流分配部の 2 つの N 型トランジスタのソース端と共通に接続するように構成されている。

40

【0053】

以下、電流分配部 32 の機能を詳細する。

(1) 第 1 単位電流分配部 32-1 は、電流供給部 31 から供給された電流 (I) の半分 ($I/2$) を、後述するインピーダンスバッファ部 34 の第 1 単位インピーダンスバッファ部 34-1 に出力 (伝達) し、残りの半分 ($I/2$) を第 2 単位電流分配部 32-2 に出力する。

【0054】

第 1 単位インピーダンスバッファ部 34-1 に出力された電流 ($I/2$) は、後述するスイッチング部 35 の第 1 単位スイッチング部 35-1 に出力され、MSB (B_0) の値に応じて I_{out} に供給されるか否かが決定される。

50

【0055】

(2) 第2単位電流分配部32-2は、第1単位電流分配部32-1から供給された電流($I/2$)の半分($I/4$)を、後述するインピーダンスバッファ部34の第2単位インピーダンスバッファ部34-2に出力し、残りの半分($I/4$)を第3単位電流分配部32-3に出力する。

【0056】

第2単位インピーダンスバッファ部34-2に出力された電流($I/4$)は、後述するスイッチング部35の第2単位スイッチング部35-2に出力され、2番目のビット B_1 の値に応じて I_{out} に供給されるか否かが決定される。

【0057】

(3) 第3単位電流分配部32-3は、第2単位電流分配部32-2から供給された電流($I/4$)の半分($I/8$)を、後述するインピーダンスバッファ部34の第3単位インピーダンスバッファ部34-3に出力し、残りの半分($I/8$)を第4単位電流分配部32-4に出力する。

【0058】

第3単位インピーダンスバッファ部34-3に出力された電流($I/8$)は、後述するスイッチング部35の第3単位スイッチング部35-3に出力され、3番目のビット B_2 の値に応じて I_{out} に供給されるか否かが決定される。

【0059】

(4) 第4単位電流分配部32-4は、第3単位電流分配部32-3から供給された電流($I/8$)の半分($I/16$)を、後述するインピーダンスバッファ部34の第4単位インピーダンスバッファ部34-4に出力し、残りの半分($I/16$)を第5単位インピーダンスバッファ部34-5に出力する。

【0060】

第4単位インピーダンスバッファ部34-4に出力された電流($I/16$)は、後述するスイッチング部35の第4単位スイッチング部35-4に出力され、LSB(B_3)の値に応じて I_{out} に供給されるか否かが決定される。

【0061】

第5単位インピーダンスバッファ部34-5に出力された電流($I/16$)は、後述するスイッチング部35の第5単位スイッチング部35-5に出力され、常に I_{out} に供給される。

【0062】

以上説明したように、本実施形態に係るデジタルアナログ変換器は、電流分配部32の単位電流分配部に含まれたトランジスタのチャンネルサイズが同じであるため、素子の大きさ比が極めて大きな従来の変換器に比べて、工程の変化による特性の変化が大幅に減る。

【0063】

＜バイアス部33＞

バイアス部33は、電流分配部32とインピーダンスバッファ部34に含まれたトランジスタMN3～MN18が飽和領域で動作するようにするバイアス電圧を供給する。

【0064】

＜インピーダンスバッファ部34＞

インピーダンスバッファ部34は、電流分配部32とスイッチング部35との間に設けられ、スイッチング部35のスイッチング動作に応じる電流変動を最小化する。

【0065】

インピーダンスバッファ部34は、4つの単位電流分配部32-1、32-2、32-3、32-4と4つの単位スイッチング部35-1、35-2、35-3、35-4との間に設けられた4つの単位インピーダンスバッファ部34-1、34-2、34-3、34-4を備える。単位インピーダンスバッファ部は、図8に示すような1つのN型トランジスタ、又は、図7に示すようなカスコード接続した2つのN型トランジスタからなるように構成される。

10

20

30

40

50

【0066】

さらに、インピーダンスバッファ部34は、第4単位電流分配部32-4と第5単位スイッチング部35-5との間に設けられた第5単位インピーダンスバッファ部34-5を備える。

【0067】

第1～第3単位インピーダンスバッファ部34-1、34-2、34-3は、図7に示すようなカスコード接続した2つのN型トランジスタで構成する。第4単位インピーダンスバッファ部34-4と第5単位インピーダンスバッファ部34-5は、例えば、図8に示すような1つのN型トランジスタで構成する。

【0068】

10

＜スイッチング部35＞

スイッチング部35は、例えば、4つの単位電流分配部32-1、32-2、32-3、32-4から出力される4つの分配電流($I/2$ 、 $I/4$ 、 $I/8$ 、 $I/16$)の供給を制御する4つの単位スイッチング部35-1、35-2、35-3、35-4を備える。

【0069】

各単位スイッチング部は、図5に示すように、ソース端が共通接続した2つのN型トランジスタからなる。そして、2つのN型トランジスタのうち、何れか一つのN型トランジスタのゲート端に非反転信号が入力され、2つのN型トランジスタのうち、他の一つのN型トランジスタのゲート端に反転信号が入力されるように構成されている。

20

【0070】

なお、各単位スイッチング部は、図6に示すように、ドレイン端が共通に接続した2つのP型トランジスタからなる。そして、2つのP型トランジスタのうち、何れか一つのP型トランジスタのゲート端に非反転信号が入力され、2つのP型トランジスタのうち、他の一つのトランジスタのゲート端に反転信号が入力されるように構成してもよい。

【0071】

＜インバータ部36＞

インバータ部36は、デジタル入力信号の各ビットを反転させた反転信号と本来のデジタル入力信号に該当する非反転信号を出力する。

【0072】

30

図4は、このようなインバータ部36の構成例を示す図である。

図4に示すように、インバータ部36は、P型の第1及び第3トランジスタM1、M3と、N型の第2及び第4トランジスタM2、M4とを備える。そして、第1トランジスタM1のソース端がハイレベルの第1電圧源 V_{DD} に接続され、第2トランジスタM2のソース端がLレベルの第2電圧源GNDに接続される。また、第2トランジスタM2のドレイン端が第1トランジスタM1のドレイン端に接続され、第1及び第2トランジスタM1、M2のゲート端が接続され、第3トランジスタM3のソース端が第1電圧源 V_{DD} に接続される。さらに、第4トランジスタM4のソース端が第2電圧源GNDに接続され、第3及び第4トランジスタM3、M4のゲート端が第1及び第2トランジスタM1、M2のドレイン端に接続され、第3及び第4トランジスタM3、M4のドレイン端が接続されて

40

【0073】

また、第1及び第2トランジスタM1、M2のゲート端にデジタル入力信号が入力され、第3及び第4トランジスタM3、M4のゲート端と第1及び第2トランジスタM1、M2のドレイン端に反転信号が出力され、第3及び第4トランジスタM3、M4のドレイン端に非反転信号が出力されるように構成されている。

【0074】

＜電流出力部37＞

電流出力部37は、非反転信号に応じる分配電流を加算して、アナログ信号を出力するカレントミラー部MP30、MP31及び反転信号に応じる分配電流の疎通経路を提供す

50

るダイオード接続したトランジスタMP29からなることができる。

【0075】

このようなカレントミラー部MP30、MP31の他の例として、カスコードミラー(cascode mirror)、ウィルソンカレントミラー(Wilson current mirror)、レギュレテッドカスコードミラー(regulated cascode mirror)、ハイースイングカスコードミラー(high-swing cascode mirror)などの回路で構成するようにしてもよい。

【0076】

電流出力部37に含まれたトランジスタは、P型とすることが好ましい。

【0077】

電流出力部37は、図10及び図11に示すように、差動増幅器を備えて構成されている。すなわち、差動増幅器を利用して、図10のカレントミラー回路を構成するトランジスタの両端間の電圧を最小化する。その結果、得られる余裕電圧をスタック(stack)されている他の機能ブロック(各部)に分配できるから、デジタルアナログ変換器の低電圧動作に有利である。

【0078】

図12は、本発明の第2の実施形態に係るデジタルアナログ変換器を示す図である。

図12のデジタルアナログ変換器は、電流供給部81と、電流供給部81から供給される電流を分配する電流分配部82と、入力信号に応じて反転信号と非反転信号を出力するインバータ部86とを備える。さらに、このデジタルアナログ変換器は、反転信号と非反転信号に応じて電流分配部82により分配された電流の流れを制御するスイッチング部85と、反転信号に応じる分配電流を加算して、アナログ信号を出力する電流出力部87及び電流分配部82が飽和領域で動作するようにバイアス電圧を供給するバイアス部83と、及びインピーダンスバッファ部84とを備える。

【0079】

図12のデジタルアナログ変換器は、本発明の第1の実施形態に係るデジタルアナログ変換器とほぼ同様の機能を有するので、以下、異なる部分について説明する。

【0080】

図12のデジタルアナログ変換器においては、電流出力部87のみをN型トランジスタで実現し、電流供給部81、電流分配部82、インバータ部86及びインピーダンスバッファ部84など、残りの各部をP型トランジスタで実現した。

【0081】

P型トランジスタで実現したインピーダンスバッファ部84の構成は、図15及び図16に示すとおりである。

【0082】

P型トランジスタで実現したスイッチング部85の構成は、図13に示すとおりである。

【0083】

スイッチング部85は、図14に示すように、N型トランジスタで実現する。これにより、スイッチング速度を向上させることができる。

【0084】

電流出力部87は、図17に示すような基本的なカレントミラー回路を利用して実現することもできるし、図18及び図19に示すように、差動増幅器を備えて構成することもできる。差動増幅器を利用して図18のカレントミラー回路を構成する場合、トランジスタの両端間の電圧を最小化でき、その結果、得られる余裕電圧をスタック(stack)されている他の各部(機能ブロック)に分配できる。よって、デジタルアナログ変換器の低電圧動作に有利となる。

【0085】

なお、本発明は、上記の実施形態に限定されるものではなく、本発明の要旨を逸脱しない範囲内で様々な変更が可能である。

10

20

30

40

50

【図面の簡単な説明】

【0086】

【図1】従来のセグメント二進加重方式のデジタルアナログ変換器を示す図である。

【図2】従来のセグメント温度計コード方式のデジタルアナログ変換器を示す図である。

【図3】本発明の第1の実施形態に係るデジタルアナログ変換器の構成例を示す図である。

【図4】図3のインバータ部を示す図である。

【図5】図3の単位スイッチング部の構成例を示す図である。

【図6】図3の単位スイッチング部の他の構成例を示す図である。

【図7】図3のインピーダンスバッファ部の構成例を示す図である。

10

【図8】図3のインピーダンスバッファ部の他の構成例を示す図である。

【図9】図3の電流出力部を示す図である。

【図10】図3の電流出力部の他の構成例を示す図である。

【図11】図10の差動増幅器を示す図である。

【図12】本発明の第2の実施形態に係るデジタルアナログ変換器の構成例を示す図である。

【図13】図12の単位スイッチング部の構成例を示す図である。

【図14】図12の単位スイッチング部の他の構成例を示す図である。

【図15】図12のインピーダンスバッファ部の構成例を示す図である。

【図16】図12のインピーダンスバッファ部の他の構成例を示す図である。

20

【図17】図12の電流出力部の構成例を示す図である。

【図18】図12の電流出力部の他の構成例を示す図である。

【図19】図18の差動増幅器の構成例を示す図である。

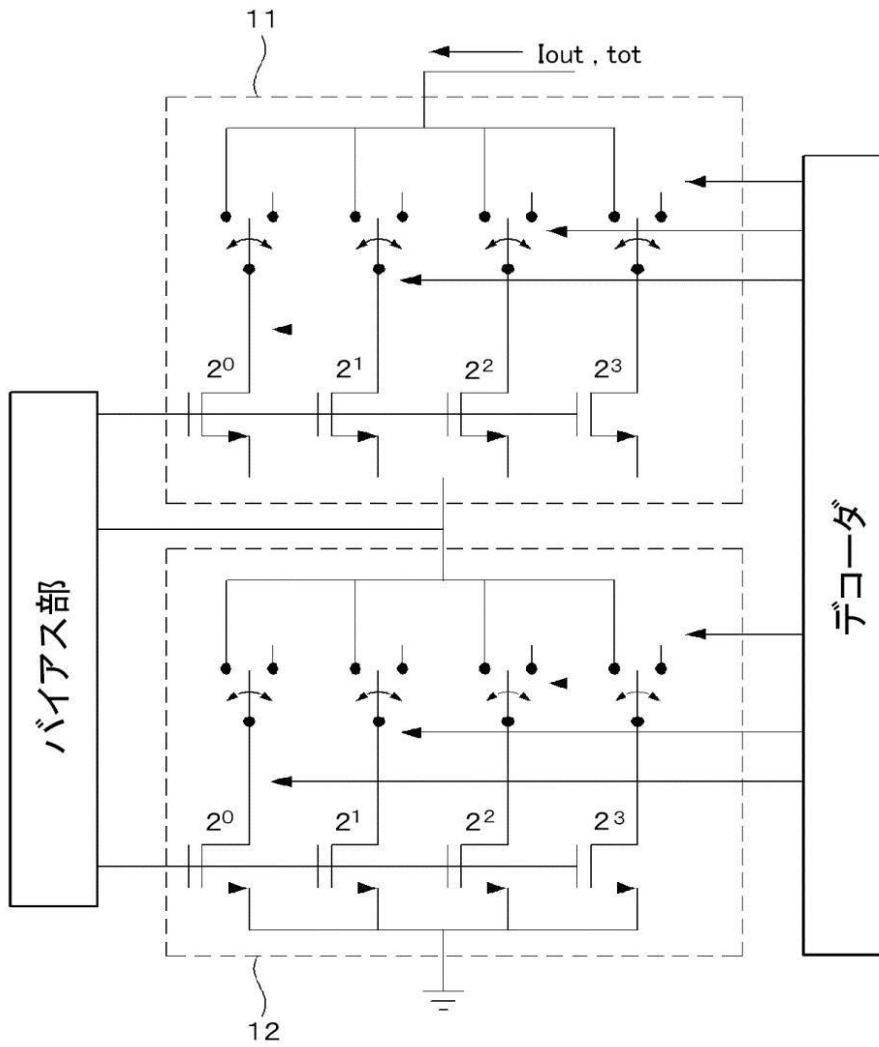
【符号の説明】

【0087】

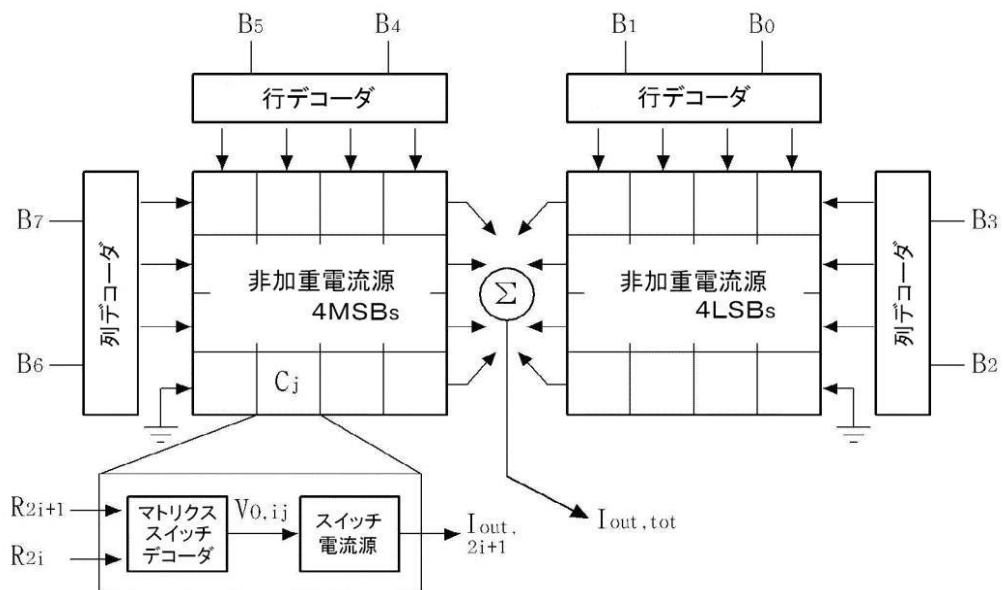
31、81	電流供給部
32、82	電流分配部
33、83	バイアス部
34、84	インピーダンスバッファ部
35、85	スイッチング部
36、86	インバータ部
37、87	電流出力部

30

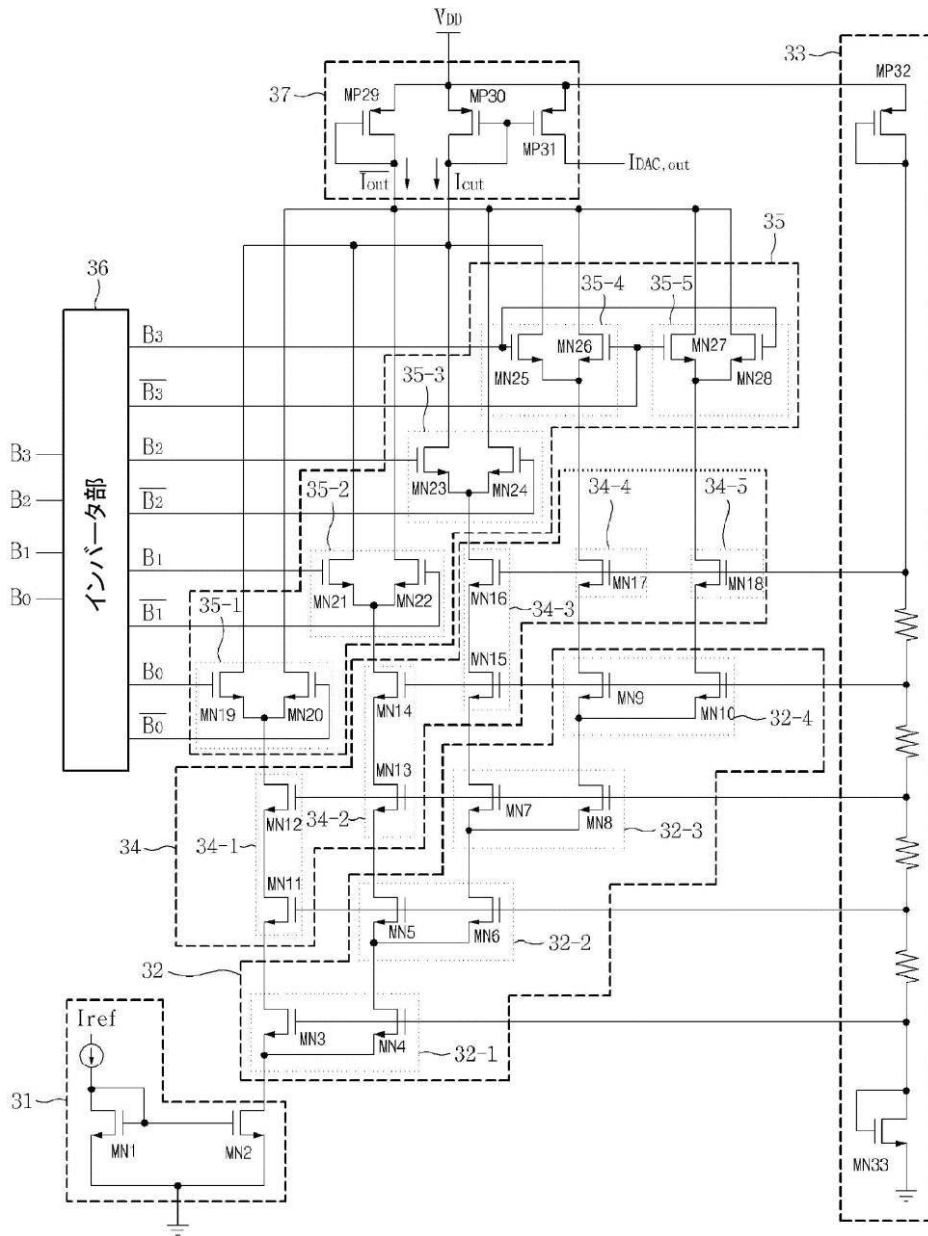
【図 1】



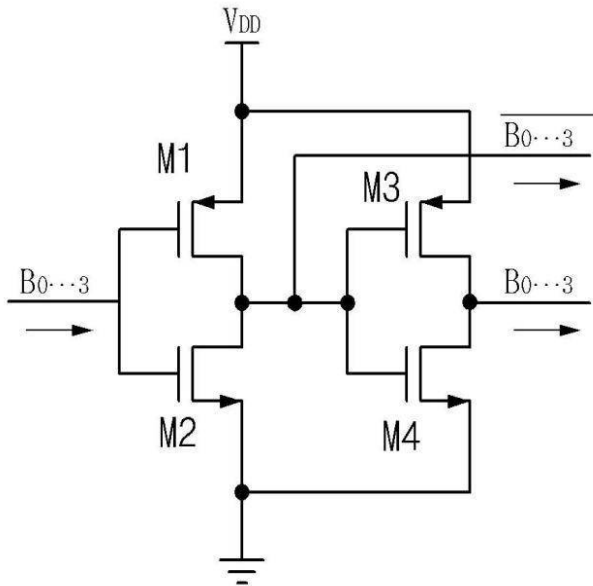
【図 2】



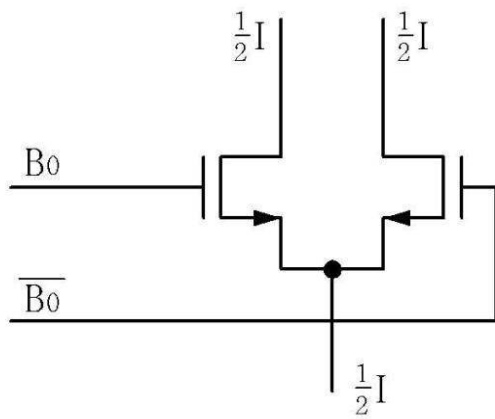
【図 3】



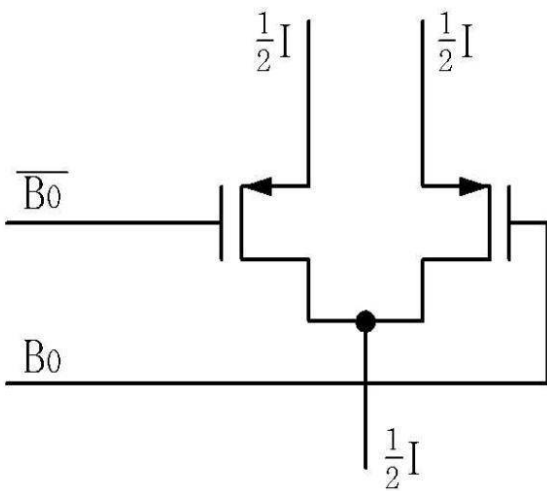
【図 4】



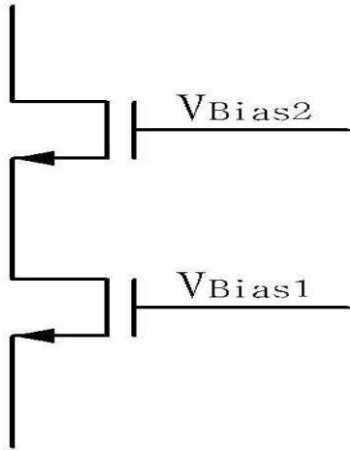
【図 5】



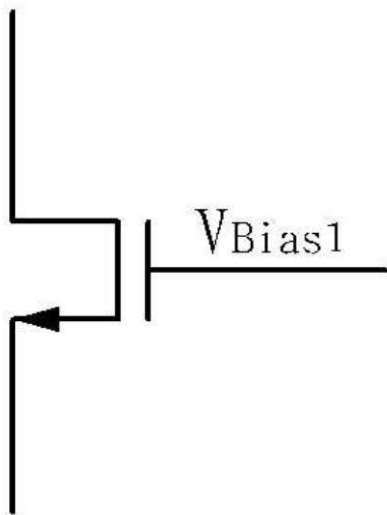
【図 6】



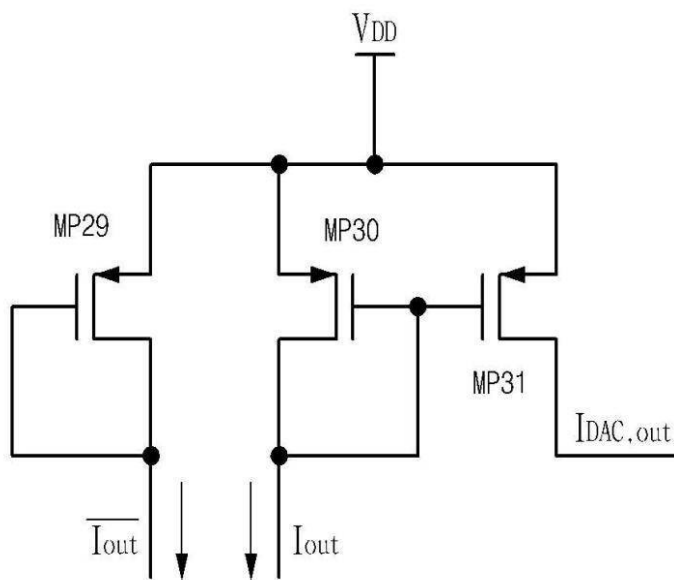
【図 7】



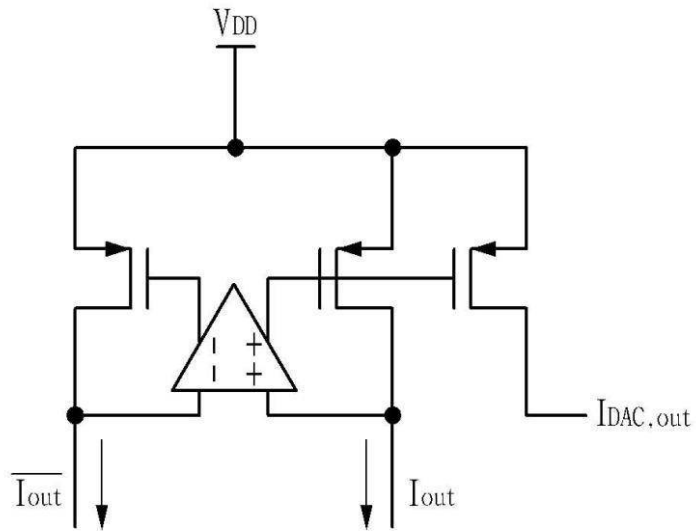
【図 8】



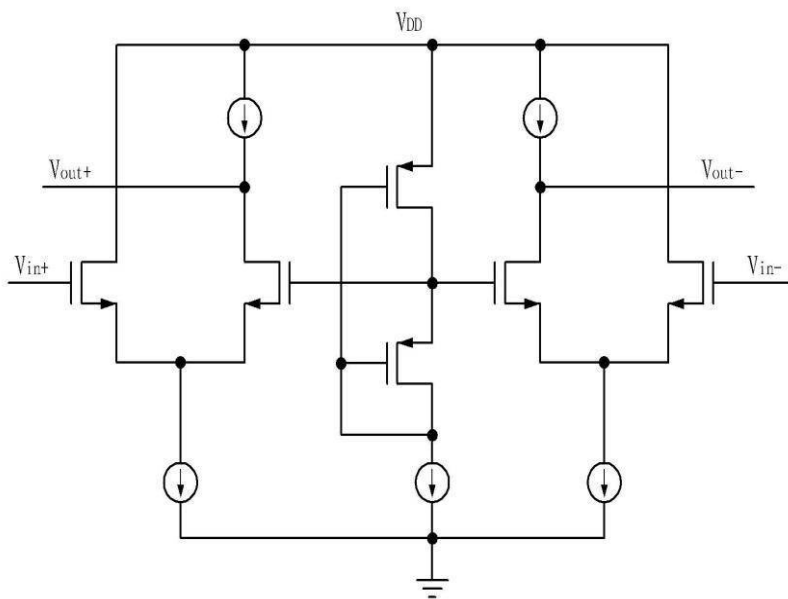
【図 9】



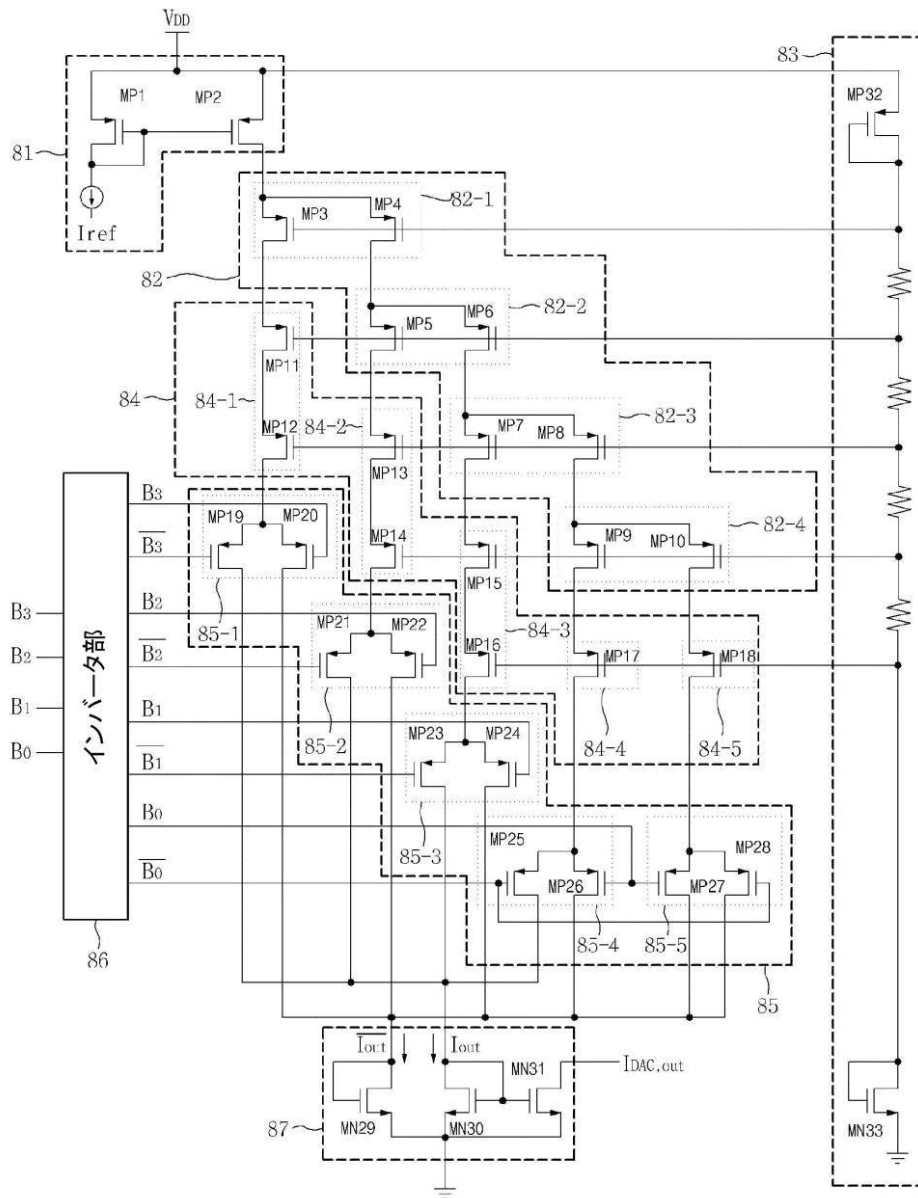
【図 1 0】



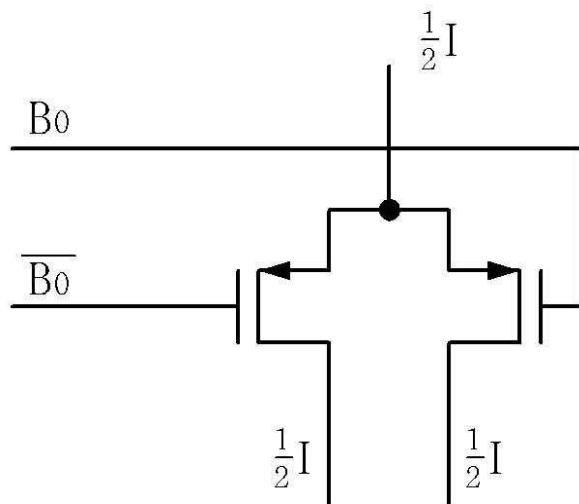
【図 1 1】



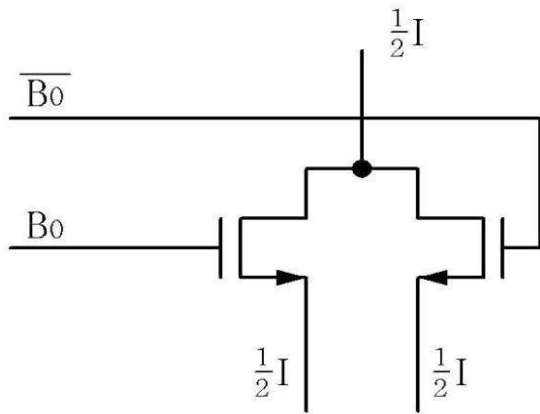
【図 1 2】



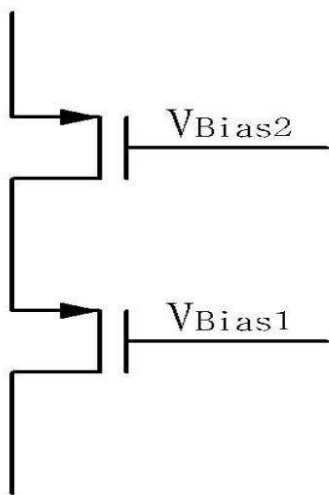
【図 1 3】



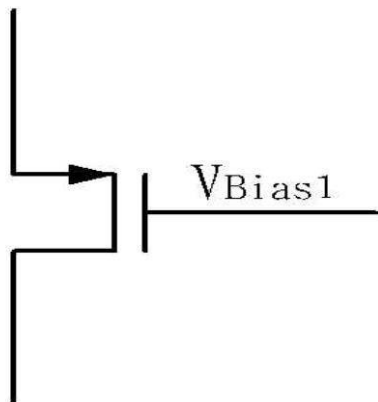
【図 1 4】



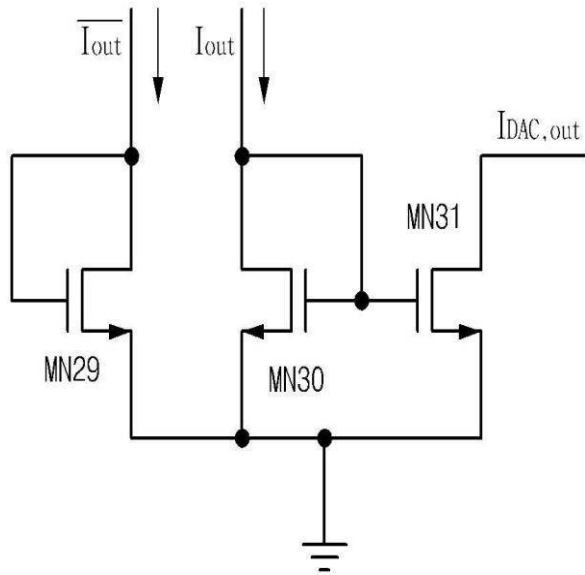
【図 1 5】



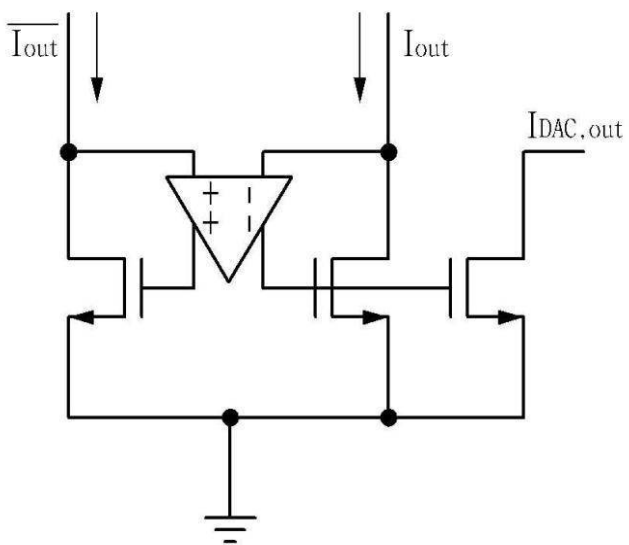
【図 1 6】



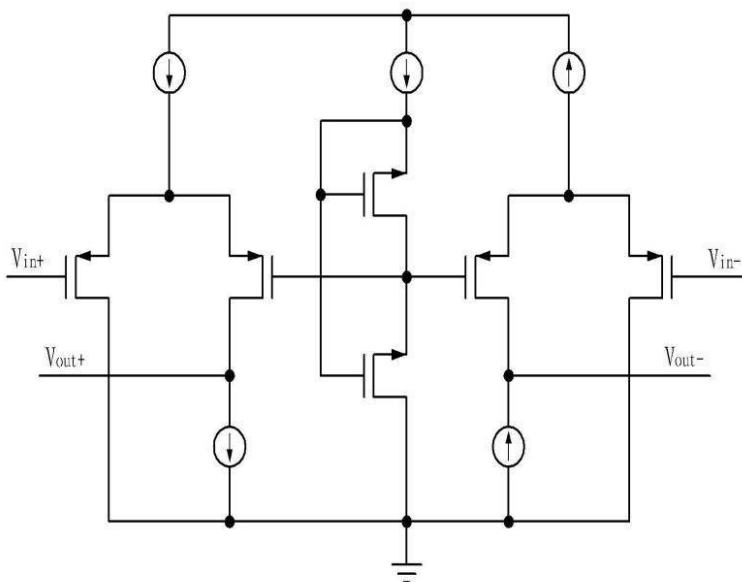
【図 17】



【図 18】



【図 19】



フロントページの続き

- (72)発明者 ソン ヨンソク
大韓民国 ギョンギド ファソンシ テアンウプ バンウォルリ シンヨントン ヒョンデアパー
ト 112-802
- (72)発明者 キム サンキョン
大韓民国 デジョン ユンソグ オウンドン ハンビツアパート 127-1001
- (72)発明者 ジョン ジンヨン
大韓民国 デグ ソグ ピョンリ6ドン グァンミョンアパート 3-502
- (72)発明者 リ ゴンホ
大韓民国 ギョンギド ブチョンシ ウォンミグ サンドン 325-4
- Fターム(参考) 5J022 AB04 AB06 BA06 BA07 CB02 CD04 CF04 CG01