



(12) 发明专利

(10) 授权公告号 CN 101836294 B

(45) 授权公告日 2013.04.24

(21) 申请号 200880108887.9

(51) Int. Cl.

(22) 申请日 2008.07.25

H01L 25/065(2006.01)

(30) 优先权数据

H01L 25/07(2006.01)

2007-196767 2007.07.27 JP

H01L 25/18(2006.01)

2007-325604 2007.12.18 JP

(56) 对比文件

(85) PCT申请进入国家阶段日

CN 1490874 A, 2004.04.21, 全文.

2010.03.26

JP 2006319243 A, 2006.11.24, 全文.

(86) PCT申请的申请数据

US 6255899 B1, 2001.07.03, 全文.

PCT/JP2008/063442 2008.07.25

US 2004222507 A1, 2004.11.11, 全文.

审查员 穆堃

(87) PCT申请的公布数据

W02009/017070 JA 2009.02.05

(73) 专利权人 株式会社尼康

地址 日本东京都

(72) 发明人 冈本和也 菅谷功

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 经志强 杨林森

权利要求书3页 说明书15页 附图18页

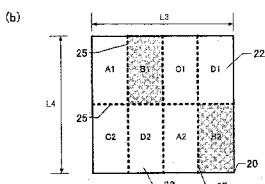
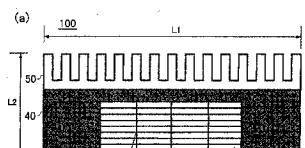
(54) 发明名称

层叠型半导体器件

(57) 摘要

本发明提供一种层叠型半导体器件，可以使热分散提高，进一步提高散热效率。本发明是层叠有多个半导体芯片(20-1、20-2)、该半导体芯片各自具有至少一个电路区域的层叠型半导体器件(100)，按照伴随着电路区域的驱动从电路区域中放出的热被分散的方式，配置电路区域。在上述层叠型半导体器件(100)中，还具备将从电路区域中放出的热散出的散热部(50)，按照使多个电路区域中的每单位面积的放热量越多的区域与散热部之间的热阻越小的方式，配置电路区域。

CN 101836294 B



1. 一种层叠型半导体器件，是层叠有多个半导体芯片、该半导体芯片各自具有至少一个电路区域的层叠型半导体器件，其特征在于，

所述层叠型半导体器件具备用于散出从所述电路区域中放出的热的散热部，

按照使多个所述电路区域中的每单位面积的放热量越多的区域与所述散热部之间的热阻越小的方式，配置所述电路区域，使得伴随着所述电路区域的驱动从所述电路区域放出的热被分散。

2. 根据权利要求 1 所述的层叠型半导体器件，其特征在于，具备密封部，该密封部覆盖多个所述电路区域，并由与所述散热部接触的单一材料形成，

按照使多个所述电路区域中的每单位面积的放热量越多的区域与所述散热部越接近的方式，配置所述电路区域。

3. 根据权利要求 1 所述的层叠型半导体器件，其特征在于，多个所述电路区域中的每单位面积的放热量最多的区域是逻辑电路区域。

4. 根据权利要求 1 所述的层叠型半导体器件，其特征在于，多个所述电路区域中存取时间越多的区域每单位面积的放热量越多。

5. 根据权利要求 1 所述的层叠型半导体器件，其特征在于，多个所述半导体芯片的任一个与用于在其与外部基板之间变更布线尺寸的薄型布线基板连接。

6. 一种层叠型半导体器件，是层叠有多个半导体芯片、该半导体芯片各自具有至少一个电路区域的层叠型半导体器件，其特征在于，

在多个所述半导体芯片的至少一个中具备在时间上被重复地驱动的多个所述电路区域，

该多个电路区域被相互分离地配置，使得伴随着所述电路区域的驱动从所述电路区域放出的热被分散。

7. 一种层叠型半导体器件，是层叠有多个半导体芯片、该半导体芯片各自具有至少一个电路区域的层叠型半导体器件，其特征在于，

在时间上被重复地驱动的多个所述电路区域与多个所述半导体芯片的至少一个相互接触地配置，

该多个电路区域按照至少一部分沿着相互的界面互相错开的方式配置，使得伴随着所述电路区域的驱动从所述电路区域放出的热被分散。

8. 根据权利要求 7 所述的层叠型半导体器件，其特征在于，该多个电路区域具有角部，在所述角部相互接触地配置。

9. 一种层叠型半导体器件，是层叠有多个半导体芯片、该半导体芯片各自具有至少一个电路区域的层叠型半导体器件，其特征在于，

作为多个所述半导体芯片中的一个的第一半导体芯片具备被驱动的第一电路区域，

作为多个所述半导体芯片中的一个且与所述第一半导体芯片接触地配置的第二半导体芯片具备与所述第一电路区域在时间上被重复地驱动的第二电路区域，

所述第一电路区域与所述第二电路区域相互分离地配置，使得伴随着所述电路区域的驱动从所述电路区域放出的热被分散。

10. 一种层叠型半导体器件，是层叠有多个半导体芯片、该半导体芯片各自具有至少一个电路区域的层叠型半导体器件，其特征在于，

作为多个所述半导体芯片中的一个的第一半导体芯片具备被驱动的第一电路区域，

作为多个所述半导体芯片中的一个且与所述第一半导体芯片接触地配置的第二半导体芯片具备与所述第一电路区域在时间上被重复地驱动的第二电路区域，

所述第一电路区域与所述第二电路区域按照至少一部分沿着相互的界面互相错开的方式配置，使得伴随着所述电路区域的驱动从所述电路区域放出的热被分散。

11. 根据权利要求 10 所述的层叠型半导体器件，其特征在于，所述第一电路区域及所述第二电路区域具有角部，在所述角部相互接触地配置。

12. 一种层叠型半导体器件，是层叠有多个半导体芯片、该半导体芯片各自具有至少一个电路区域的层叠型半导体器件，其特征在于，

作为多个所述半导体芯片中的一个的第一半导体芯片具备被驱动的第一电路区域，

作为多个所述半导体芯片中的一个的第二半导体芯片具备第二电路区域，该第二电路区域与所述第一电路区域在芯片层叠方向上重叠，与所述第一电路区域在时间上被重复地驱动，

具备配置于所述第一电路区域与所述第二电路区域之间的非放热区域，使得伴随着所述电路区域的驱动从所述电路区域放出的热被分散。

13. 根据权利要求 12 所述的层叠型半导体器件，其特征在于，具备与所述第一电路区域及所述第二电路区域的至少一方在芯片层叠方向上重叠地配置、驱动的驱动电路区域。

14. 根据权利要求 12 所述的层叠型半导体器件，其特征在于，具备加强构件，该加强构件配置于所述第一半导体芯片与所述第二半导体芯片之间，加强所述第一半导体芯片与所述第二半导体芯片的结合，

所述非放热区域配置于所述加强构件中。

15. 根据权利要求 12 所述的层叠型半导体器件，其特征在于，具备中继基板，该中继基板配置于所述第一半导体芯片与所述第二半导体芯片之间，将所述第一半导体芯片与所述第二半导体芯片电连接，

所述非放热区域配置于所述中继基板中。

16. 一种层叠型半导体器件，是层叠有多个半导体芯片、该半导体芯片各自具有至少一个电路区域的层叠型半导体器件，其特征在于，

具备控制电路，所述控制电路推定被驱动的所述电路区域的放热量或温度，控制所述电路区域的驱动，使得伴随着所述电路区域的驱动从所述电路区域放出的热被分散。

17. 根据权利要求 16 所述的层叠型半导体器件，其特征在于，所述控制电路监视所述电路区域的驱动时间或驱动周期，根据该驱动时间或该驱动周期推定所述电路区域的放热量或温度。

18. 根据权利要求 16 所述的层叠型半导体器件，其特征在于，具备具有相同功能的多个所述电路区域，

所述控制电路在具有相同功能的多个所述电路区域中的被驱动的所述电路区域的放热量或温度超过阈值的情况下，将驱动切换到与该电路区域具有相同功能的其他的所述电路区域。

19. 一种层叠型半导体器件，是层叠有多个半导体芯片、该半导体芯片各自具有至少一个电路区域的层叠型半导体器件，其特征在于，

具备用于散出从所述电路区域中放出的热的散热部，并且具备具有相同功能的多个所述电路区域，

还具备控制电路，所述控制电路对于具有相同功能的多个所述电路区域中与所述散热部之间的热阻越小的区域越增加驱动时间，使得伴随着所述电路区域的驱动从所述电路区域放出的热被分散。

20. 一种层叠型半导体器件，是层叠有多个半导体芯片、该半导体芯片各自具有至少一个电路区域的层叠型半导体器件，其特征在于，

多个所述电路区域中的至少一个被作为热产生用的虚拟电路区域使用，使得伴随着所述电路区域的驱动从所述电路区域放出的热被分散。

21. 一种层叠型半导体器件的控制方法，是层叠有多个半导体芯片、该半导体芯片各自具有至少一个电路区域的层叠型半导体器件的控制方法，其特征在于，

推定被驱动的所述电路区域的放热量或温度，控制所述电路区域的驱动，使得伴随着所述电路区域的驱动从所述电路区域放出的热被分散。

22. 根据权利要求 21 所述的层叠型半导体器件的控制方法，其特征在于，监视所述电路区域的驱动时间或驱动周期，根据该驱动时间或该驱动周期推定所述电路区域的放热量或温度。

23. 根据权利要求 21 所述的层叠型半导体器件的控制方法，其特征在于，在具备具有相同功能的多个所述电路区域的情况下，如果具有相同功能的多个所述电路区域中的被驱动的所述电路区域的放热量或温度超过阈值，则将驱动切换到具有与该电路区域相同功能的其他的电路区域。

24. 一种层叠型半导体器件的控制方法，是层叠有多个半导体芯片、该半导体芯片各自具有至少一个电路区域的层叠型半导体器件的控制方法，其特征在于，

在具备用于散出从所述电路区域中放出的热的散热部，并且具备具有相同功能的多个所述电路区域的情况下，对于具有相同功能的多个所述电路区域中的与所述散热部之间的热阻越小的区域，越增加驱动时间，使得伴随着所述电路区域的驱动从所述电路区域放出的热被分散。

25. 一种层叠型半导体器件的控制方法，是层叠有多个半导体芯片、该半导体芯片各自具有至少一个电路区域的层叠型半导体器件的控制方法，其特征在于，

将多个所述电路区域中的至少一个也作为热产生用的虚拟电路区域使用，使得伴随着所述电路区域的驱动从所述电路区域放出的热被分散。

层叠型半导体器件

技术领域

[0001] 本发明涉及一种层叠半导体元件而成的层叠型半导体器件。而且，本申请与下述的日本申请相关。对于承认参照文献的引用的指定国，将下述的申请中记载的内容通过参照援引到本申请中，作为本申请的一部分。

[0002] 日本特愿 2007-196767 申请日 2007 年 07 月 27 日

[0003] 日本特愿 2007-325604 申请日 2007 年 12 月 18 日

背景技术

[0004] 近年来，移动电话、个人电脑等电子设备的小型化、薄型化及轻质化不断推进，与之相伴，对电子部件的小型化、高性能化或多功能化的要求日益增加。此种潮流中，半导体器件也向着半导体器件的小型化、小设置面积、高性能化或多功能化发展。特别是在存储器 IC 中，对大记录容量化、小型轻质化及低成本化的要求很高，考虑过各种各样的存储器 IC 的封装结构、安装结构。

[0005] 例如如专利文献 1 所示，对于搭载有存储器 IC 的封装，出于进一步推进大容量化的目的，将具有存储功能的芯片层叠为三维的半导体封装的产品化正在不断发展中。

[0006] 另外，如专利文献 2 所示，现在，还增加了使 1 个封装具有存储功能和逻辑功能的半导体器件封装的要求。出于使 1 个封装具有存储功能和逻辑功能的目的，有将在薄型的布线基板上分别倒装式安装了存储器 IC 和逻辑 IC 的封装层叠在基底基板上而实现多功能化的方法。

[0007] 由于采取的是将存储器 IC 和逻辑 IC 被单独地安装的封装层叠的结构，因此可以利用所层叠的存储器 IC 及逻辑 IC 的品种的变更来很容易地应对用户间的要求功能的差别，具有半导体封装的开发期间短的优点。由此可以预想，将具有存储功能的 IC 和具有逻辑功能的 IC 层叠后的结构来推进今后的混载有存储功能和逻辑功能的半导体封装的开发。

[0008] 专利文献 1：美国专利第 7115967 号说明书

[0009] 专利文献 2：日本特开 2006-032379 号公报

[0010] 如果是上述的层叠型半导体器件，则会有如下所示的问题。即，将存储器 IC 层叠几层而实现了大记录容量化的封装因存储器电路的放热的散逸场所变少，热对策成为问题。此外，在将混载有存储功能和逻辑功能的半导体封装用三维层叠结构来实现的情况下，可以预想，半导体元件会因放热比存储器 IC 高一个数量级以上的逻辑 IC 的动作时所产生的热量而使之高温化。

[0011] 如果半导体封装的散热不够充分，就会在运算处理中产生时间差，有可能导致半导体封装的误动作。另外，因构成半导体封装的硅 (Si) 及绝缘体等材料的热膨胀的差别，即使是均等的温度上升，也会在半导体封装内产生热应力，而如果在放热区域产生温度不均，则热应力会进一步变大，从而导致有可能热变形或封装内的 IC 元件因热应力而破损的问题。

[0012] 此外,作为半导体封装的温度状态监视的方法,一般来说采用如下的方法,即,以来自安装于半导体封装附近的温度传感器的温度信息为基础,进行散热风扇的旋转控制。利用该方法,无法进行考虑到三维层叠结构内部的温度分布的极为细小的热控制。由此,对于今后热问题越来越受到重视的三维层叠型的半导体封装,温度管理变得非常重要。

发明内容

[0013] 所以,本发明的目的在于,提供一种层叠型半导体器件,即使是将半导体元件三维地层叠而构成的层叠型半导体器件,也可以提高热分散,进一步提高散热效率。

[0014] 为了实现解决上述问题的目的,本发明的层叠型半导体器件如下所示地构成。

[0015] 第一观点的层叠型半导体器件是层叠有多个半导体芯片、该半导体芯片各自具有至少一个电路区域的层叠型半导体器件,按照使伴随着上述电路区域的驱动从上述电路区域中放出的热分散的方式,配置上述电路区域。

[0016] 由于利用该构成,可以抑制由层叠型半导体器件的放热造成的内部的温度上升,并且将热分布的不均抑制得较低,因此可以防止误动作或者防止半导体器件自身的热变形或元件的破损等。

[0017] 第二观点的层叠型半导体器件是层叠有多个半导体芯片、该半导体芯片各自具有至少一个电路区域的层叠型半导体器件,在多个上述半导体芯片的至少一个中具备在时间上被重复地驱动的多个上述电路区域,该多个电路区域被相互分离地配置。

[0018] 由于在该构成中,也可以抑制由层叠型半导体器件的放热造成的内部温度的上升,并且将热分布的不均抑制得较低,因此可以防止误动作或者防止半导体器件自身的热变形或元件的破损等。

[0019] 第三观点的层叠型半导体器件是层叠有多个半导体芯片、该半导体芯片各自具有至少一个电路区域的层叠型半导体器件,在多个上述半导体芯片的至少一个中相互接触地配置有在时间上被重复地驱动的多个上述电路区域,该多个电路区域被配置为,至少一部分沿着相互的界面互相错开。

[0020] 由于在该构成中,也可以抑制由层叠型半导体器件的放热造成的内部温度的上升,并且将热分布的不均抑制得较低,因此可以防止误动作或者防止半导体器件自身的热变形或元件的破损等。

[0021] 第四观点的层叠型半导体器件是层叠有多个半导体芯片、该半导体芯片各自具有至少一个电路区域的层叠型半导体器件,作为多个上述半导体芯片中的一个的第一半导体芯片具备被驱动的第一电路区域,作为多个上述半导体芯片中的一个且与上述第一半导体芯片接触地配置的第二半导体芯片具备与上述第一电路区域在时间上重复地驱动的第二电路区域,上述第一电路区域和上述第二电路区域被相互分离地配置。

[0022] 由于在该构成中,也可以抑制由层叠型半导体器件的放热造成的内部的温度上升,并且将热分布的不均抑制得较低,因此可以防止误动作或者防止半导体器件自身的热变形或元件的破损等。

[0023] 第五观点的层叠型半导体器件是层叠有多个半导体芯片、该半导体芯片各自具有至少一个电路区域的层叠型半导体器件,作为多个上述半导体芯片中的一个的第一半导体芯片具备被驱动的第一电路区域,作为多个上述半导体芯片中的一个且与上述第一半导体

芯片接触地配置的第二半导体芯片具备被与上述第一电路区域在时间上重复地驱动的第二电路区域，上述第一电路区域及上述第二电路区域被配置为，至少一部分沿着相互的界面互相错开。

[0024] 由于在该构成中，也可以抑制由层叠型半导体器件的放热造成的内部温度的上升，并且将热分布的不均抑制得较低，因此可以防止误动作或者防止半导体器件自身的热变形或元件的破损等。

[0025] 第六观点的层叠型半导体器件是层叠有多个半导体芯片、该半导体芯片各自具有至少一个电路区域的层叠型半导体器件，作为多个上述半导体芯片中的一个的第一半导体芯片具备被驱动的第一电路区域，作为多个上述半导体芯片中的一个的第二半导体芯片具备第二电路区域，并具备非放热区域，上述第二电路区域与上述第一电路区域沿芯片层叠方向重叠地配置，与上述第一电路区域在时间上重复地驱动，上述非放热区域配置于上述第一电路区域与上述第二电路区域之间。

[0026] 由于在该构成中，也可以抑制由层叠型半导体器件的放热造成的内部温度的上升，并且将热分布的不均抑制得较低，因此可以防止误动作或者防止半导体器件自身的热变形或元件的破损等。

[0027] 第七观点的层叠型半导体器件是层叠有多个半导体芯片、该半导体芯片各自具有至少一个电路区域的层叠型半导体器件，具备控制电路，其按照使伴随着上述电路区域的驱动从上述电路区域中放出的热分散的方式，控制上述电路区域的驱动。

[0028] 利用该构成，由于控制电路是按照将伴随着电路区域的驱动从电路区域中放出的热分散的方式进行控制，因此可以将由层叠型半导体器件的放热造成的层叠结构的内部的热分布抑制得较低。由此，就可以防止误动作或者防止半导体器件自身的热变形或元件的破损等。

[0029] 第八观点的层叠型半导体器件的控制方法是层叠有多个半导体芯片、该半导体芯片各自具有至少一个电路区域的层叠型半导体器件的控制方法，按照使伴随着上述电路区域的驱动从上述电路区域中放出的热分散的方式，控制上述电路区域的驱动。

[0030] 根据第八观点，由于层叠型半导体器件的控制方法将因层叠型半导体器件的放热产生的内部的热分布抑制得较低，因此可以防止误动作或者防止半导体器件自身的热变形或元件的破损等。

[0031] 发明效果

[0032] 根据本发明的层叠型半导体器件，由于分散了从层叠的多个半导体芯片的电路区域中放出的热，所以导致误动作的可能性变小，还减小了因热应力变大而使层叠型半导体器件的电路破损的可能性。

附图说明

[0033] 图 1(a) 是表示本发明的第一实施方式的具有芯片 20 的多级层叠结构体的半导体器件 100 的纵剖面图。(b) 是从电路区域 22 侧观察 1 个芯片 20 的俯视图。

[0034] 图 2(a) 是图 1(a) 所示的半导体器件 100 的局部放大图，(b) 是其进一步的局部放大图。

[0035] 图 3(a) 是表示第一实施方式的半导体器件 100 的各层的芯片 20 与底部填充胶 30

的示意图。(b) 表示 8 个电路区域 22 中的电路区域 B1、B2 在放热的状态。

[0036] 图 4 表示每个芯片层的热分析结果。

[0037] 图 5 表示同一芯片层内的热分析结果。

[0038] 图 6(a) 虽然是与图 1(a) 所示的半导体器件 100 大致同等的结构, 然而在第一层的芯片 20-1 内, 具有热控制的热控制电路区域 21。(b) 是关于热控制电路区域 21 所进行的控制的流程图。

[0039] 图 7 是表示使半导体器件 100 的最高温度降低的具体例的图。

[0040] 图 8 是表示使半导体器件 100 的最高温度降低的具体例的图。

[0041] 图 9 是被层叠了的半导体芯片中的 1 个的俯视图, 表示同时地放热的 2 个部位的电路区域的位置。

[0042] 图 10 是被层叠了的半导体芯片中的 1 个的俯视图, 表示同时地放热的 2 个部位的电路区域的位置。

[0043] 图 11 是被层叠了的 5 层半导体芯片的剖面图, 表示同时地放热的 2 个部位的电路区域的位置。

[0044] 图 12 是被层叠了的半导体芯片中的 2 个的俯视图, 表示同时地放热的 2 个部位的电路区域的位置。

[0045] 图 13 是被层叠了的 5 层半导体芯片的剖面图, 表示同时地放热的 2 个部位的电路区域的位置。

[0046] 图 14 是表示改变了放热的电路区域的情形 1 及情形 2 相关的半导体器件 100 的各层的芯片 20 和底部填充胶 30 的示意图。

[0047] 图 15 上段为情形 1 的热分析结果, 下段为情形 2 的热分析结果。

[0048] 图 16 是表示情形 1 及情形 2 的半导体器件的热分析结果的图表。

[0049] 图 17 是内置有 8 个 DRAM 和控制器 LSI 的半导体器件的构成图。

[0050] 图 18 是在半导体器件 100 中改变散热构件 50 的配置、配置制冷剂管 52 或配置微型排水管 54 的图。

[0051] 图中符号说明 :10 转接板 (interposer), 15 贯通电极, 19 焊料球, 20 芯片, 21 热控制电路区域, 22 电路区域, 25 贯通电极, 27 焊盘, 29 逻辑 LSI, 30 底部填充胶, 40 密封树脂, 50 散热构件, 52 制冷剂管, 54 微型排水管, 100 半导体器件, 110 半导体器件, 120 半导体器件, 130 半导体器件, 200 半导体器件, A1-A4 电路区域, B1-B4 电路区域, C1-C2 电路区域, D1-D2 电路区域, HC 放热区域。

具体实施方式

[0052] <半导体器件的概略构成>

[0053] 图 1(a) 是表示本发明的第一实施方式的具有芯片 20 的多级层叠结构的半导体器件 100 的纵剖面图。

[0054] 如图 1(a) 所示, 半导体器件 100 将具有多个电路区域 22 的二维矩阵排列的芯片 20 层叠 8 层。半导体器件 100 例如为一边 L1 是 12mm 的正方形形状, 厚度 L2 为 0.66mm 左右的大小。在半导体器件 100 的底面配置有作为形成连接布线的中继用基板的转接板 10。在该转接板 10 上层叠着 8 层芯片 20。

[0055] 转接板 10 具有多个贯通电极 15。转接板 10 的多个第二贯通电极 15 的配置的间距大于层叠结构体的贯通电极 25 的配置的间距。在转接板 10 的下面，连接着与第二贯通电极 15 电连接的焊料球 19。而且，虽然转接板 10 是其与外部基板之间变更布线尺寸的一例，在上述方式中是变更布线的间距，而作为其他例子，也可以是变更布线长度、布线的宽度等。

[0056] 层叠于转接板 10 上的 8 层芯片 20(20-1 ~ 20-8) 由作为绝缘材料的密封树脂 40 密封。转接板 10 例如可以用玻璃环氧树脂、聚酰亚胺树脂、硅树脂构成。密封树脂 40 为了确保高可靠性而使用填充剂的含量多的热固化性树脂。例如作为密封树脂 40 可以使用填充剂的含量多的热塑性的环氧树脂。另外，也可以取代密封树脂 40 而用绝缘性陶瓷来密封。这里，转接板 10 优选用热导率高于密封树脂 40 的材料来形成。这样，就可以有效地向外部散热。

[0057] 第一实施方式的半导体器件 100 在密封树脂 40 的上面具有将热散出的散热构件 50。散热构件 50 例如可以使用如下的构件，即，用铝制成而具有多个散热片，增大了与外界接触的面积。

[0058] 图 1(b) 是从电路区域 22 侧看到的 1 个芯片 20 的俯视图。如图 1(b) 所示，1 个芯片 20 例如为边 L3 及边 L4 是 10mm 的正方形形状，厚度为 30~80 μm 的大小。本实施方式中，1 片芯片 20 具有 8 个电路区域 22。多个电路区域 22 分别为具有近似矩形平面形状的三维区域。多个电路区域 22 分别还具有多个贯通电极 25 和多个焊盘 27(参照图 2)。多个焊盘 27 设于第一面侧的多个贯通电极 25 的表面上。

[0059] 图 1(b) 中，在 8 个电路区域 22 中分别记载有 A1、A2、B1、B2、C1、C2、D1、D2。该电路区域 A1 和电路区域 A2 表示具有大致同等的功能，该电路区域 A1、A2 和电路区域 B2、B2 表示具有不同的功能。例如，电路区域 A1、A2 为存储器电路区域，电路区域 B1、B2 为逻辑电路区域。当然这是一个例子，也可以 1 个芯片 20 的多个电路区域 22 全是存储器电路区域，另一个芯片 20 的多个电路区域 22 全是逻辑电路区域。在各电路区域 22 的周围形成有贯通电极 25。另外，虽然在本实施方式中，1 片芯片 20 具有 8 个电路区域 A1、A2、B1、B2、C1、C2、D1 及 D2，然而 1 片芯片 20 只要具有至少一个电路区域即可。

[0060] 图 2(a) 是图 1(a) 所示的半导体器件 100 的局部放大图，图 2(b) 是其进一步的局部放大图。如图 2(a) 及 (b) 所示，在具有二维矩阵排列的多个电路区域 22 的第一层的芯片 20-1 处，层叠具有二维矩阵排列的多个电路区域 22d 的第二层的芯片 20-2。第二层的芯片 20-2 的多个贯通电极 25 与第一层的芯片 20-1 的多个贯通电极 25 由于在水平方向上设于相互对应的位置，因此芯片 20 的多个贯通电极 25 与芯片 20 的多个贯通电极 25 被借助焊盘 27 相互电连接。本实施方式中，第一层的芯片 20-1 的电路区域 22 与第二层的芯片 20-2 的电路区域 22 关于水平方向的位置完全地重合。

[0061] 第一层的芯片 20-1 与第二层的芯片 20-2 是指在硅(Si)材料上利用曝光装置形成了几层的电路图案的芯片。贯通电极 25 例如可以用 Au、Ag、Cu、Ni、W、SnAg、Poly-Si 等各种导体构成。焊盘 27 例如可以用 Sn/Pn、Au、Cu、Cu+SnAg 等各种导体构成。本实施方式中，使用 Poly-Si 的贯通电极 25，在焊盘 27 中使用 Cu。另外，贯通电极 25 与焊盘 27 的截面设为 20 μm × 20 μm 左右。

[0062] 本实施方式中，第一层的芯片 20-1 与第二层的芯片 20-2 之间的导通，即各层间的

电路区域 22 相互的电连接可以使用各种已知的方法来实施。例如,可以利用载重加热来进行芯片间的连接。另外,也可以在常温下仅利用载重的施加来进行芯片间的连接。还可以仅利用加热来进行芯片间的连接。另外,还可以利用超声波的施加来进行芯片间的连接。此外,也可以利用载重、加热及超声波的组合来进行芯片间的连接。作为具体例也可以利用本申请人申请的日本特开 2005-251972 等中公开的晶片重叠方法来连接。

[0063] 如图 2(a) 及 (b) 所示,向第一层的芯片 20-1 和第二层的芯片 20-2 之间供给底部填充胶 30。这里,使所供给的底部填充胶 30 接触芯片 20 的侧面。底部填充胶 30 由粘性低而发挥作为液体的性质的绝缘性树脂构成。具有作为液体的性质的底部填充胶 30 利用所谓的毛细管现象经第一层的芯片 20-1 与第二层的芯片 20-2 的间隙侵入至各芯片 20 的中心。这样,第一层的芯片 20-1 与第二层的芯片 20-2 的间隙就被利用具有作为液体的性质的底部填充胶 30 完全地填充。而且,底部填充胶 30 可以使用点胶机 (needle dispenser) 来供给。

[0064] 在用热固化性树脂构成底部填充胶 30 的情况下,通过对热固化的底部填充胶 30 加热,可以将其热固化。作为热固化性树脂的典型例,可以举出热固化性环氧树脂。如果只是将第一层的芯片 20-1 与第二层的芯片 20-2 的焊盘 Cu 利用载重加热连接,则在施加冲击载荷等的情况下,就会对芯片 20 施加很大的力,而如果底部填充胶 30 固化,则第一层的芯片 20-1 与第二层的芯片 20-2 就被密合地连接,变得牢固。而且,第一层的芯片 20-1 与第二层的芯片 20-2 的间隙 L5 优选设为 $10 \mu\text{m}$ - $30 \mu\text{m}$ 。

[0065] 而且,以上的说明中,主要对第一层的芯片 20-1 和第二层的芯片 20-2 进行了说明,然而第一实施方式的半导体器件 100 是从第一层的芯片 20-1 起层叠第八层的芯片 20-8。对于并未说明的第三层的芯片 20-3 到第八层的芯片 20-8,是和第一层的芯片 20-1 与第二层的芯片 20-2 的连接相同的构成。

[0066] 如果连接后的电路区域 22 由控制装置存取,则该电路区域 22 就会放热。当电路区域 22 特别是 MPU、高速通信用设备等时,则由于频繁地进行信号的切换,因此很容易在动作中自行放热。

[0067] 如图 2(b) 所示,在电路区域 22 的表面,即形成了电路图案的面产生放热区域 HC。

[0068] 另外,在一层的芯片 20 中形成 8 个电路区域 22。这些电路区域 22 在一层的芯片 20 内相互连接,另外也有第一层的芯片 20-1 的电路区域 22 与第八层的芯片 20-8 的电路区域 22 连接的情况。

[0069] < 半导体器件的放热 >

[0070] 图 3(a) 是表示第一实施方式的半导体器件 100 的各层的芯片 20 与底部填充胶 30 的示意图。此外,图 3(b) 表示 8 个电路区域 22 当中的电路区域 B1、B2 正在放热的状态。例如,将第一层的芯片 20-1 的电路区域 B1、B2 正在放热的状态表示于图 3(b) 的下段图中,将第四层的芯片 20-4 的电路区域 B1、B2 正在放热的状态表示于图 3(b) 的中段图中,将第八层的芯片 20-8 的电路区域 B1、B2 正在放热的状态表示于图 3(b) 的上段图中。以下,表示具有 8 个电路区域 22 的 8 层芯片 20 放热的情况下的热分析结果。

[0071] 《每个芯片层的最高温度及最大温差》

[0072] 图 4 表示每个芯片层的热分析结果。在该热分析中将半导体器件 100 的气流温度设为 45°C 。另外,如图 4(a) 所示使电路区域 B1、电路区域 C1、电路区域 D2 及电路区域 A2

分别产生 0.05W 的放热量,总计产生 0.2W 的放热量。另外,如图 1(a) 及图 2(a) 所示在半导体器件 100 的上部有散热构件 50,仅在该部分产生散热,在侧面及底面不使之散热而设为绝热状态。而且,将硅(Si)的热导率设为 148(W/m°C),将比热设为 750(J/kg°C),将密度设为 2330kg/m³。

[0073] 图 4(b) 所示的图表显示出在纵轴中表示温度的由芯片层的差别造成的温度状态。图表的左侧表示第一层的芯片 20-1 的电路区域 B1、电路区域 C1、电路区域 D2 及电路区域 A2 正在放热的情况。在半导体器件 100 内最大温度达到 96.39°C,最低温度达到 93.41°C。由此,半导体器件 100 内的最大温差 ΔT 达到 2.98°C。

[0074] 图表的中央表示第四层的芯片 20-4 的电路区域 B1、电路区域 C1、电路区域 D2 及电路区域 A2 正在放热的情况。在半导体器件 100 内最大温度达到 96.22°C,最低温度达到 93.39°C。由此,半导体器件 100 内的最大温差 ΔT 达到 2.83°C。

[0075] 曲线图的右侧表示第八层的芯片 20-8 的电路区域 B1、电路区域 C1、电路区域 D2 及电路区域 A2 正在放热的情况。在半导体器件 100 内最大温度达到 96.17°C,最低温度达到 93.31°C。由此,半导体器件 100 内的最大温差 ΔT 达到 2.86°C。

[0076] 在远离散热构件 50 的第一层集中地放热的情况下,最高温度、最大温差 ΔT 比较大。相反,在最接近散热构件 50 的第八层集中地放热的情况下,与第一层的情况相比最高温度受到抑制。而且,本热分析中是设想为 DRAM 而对电路区域 B1 提供 0.0225W 的放热能量,然而在逻辑 LSI 的情况下,由于产生与之相差几个数量级的放热能量,因此由放热场所的不同造成的最高温度、最大温差 ΔT 与本结果相比被进一步放大。

[0077] 根据以上说明,在 DRAM 及逻辑 LSI 等层叠结构的半导体器件 100 中最好将存取集中的电路区域配置于接近散热构件 50 的第八层等处。换言之,推荐将在功能上驱动时间短、即存取频率低的电路区域 22 配置于远离冷却散热构件 50 的位置,将驱动时间长、即存取频率高的电路区域 22 配置于接近冷却散热构件 50 的位置。利用本方法可以抑制作为整体的热的最大温差,接近热应变少的均等热分布状态。

[0078] 而且,本实施方式中,由于覆盖多个芯片 20 并与散热构件 50 接触的密封树脂 40 由单一材料形成,因此电路区域 22 与散热构件 50 之间的热导率是均匀的。由此,通过将多个电路区域 22 中的每单位面积的放热量越多的区域越靠近散热构件 50 进行配置,则多个电路区域 22 中的每单位面积的放热量越多的区域与散热构件 50 之间的热阻就会越小。也可以不是这样,例如通过将填充于每单位面积的放热量多的电路区域 22 与散热构件 50 之间的材料,设为与填充于每单位面积的放热量少的电路区域 22 与散热构件 50 之间的材料相比热导率高的材料等,来减小每单位面积的放热量多的电路区域 22 与散热构件 50 之间的热阻。

[0079] 此外,具备存储功能的 DRAM 与具备运算功能的逻辑 LSI 在集成度、功能方面完全不同。通常来说,逻辑 LSI 与每单位面积(体积)的放热量小的 DRAM 相比,每单位时间的放热量大几个数量级。由此,即使存取频率为相同程度,在层叠逻辑 LSI 的情况下,也最好将逻辑 LSI 配置于接近散热构件 50 的第八层等处。换言之,推荐将每单位时间的放热量大的电路区域 22 或芯片 20 配置于接近散热构件 50 的位置。

[0080] 《同一层内的最高温度及最大温差》

[0081] 图 5 表示同一芯片层内的热分析结果。该热分析中将半导体器件 100 的气隙温度

设为 45°C。另外,如图 1(a) 及图 2(a) 所示,在半导体器件 100 的上部有散热构件 50,仅在该部分产生散热,在侧面及底面中不散热而设为绝热状态。

[0082] 如图 5(a) 所示,将第一层的芯片 20-1 中的电路区域 22 在中央配置电路区域 B1 至电路区域 B4,在一方的周边配置电路区域 A1 及电路区域 A3,在另一方的周边配置电路区域 A2 及电路区域 A4。

[0083] 图 5(a-1) 中,对于第一层的芯片 20-1 中的电路区域 A1 至电路区域 A4 以及电路区域 B1 至电路区域 B4,使之均匀地产生 0.025W 的放热量。作为第一层的芯片 20-1 整体产生 0.2W 的放热量。将该情况下的温度状况表示于图 5(b) 的图表的左侧。在半导体器件 100 中最大温度达到 96.21°C,最低温度达到 93.52°C。由此,半导体器件 100 内的最大温差 ΔT 达到 2.69°C。

[0084] 图 5(a-2) 中,对于第一层的芯片 20-1 中的电路区域 A1 至电路区域 A4,使之产生 0.05W 的放热量。作为第一层的芯片 20-1 整体产生 0.2W 的放热量,以第一层的芯片 20-1 总计来算设为与 (a-1) 同等的放热量。将该情况下的温度状况表示于图 5(b) 的图表的中央。在半导体器件 100 中最大温度达到 96.31°C,最低温度达到 93.54°C。由此,半导体器件 100 内的最大温差 ΔT 达到 2.77°C。

[0085] 图 5(a-3) 中,对于第一层的芯片 20-1 中的电路区域 B1 至电路区域 B4,使之产生 0.05W 的放热量。作为第一层的芯片 20-1 整体产生 0.5W 的放热量,以第一层的芯片 20-1 总计来算设为与 (a-1) 同等的放热量。将该情况下的温度状况表示于图 5(b) 的图表的右侧。在半导体器件 100 中最大温度达到 96.39°C,最低温度达到 93.41°C。由此,半导体器件 100 内的最大温差 ΔT 达到 2.98°C。

[0086] 根据以上可知,在一层的芯片 20 中存在多个电路区域 22 的情况下,如图 5(a-1) 所示,均等地放热的一方可以减小最大温差 ΔT 。另外可知,在多个电路区域 22 中的一部分的电路区域 22 放热的情况下,与将向周边放热的电路区域 22 配置于中央相比,配置于周边的做法可以减小最大温差 ΔT 。

[0087] 即,在 DRAM 及逻辑 LSI 等层叠结构的半导体器件 100 中,在一部分的电路区域 22 放热的情况下,最好将存取集中的电路区域配置于周边,而不是配置于中央。换言之,推荐将驱动时间长、即存取频率高的电路区域 22 在 1 层的芯片 20 内配置于周边。另外,即使存取频率为相同程度,在芯片 20 内混杂有逻辑 LSI 和 DRAM 的情况下,最好将逻辑 LSI 配置于周边。换言之,推荐将每单位时间的放热量大的电路区域 22 在芯片 20 内配置于周边。

[0088] 《热分布的监视》

[0089] 电路区域 22 根据其功能不同,存取频率、驱动周期时间、每单位时间的放热量等不同。另外,电路区域 22 在与散热构件 50 之间的相对距离关系方面也分别不同。考虑到这些,在上述实施方式中,对于芯片 20 或电路区域 22 的配置而言,对最适于散热的配置进行了说明。本实施方式中,将其进一步推进,以将作为半导体器件 100 整体的热分散最佳化为目的,在这些状态全部掌握后进行热控制。

[0090] 图 6(a) 是与图 1(a) 所示的半导体器件 100 大致同等的结构,然而在第一层的芯片 20-1 内,具有热控制的热控制电路区域 21。这是因为,由于热控制电路区域 21 是对 8 层芯片 20 的全部电路区域 22 进行控制,因此优选配置于容易监视存取频率及驱动周期时间的第一层。

- [0091] 图 6(b) 是关于热控制电路区域 21 进行的控制的流程图。
- [0092] 步骤 S11 中, 热控制电路区域 21 监视各电路区域 22 的存取频率及驱动周期。
- [0093] 在步骤 S13 中, 热控制电路区域 21 基于监视信息推定各电路区域 22 的放热量。由于热控制电路区域 21 已经存储有各电路区域 22 的每 1 次存取及驱动周期的放热量, 因此可以通过监视存取频率及驱动周期来推定放热量或温度。
- [0094] 步骤 S15 中, 热控制电路区域 21 基于推定出的各电路区域 22 的放热量, 推定在半导体器件 100 中产生的最高温度及最大温差 ΔT 。考虑本实施方式中以 8 层芯片 20 构成这一点、散热构件 50 的位置等, 来推定半导体器件 100 的最高温度及最大温差 ΔT 。
- [0095] 步骤 S17 中, 热控制电路区域 21 判断半导体器件 100 的最大温差 ΔT 及最高温度是否在容许范围内。如果在容许范围内, 则进入到步骤 S11, 仍然继续监视。如果在容许范围外, 则进入到步骤 S19。
- [0096] 步骤 S19 中, 热控制电路区域 21 按照将半导体器件 100 的放热分散化的方式进行控制。
- [0097] 而且, 虽然在本实施方式中将最高温度及最大温差 ΔT 作为参数, 然而除此以外也可以在参数中加入每单位距离的热梯度等。
- [0098] 步骤 S19 中的按照将放热分散化的方式进行控制的方法有如下所示的方法。也就是说, 将具有同等的功能的电路区域 22 预先在设计阶段在半导体器件 100 中分散配置于多个部位。此外, 热控制电路区域 21 对远离散热构件 50 的位置的电路区域 22 进行减少存取频率、时间的控制, 对接近散热构件 50 的位置的电路区域 22 进行增加存取频率、时间的控制。通过进行此种控制, 热控制电路区域 21 就将半导体器件 100 的最大温差 ΔT 及最高温度导向容许范围内。
- [0099] 而且, 作为将在芯片 20 中具有同等的功能的电路区域 22 设于多个部位的一例, 可以举出为了弥补制造时的缺陷等而使之具有冗余性 (redundancy)。即, 有时除了使用预定的电路区域 22 以外, 还设置具有与该电路区域 22 同等的功能的作为冗余电路的电路区域 22。该情况下, 对使用预定的电路区域 22 和与之对应的冗余电路的电路区域 22 进行上述控制。
- [0100] 图 7 及图 8 是表示使半导体器件 100 的最高温度降低的具体例的图。在如图 7(a) 所示第一层的芯片 20-1 内的电路区域 B1 及电路区域 B2 的 2 个部位持续放热的情况下, 可以得到如图 7(b) 所示的时间的温度分析。
- [0101] 该情况下, 在稳定时第一层的最高温度在电路区域 B2 中达到 96.81°C, 最低温度在电路区域 C2 中达到 95.5°C。此外电路区域 B1 达到 96.53°C。顺便地说, 电路区域 B1 的最高温度低于电路区域 B2 的最高温度是因为, 电路区域 B1 的三个方向被热导率良好的硅 (Si) 的电路区域 A1、电路区域 C1 及电路区域 D2 包围。
- [0102] 根据该结果, 为使第一层的最高温度低于 96.81°C, 在第一层的最高温度达到 96.81°C 之前, 将存取切换到具有相同的功能的尽可能不相邻的远方的电路区域 22。通过像这样在该电路区域 22 到达最高温度之前依次切换放热部位, 就可以将最高温度本身压制得很低。具体来说如下所示。
- [0103] 图 8 表示将电路区域 B2 和电路区域 B1 切换时的温度上升。当最初仅对电路区域 B2 供电输入而使之有效时, 温度即慢慢地上升。在一直这样不切换的情况下, 如虚线所示达

到 96.81℃。所以,在时刻 T1 切换为具有相同的功能的电路区域 B1。虽然电路区域 B1 也受到周围温度上升的影响而温度已经上升,然而当对电路区域 B1 供电输入而使之有效时,温度即上升。另一方面,电路区域 B2 的温度下降。

[0104] 为了限制电路区域 B1 的温度的上升,在时刻 T2 停止对电路区域 B1 的电输入而再次切换为电路区域 B2。电路区域 B2 的温度已有一定程度的降低,从该温度起电路区域 B2 的温度上升。另外,为了限制电路区域 B2 的温度的上升,在时刻 T3 停止对电路区域 B2 的电输入而再次切换到电路区域 B1。将其依次反复进行下去。由于输入能量相同,因此放热部位的不均匀化得到缓解,将半导体器件 100 整体平均化。这样,就可以在比最高温度 96.81℃ 低 Δtt 的规定温度下驱动半导体器件 100 整体。

[0105] 而且,在从一个电路区域切换到另外的电路区域的情况下,在所切换的候补的电路区域的温度也高时,则再将其他的电路区域作为切换的候补。将其依次反复进行下去。另外,在成为候补的电路区域有多个的情况下,可以从与目前被驱动的电路区域距离远的电路区域起切换。

[0106] 《利用虚拟驱动进行热分散》

[0107] 对本来也可以不驱动的停止中的电路区域 22 也供电输入而使之有效,进行故意地使之放热的虚拟驱动。这样,就可以避免热应变仅集中于局部地放热的电路区域 22 周边。该方法在电路起动时等与稳定时相比放热区域与非放热区域的温差容易变大的过渡状态时尤其有效。而且,如果例如从与相对于放热的电路区域 22 来说上下、左右对称位置接近的区域中选择虚拟驱动的电路区域 22,则可以使作为半导体器件 100 整体的热变形从不对称接近对称形,可以避免半导体器件 100 的热变形。

[0108] 而且,虚拟驱动的电路区域 22 并非总是进行虚拟驱动,如果该电路区域 22 需要进行必需的动作,则可以进行本来的驱动。

[0109] 图 9 表示了关于同一芯片层内的放热电路区域的配置的比较。图 9(a) 中,表示电路区域 B1 及电路区域 B4 正在放热的情况。电路区域 B1 与电路区域 B4 被沿着相互的界面互相错开地配置,本实施例中只是在各自的角部接触,没有一边整体接触的情况。另一方面,图 9(b) 中,电路区域 B1 与电路区域 B2 正在放热,然而电路区域 B1 与电路区域 B2 中将一边相接(共有)地放热。由于热必然是从放热区域传导至非放热区域,因此电路区域的温度在一定程度上是根据正在放热的电路区域以何种程度的面积与未放热的电路区域接触而决定的。所以,只要求出正在放热的电路区域与未放热的电路区域接触的面积即可,而这可以通过将各电路区域的大小设为短边 a、长边 b、厚度 t,计算同一芯片层内的正在放热的电路区域与未放热的电路区域相互共有的界面的面积,来简单地计算。顺便地说,各电路区域的平面的面积 S 可以表示为 $S = a \times b$ 。

[0110] 在图 9(a) 的情况下,电路区域 B1 及电路区域 B4 的 3 条边与未放热的电路区域接触,而在图 9(b) 的情况下,正在放热的电路区域 B1 及电路区域 B2 各自共有一条边,以 2 条边与未放热的电路区域接触。由此,图 9(b) 的一方与图 9(a) 相比,与未放热的电路区域接触的正在放热的电路区域的面积合计小 $S = 2 \times b \times t$ 。如果从正在放热的电路区域看,则由于未放热的电路区域是低温的热吸收体,因此在正在放热的电路区域的周围与未放热的电路区域较多地接触的一方就会具有较多的冷却路径。如果将正在放热的电路区域 B1、电路区域 B2 及电路区域 B4 的放热量设为相同,则正在放热的电路区域的配置为图 9(a) 所示的

情况的一方就会具有较多的冷却路径,导致同一芯片层内的最高温度的降低及温差(最高温度与最低温度的差)的减少。这也利用上述的热分析方法确认。

[0111] 虽然在图9中并未图示,然而也可以考虑将正在放热的电路区域与未放热的电路区域相互分离而完全不接触的配置。例如,可以考虑仅电路区域B1与电路区域A4放热的情况,而即使设为此种配置,由于与未放热的电路区域较多地接触,因此也可以期待同一芯片层内的最高温度的降低及温差(最高温度与最低温度的差)的减少。此外,虽然在图9中将一个芯片层内8等分,然而并不限于8等分。既可以是比之少的分割数,也可以是比之多的分割数。另外,分割也不需要等分地分割。即使在以不同的大小分割的情况下,只要是按照不会实质性地产生正在放热的电路区域相互共有的界面的面积的方式离散地配置,就可以期待完全相同的效果。另外,虽然在本实施例中以长方形分割,然而并不限于该形状。此外,虽然在图9中处置8个电路区域当中的2个电路区域放热的情况,然而并不限于仅2个电路区域放热。即使在3个以上的电路区域放热的情况下,只要按照不会实质性地产生相互共有的界面的面积的方式离散地配置,就可以实现同一芯片层内的最高温度的降低及温差(最高温度与最低温度的差)的减少。这也利用上述的热分析方法确认。

[0112] 如果对图9(a)与图9(b)的差别进行一般性的说明,则在图9(b)的情况下,同一芯片层内相邻的2个正在放热的电路区域B1及B2具有共有的界面的面积,也就是说,该情况下面积 $S = b \times t$ 成为共有的界面的面积,可以称为具有该面积的配置。然而,在图9(a)的情况下,正在放热的电路区域B1及B4被离散地配置,各自只是在角部接触。该情况下没有共有的界面的面积。由于如果从正在放热的电路区域看,则未放热的电路区域是“低温的吸热体(=冷却源)”,因此图9(a)的构成一方与图9(b)的构成相比,就会多具有 $2 \times b \times t$ 的面积的冷却路径,其结果是,可以实现最高温度的降低、 ΔT 的减少。像这样,就需要因电路的驱动而同时地放热的电路区域之间的界面不被共有。即,有效的做法是,将多个电路区域中的因电路的驱动而同时地放热的第一电路区域与第二电路区域按照不会实质性地产生相互共有的界面的面积的方式离散地配置。

[0113] 图10表示了同一芯片内在重复的时间带中被驱动的电路区域B3与电路区域B4的配置例。如该图所示,电路区域B3与电路区域B4被配置为,沿着相互的界面互相错开。这里,电路区域B3与电路区域B4的一部分沿着界面互相错开,而剩余的部分从与界面正交的方向看重合。应用了本配置例的芯片中,与图9(b)的情况相比,可以减小电路区域B3与电路区域B4共有的界面的面积($S = c \times t$),可以扩大冷却路径。

[0114] 图11表示了将具有图1(b)的俯视图中所示的8个电路区域A1、A2、B1、B2、C1、C2、D1、D3的半导体芯片20(20-1-20-5)层叠5层的半导体器件的剖面图,表示了关于不同的芯片层中的两个正在放热的电路区域的配置的比较。虽然严格地说配置有如图2所示的底部填充胶30或密封树脂40,然而在图11中省略。

[0115] 图11(a)中,表示第二层的电路区域A2与第四层的电路区域B1、或者第二层的电路区域C1与第四层的电路区域D2正在放热的情况。在该情况下,由于正在放热的电路区域被相互分离,被隔着由未放热的电路区域所占的层地配置,因此正在放热的电路区域成为其所接触的周围的5个面正在放热的电路区域。

[0116] 另一方面,图11(b)中,表示第三层的电路区域B1与第四层的电路区域B1正在放热的情况。第二层的电路区域B1与第三层的电路区域B1相邻。所以,如果计算2个正在

放热的电路区域 B1(第三层和第四层的 B1) 的相对于未放热的电路区域的面积，则图 11(b) 的一方小 $S = 2 \times a \times b$ 。如果从正在放热的电路区域看，则由于未放热的电路区域是低温的热吸收体，因此在未放热的电路区域 B1 的周围与未放热的电路区域较多地接触的一方就会具有较多的冷却路径。当然图 11(b) 的配置并不仅限于第三层的电路区域 B1 与第四层的电路区域 B1 正在放热的情况。也可以是相邻的任意的半导体芯片层间。此外，虽然在图 11(b) 的情况下，是第二层的电路区域 B1 与第三层的电路区域 B1 从图的上下方向（图 11 是从横剖面方向）看完全重合的情况下，然而根据电路区域的大小不同，也有不完全重合的情况。在该情况下也是在相邻的芯片间正在放热的电路区域具有共有的界面的面积。

[0117] 如果对图 11(a) 与图 11(b) 的差别进行一般性的说明，则在图 11(b) 的情况下，在相邻的芯片间正在放热的电路区域具有共有的界面的面积，也就是说，在该情况下，面积 $S = a \times b$ 成为共有的界面的面积，可以称为具有该面积的配置。然而，在图 11(a) 的情况下，该未放热的电路区域被离散地配置，在该情况下没有共有的界面的面积，共有的界面的面积为零。换言之，图 11(a) 的构成中 2 个正在放热的电路区域在高度方向上不相邻，而图 11(b) 的构成中是相邻的（邻层、相同区段），其结果是，与图 11(a) 的构成相比未放热的电路区域的冷却路径少面积 $2 \times S$ ，由此就可以实现作为层叠型半导体器件的最高温度的降低或由热分布的不均造成的大温差 ΔT 的减少。而且，虽然严格地说在被层叠的半导体芯片的各层间设有底部填充胶 30（参照图 2），然而该底部填充胶 30 很薄，从正在放热的电路区域看基本上无法期待由吸热所带来的冷却效果。

[0118] 像这样，作为层叠有多个半导体芯片 20 的层叠型半导体器件，在相互邻接的第一半导体芯片与第二半导体芯片中，在具有因电路的驱动而放热的第一电路区域的第一半导体芯片、与具有因电路的驱动而与第一电路区域同时地放热的第二电路区域的第二半导体芯片之间，需要按照在第一电路区域与上述第二电路区域中不会实质性地产生相互共有的界面的面积的方式，离散地配置第一及第二电路区域。

[0119] 即，需要将第一电路区域与第二电路区域按照沿着相互的界面互相错开的方式配置，使得界面整体不会接触。在该情况下，通过将第一电路区域与第二电路区域的整体错开，仅使边与边、或角部与角部接触，就可以有效地提高散热效果。但是，如图 12(a)、(b) 所示，在将第一电路区域与第二电路区域配置为，在芯片层叠方向上看局部错移，剩余的部分重合的情况下，与图 11(b) 的情况相比，也可以使第一电路区域与第二电路区域共有的界面的面积更小，可以扩大冷却路径。

[0120] 另外，图 13 中，表示了电路区域 B1 的配置例。如该图所示，本配置例中，在将在重复的时间带中被驱动的多个电路区域 B1 沿芯片层叠方向相接地配置的情况下，在沿芯片层叠方向排列的电路区域 B1 的列中，配置至少一层作为非驱动的不放热的非放热区域。这样，就可以确保芯片层叠方向上的散热路径。

[0121] 而且，显而易见，第一电路区域及上述第二电路区域是与其他的电路区域相比存取时间更多的电路区域。另外，在第一电路区域及第二电路区域为逻辑电路区域的情况下，与其他的电路区域相比放热量大，本实施方式的构成是有效的。另外，如图 6 所示，在第一层的芯片 20-1 内，为了对 8 层的芯片 20 的所有电路区域 22 进行控制，也可以具有热控制的热控制电路区域 21。

[0122] <半导体器件的放热>

[0123] 下面,对图 9 到图 13 中说明的放热的电路区域,更具体来说,对热分布进行热分析。

[0124] 图 14 到图 17 是根据电路区域相互共有的界面的大小来热分析出形成何种热分布的结果。

[0125] 图 14 的左图是表示图 3(a) 中所示的第一实施方式的半导体器件 100 的各层的芯片 20 与底部填充胶 30 的示意图。此外,在情形 1 中,表示 8 个电路区域 22 当中,第一层的芯片 20-1 的电路区域 A1 正在放热、第二层的芯片 20-2 的电路区域 A1 正在放热、第三层的芯片 20-3 的电路区域 A1 正在放热的状态。在情形 2 中,表示 8 个电路区域 22 当中,第一层的芯片 20-1 的电路区域 A1 正在放热、第二层的芯片 20-2 的电路区域 B2 正在放热、第三层的芯片 20-3 的电路区域 D1 正在放热的状态。也就是说,情形 1 的电路区域相互共有的界面大,情形 2 的电路区域相互共有的界面小。而且,情形 1 及情形 2 都将放热的 3 个电路区域的合计热量设为 0.2W,向外部环境的散热条件也设为相等。

[0126] 图 15 是表示了半导体器件 100 的热分析结果的图,上段为情形 1 的热分析结果,下段为情形 2 的热分析结果。这些图中,为了说明的方便,情形 1 及情形 2 都是去掉底部填充胶 30 地描绘的。图 15 的热分析中,颜色浅(白)的一方表示高温度,颜色深(黑)的一方表示低温度。

[0127] 上段所示的情形 1 的左图是从图 14 的上面看到的热分析分布,是第八层的芯片 20-8 的热分布。从第八层的芯片 20-8 的电路区域 A1 到电路区域 B2 温度慢慢地降低。另外,情形 1 的右图是从图 14 的下面看到的热分析分布,是第一层的芯片 20-1 的热分布。可知第一层的芯片 20-1 的电路区域 A1 中温度变得非常高,从电路区域 A1 到电路区域 B2 温度慢慢地降低。可知仅在第一层的芯片 20-1 中就产生约 2.4℃以上的温差。

[0128] 下段所示的情形 2 的左图是从图 14 的上面看到的热分析分布,是第八层的芯片 20-8 的热分布。从第八层的芯片 20-8 的电路区域 D1 到电路区域 C2 温度慢慢地降低。第八层的芯片 20-8 的各电路区域的温差约为 0.6℃以下,温差非常小。另外,情形 1 的右图是从图 14 的下面看到的热分析分布,是第一层的芯片 20-1 的热分布。第一层的芯片 20-1 的电路区域 A1、电路区域 B2 及电路区域 D1 中温度变高,电路区域 B1、C1、C2 的温度低。可以理解,虽然第一层的芯片 20-1 的电路区域 A1 正在放热,然而热向其他的电路区域扩散,并且可以理解,因第二层的芯片 20-2 的电路区域 B2 及第三层的芯片 20-3 的电路区域 D1 的放热,第一层的芯片 20-1 的电路区域 B2 及电路区域 D1 也将热吸收。

[0129] 《半导体器件的最高温度、最低温度及最大温差》

[0130] 图 15 是表示情形 1 及情形 2 的半导体器件的热分析结果的图表。图 16(a) 所示的图表表示在纵轴中显示温度的放热的电路区域的分散效果的比较 1。图表的左侧表示情形 1 及情形 2 的半导体器件 100 的电路区域的最高温度,图表的右侧表示情形 1 及情形 2 的半导体器件 100 的电路区域的最低温度。

[0131] 情形 1 中,如图 16(a) 所示,半导体器件 100 内最大温度达到 97.76℃,最低温度达到 95.25℃。由此,如图 16(b) 所示,半导体器件 100 内的最大温差 ΔT 达到 2.51℃。

[0132] 情形 2 中,图 16(a) 所示的半导体器件 100 内最大温度达到 96.44℃,最低温度达到 95.47℃。由此,如图 16(b) 所示,半导体器件 100 内的最大温差 ΔT 达到 0.97℃。如果减小放热电路区域相互共有的界面,则可以将温差减小 2 倍以上。

[0133] 《内置有 8 个 DRAM 和控制器 LSI 的半导体器件》

[0134] 图 17 表示将 8 层半导体芯片 20(20-1-20-8), 具体来说是将 8 个 512Mbit DRAM 和 1 个逻辑 LSI(控制器 LSI)29 在单一的封装内层叠的半导体器件 200。而且, 对于与图 1 相同的构件使用相同的编号。

[0135] 图 14 中表示在第一层的芯片 20-1 与第二层的芯片 20-2 之间形成有底部填充胶 30 的例子, 然而如图 17 所示, 在半导体器件 200 的底面配置有作为形成连接布线的中继用基板的转接板 10, 在其下配置有逻辑 LSI29。在并非配置底部填充胶 30 而是配置转接板 10 的情况下, 也优选减小电路区域相互共有的界面。由于逻辑 LSI29 是其整体放热, 因此为减小 8 层半导体芯片 20 的电路区域相互共有的界面, 最好尽可能不使用第一层的电路区域。

[0136] <散热构件的配置>

[0137] 虽然在上述的多个实施方式中, 也可以如图 1 所示, 半导体器件 100 在密封树脂 40 的上面具有散出热的散热构件 50, 然而如图 18 所示, 有各种冷却方法。

[0138] 图 18 是在半导体器件中改变散热构件 50 的配置或配置制冷剂管 52 的图。图 18(a) 所示的第二半导体器件 110 与图 1(a) 的第一半导体器件 100 不同, 并非在密封树脂 40 的上面具备散热构件 50 的构成, 而是在密封树脂 40 的侧面具备散热构件 50。第二半导体器件 110 中并非容易将热从第八层的芯片 20-8 中散逸, 而是容易将热从所有的芯片 20 的周边侧散逸。

[0139] 图 18(b) 所示的第三半导体器件 120 与图 18(a) 的第二半导体器件 110 不同, 并非具备散热构件 50 的构成, 而是具备制冷剂管 52 的构成。这是因为, 通过不采用使用散热构件 50 的空冷, 而是在制冷剂管 52 中流过制冷剂, 例如水, 来更为有力地强制性地实现冷却。该情况下也容易将热从所有的芯片 20 的周边侧散逸。

[0140] 图 18(c) 所示的第四半导体器件 130 是除了图 1(a) 的第一半导体器件 110 的构成以外还具备制冷剂管 52 的构成。不仅利用使用散热构件 50 的空冷将热从上面散逸, 而且还从侧面将热有力地散逸。

[0141] 图 18(d) 是第五半导体器件的局部放大图。该第五半导体器件是在芯片 20 与芯片 20 之间的底部填充胶 30 中配置了微型排水管 54 的例子。除了第一半导体器件 110 的构成以外还具备制冷剂管 52。通过在微型排水管 54 中流过制冷剂, 例如水, 就可以更为直接地将芯片冷却。既可以是微型排水管 54 单独的冷却, 也可以是使用微型排水管 54 和散热构件 50 的冷却。

[0142] 对于这些第二半导体器件 110、第三半导体器件 120、第四半导体器件 130 及第五半导体器件, 也可以应用上述的实施方式。

[0143] 在以上的说明中, 使用远离或接近散热构件 50 这样的用语说明本实施方式, 而这是因为以作为绝缘材料的密封树脂 40 具有均匀的热导率为前提的。如果散热构件 50 与放热源之间是相同的热导率, 则远离散热构件 50 就难以将热散逸, 接近散热构件 50 就容易将热散逸。另一方面, 在散热构件 50 与放热源之间有热导率高的构件等时, 即使距离远也容易将热散逸。所以, 在一般化地考虑的情况下, 以如下的示意表示, 即, 所谓难以将热散逸的状态是指热阻大的状态(或热导小的状态), 所谓容易将热散逸的状态是指热阻小的状态(或热导大的状态)。

[0144] 虽然在上述实施方式中, 在第一层的芯片 20-1 内配置了热控制的热控制电路区

域 21,然而也可以配置于第二层的芯片 20-2 中。另外,也可以不用在半导体器件 100 内设置热控制电路区域 21,而是利用来自其他的半导体器件的控制来控制半导体器件 100 的热分布。此外,虽然用将芯片 20 分割为 8 个的电路区域 22 进行说明,然而在电路区域 22 内设置进一步分割为多个的面向特殊用途的电路区域的情况下也是相同的。

[0145] 另外,虽然在上述实施方式中,将散热构件 50 或制冷剂管 52 设于半导体器件 100 中,然而也可以不用主动地设置散热构件 50 或制冷剂管 52,而是通过将密封树脂 40 设为热导率良好的材料而从整体中散热。

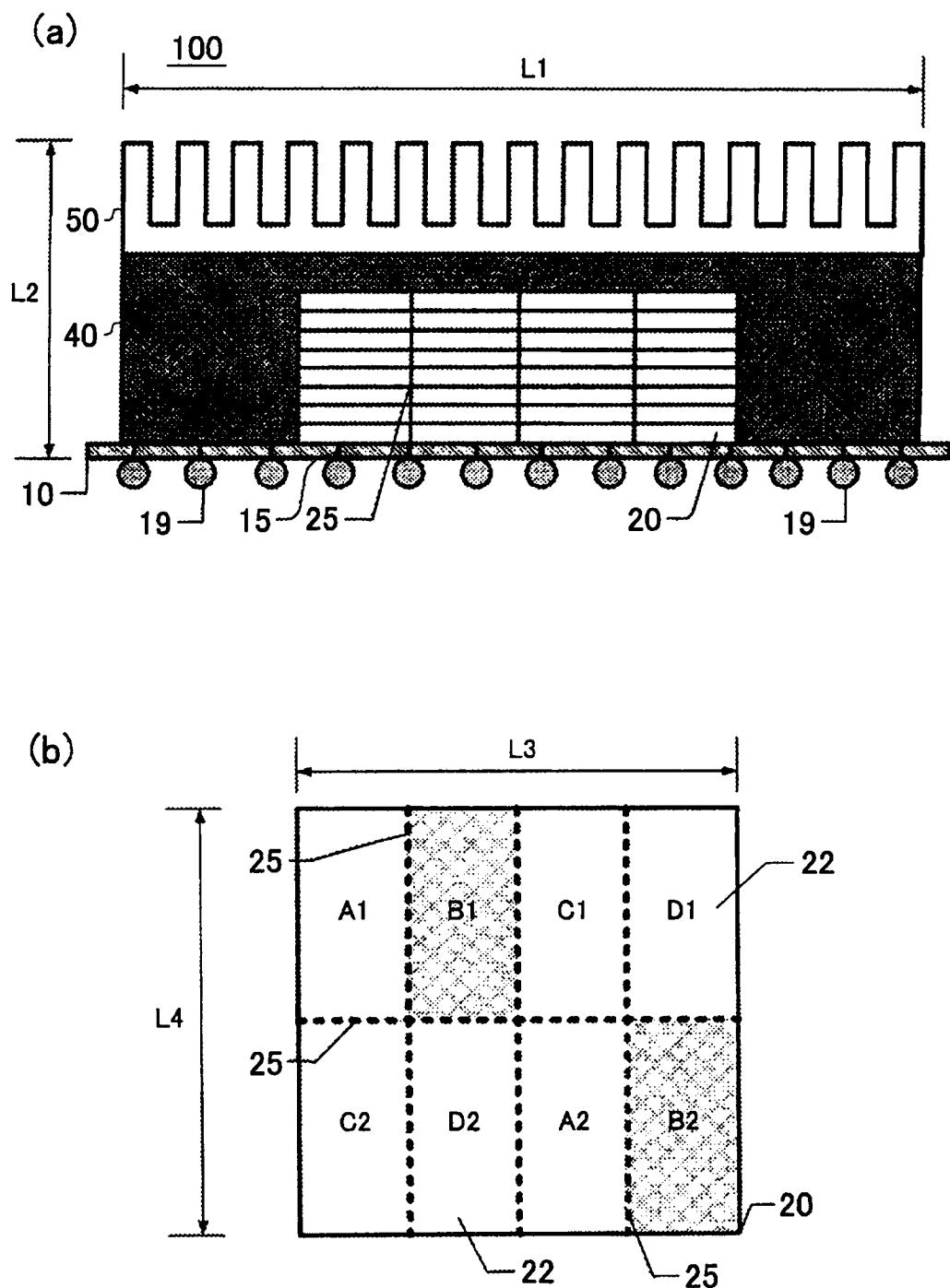


图 1

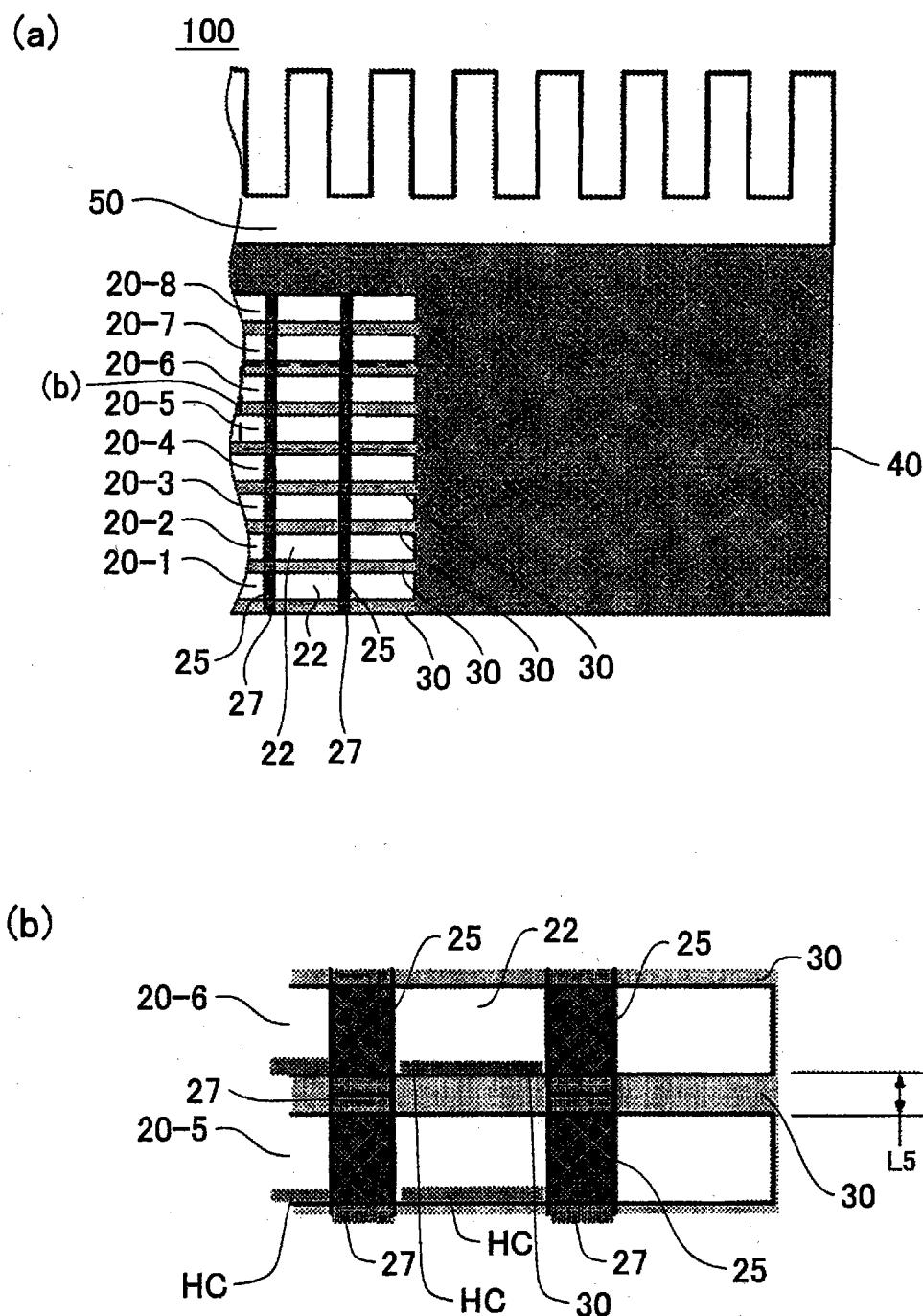


图 2

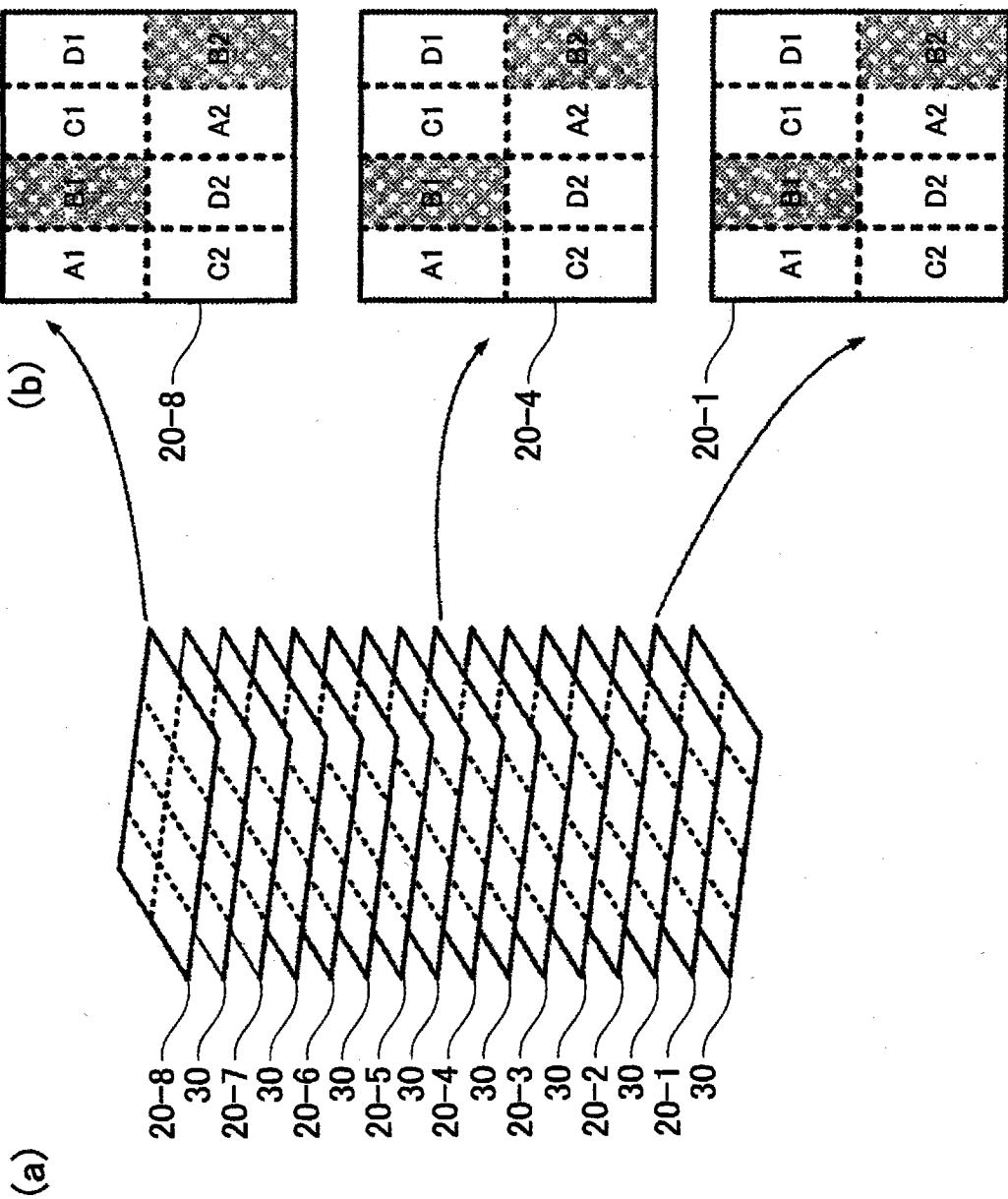


图 3

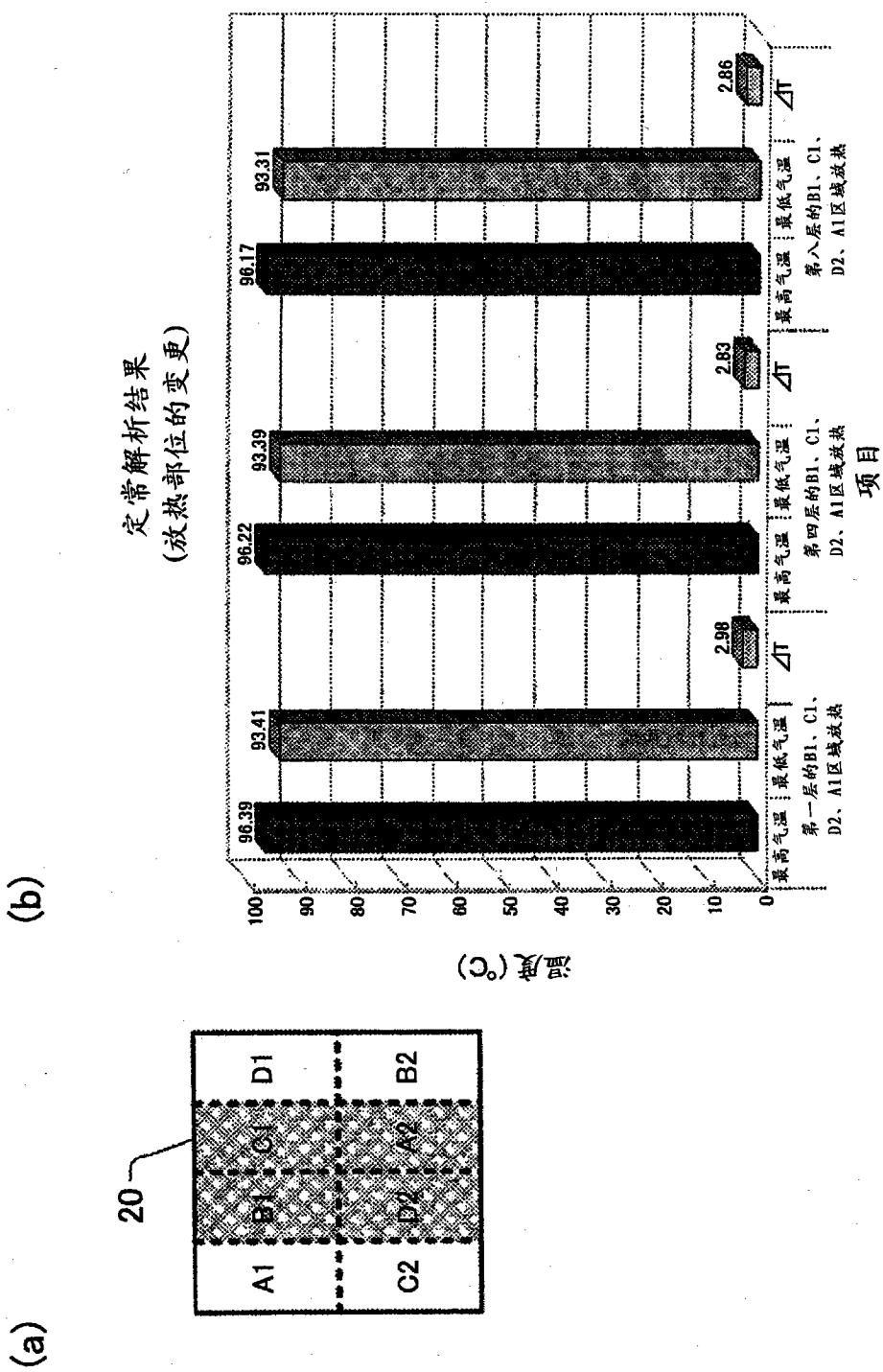


图 4

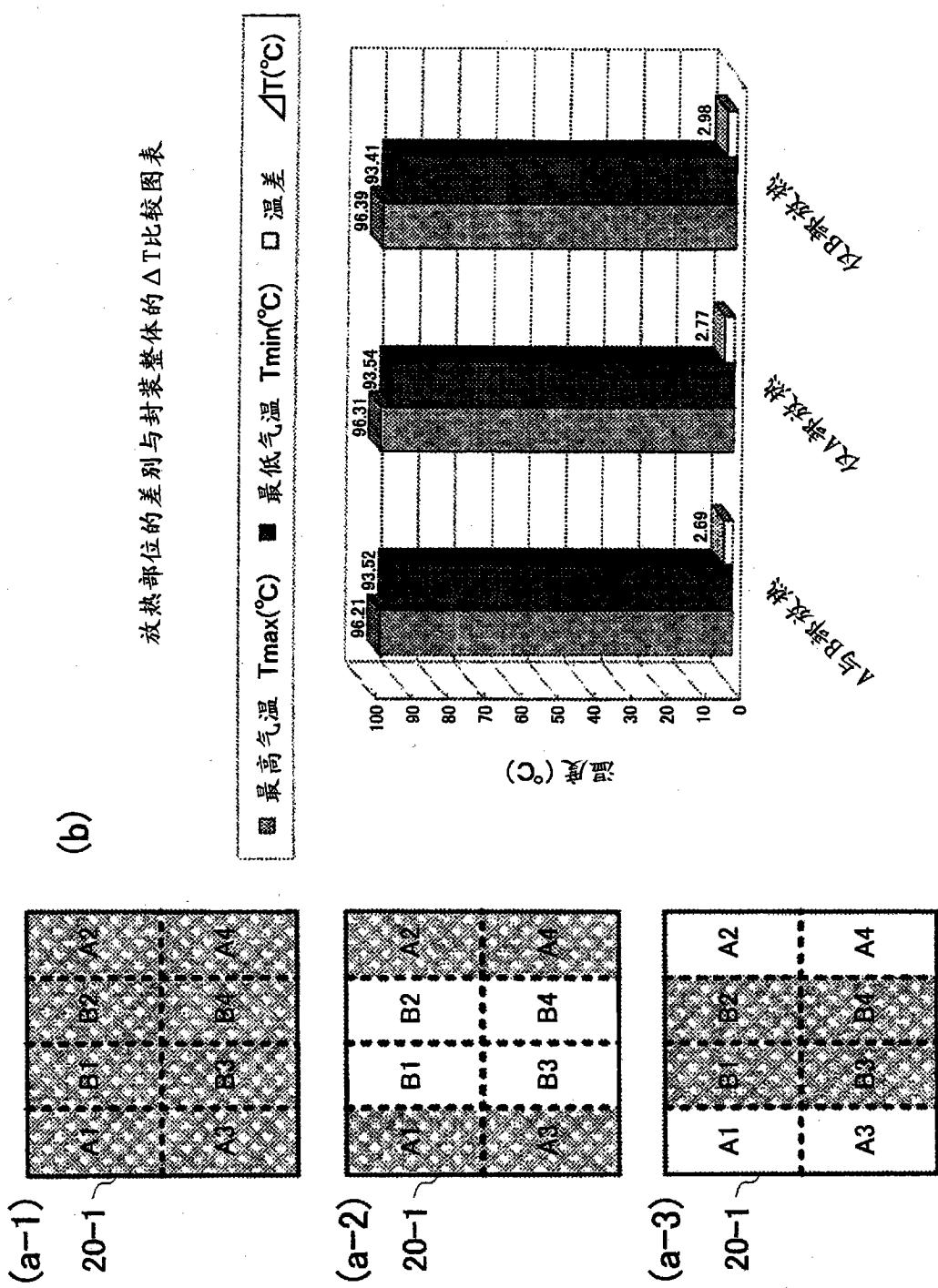


图 5

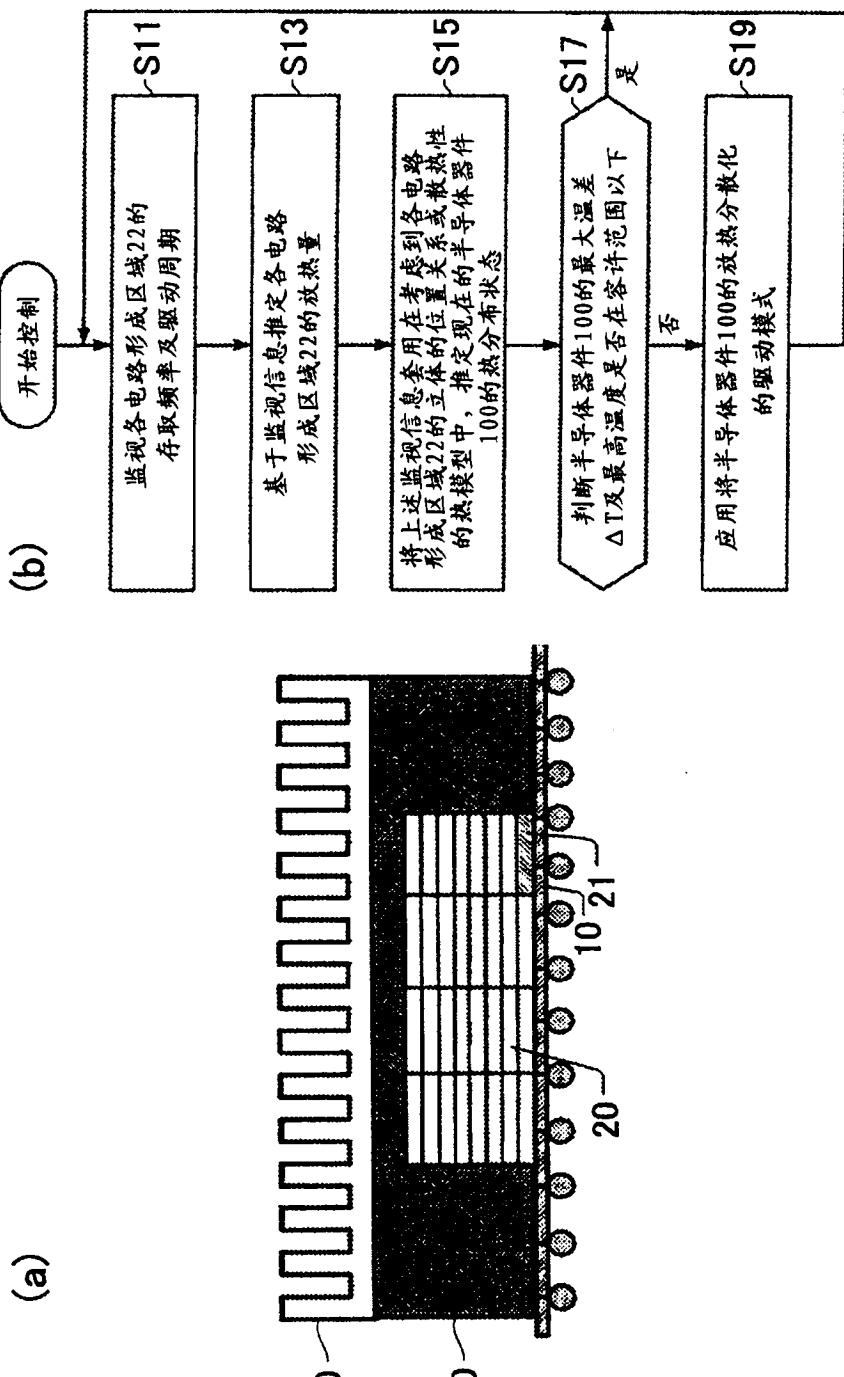
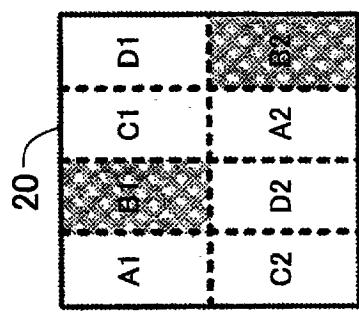


图 6

(a)



(b)

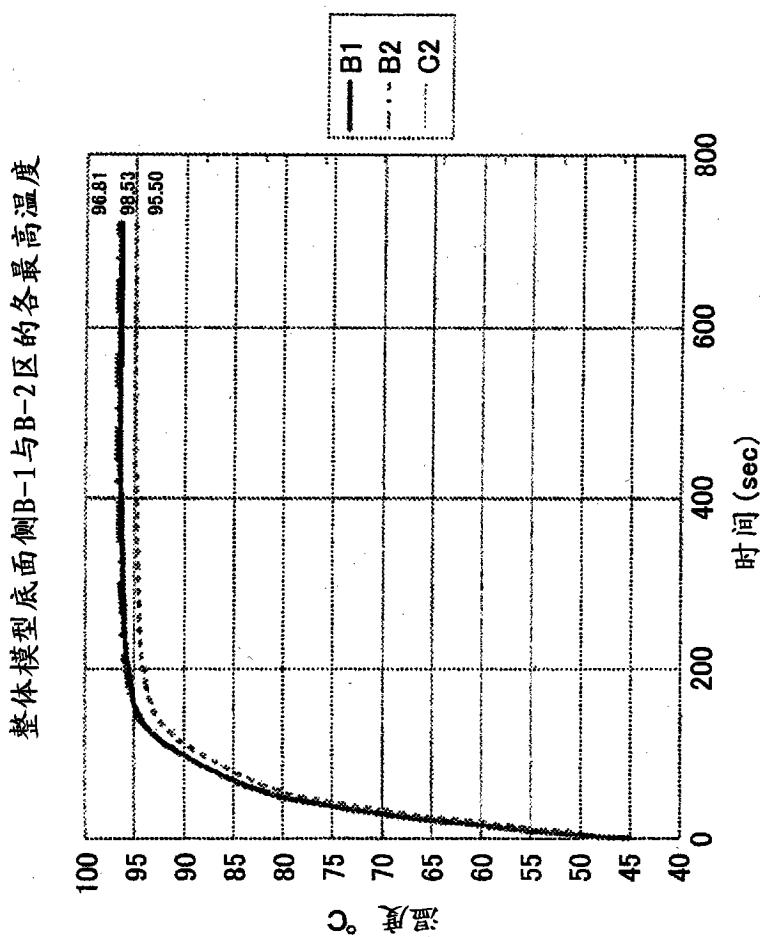


图 7

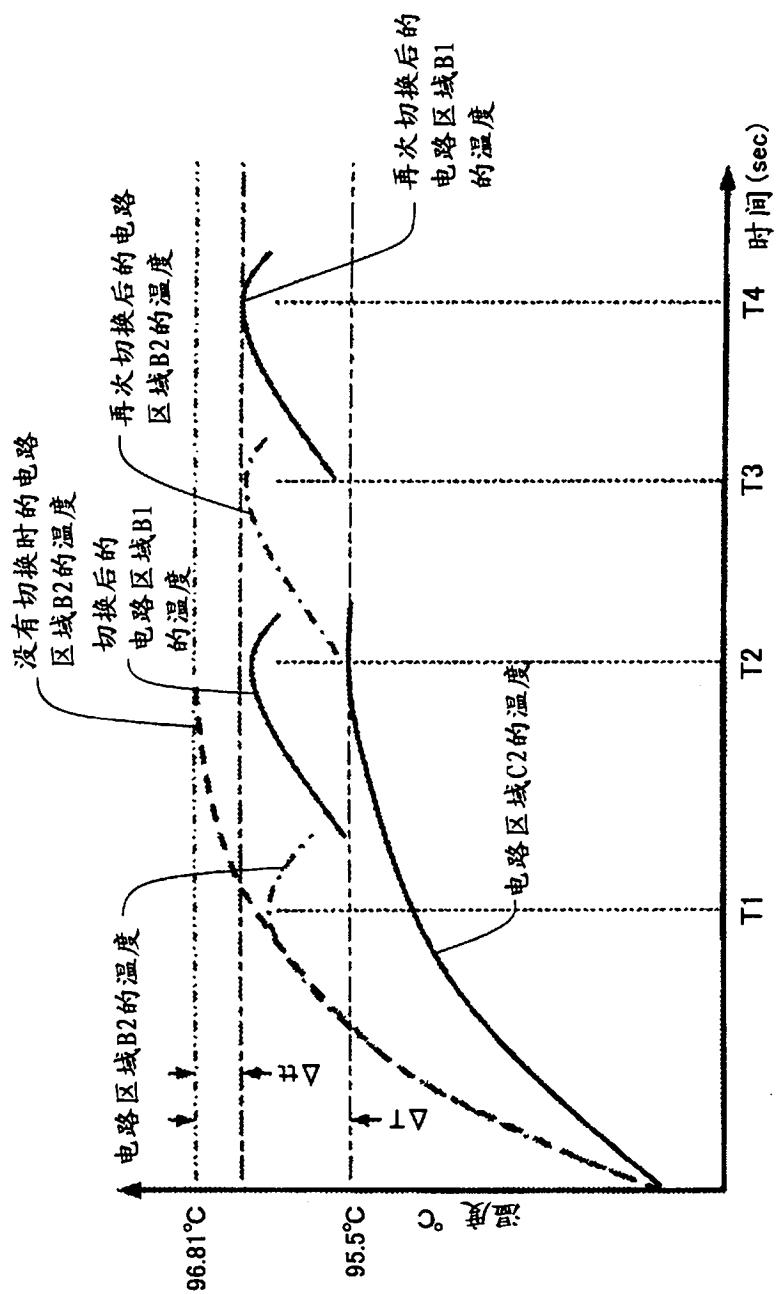


图 8

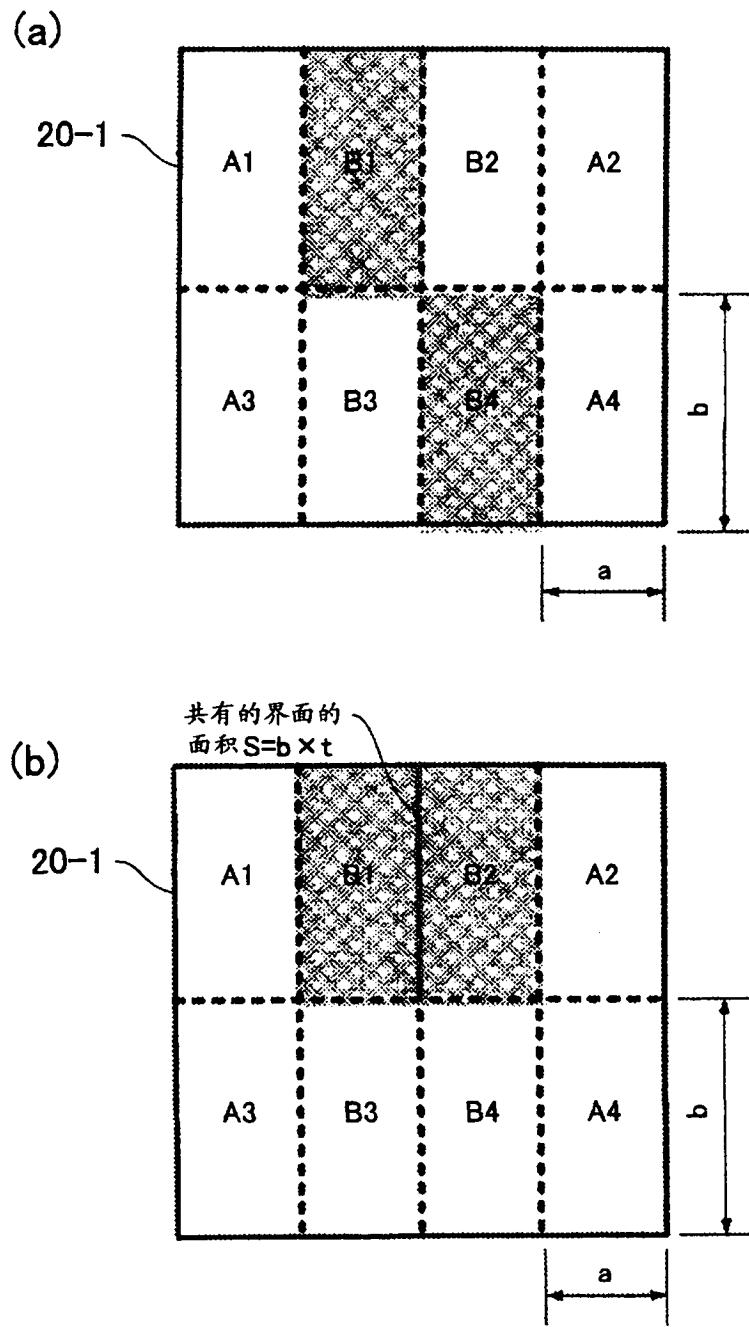


图 9

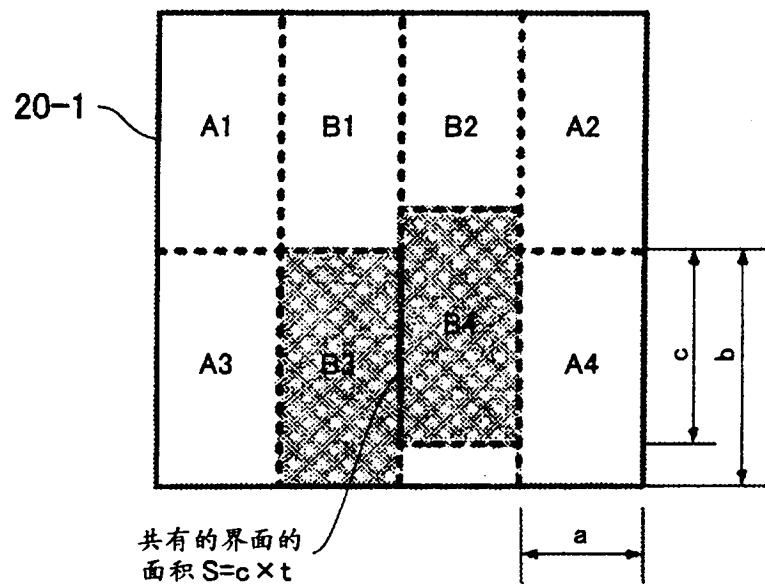
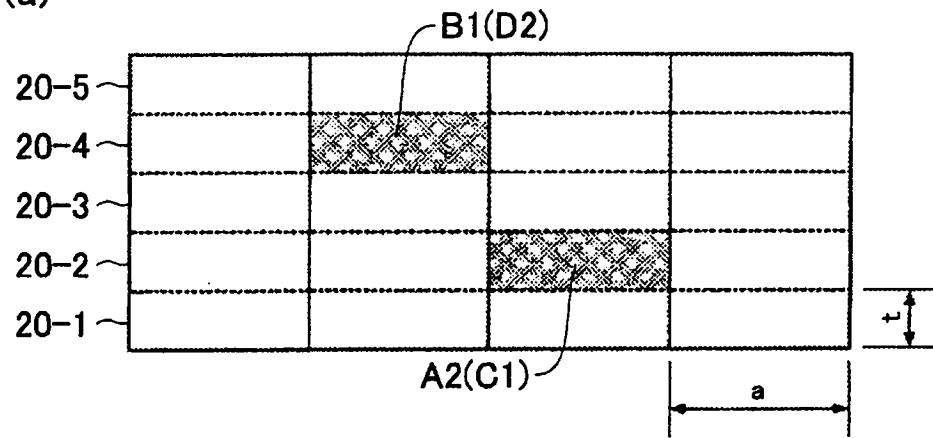


图 10

(a)



(b)

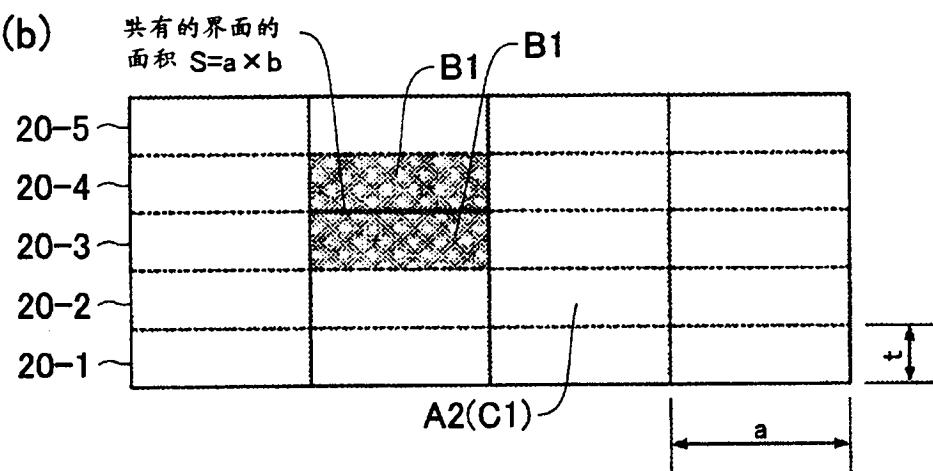


图 11

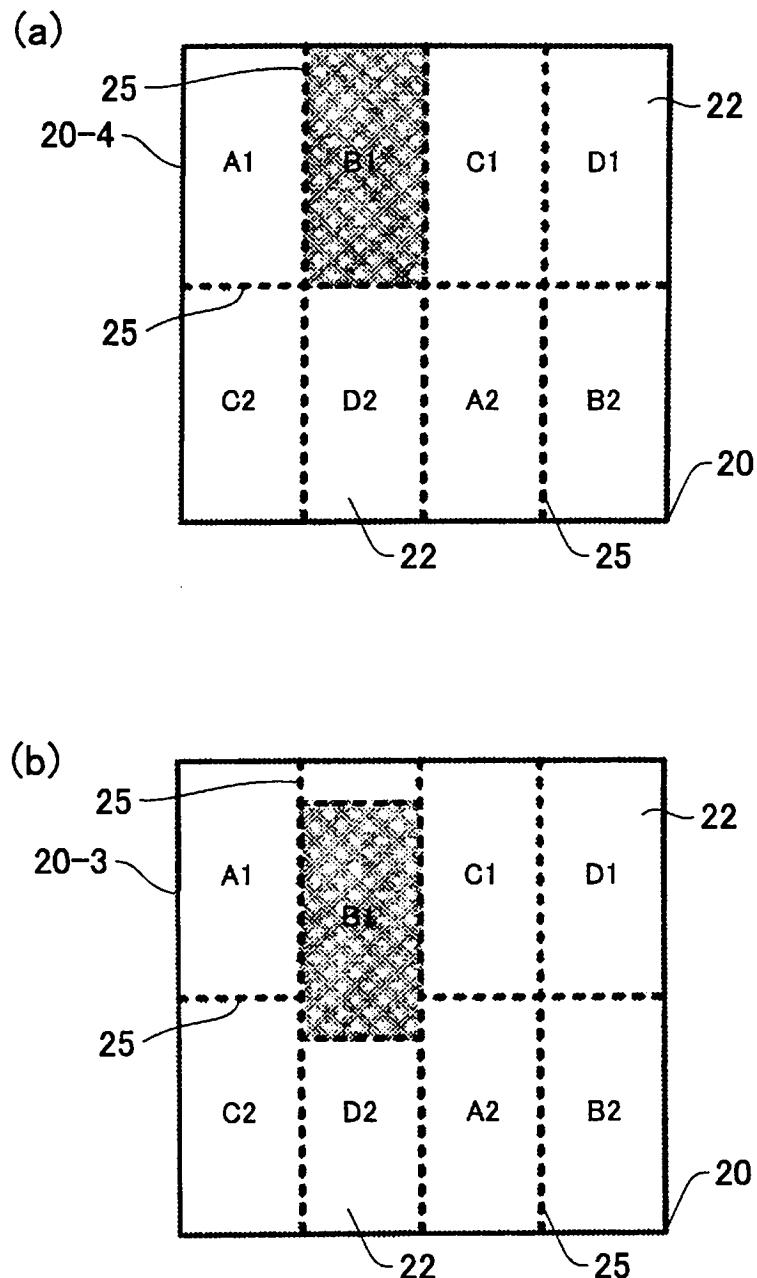


图 12

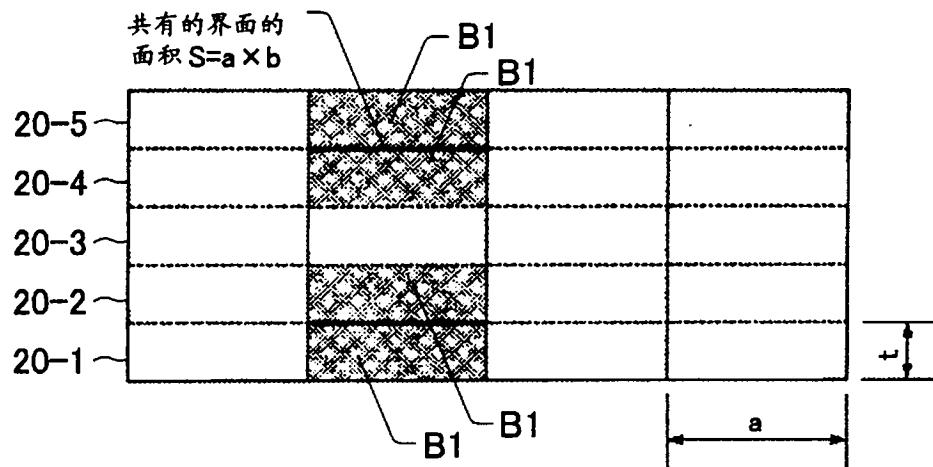


图 13

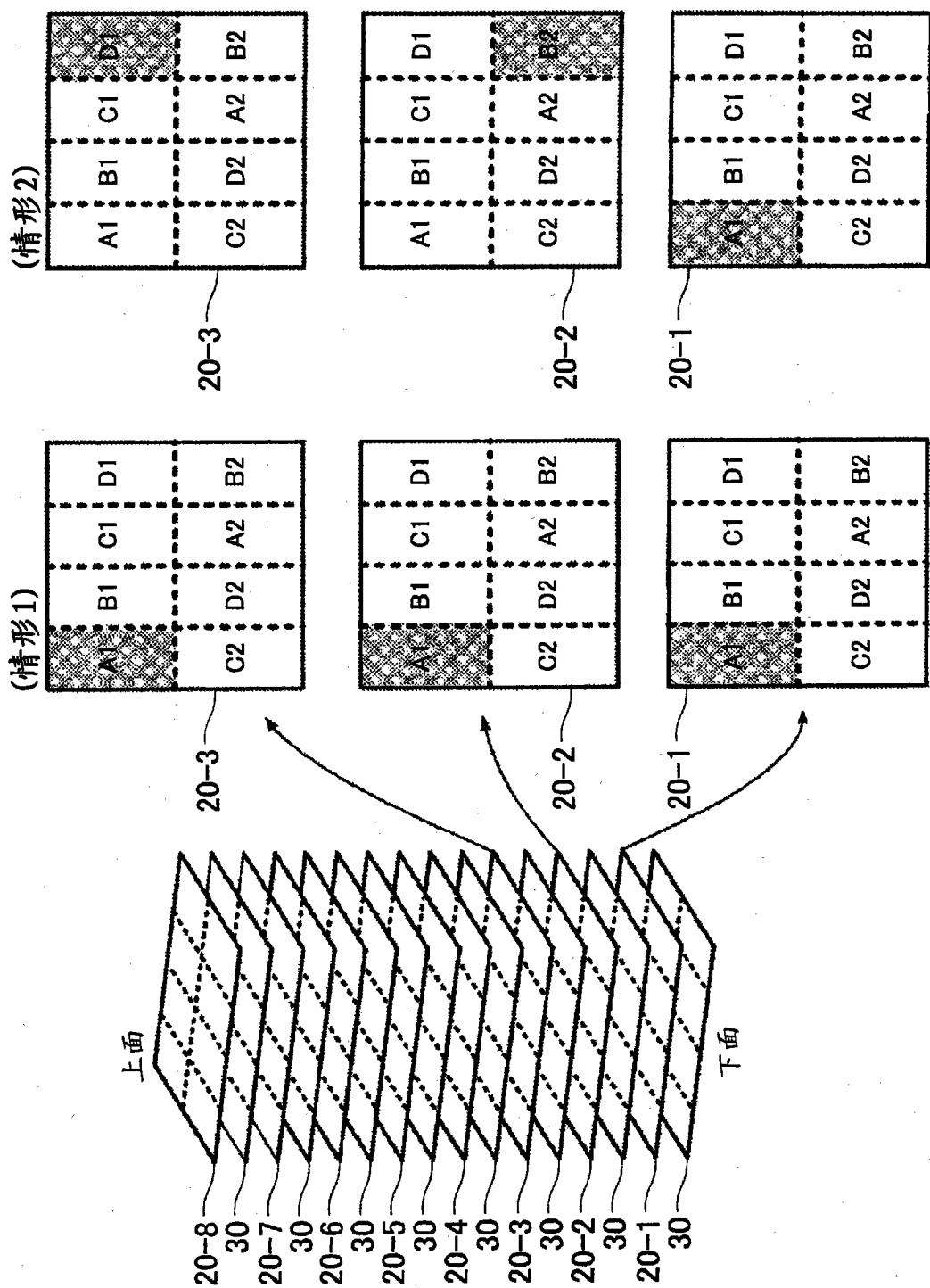


图 14

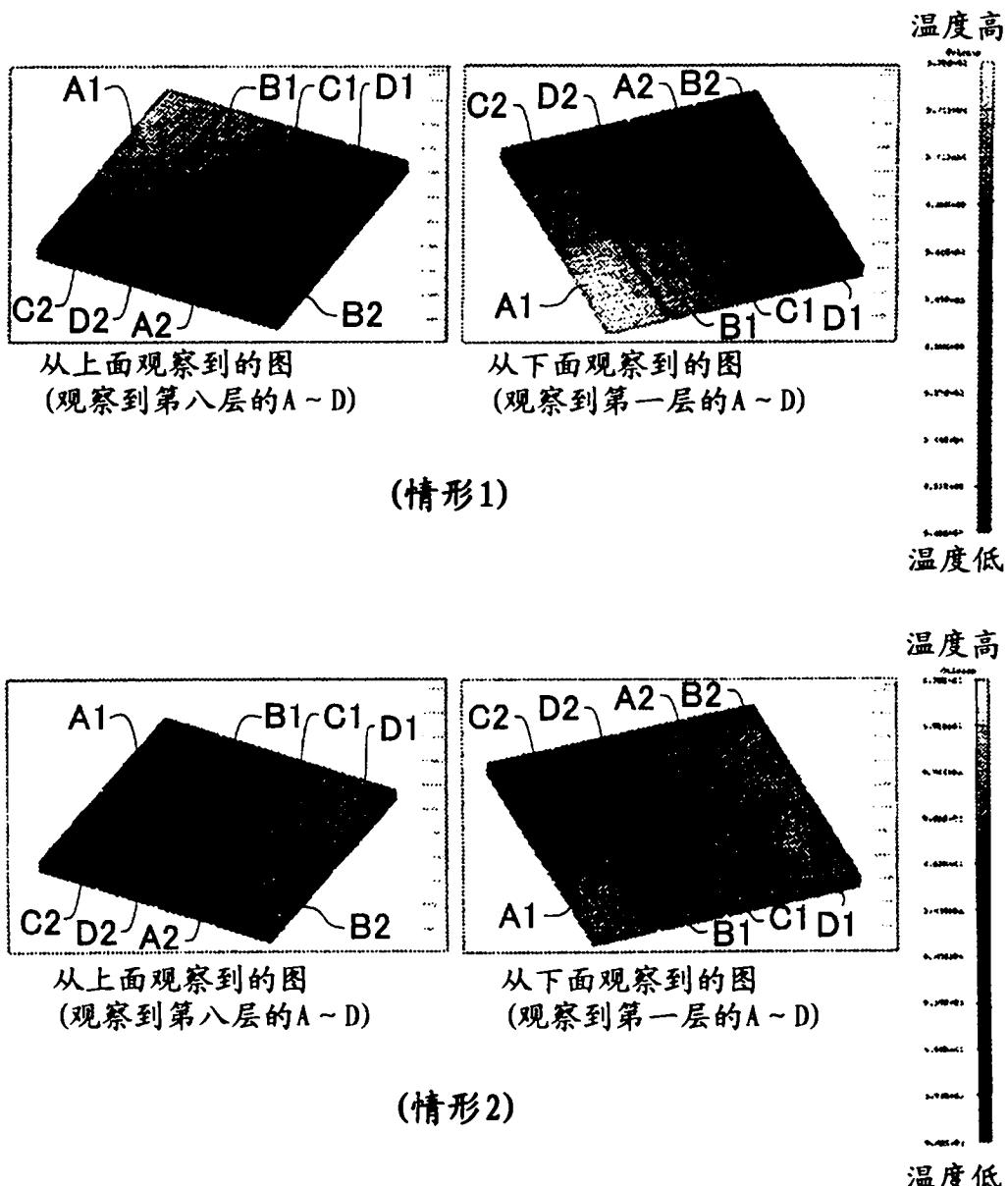


图 15

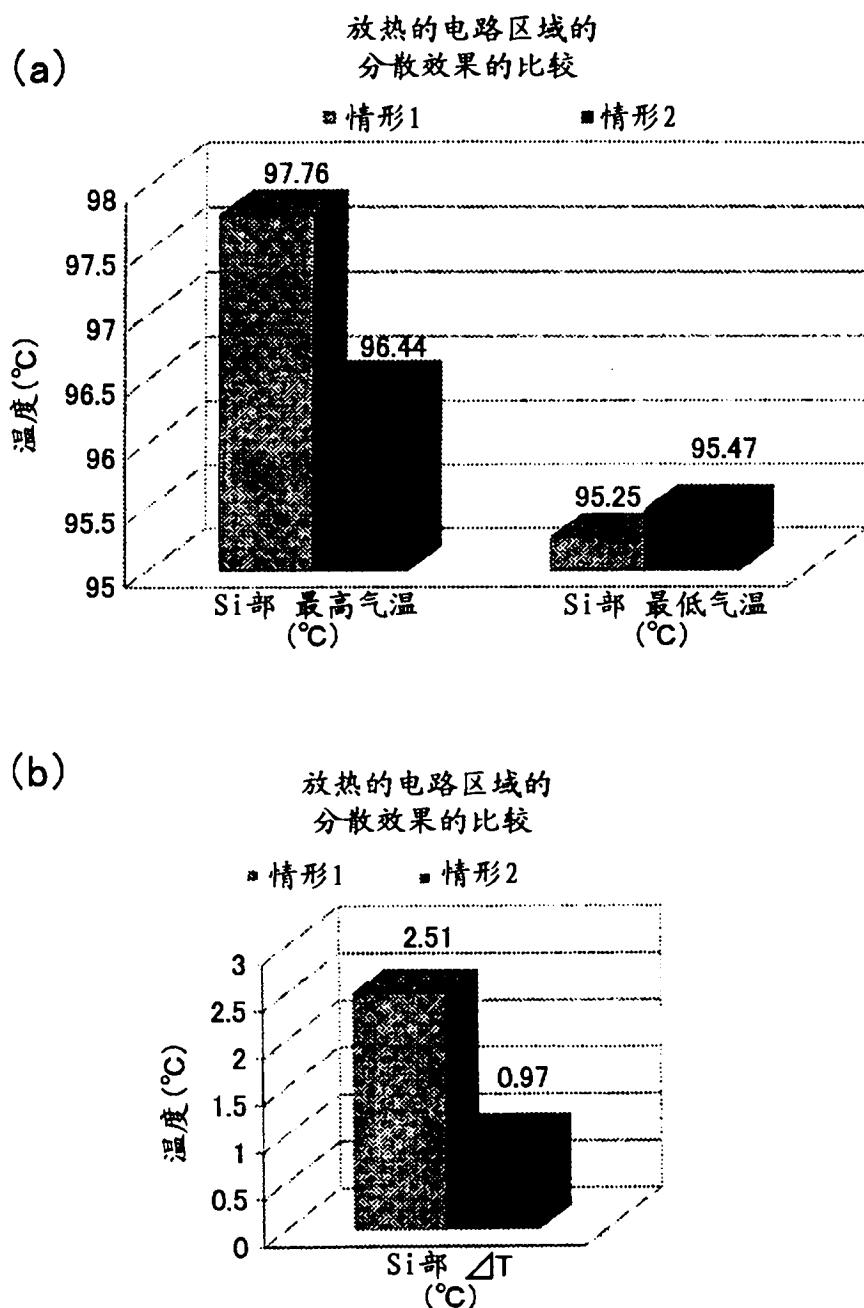


图 16

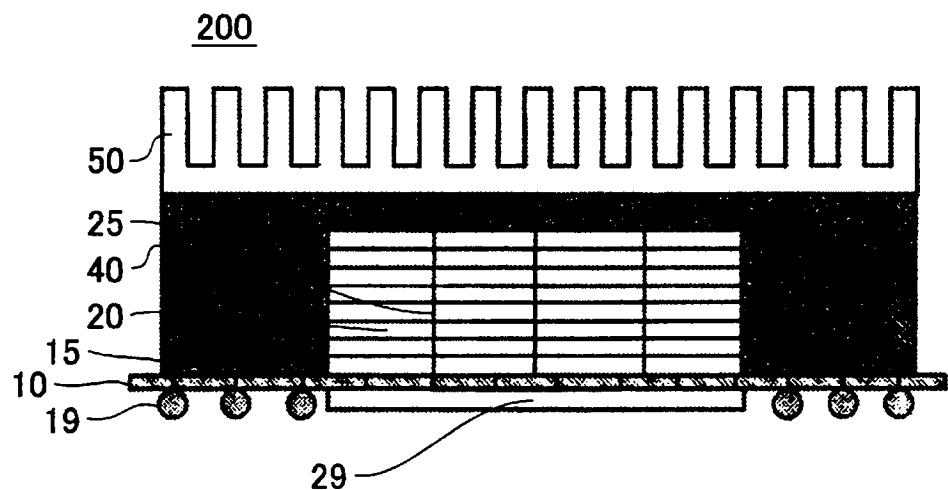


图 17

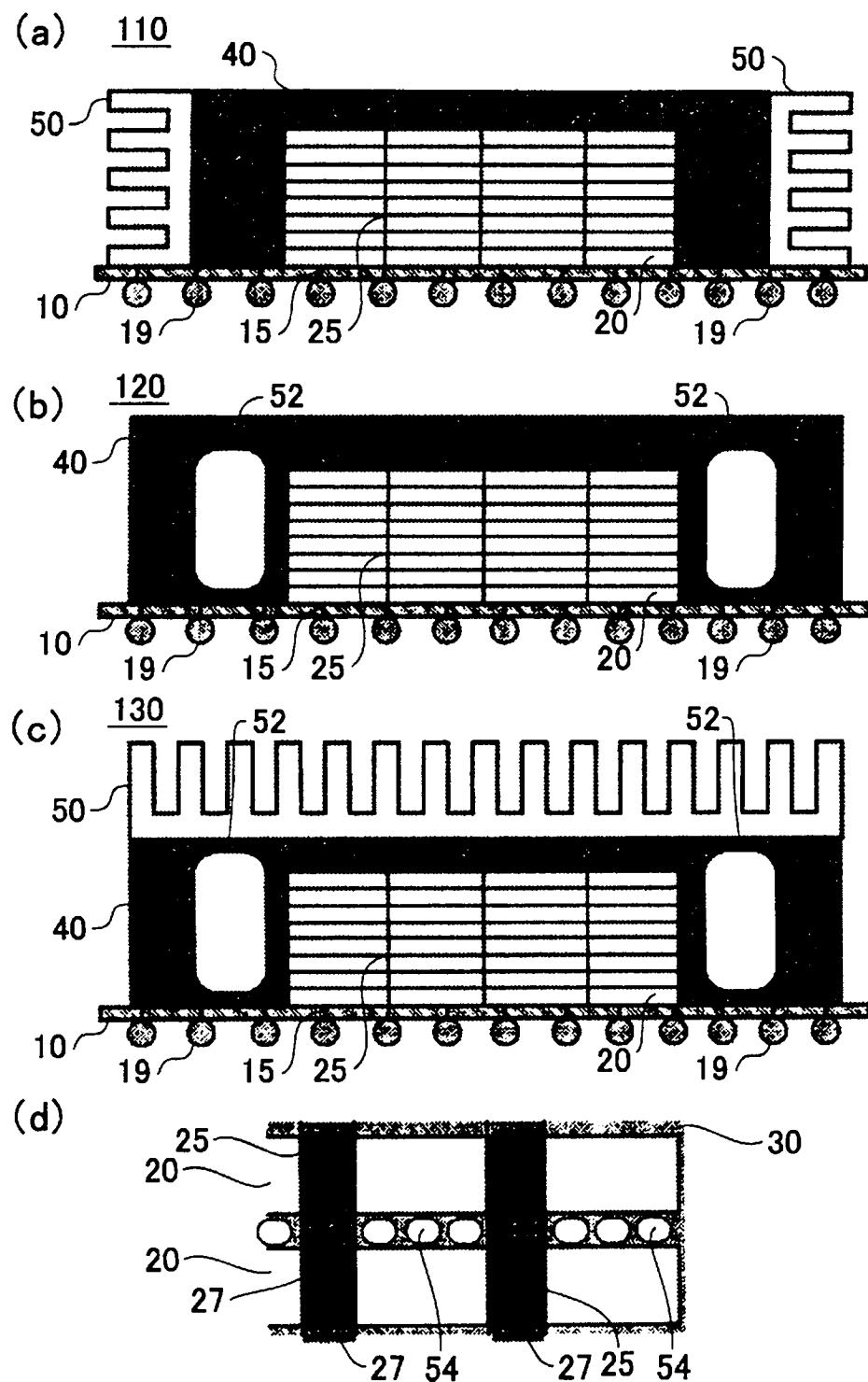


图 18