(19) Europäisches Patentamt
European Patent Office
Office européen des brevets

(11) Veröffentlichungsnummer: **0 030 034**
A2

(12) EUROPÄISCHE PATENTANMELDUNG

(21) Anmeldenummer: **80107529.2**

(22) Anmeldetag: **02.12.80**

(51) Int. Cl.³: **G 10 H 5/06**

(30) Priorität: **04.12.79 DE 2948769**

(43) Veröffentlichungstag der Anmeldung:
10.06.81 Patentblatt 81/23

(84) Benannte Vertragsstaaten:
FR GB

(71) Anmelder: **SIEMENS AKTIENGESELLSCHAFT Berlin und München**
Postfach 22 02 61
D-8000 München 22(DE)

(72) Erfinder: **Rösler, Helmut**
Ottobrunner Strasse 101
D-8000 München 83(DE)

(72) Erfinder: **Bigall, Klaus-Dieter, Dipl.-Phys.**
Irisstrasse 28
D-8011 Vaterstetten(DE)

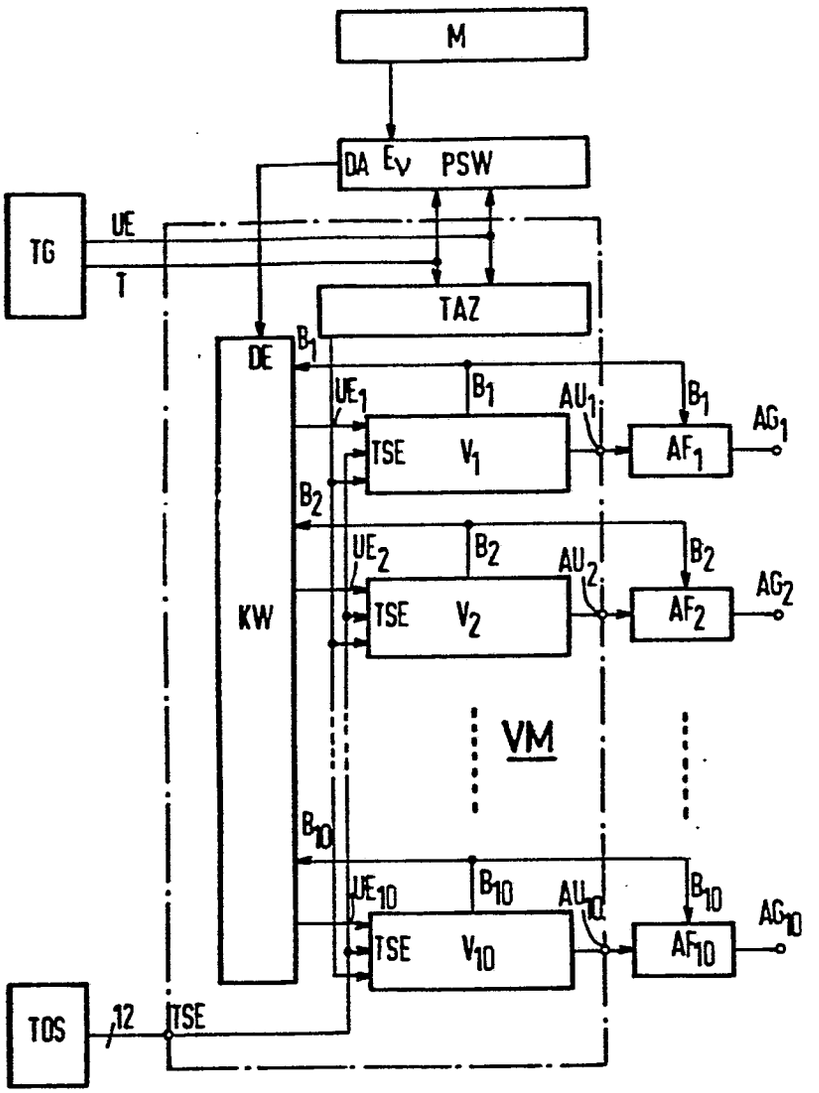
(54) Digitale Halbleiterschaltung für eine elektronische Orgel.

(57) Jeder Spieltaste im Manual der Orgel ist je ein Steuereingang der Digitalschaltung zu geordnet. Außerdem sind 12 Tonsignaleingänge vorgesehen, denen jeweils ein Ton der höchsten Oktave des Manuals festzugeordnet ist. Sie werden durch entsprechende von einem Tonfrequenzgenerator gelieferte elektrische Rechteckschwingungen mit den Pegeln "O" und "1" beaufschlagt. Die Anzahl der in der Schaltung vorgesehenen Tonfrequenzausgänge ist erheblich kleiner als die Zahl Steuereingänge der als Vermittlungsanlage wirkenden Digitalschaltung. Jeder der Tonfrequenzausgänge ist zur Beaufschlagung je eines fest zu geordneten Amplitudenformers vorgesehen. Durch die Spieltasten des Manuals ist über die Steuereingänge ein als Parallel-Serienwandler betriebenes Schieberegister vorgesehen, das zyklisch in die eigentliche Vermittlungsanlage entleert wird. Die hierzu erforderlichen Schiebetakte werden sowohl hinsichtlich des Tonnamens als auch hinsichtlich der Oktave der jeweils angespielten Spieltaste ausgewertet.

./...

EP 0 030 034 A2

FIG 1


M
DA
Ev
PSW
TG
UE
T
TAZ
DE
KW
B1
UE1
TSE
V1
AU1
AF1
AG1
B2
UE2
V2
AU2
AF2
AG2
VM
B10
UE10
V10
AU10
AF10
AG10
TOS
12
TSE

SIEMENS AKTIENGESELLSCHAFT
Berlin und München

Unser Zeichen:
VPA 79 P 1189 EUR

Digitale Halbleiterschaltung für eine elektronische Orgel.

Die Erfindung betrifft eine digitale Halbleiterschaltung für eine elektronische Orgel mit einer der Anzahl der Spieltasten des Manuals der Orgel entsprechenden Anzahl von über das Manual beaufschlagten Steuereingängen sowie mit einer von einer Oszillatoranlage mit periodischen elektrischen Schwingungen beaufschlagten Anzahl von Tonsignaleingängen, bei der je ein Steuereingang je einer Spieltaste des Manuals und je ein Tonsignaleingang je einer Tonfrequenz fest zugeordnet ist, bei der ferner ein Tonsignalausgang für die Beaufschlagung eines elektro-akustischen Wandlers vorgesehen ist und bei der schließlich die zur Beaufschlagung der Steuereingänge dienenden Steuersignale den logischen Pegeln entsprechen.

Beispielsweise geschieht bei bekannten digitalen Halbleiterschaltungen dieser Art die Beaufschlagung der einzelnen Steuereingänge, indem jeder dieser

Steuereingänge über je einen Schalter an ein dem Pegel "1" zugeordnetes gemeinsames erstes Betriebspotential anlegbar ist und bei Betätigung der einzelnen Spieltaste der ihr zugeordnete Schalter infolge der Betätigung geschlossen wird. Steuereingänge, deren Spieltasten gedrückt sind, haben den Pegel "1", Steuereingänge, deren Spieltasten nicht betätigt sind, dementsprechend den Pegel "0". Weiterhin wird bei bekannten elektronischen Orgeln ein Generator zur Erzeugung der Tonfrequenzen verwendet, der - ausgehend von einem eine den beiden logischen Pegeln entsprechende Rechteckschwingung mit höchster Frequenz liefernden Oszillator - die einzelnen Tonschwingungen wenigstens der höchsten Oktave der Orgel durch Frequenzteilung liefert und an den einen Eingang je eines UND-Gatters mit zwei Eingängen liefert, dessen zweiter Eingang durch den zugehörigen Steuereingang beaufschlagt wird. Die Gesamtheit dieser UND-Gatter ist dann zur Beaufschlagung der Tonsignalausgänge vorgesehen.

Es besteht nun die Möglichkeit, jeder Spieltaste und damit jedem Eingang der digitalen Halbleiterschaltung der elektronischen Orgel je einen solchen Amplitudenformer zuzuordnen. Der hiermit verbundene Aufwand ist jedoch, insbesondere auch bei monolithischer Realisierung der Halbleiterschaltung, unerwünscht hoch. Andererseits ist es aus musikalischen Gründen ausgeschlossen, insgesamt nur einen Signalausgang der Digitalschaltung der Orgel und dementsprechend nur einen einzigen Amplitudenformer vorzusehen. Dies bedeutet, daß die digitale Halbleiterschaltung der Orgel mit mehreren, insbesondere sinnvollerweise mit zehn, Signalausgängen zu versehen ist, die dann jeweils mit dem Eingang je einer Amplitudenformerschaltung verbunden sind. Die Gesamtheit der Amplitudenformer liegt dann an einem gemeinsamen Ausgang zur Beaufschlagung des

elektro-akustischen Wandlers, insbesondere eines Lautsprechers.

Hierzu ist gemäß der Erfindung vorgesehen, daß die einzelnen Steuereingänge je einer Zelle eines taktgesteuerten und als Parallel-Serienwandler betriebenen Schieberegisters zugeordnet sind, daß ferner der Signalausgang des Schieberegisters als auch die für dessen Betrieb vorgesehenen Taktimpulse zur Steuerung einer Vermittlungsanlage dienen, die andererseits mit der Gesamtheit der vorgesehenen Tonsignaleingänge versehen ist, daß außerdem die Anzahl der Tonsignalausgänge niedriger als die Anzahl der Steuereingänge sowie jedem der Tonsignalausgänge je ein Amplitudenformer zugeordnet ist und daß schließlich die Ausgänge der Amplitudenformer auf einen elektro-akustischen Wandler geschaltet sind.

In einer bevorzugten Ausführung sind im Manual der Orgel insgesamt 5 Oktaven und eine Taste, also 61 Spieltasten und demgemäß in der erfindungsgemäßen digitalen Halbleiterschaltung 61 Steuereingänge vorgesehen. Im allgemeinen Fall kann für die Anzahl n der Spieltasten und damit für die Anzahl n der Steuereingänge auch eine andere Zahl, z. B. 75, vorgesehen sein. Die Zahl m der Tonsignaleingänge ist z. B. auf m = 12 festgelegt, während die Zahl p der Tonsignalausgänge und damit die Zahl der in der Schaltung vorgesehenen Amplitudenformer bevorzugt p = 10 ist. Den Kern der Erfindung bildet die Vermittlungsanlage, wobei es das Ziel weiterer Ausgestaltungen der Erfindung ist, diese nach wenigstens einem der folgenden Gesichtspunkte auszugestalten:

1. Die p Tonsignalausgänge der Vermittlungsanlage sind nummeriert, d. h., entsprechend einer Hierarchie ge-

schaltet.

2. Die Gesamtheit der n Steuereingänge wird periodisch abgefragt, d. h., das Schieberegister in die Vermittlungsanlage geleert. Dabei ist angestrebt, daß zwischen zwei aufeinanderfolgenden Abfragevorgängen die jeweils zuerst gedrückte Spieltaste bzw. der ihr zugeordnete Steuereingang auf den ersten Tonsignalausgang, die als nächste gedrückte Spieltaste auf den zweiten Tonsignaleingang entsprechend der unter 1. genannten Hierarchie geschaltet wird. Wie bereits bemerkt, wird bevorzugt die Zahl p der Tonsignalausgänge auf p = 10 (entsprechend der Fingerzahl) festgelegt. Außerdem wird der zeitliche Abstand aufeinanderfolgender Abfragezyklen so kurz bemessen, daß er höchstens der zum Spielen eines Akkords durch den raschesten Spieler benötigten Zeitspanne entspricht. Demzufolge ist im allgemeinen damit zu rechnen, daß pro Abfragezyklus höchstens eine weitere Information aus dem Manual in das als Parallel-Serienwandler betriebene Schieberegister eingeht.

Für den Fall, daß demgegenüber zwischen zwei aufeinanderfolgenden Abfragevorgängen mehr als p Steuereingänge beaufschlagt, also z. B. mehr als zehn Töne gespielt werden, sollen die überschüssigen Informationen unter Berücksichtigung der unter 1. und 2. angedeuteten Hierarchie ignoriert werden.

3. Ist ein Tonsignalausgang oder Kanal einmal belegt, so ist angestrebt, diesen erst dann wieder freizugeben, wenn nach Freigabe der die Belegung verursachenden Spieltaste der Ton und damit die den Ton verursachenden elektrischen Information in dem durch den Tonsignalausgang beaufschlagten Amplitudenformer abgeklungen ist.

Andererseits ist ein Nachhalleffekt vorgesehen, so daß mit dem Loslassen der Spieltaste der angespielte Ton nicht schlagartig unterdrückt wird.

Wird bei vollbesetzten Tonsignalausgängen eine Spieltaste losgelassen und an ihrer Stelle eine andere Spieltaste angeschlagen, so soll der neue Ton über denjenigen Tonsignalausgang erzeugt werden, der durch das Loslassen der anderen Spieltaste freigeworden ist. Werden bei vollbesetzten Tonsignalausgängen gleichzeitig mehrere Spieltasten losgelassen und wird eine neue Spieltaste getätigt, so soll die mit der neuen Spieltaste verbundene Information und das durch sie aufgerufene Tonsignal an denjenigen der hierdurch freigewordenen Tonsignalausgänge gelegt werden, bei dem der zuletzt gespielte und noch im Nachhalleffekt verharrende Ton am weitesten abgeklungen ist. Wird schließlich eine losgelassene Spieltaste sofort erneut wieder angeschlagen, so empfiehlt es sich, wenn ihr der alte Tonsignalausgang der Vermittlungsanlage erneut zugewiesen wird.

Die Erfindung wird nun anhand der Fig. 1 bis 10 näher beschrieben. In Fig. 1 sind die wesentlichen Teile der Erfindung im Blockschaltbild dargestellt, während die übrigen Figuren sich mit Einzelheiten der Vermittlungsanlage bzw. der Amplitudenformung befassen.

In der bereits angedeuteten Weise werden nun durch die einzelnen Spieltasten des Manuals M die n Steuereingänge E_1, E_2,....E_n, oder kurz E_v, der erfindungsgemäßen Halbleiter-Digitalschaltung beaufschlagt. Diese n Steuereingänge E_v bilden den Informationseingang je einer Registerzelle eines taktgesteuerten Schieberegisters PSW, das als Parallel-Serienwandler betrieben und von einem Taktgeber TG während der einzelnen Ab-

fragezyklen mit den zum Ausschieben der jeweils vom Manual M gelieferten Information erforderlichen Schiebetakten versorgt wird. Bevorzugt hat das Schieberegister PSW n Registerzellen, so daß jedem Steuereingang E_v je eine Registerzelle und jeder Registerzelle je einen Steuereingang E_v des Schieberegisters PSW fest zugeordnet ist.

Der Datenausgang DA dies Schieberegisters PSW ist mit dem Dateneingang DE eines sog. Kanalwählers KW verbunden, der zugleich einen Informationseingang der Vermittlungsanlage VM bildet. Als weiteren Informationseingang enthält die Vermittlungsanlage den Zähleingang eines Tonadressenzählers TAZ, der als Digitalzähler auf binärer Grundlage ausgebildet ist und bezüglich seiner Ausgestaltung und Ansteuerung noch näher beschrieben wird.

Neben dem Kanalwähler KW und dem Tonadressenzähler TAZ enthält die Vermittlungsanlage VM p einander gleiche Ausgangsteile also Ausgangskanäle V_1 bis V_p, die einerseits vom Kanalwähler KW andererseits vom Tonadressenzähler TAZ gesteuert sind. Außerdem weist die Vermittlungsanlage m Tonsignaleingänge auf, die durch einen Tonfrequenzgenerator TOS beaufschlagt sind.

Der Tonfrequenzgenerator TOS ist in üblicher Weise ausgestaltet und besitzt eine Anzahl von Tonfrequenzausgängen, die jeweils einer Tonfrequenz zugeordnet sind. Gewöhnlich hat der Tonfrequenzerzeuger TOS zwölf Tonfrequenzausgänge, die jeweils eine periodische Rechteckschwingung mit einer Frequenz zur Verfügung stellen, die je einem Ton der höchsten Oktave des Spielumfangs der Orgel zugeordnet ist. Ein solcher Tonfrequenzgenerator weist als Kern einen Rechteck-

Oszillator auf, der eine Rechteckschwingung mit genügend hoher Frequenz zur Verfügung stellt, um aus ihr mit Hilfe von Frequenzteilern Rechteckschwingungen mit den den Tönen der höchsten Oktave entsprechenden Frequenzen ableiten zu können. Diese werden dann an je einem der m = 12 Tonfrequenzausgänge des Tonfrequenzgenerators TOS zur Verfügung gestellt.

Den m Tonfrequenzausgängen des Tonfrequenzgenerators TOS stehen m Tonsignaleingänge TSE der Vermittlungsanlage VM zur Verfügung, von denen in der Fig. 1 nur einer dargestellt ist. Im Falle m = 12 hat man also zwölf solcher Eingänge TSE, die jeweils je einer Tonfrequenz der höchsten Oktave zugeordnet sind.

Der einzelne Tonsignaleingang TSE der Vermittlungsanlage VM ist innerhalb derselben an je einen (in gleicher Weise bezeichneten)Eingang jedes der einander gleichen Ausgangskanäle V_1 bzw. V_2,..... bzw. V_p gelegt. Jeder dieser Ausgangskanäle V_1 bis V_p ist mit Mitteln versehen, welche eine Reduktion der von dem Tonfrequenzgenerator TOS gelieferten Rechteckschwingungen auf die Frequenzen der entsprechenden Töne in den niedrigeren Oktaven erlauben. Außerdem sind diese Ausgangskanäle V_1 bis V_p jeweils mit einem Tonsignalausgang AU_1, AU_2,.. ..AU_p versehen, aus dem über das Manual M ausgewählte Tonsignale auf den jeweils nachgeschalteten Amplitudenformer AF_1 bzw. AF_2,.... bzw. AF_p übertreten. Der Ausgang des einzelnen Amplitudenformers AF_1 bzw. AF_2,..bzw. AF_p ist z. B. in der aus Fig. 4 ersichtlichen Weise zur Steuerung eines gemeinsamen elektro-akustischen Wandlers, also eines Lautsprechersystems, vorgesehen.

Zu bemerken ist noch, daß jeder der einander gleichen Ausgangskanäle V_1, bzw. V_2,..... bzw. V_p einen weiteren Ausgang B_1. bzw. B_2,..... bzw. B_p hat, über welchen

einerseits eine Rückwirkung auf den Kanalwähler KW, andererseits eine zusätzliche Steuerung des jeweils zugehörigen Amplitudenformers AF_1 bzw. AF_2,..... bzw. AF_p gegeben ist.

Der Tonadressenzähler TAZ besteht aus zwei Teilen. Der erste Teil besteht aus vier in bekannter Weise hintereinandergeschalteten Flip-Flopzellen, z. B. aus Toggle-Flip-Flopzellen, die jeweils eine binäre Zählstufe darstellen. Die Zählstufen sind derart geschaltet, daß der erste Teil des Zählers bis "1" zählt, um dann beim Eintreffen des dreizehnten Zählimpulses bereits wieder in den Ausgangszustand "0" umgeschaltet zu sein. Gleichzeitig mit dem Eintreffen des dreizehnten Zählimpulses (und nur bei jedem dreizehnten Zählimpuls) wird ein Zählimpuls an den zweiten Teil des Tonadressenzählers TAZ gegeben. Der zweite Teil des Tonadressenzählers TAZ besteht aus drei hintereinandergeschalteten Flip-Flopzellen und somit aus drei Zählstufen. Sie sind so geschaltet, daß der höchste Zählstand der Anzahl p der insgesamt vorgesehenen Oktaven entspricht und somit vorzugsweise gleich "6" oder gleich "7" ist.

Am einfachsten läßt sich das soeben genannte Verhalten des Tonadressenzählers TAZ erreichen, wenn man diejenigen Ausgänge der vier den ersten Zähleranteil bildenden Flip-Flopzellen, die beim gewünschten höchsten Zählstand eine "1" zeigen an je einen Eingang eines UND-Gatters mit vier Eingängen verbindet, so daß mit dem Erreichen des höchsten Zählstands am Ausgang des UND-Gatters ebenfalls eine "1" erscheint. Diese wird dann dem Reset-Eingang des ersten Teils des Tonadressenzählers TAZ und dem Zähleingang des zweiten Teils des Tonadressenzählers zugeführt. Ersichtlich sind die einzelnen Zählzustände des ersten Teils des Zählers TAZ

den einzelnen Tönen innerhalb den einzelnen Oktaven und die einzelnen Zählzustände des zweiten Teils je einer Oktave im Spielumfang der Orgel gewidmet.

Das Parallel-Serien-Schieberegister PSW kann z. B. ebenfalls aus von einem gemeinsamen Schiebetakt T bzw. TM gesteuerten Master-Slave-Flip-Flopzellen oder besser aus sog. quasistatischen Schieberegisterzellen bestehen. Die Gesamtzahl der Registerzellen entspricht, wie bereits dargelegt, der Anzahl der Spieltasten im Manual M. Jede Registerzelle hat ihren eigenen Informationseingang, der über je ein taktgesteuertes Transfergate mit dem durch je eine logische Information aus dem Manual M beaufschlagten Steuereingang E_v der digitalen Halbleiterschaltung verbunden ist, der der betreffenden Registerzelle von PSW zugeteilt ist. Die Gesamtheit der genannten Transfergates wird durch einen Übernahme-Takt UE gesteuert, der ebenfalls von dem die Schiebetakte T und damit die Zähltakte für den Zähler TAZ liefernden Taktgeber TG zur Verfügung gestellt wird. Hinsichtlich einer vorteilhaften Ausgestaltung des Schieberegisters PSW kann z. B. auf die Patentanmeldung P 29 24 526.9 (VPA 79 P 1104), hinsichtlich einer vorteilhaften Ausgestaltung des Taktgebers TG auf die Patentanmeldung P 27 13 319.3 (VPA 77 P 1027) bzw. P 28 37 855.4 (VPA 78 P 1158) P 28 37 882.7 (VPA 78 P 1159) P 28 45 379.4 (VPA 78 P 1191) verwiesen werden.

Wird nun eine beliebige Spieltaste des Manuals M gedrückt, so erscheint an dem ihr zugeordneten Steuereingang E_v der Digital-Halbleiterschaltung eine "1", die dann aufgrund des folgenden Übernahmetakts UE in die diesem Steuereingang zugeordnete Registerzelle des Schieberegisters PSW eingeschrieben wird. Die nun

folgenden Schiebetakte T sorgen dafür, daß bis zum nächsten Übernahme-Taktimpuls UE das Schieberegister PSW geleert ist. Dabei passiert die in den einzelnen Registerzellen gespeicherte Information sukzessive den Informationsausgang D des Schieberegisters PSW, um in den noch näher zu beschreibenden Kanalwähler eingegeben zu werden. Die hierzu aufzuwendenden Schiebetakte T werden auch über den Adressenzähler TAZ in noch zu beschreibender Weise ausgewertet.

Hierzu wird nun zunächst auf den Aufbau der einzelnen Ausgangsteile V_1 bzw. V_2.... bzw. V_p, der aus Fig. 2 ersichtlich ist, näher eingegangen.

Ein Schreib-Lesespeicher bildet einen wesentlichen Teil jedes dieser Ausgangsteile der Vermittlungsanlage VM. Ebenso wie der Adressenzähler TAZ besteht auch dieser Speicher aus zwei Teilen, nämlich einem Teil S und einem Teil S^*. Der erste Teil S erhält seine Information aufgrund des den einzelnen Tonnamen zugeteilten Teil des Adressenzählers TAZ, der zweite Speicherteil S^* wird hingegen aufgrund der Wirkung des zweiten - den Oktaven zugeteilten - Teiles des Tonadressenzählers TAZ mit zu speichernden Informationen versorgt.

Die aus dem ersten Speicherteil S ausgelesene Information gelangt über einen ersten Dekoder D an zwölf - zugleich durch die Gesamtheit der Tonfrequenzeingänge TSE beaufschlagte UND-Gatter U_1 bis U_{12}, während die aus dem zweiten Speicherteil S^* erhaltene Information zur Beaufschlagung eines zweiten Dekoders D^* vorgesehen sind. Außerdem dienen die aus den beiden Speicherteilen abgegebenen Informationen zur Steuerung eines NOR-Gatters NR das seinerseits den bereits bei Betrachtung der Fig. 1 erwähnten Rückwirkungseingang B_1

bzw. B_2.... bzw. B_p des Ausgangsteiles V_1 bzw. V_2 usw. bildet.

Unmittelbar nach jedem die Informationseingabe in das Eingangsschieberegister PSW bewirkenden Übernahmetakt UE setzt die serielle Auslesung der jeweils aufgenommenen Information aus diesem Schieberegister und der Aufbau der die beiden Speicherteile S und S^* betreffenden Information in noch zu beschreibender Weise ein. Zweckmäßig ist jeder der beiden Speicherteile aus diskreten Speicherzellen, insbesondere aus diskreten quasistatischen Registerzellen entsprechend dem Eingangsschieberegister PSW aufgebaut, wobei die Taktimpulse TM für das Eingangsschieberegister PSW bzw. die Zähltakte für den Tonadressenzähler TAZ als Schiebetakte für den Aufbau des Speicherinhalts beider Speicherteile S bzw. S^* herangezogen werden, wie dies noch anhand von Fig. 3 näher erläutert wird.

Beispielsweise kann man den Datenausgang DA des Eingangsschieberegisters PSW zu diesem Zweck an den einen Eingang eines UND-Gatters legen, dessen anderer Eingang durch die Schiebetakte T bzw. durch aus diesen abgeleitete Sekundärimpulse gesteuert wird. Der Ausgang dieses UND-Gatters liefert nur dann eine "1", wenn den Datenausgang DA des Eingangsschieberegisters PSW eine "1" passiert. Die am Ausgang des UND-Gatters erscheinenden und den einzelnen Schiebetaktimpulsen zugeordneten Bits gelangen an den Informationseingang des ersten Speicherteiles S sowie an den Informationseingang des zweiten Speicherteiles S^*. Durch die Wirkung von aus den Schiebetakten abgeleiteten Taktfolgen oder auf eine sonstige Weise wird erreicht, daß die "1" im ersten Speicherteil S in der dem jeweils gespielten Ton innerhalb der Oktave entsprechenden Stelle zugeordneten Speicherzelle und im zweiten Speicherteil

S^* in der der den gespielten Ton enthaltenden Oktave zugeordneten Speicherzelle aufgenommen wird. Die Löschung des jeweils gespeicherten Inhalts der beiden Speicherteile erfolgt durch einen gemeinsamen Resteimpuls, der vorteilhafter Weise mit dem die Informationseingabe in das Eingangsschieberegister regelnden Übernahmeimpulsen UE identisch ist. Weitere Einzelheiten bezüglich der Informationseingabe in die beiden Speicherteile S und S^* der einzelnen Ausgangsteile V_1.. ... V_p werden im Zusammenhang mit Fig. 3 gebracht.

Jedem der beiden Speicherteile S und S^* ist je ein Dekodierer D bzw. D^* zugeordnet.

Der zur Aufnahme des die Tonadresse innerhalb der einzelnen Oktave bildenden 4 Bit-Wortes dienende erste Speicherteil S besteht dementsprechend aus vier einzelnen Schieberegisterzellen, die im Parallelbetrieb über den Dekodierer D - einem "eins-aus-zwölf-Dekoder" - ausgewertet werden. Dem entsprechend den 12 Tonnamen, c, cis, d, dis usw. zwölf Signalausgänge aufweisenden ersten Dekodierer D ist dementsprechend pro Signalausgang je ein UND-Gatter U_1, bzw. U_2,....bzw. U_{12} zugeordnet. Jedes dieser UND-Gatter hat zwei Eingänge. Der zweite Eingang ist mit je einem der zwölf Tonsignaleingänge TSE in bereits angedeuteter Weise verbunden, die ihrerseits durch je einen der zwölf Tonfrequenzausgänge des Tonfrequenzgenerators TOS und damit mit je einer der Tonfrequenzen der höchsten Oktave beaufschlagt sind. Der Ausgang jedes der UND-Gatter U_1 bis U_{12} ist an je einen Ausgang eines gemeinsamen ODER-Gatters O geschaltet.

Hinsichtlich der Wirkung des bisher beschriebenen Teils der Fig. 2 ist zu bemerken, daß bedingt durch den jeweiligen Inhalt des ersten Speicherteils S einer der

12 Ausgänge des Dekodierers D eine "1" erhält, während die übrigen die "0" behalten. Dementsprechend erscheint am Ausgang des genannten ODER-Gatters O die vom Tongenerator TOS über den dem betreffenden Dekoderausgang zugeordneten Tonsignaleingang TSE gelieferte Tonfrequenz aus der höchsten Oktave.

Der zweite Speicherteil S^* wird durch ein die Adresse der jeweils über die betätigte Spieltaste ausgewählten Oktave bildendes 3 Bit-Wort beaufschlagt und steuert ebenfalls im Parallelbetrieb einen Dekoder D^*. Dieser ist als "1-aus-sechs-Dekoder" ausgebildet und hat dementsprechend sechs Signalausgänge, von denen jeweils aufgrund der im Speicherteil S^* vorliegenden Information nur einer den Pegel "1" erhält.

Verallgemeinert läßt sich hinsichtlich der Ausgestaltung des zweiten Speicherteils S^* bei einer beliebigen Anzahl q der im Manual vorgesehenen Oktaven feststellen, daß der zweite Speicherteil S^* dann q Speicherzellen, also Schieberegisterzellen, aufweist, die zur Beaufschlagung des als "eins-aus q-Dekoders" D^* ausgebildet sind, und daß dann dieser Dekodierer D^* q der UND-Gatter U_1^* bis U_o^* steuert.

Bei dem in der Fig. 2 dargestellten Beispielsfall sind im Manual M insgesamt 6 Oktaven vorgesehen, so daß der Speicherteil S^* nur drei zum Dekoder D^* führende Informationsausgänge hat und letzterer als "eins-aus-sechs"-Dekoder ausgebildet ist.

Jedem der q Ausgänge des zweiten Dekodierers D^* ist eines von q UND-Gattern U_1^*, U_2^*,.....U_o^* zugeordnet, indem der betreffende Dekoderausgang mit dem einen der beiden Eingänge des ihm zugeordneten UND-Gatters U_1^* bis U_o^* verbunden ist, während der andere Eingang des betreffen-

den UND-Gatters über einen dem vom ersten Dekodierer D und dem Tongenerator TAZ gesteuerten ersten ODER-Gatter O gesteuerten Frequenzteiler TT beaufschlagt wird. Die Gesamtheit der vom zweiten Dekodierer D^* beaufschlagten UND-Gatter U_1^* bis U_o^* liegt mit ihren Signalausgängen an je einem Eingang eines zweiten ODER-Gatters O^*, dessen Signalausgang den Tonsignalausgang AU_1 bzw. AU_2,.... bzw. AU_p bildet, wenn der betrachtete Ausgangsteil der Vermittlungsanlage VM deren erster Ausgangsteil V_1 bzw. deren zweiter Ausgangsteil V_2..... bzw. deren letzter Ausgangsteil V_p ist.

Der durch das erste ODER-Gatter O gesteuerte Frequenzteiler TT wird hinfort als Tonteiler bezeichnet, da er die Aufgabe hat, aus den den Tönen der höchsten Oktave zugehörenden und vom Tongenerator TOS gelieferten Tonsignalen durch Frequenzteilung die für den Ausgang AU_1 bzw. AU_2.... bzw. AU_p bestimmten Tonschwingungen zu erzeugen.

Jedes der vom zweiten Dekodierer D^* gesteuerten UND-Gatter U_1^* bis U_o^* - also im Beispielsfalle U_1^* bis U_6^* - ist an seinem zweiten Eingang über das erste ODER-Gatter O gesteuert und zwar in folgender Weise: Der Ausgang des ersten ODER-Gatters O liegt nicht nur am Eingang des Tonteilers TT sondern auch am zweiten Eingang des ersten der genannten UND-Gatter U_1^*. Der Signalausgang der ersten Teilerstufe des Tonteilers TT liegt am zweiten Eingang des zweiten UND-Gatters U_2^*, der Signalausgang der zweiten Teilerstufe am zweiten Eingang des dritten UND-Gatters U_3^* usw., so daß der (q-1)-te, also im Beispiel der Fig. 2 der fünfte Teilerausgang, am zweiten Eingang des letzten (= q-ten) dieser UND-Gatter, also im Beispielsfall am zweiten Eingang des UND-Gatters U_6^* liegt. Hierdurch ist jedes dieser vom

zweiten Dekodierer D^* gesteuerten UND-Gatter U_1^* bis U_o^* je einer der im Manual M vorgesehenen Oktaven zugeordnet.

Demzufolge wird aufgrund der durch den jeweiligen Inhalt des ersten Speicherteils S über den Dekodierer D der jeweils angewählte Ton als Ton der höchsten Oktave an das UND-Gatter U_1^* und an den Tonteiler TT geliefert. Durch die im zweiten Speicherteil S^* gespeicherte Adressierung der über das Manual M angewählten Oktave wird dann jeweils nur eines der UND-Gatter U_1^* - U_q^*, also im Beispielsfalle U_1^* - U_6^*, aktiviert, so daß bei Aktivierung von U_1^* der angewählte Ton der höchsten Oktave, bei Aktivierung von U_2^* der angewählte Ton der zweithöchsten Oktave und bei Aktivierung von U_o^* der angewählte Ton aus der niedrigsten Oktave an das zweite ODER-Gatter O^* und damit an den Signalausgang AU des betreffenden Ausgangskanals - falls dieser durch ein entsprechendes Signal über seinen Steuereingang UE_1 bzw. UE_2 bzw. .... UE_p vom Kanalwähler KW her angewählt worden ist - gegeben wird.

Für die Rücksteuerung auf den Kanalwähler KW sowie für die Beeinflussung des dem betrachteten Ausgangsteil V_1 - V_p jeweils nachgeschalteten Amplitudenformers AF_1 bis AF_p werden, wie bereits in Fig. 1 angedeutet ist, auf einen Steuereingang B_1 bzw. B_2 bzw..... bzw. B_p zugebende Signale benötigt. Um diese zu erhalten ist jeder der durch die beiden Speicherteile S und S^* gesteuerte Eingang der beiden Dekodierer D bzw. D^* mit je einem Eingang eines NOR-Gatters NR verbunden, das nur dann ein Signal über den Rücksteuereingang B_1, bzw. B_2 usw. abgibt, wenn die beiden Speicherteile S und S^* des betrachteten Ausgangskanals V_1 bzw. V_2 usw. leer sind.

Ferner ist ein Vergleich zwischen dem Signaleingang und dem Signalausgang jeder der Speicherzellen der beiden Speicherteile des einzelnen Ausgangskanals V_1 bis V_p vorgesehen. Dies kann z. B. über je ein Äquivalenzgatter E_1 bzw. E_2 bzw.....bzw.....E_p (im Beispielsfalle E_{10}) geschehen, deren Ausgänge an je einem Eingang eines UND-Gatters UL mit p Eingängen (also im Beispielsfall mit 10 Eingängen) geschehen. Die Gesamtheit dieser Äquivalenzgatter mit dem UND-Gatter bildet je einen Komparator K_1 bzw. K_2 usw.. Eine "1" am Ausgang des UND-Gatters UL zeigt an, daß die in dem betreffenden Ausgangskanal V_1 bis V_p gespeicherte Tonadresse gleich dem Zählerstand des Tonadressenzählers TAZ ist.

Statt der soeben beschriebenen Ausgestaltung der einzelnen Komparatoren K_1 bis K_p durch Äquivalenzgatter können die Gatter E_1 bis E_p alle auch Exklusiv-ODER-Gatter sein. Allerdings muß dann das UND-Gatter UL durch ein entsprechendes NOR-Gatter ersetzt werden.

Die Aufgabe der Komparatoren K_1 bis K_p ist, wie die weiteren Betrachtungen noch zeigen werden, vielfältig. Eine der Aufgabe ist es, anzuzeigen, daß der betreffende Ausgangskanal V_1 bis V_p besetzt ist. Eine gemeinsame Aufgabe dieser Komparatoren ist es außerdem, den Kanalwähler KW zu steuern. Dies geschieht unter Vermittlung eines ODER-Gatters OD*, wie aus Fig. 3 ersichtlich ist.

Die verschiedenen Funktionen, die von der Vermittlungsanlage VM zu erfüllen sind, werden in erster Linie über den Kanalwähler KW gesteuert. Das Blockschaltbild einer bevorzugten Ausführung des Kanalwählers KW ist in Fig. 3 dargestellt.

Von der in Fig. 2 dargestellten Ausführung der Vermittlungsschaltung und der in Fig. 1 gegebenen Gesamtschaltung sind der Tonadressenzähler TAZ und die Adressenspeicherteile S, S^* der einzelnen Ausgangsteile V_1 bzw. V_2 bzw....bzw. V_p (im Beispielsfall ist p = 10, wie bereits oben angedeutet) sowie die durch die Äquivalenz-Gatter E_1 bis E_7 und das durch diese gesteuerte ODER-Gatter OR gegebenen Komparatoren K_1 bis K_p angedeutet, da diese einerseits der Steuerwirkung durch den Kanalwähler KW unmittelbar ausgesetzt sind und ihrerseits Rückwirkungen auf den Kanalwähler haben.

Jedem der vorgesehenen Ausgangskanäle V_1 bis V_p ist im Kanalwähler KW je ein UND-Gatter A_1 bzw. A_2 bzw....bzw. A_p (im Beispielsfalle A_1 bis A_{10}) zugeordnet. Jedes dieser UND-Gatter A_1 bis A_p wird über zwei Eingänge gesteuert, wovon jeweils der eine an dem durch das Eingangs-Schieberegister PSW gesteuerten Dateneingang DE des Kanalwählers und der andere am Ausgang je eines ODER-Gatters OD_1 bzw. OD_2 bzw....bzw. OD_p liegt. Der Signalausgang jedes dieser UND-Gatter A_1 bis A_p bildet den dem betreffenden Steuerausgang UE_1 bzw. UE_2 bzw. UE_p, der zur zusätzlichen Steuerung der dem jeweils zugeordneten Ausgangsteil V_1 bzw. V_2 bzw.....bzw. V_p der Vermittlungsanlage VM jeweils zugehörigen Adressenspeicher S und S^* dient, worauf noch näher eingegangen wird.

Das die einzelnen soeben genannten UND-Gatter A_1 bis A_p jeweils steuernde ODER-Gatter OD_1 bzw. OD_2 bzw.....bzw. OD_p hat einen ersten Eingang, der jeweils durch den Ausgang je eines weiteren UND-Gatters UG_1 bzw. UG_2 bzw.. ....bzw. UG_p unmittelbar beaufschlagt wird. Ein zweiter Signaleingang jedes dieser ODER-Gatter OD_1 bis OD_p wird durch den Signalausgang je eines weiteren UND-Gatters

A_1^* bis A_p^* gesteuert.

Die im Zusammenhang mit der Steuerung der ODER-Gatter OD_1 bis OD_p genannten UND-Gatter UG_1 bis UG_p haben mit Ausnahme des dem ersten Ausgangsteil oder Kanals V_1 zugeordneten UND-Gatters UG_1 drei Eingänge, während das dem ersten Kanal V_1 zugeordnete UND-Gatter nur zwei Eingänge aufweist. Je einer der Eingänge aller dieser UND-Gatter UG_1 bis UG_p wird durch den (durch das NOR-Gatter NR gegebenen) Steuerausgang B_1 bzw. B_2 bzw. B_p des betreffenden Ausgangsteiles bzw. Kanals V_1 bzw. V_2 bzw. V_p gesteuert, während ein anderer Eingang jedes dieser UND-Gatter über einen Inverter IV von einem gemeinsamen NOR-Gatter NO gesteuert wird. Je ein Eingang der bereits genannten weiteren UND-Gatter A_1^* bis A_p^* liegt unmittelbar am Ausgang dieses NOR-Gatters NO, dessen Eingänge durch je einen der insgesamt vorgesehenen Ausgangsteile V_1 bis V_p der Vermittlungsanlage VM über dessen Steuerausgang B_1 bis B_p beaufschlagt sind.

Das dem ersten Ausgangsteil V_1 zugeordnete UND-Gatter UG_1 ist somit durch den Steuerausgang B_1 und durch das NOR-Gatter NO voll ausgesteuert. Bei den übrigen UND-Gattern aus der Gruppe der UND-Gatter UG_1 bis UG_p hat man, wie soeben festgestellt, drei Eingänge, von denen zwei in analoger Weise wie die beiden Eingänge des ersten dieser UND-Gatter UG_1 gesteuert sind. Demzufolge liegt je ein Eingang aller dieser UND-Gatter UG_2 bis UG_p am Ausgang des NOR-Gatters NO über den Inverter IV und ein zweiter Eingang am Steuerausgang B_2 bzw. B_3 bzw....bzw. B_p des jeweils zugehörigen Ausgangsteiles V_2 bzw. V_3 bzw.....bzw. V_p der Vermittlungsanlage VM. Der dritte Eingang dieser UND-Gatter UG_2 bis UG_p wird über den Ausgang je einer Logikzelle L_{12} bzw. L_{23} bzw.

.....bzw. $L_{(p-2),(p-1)}$ bzw. $L_{(p-1),\,p}$ gesteuert.

Die Logikzelle L_{12}, die zur Steuerung des dritten Eingangs des zweiten UND-Gatters UG_2 aus der Reihe der UND-Gatter UG_1 bis UG_p vorgesehen ist, besteht lediglich aus einem Inverter, dessen Eingang durch den Steuerausgang B_1 des ersten Ausgangsteils V_1 der Vermittlungsanlage VM gesteuert ist (der zugleich an dem einen Eingang des UND-Gatters UG_1 liegt) und dessen Ausgang einerseits mit dem dritten Eingang des UND-Gatters UG_2 (zugeordnet zum zweiten Ausgangsteil V_2) verbunden ist und andererseits am Eingang der nächsten, zur Beaufschlagung des folgenden UND-Gatters UG_3 vorgesehenen Logikzelle L_{23} liegt.

Die übrigen Logikzellen L_{23} bis $L_{(p-1),\,p}$ sind einander gleich und bestehen aus je einem Inverter L_{23a} bzw. L_{34a} bzw.....bzw. $L_{(p-1),p\,a}$ und einem NOR-Gatter mit zwei Eingängen, dessen Ausgang den Signalausgang der betreffenden Logikzelle bildet und das mit L_{23b}, L_{34b},.... $L_{(p-1),\,p\,b}$ bezeichnet ist (vergl. Fig. 4). Schaltungsmäßig ist dabei der Eingang des Inverters a der betreffenden Logikzelle L_{23} bzw. L_{34} bzw.....bzw. $L_{(p-1),p}$ mit dem Ausgang der jeweils vorangehenden Logikzelle L_{12} bzw. L_{23} bzw.....bzw. $L_{(p-2),(p-1)}$ verbunden, während sein Ausgang an den einen Eingang des jeweils zugeordneten NOR-Gatters b liegt. Der andere Eingang des NOR-Gatters b der betreffenden Logikzelle L_{23} bis $L_{(p-1),\,p}$ wird vom Steuerausgang B_1 bzw. B_2 bzw.....bzw. B_p desjenigen Ausgangsteils V_3 bzw. V_4 bzw.....bzw. V_p gesteuert, dem das betreffende UND-Gatter aus der Reihe der UND-Gatter UG_1 bis UG_p zugeordnet ist. Der Aufbau und die Anschaltung der Logikzellen ist anhand der drei ersten dieser Logikzellen, nämlich der Logikzellen L_{12}, L_{23} und L_{34} in Fig. 4 dargestellt.

Bei dem in Fig. 3 dargestellten Kanalwähler (oder Ausgangsteil-Wähler) KW werden durch den Ausgang des NOR-Gatters NO nicht nur die soeben besprochenen UND-Gatter UG_1 bis UG_p sondern auch noch eine weitere, ebenfalls bereits erwähnte Gruppe A_1^* bis A_p^* von UND-Gattern gesteuert, die ebenfalls jeweils einem der Ausgangskanäle V_1 bis V_p der Vermittlungsanlage VM zugeordnet sind. Jedes dieser UND-Gatter A_1^* bis A_p^* z.B. hat zwei Eingänge, von denen der eine ohne Zwischenschaltung eines Inverters oder eines anderen Bauelementes unmittelbar am Ausgang des NOR-Gatters NO liegt, während der andere am Ausgang je eines Komparators K_1^* bis K_p^* liegt. Die Komparatoren K_1^* bis K_p^* entsprechen im Aufbau den einzelnen Komparatoren K_1 bis K_p. Sie sind einerseits durch einen gemeinsamen Referenzzähler RZ und andererseits durch je einen sog. Alterzähler AZ_1 bzw. AZ_2 usw. beaufschlagt und sprechen bei Gleicheit des Zählstandes jedes der p vorgesehenen und jeweils je einem der p Ausgangskanäle V_1 bis V_p fest zugeordneten Alterzähler AZ_1 bis AZ_p mit dem jeweiligen Zählstand des Referenzzählers RZ an.

Im folgenden wird nun die Wirkungsweise des in Fig. 3 und Fig. 4 dargestellten Kanalwählers KW beschrieben. Dabei ist es zweckmäßig, noch auf die Ausbildung der einzelnen Speicherteile S und S^* in den einzelnen Ausgangskanälen V_1 bis V_p einzugehen. Es empfiehlt sich nämlich, wenn die einzelnen Speicherzellen dieser Speicherteile aus quasistatischen Schieberegisterzellen gebildet sind. Im Gegensatz zu einem Schieberegister ist jedoch hier keine Serienschaltung der Speicherzellen vorgesehen, sondern jede Speicherzelle ist sowohl eingangsseitig als auch ausgangsseitig für sich gestellt. Gemeinsam ist nur die Beaufschlagung über das Manual M und die Taktversorgung.

Insgesamt sind jedem der Ausgangsteile V_1 bis V_p sieben Speicherzellen S_1 bis S_4 und S_1^* bis S_3^* zugeordnet, wobei die vier-Zellen S_1 bis S_4 durch den ersten Teil des Tonadressenzählers TAZ und die drei Zellen S_1^* bis S_3^* durch den zweiten Teil des Tonadressenzählers TAZ gesteuert sind. Dementsprechend sind die Speicherzellen des ersten Speicherteils S zur Aufnahme der Bezeichnung des jeweils angespielten Tons innerhalb der einzelnen Oktave und die Speicherzellen des zweiten Speicherteils zur Aufnahme der Bezeichnung der Oktave, in der der jeweils angespielte bzw. anzuspielende Ton liegt, bestimmt. Demzufolge sind weiterhin die Signalausgänge der den ersten Speicherteil S bildenden Speicherzellen S_1 bis S_4 zur Beaufschlagung des ersten Dekoders D und die Ausgänge der den zweiten Speicherteil S^* bildenden Speicherzellen S_1^* bis S_3^* zur Steuerung des zweiten Dekodierers D^* vorgesehen. In Fig. 5, auf die vor der weiteren Beschreibung der Wirkungsweise eines Kanalwählers KW gemäß Fig. 3 eingegangen werden soll, sind lediglich die ersten drei Speicherzellen S_1 bis S_3 des ersten Speicherteils S dargestellt. Im Aufbau und in der Anschaltung entsprechend die übrigen Speicherzellen S_4 bzw. S_1^* bis S_3^* den in Fig. 5 dargestellten Speicherzellen im vollen Maße.

Jede der Speicherzellen der beiden Speicherteile S und S^* in jedem Ausgangskanal V_1 bis V_p enthält vier Transfertransistoren t_1, t_2, t_3 und t_4, die jeweils durch einen MOS-Transistor vom Anreicherungstyp gegeben sind. Sie enthält außerdem einen Inverter I und ein NOR-Gatter N. Außerdem benötigt man einen sog. Dreiphasentaktgeber, also einen Taktgeber TG, der zur Abgabe von drei periodischen und dieselbe Frequenz aufweisenden Impulsfolgen TM, TS und TSS befähigt ist. Wesentlich für die drei Impulsfolgen ist, daß sich die einzelnen Impulse TS ohne Überlappung zwischen je zwei Impulsen

der Folge TM einordnen, so daß zwischen jeweils benachbarten Impulsen TM und TS ein Zwischenraum vorgesehen ist. Außerdem koinzidieren die fallenden Flanken der Impulse aus der Folge TSS mit der fallenden Flanke je eines Impulses aus der Folge TS während bezüglich der ansteigenden Flanke die Impulse TSS gegenüber den Impulsen TS geringfügig verzögert sind. Da man zweckmäßig auch das Eingangsschieberegister PSW mittels quasistatischer Registerzellen, also mit Zellen entsprechend Fig. 5 aufbaut, werden auch hier die Takte TM, TS und TSS benötigt. Schließlich wird man auch die einzelnen Zählerstufen des Tonadressenzählers TAZ und weiterer in der Schaltung verwendeter Zähler, insbesondere auch des Referenzzählers RZ und der Alterszähler AZ_1 bis AZ_p mittels Master-Slave-Flip-Flops (insbesondere mittels je eines Toggle-Flip-Flops) aufbauen, für dessen Betrieb die Impulse TM und TS ebenfalls benötigt werden.

Der Dateneingang jeder der die Speicherteile S und S^* bildenden Speicherzellen ist, wie aus Fig. 5 ersichtlich ist, durch den Sourceanschluß des Transfertransistors t_1 gebildet, der dementsprechend an dem Zählausgang Q der ihm jeweils zugeordneten Zählstufe des Tonadressenzählers TAZ gelegt ist. Die Gates der Eingangs-Transfertransistoren t_1 aller dieser Speicherzellen S_1 bis S_4 und S_1^* bis S_4^* liegen gemeinsam am Ausgang des dem betreffenden Ausgangskanal V_1 bis V_p zugeordneten und den diesen steuernden Kanalwähler-Ausgang UE_1 bzw. UE_2 bzw.....bzw. UE_p bildenden UND-Gatters A_1 bzw. A_2 bzw.....bzw. A_p. Verwendet man die in Fig. 5 dargestellen Speicherzellen, so müssen die UND-Gatter A_1 bis A_p mit drei Signaleingängen jeweils ausgestattet werden. Zwei davon sind in der aus Fig. 3 ersichtlichen Weise beaufschlagt, während der dritte durch die die Speicher-

zellen S_1, S_2 usw. steuernden Takte TM gesteuert ist.

Der Drain des Transistors t_1 jeder dieser Speicherzellen S_1, S_2 usw. liegt einerseits am Eingang eines Inverters I, andererseits an je einer stromführenden Elektrode zweier Transfertransistoren t3 und t4. Der Ausgang des Inverters ist über einen Transfertransistor t2 an den einen Eingang eines NOR-Gatters N gelegt, dessen zweiter Eingang durch ein allgemeines Resetsignal Re gesteuert ist und dessen Ausgang den Ausgang der betreffenden Speicherzelle bildet. Die Gates der Transfertransistoren t2 der Speicherzellen werden gemeinsam vom Takt TS gesteuert.

Die Transfertransistoren t3 überbrücken mit ihrer Source-Drainstrecke die Serienschaltung von Inverter I, Transfertransistor t2 und NOR-Gatter N. Ihr Gate wird durch die Taktimpulse TSS gesteuert. Der Transfertransistor t4 liegt mit seiner Source-Drainstrecke zwischen dem Bezugspotential (Masse) und dem Eingang des Inverters I. Sein Gate wird durch in noch zu beschreibender Weise erzeugte Impulse L beaufschlagt. Der Ausgang der NOR-Gatter N jeder der Speicherzellen S_1, S_2 usw. ist einerseits an den ihm jeweils zugeteilten Eingang eines der beiden Dekodierer D bzw. D^* gelegt. Andererseits ist jeder der sieben Speicherzellen je eines der Vergleichsgatter E_1 bis E_7 des Komparators K_1 bzw. K_2 usw. zugeordnet. Hierzu ist der eine Eingang des betreffenden Äquivalenzgatters E_1 bzw. E_2 bzw.....bzw. E_7 des betreffenden Komparators K_1, K_2..... K_p an den Source-Anschluß des Eingangs-Transfertransistors t_1 und der andere Eingang an den Ausgang des NOR-Gatters N der betreffenden Speicherzelle gelegt. Zu bemerken ist, daß die das Gate der Transistoren t_4

steuernden Löschimpulse L durch aus der Folge TM selektierte Impulse gegeben sind. Über ihre Erzeugung wird noch eingegangen.

Die bei Aktivierung des den einzelnen Speicherzellen in den Speicherteilen S und S^* des einzelnen Ausgangskanals V_1 bis V_p zugeordneten Eingangs-Transfertransistors t_1 an dessen Source gelangende "1" wird in der jeweiligen Speicherzelle aufgrund der beiden Taktfolgen TS und TSS solange erhalten, bis durch einen Löschimpuls L die "1" über den Löschtransistor t4 gelöscht wird und somit die Speicherzelle erneut für das Einschreiben einer "1" zur Verfügung steht. Da der Löschimpuls L gleichzeitig an alle Löschtransistoren t4 der dem betreffenden Ausgangskanal K_1 bis K_p zugehörigen Speicherzellen S_1, S_2 usw. gelangt, werden die beiden Speicherteile S und S^* des betreffenden Ausgangskanals gleichzeitig gelöscht, so daß der Kanal erneut für eine Beaufschlagung durch den Tonadressenzähler TAZ zur Verfügung steht. Dies wird durch die "1" am Rücksteuerungsausgang S_1, S_2 usw. des betreffenden Kanals V_1, V_2,.... angezeigt.

Zusammenfassend ist somit festzustellen:

1. Jedesmal wenn durch die Ausgänge der Zählstufen im Tonadressenzähler TAZ der Zählstand erreicht wird, der in den beiden Speicherteilen S und S^* jedes Ausgangskanals V_1 bis V_p eingespeichert ist, so erscheint am Ausgang des dem betreffenden Ausgangskanals V_1, V_2, usw. zugeteilten Komparators K_1, K_2 usw. eine "1". Dies gilt auch, wenn der Zählstand von TAZ gleich "0" ist und die betreffenden Speicherteile S und S^* leer sind. In allen anderen Fällen liegt an den Ausgängen der einzelnen Komparatoren K_1 bis K_p eine "0".

Wird nun die Gesamtordnung aktiviert, so ist aufgrund eines allgemeinen Rücksetzsignals dafür gesorgt, daß sich alle Ausgangskanäle V_1 bis V_p, die ihnen zugeordneten Alterszähler AZ_1 bis AZ_p sowie der Referenzzähler RZ sich im Ausgangszustand befinden, so daß am Ausgang aller Komparatoren K_1 bis K_p und K_1^* bis K_p^* eine "1" gegeben ist.

Wird nun eine Spieltaste im Manual M gedrückt, so wird in die ihr zugeordnete Registerzelle des Eingang-Schieberegisters PSW eine "1" eingegeben, während die den nicht betätigten Spieltasten zugeordneten Registerzellen den Zustand "0" beibehalten. Die nun einsetzenden Taktimpulse beginnen nun die aufgrund der gedrückten Spieltaste erzeugte "1" aus dem Eingangs-Schieberegister auszuschieben, wobei jeder Schiebetakt im Tonadressenzähler TAZ gezählt wird. Da die Anordnung der den einzelnen Registerzellen im Eingangs-Schieberegister PSW der Anordnung der Spieltasten im Manual M genau entspricht, ist die Anzahl der bis zum Erscheinen der "1" am Datenausgang des Eingangs-Schieberegisters PSW erforderlichen Schiebetakte und der mit deren Hilfe aufgebaute Zählstand im Tonadressenzähler TAZ die Adresse für den jeweils angespielten Ton.

Um nun den diese Adresse bildenden Zählstand aus dem Tonadressenzähler TAZ in einen der Ausgangskanäle V_1 bis V_p zu übernehmen, muß an einem der UND-Gatter A_1 bis A_p jeder der Eingänge mit einer "1" besetzt sein. Da die Information aus dem Eingangsschieberegister PSW ebenfalls durch die vom Taktgeber TG gelieferten Taktimpulse TM, TS und TSS ausgeschoben wird, wenn die Schieberegisterzellen quasistatische Registerzellen sind, ist automatisch dafür gesorgt, daß beim Eintreffen einer "1" über den Dateneingang DE des Kanalwählers

KW an den Eingang der UND-Gatter A_1 bis A_p auch eine "1" an dem dem Takt TM gewidmeten Eingang dieser UND-Gatter anhängig wird. Da schließlich das UND-Gatter UG_1 von allen diesen UND-Gattern UG_1 bis UG_p nur zwei Eingänge aufweist und ein Eingang aller dieser UND-Gatter bei leeren Speichern über den zugehörigen Rücksteuerungsausgang B_1 bzw. B_2 bzw.....bzw. B_p beständig mit einer "1" beaufschlagt ist und außerdem dem zweiten Eingang aller UND-Gatter UG_1 bis UG_p die von dem Inverter IV gelieferte "1" anhängig ist und das dem ersten Ausgangskanal V_1 zugeordnete UND-Gatter UG_1 allein nur zwei Eingänge hat, ist nur am Ausgang dieses UND-Gatters UG_1 eine "1" gegeben. Dies bedeutet, daß von den ODER-Gattern OD_1 bis OD_p nur das ODER-Gatter OD_1 am Ausgang eine "1" hat. Somit kann beim Austritt der "1" aus dem Eingangsschieberegister PSW nur das dem ersten Ausgangskanal V_1 zugehörige UND-Gatter A_1 ansprechen und den seinen Ausgangskanal aktivieren.

Dies bedeutet, daß der beim Austritt der "1" aus dem Eingangs-Schieberegister PSW vorliegende Zählstand, also die Adresse des angespielten Tons, in die Speicherzellen des ersten Ausgangskanals V_1 übernommen wird. Dies hat zur Folge, daß die "0" am Ausgang des Komparators K_1 verschwindet, daß außerdem am Rücksteuerungsausgang B_1 des ersten Ausgangsteils V_1 statt der bisher vorhandenen "1" eine "0" erscheint und daß damit an dem das dem zweiten Ausgangskanal V_2 zugeordneten UND-Gatter UG_2 alle drei Eingänge mit einer "1" belegt sind. Denn durch die "0" am Rücksteuer-Ausgang B_1 entsteht am Ausgang der (lediglich durch einen Inverter gegebenen) Logikzelle L_{12} eine "1", so daß nunmehr am Ausgang von UG_2 eine "1" anhängig ist, während die "1" am Ausgang von UG_1 nunmehr verschwunden und an den Ausgängen der übrigen UND-Gatter UG_3 bis UG_p ebenfalls

das Erscheinen einer "1" vorläufig ausgeschlossen ist.

Somit wird beim Ausschieben einer nächsten "1" aus dem Eingangs-Schieberegister PSW der sich bis dahin aufgebaute Zählstand von TAZ und damit die Tonadresse des neu angespielten Tones in die Speicherzellen des zweiten Ausgangsteils V_2 übernommen. Hierdurch verschwindet die "1" am Rücksteuerungsausgang B_2 dieses Kanals V_2, wodurch über die Logikzelle L_{23} dafür gesorgt wird, daß die drei Eingänge des dem nächsten Ausgangskanal V_3 zugehörigen UND-Gatters UG_3 mit einer "1" bis zum Eintreffen der nächsten "1" aus dem Ausgangs-Schieberegister PSW beaufschlagt bleiben. Das Spiel wiederholt sich sukzessive an dem jeweils folgenden Ausgangskanal V_4 bis V_p, bis die Adressen der ersten p angespielten Töne in je einem der Ausgangskanäle gespeichert ist und - solange der Speicherzustand andauert - in der bereits anhand von Fig. 2 beschriebenen Weise dafür sorgt, daß die dem gespeicherten Ton entsprechende Tonfrequenzschwingung am Tonsignalausgang AU_1 bzw. AU_2 bzw....bzw. AU_p des betreffenden Ausgangskanals V_1 bzw. V_2 bzw.....bzw. V_p an den jeweils zugeordneten Amplitudenformer AF_1 bis AF_p abgegeben wird.

Sind nun alle Kanäle V_1 bis V_p durch je einen angespielten Ton besetzt, so muß nun dafür gesorgt werden, daß die Speicherzellen wenigstens eines der Ausgangskanäle V_1 bis V_p durch einen L-Impuls wieder geleert werden. Die Erzeugung dieser abgezweigte TM-Impulse darstellenden Löschimpulse sowie deren Verteilung an die einzelnen Ausgangsteile V_1 bis V_p der Vermittlungsanlage VM richtet sich nun nach verschiedenen bereits genannten Gesichtspunkten. Wie die Realisierung in den einzelnen Fällen erfolgt, soll nach Besprechung der Fig. 6 und 7 dargestellt werden.

Jeder der in Fig. 2 dargestellten Ausgangskanäle V_1 bzw.....bzw. V_p der Vermittlungsanlage VM steuert mit seinem Ausgang je einen Amplitudenformer AF_1 bzw..... bzw. AF_p. Der Aufbau eines solchen Amplitudenformers ist in Fig. 6 dargestellt.

Hiernach liegt der Ausgang AU_1 bzw. AU_2 bzw....bzw. AU_p des betreffenden Ausgangsteils V_1 bzs. V_2 bzw.....bzw. V_p am Eingang je einer Formerschaltung FS, die jeweils mit einem Zähler Z kombiniert ist. Hinsichtlich der Einzelheiten der Formerschaltung FS und des Zählers Z kann auf die DE-Patentanmeldung P 29 16 765.5 (VPA 79 P 1070) hingewiesen werden. Diese Patentanmeldung betrifft eine Halbleiterschaltung für die Umformung von Folgen periodischer Wechselspannungssignale mit einem Signaleingang, einem die Umformung bewirkenden Schaltungsteil und einem Signalausgang. Kennzeichnend für diese Halbleiterschaltung ist die Maßnahme, daß der Signaleingang E an den einen stromführenden Anschluß von n einander gleichen Transistoren gelegt und jeder dieser n Transistoren mit einem weiteren solchen Transistor zu je einem Transistorpaar zusammengefaßt ist, indem der andere stromführende Anschluß des ersten Transistors jedes Transistorpaares mit dem entsprechenden stromführenden Anschluß des zugehörigen weiteren Transistors verbunden und außerdem über je eine von n verschiedenen Widerstandskombinationen an den Signalausgang A der Schaltung gelegt ist, daß ferner die den einzelnen Transistorpaaren jeweils zugeordneten Widerstandskombinationen ein Widerstands-Netzwerk bilden und daß die ersten stromführenden Elektroden der zweiten Transistoren aller dieser Transistorpaare an einem gemeinsamen und vom Bezugspotential (Masse) verschiedenen Betriebspotential liegen und daß schließlich zur Beaufschlagung der Steuerelektroden der Transistoren

ein n Zählstufen aufweisender und von einem Taktgeber mit Zählimpulsen gesteuerter Digitalzähler Zä vorgesehen ist und die n Transistorpaare in von Fall zu Fall verschiedener Weise mit den Signalausgängen Q, $\overline{Q}$ des Digitalzählers Z verbunden sind.

Der dem einzelnen Amplitudenformer AF_1 bis AF_p jeweils zugeordnete Dualzähler Z ist, wie bereits in der Patentanmeldung P 29 16 765.5 (VPA 79 P 1070) dargelegt, als Vorwärts-Rückwärtszähler ausgestaltet. Er weist im Beispielsfall 7 Zählstufen in Gestalt von sieben hintereinandergeschalteten Flip-Flopzellen, z. B. Toggle-Flip-Flopzellen, auf, die jeweils mit zwei Eingängen, also einem direkten und einem invertierten Eingang versehen sind. Jeder der beiden Eingänge der einzelnen den Zähler Z bildenden Flip-Flopzellen ist mit dem Gate je eines MOS-Transistors vom Anreicherungstyp verbunden. Die Drains der beiden auf diese Weise je einer Zählstufe zugeordneten MOS-Transistoren sind miteinander verbunden und über je einen Widerstand mit je einem Teilerpunkt eines durch - im Beispielsfall durch 8 hintereinander geschaltete Widerstände gegebenen - Spannungsteilers verbunden. Die Source-Anschlüsse der einen der beiden je einer Zählstufe zugeordneten MOS-Transistoren liegt an einem mittleren Betriebspotential und der andere (dem invertierten Eingang zugeordnete) Transistor mit seiner Source an dem Tonsignalausgang AU_1 bzw.....bzw. AU_p des dem betreffenden Amplitudenformer AF_1 bzw.....bzw. AF_p zugeordneten Ausgangskanals V_1 bzw.....bzw. V_p der Vermittlungsanlage VM. Der besagte Spannungsteiler bildet mit einem Ende den Signalausgang SG_1 bzw.....bzw. SG_p des betreffenden Amplitudenformers und liegt mit dem anderen Ende an dem besagten mittleren Betriebspotential und somit

an den Source-Anschlüssen der den invertiert beaufschlagten Eingängen der einzelnen Zählstufen zugeordneten MOS-Transistoren.

Die Signalausgänge der p vorgesehenen Amplitudenformer AF_1 bis AF_p liegen an je einem Eingang einer Mischstufe Mi, deren Ausgang über einen Verstärker V einen Lautsprecher LT, also einen elektro-akustischen Wandler, steuert. Auf Einzelheiten hinsichtlich der bisher beschriebenen Teile der in Fig. 6 dargestellten Amplitudenformerschaltung braucht im Zusammenhang mit der vorliegenden Halbleiterschaltung nicht weiter eingegangen werden.

Der Zähleingang des Vorwärts-Rückwärtszählers Z des Amplitudenformers wird von einer wenigstens einen Oszillator enthaltenden Anlage zur Erzeugung der Zähltakte versorgt, wobei die Anlage ihrerseits durch bestimmte Zählstände des betreffenden Zählers Z rückgesteuert ist. Im Beispielsfall sind zwei solche Oszillatoren OZ_1 und OZ_2 vorgesehen, die in an sich bekannter Weise derart ausgestaltet sind, daß sie Rechteck-Schwingungen mit einstellbarer Frequenz liefern. Jeder dieser beiden Oszillatoren OZ_1 und OZ_2 steuert einen Frequenzteiler TL_1 bzw. TL_2, die im Beispielsfall jeweils aus drei hintereinander geschalteten Teilerstufen F_1 bis F_3 und F_4 bis F_6 in Gestalt von Flip-Flopzellen, aufweisen. Im Beispielsfall sind Master-Slave-Flip-Flops (Toggle-Flip-Flops) für die einzelnen Teilerstufen verwendet, so daß die von dem jeweiligen Oszillator OZ_1 oder OZ_2 gelieferten Schwingungen dem einen Eingang der ersten Flip-Flopzelle unmittelbar und dem anderen Eingang über einen (nicht besonders bezeichneten) Inverter zugeführt ist. Diese beiden Oszillatoren OZ_1 und OZ_2 sind allen der vorgesehenen

p Amplitudenformern gemeinsam. Sie steuern also insgesamt p Frequenzteiler TL_1 und p Frequenzteiler TL_2.

Als weiterer Bestandteil der Anlage für die Erzeugung der Zähltakte sind wenigstens zwei Flip-Flops und eine durch gewisse Zählstände des Binärzählers Z über die Flip-Flops rückgesteuerte und die Zufuhr der von den Teilerstufen gelieferten Schwingungen als Zähltakte für den Zähler Z liefernde Logik, die aus UND-Gattern und Oder-Gattern kombiniert ist, vorgesehen.

Hierbei sind in dem in Fig. 6 dargestellten Beispielsfall zunächst sechs UND-Gatter a_1 bis a_6 mit jeweils drei Signaleingängen zu erwähnen, von denen die drei ersten dem vom Oszillator OZ_1 gesteuerten ersten Teiler TL_1 und die drei letzten dem vom Oszillator OZ_2 gesteuerten zweiten Teiler TL_2 zugeordnet sind, indem je ein Ausgang, z. B. der nicht invertierte Ausgang, jeder Teilerstufe F_1 bis F_6 mit je einem Eingang eines der UND-Gatter a_1 bis a_6 verbunden ist. Demzufolge sind z. B. die UND-Gatter a_1 bis a_3 dem ersten Teiler TL_1 und die UND-Gatter a_2 dem zweiten Teiler TL_2 zugeteilt. Die Ausgänge aller dieser UND-Gatter a_1 bis a_6 gehen auf je einen Eingang eines gemeinsamen ODER-Gatters od. Der Ausgang dieses ODER-Gatters od liegt an einem weiteren UND-Gatter ug, das zwei Eingänge aufweist, von denen der eine durch das besagte ODER-Gatter od und der andere durch den einen Ausgang einer Flip-Flopzelle FF gesteuert ist. Das Flip-Flop LFF wird an beiden Eingängen durch je einen Ausgang der Logikschaltung Lo beaufschlagt. Diese Logikschaltung Lo ist ihrerseits durch den Vorwärts-Rückwärtszähler Z und durch ein Startsignal St gesteuert, das außerdem zum starten des durch die beiden NOR-Gatter n_1 und n_2 gebildeten RS-Flip-Flops vorgesehen ist.

Der Vorwärts-Rückwärtszähler Z hat im Beispielsfalle sieben Zählstufen. Er steuert sowohl mit dem Zählerstand "0" als auch mit seinem höchsten Zählstand die Logikschaltung Lo und mit dem höchsten Zählstand sowie mit zwei weiteren Zählständen je eines der drei UND-Gatter a_1^*, a_2^* und a_3^* (es können natürlich auch noch mehrere solcher UND-Gatter vorgesehen sein), die jeweils sieben Eingänge aufweisen und die zwecks Kodierung jeweils eines bestimmten Zählstandes des Zählers Z durch je einen der beiden Ausgänge Q und $\overline{Q}$ jeder Zählstufe von Z beaufschlagt sind. Dabei ist das UND-Gatter a_1^* einem von "0" verschiedenen ersten Zählstand, das UND-Gatter a_2^* einem zweiten - höheren - Zählstand und das UND-Gatter a_3^* einem noch höheren dritten Zählstand von Z zugeordnet, der insbesondere dem höchsten Zählstand dieses Zählers Z entspricht. Dem dritten UND-Gatter a_3^* ist ausgangsseitig eine Differenzierstufe DS_2 zugeordnet, während die Steuerung durch die beiden anderen UND-Gatter a_1^* und a_2^* ohne eine solche Differenzierstufe arbeitet.

Das UND-Gatter a_1^* liegt an einem Eingang des bereits genannten NOR-Gatters n_1, das zusammen mit dem NOR-Gatter n_2 ein RS-Flip-Flop bildet. Hierzu ist sein Ausgang an einem Eingang des NOR-Gatters n_2 und der Ausgang des NOR-Gatters n_2 an einen Eingang des NOR-Gatters n_1 gelegt. Das erste NOR-Gatter n_1 hat noch einen dritten Eingang, der an einem durch Rücksetzsignale gesteuerten Reseteingang der Schaltung gemäß Fig. 6 liegt. Durch diesen Reseteingang Re ist außerdem ggf. der Rücksetzeingang des Zählers Z beaufschlagt, so daß dieser beim Auftreten eines Rücksetzimpulses auf den Zählstand "0" umschaltet (falls der Zähler Z nicht bereits vorher durch die Rückzählphase auf "0" geschaltet ist). Ein durch ein Startsignal ge-

steuerter Eingang St liegt über eine Differenzierstufe DS_1 einerseits an der Logik Lo und andererseits an einem zweiten Eingang des mit dem NOR-Gatter n_1 kreuzgekoppelten NOR-Gatters n_2. Der Ausgang des durch die NOR-Gatter n_1 und n_2 gebildeten RS-Flip-Flops ist mit dem Ausgang des NOR-Gatters n_1 identisch. Er liegt an je einem Eingang der durch die beiden letzten Teilerstufen F_3 und F_6 der beiden Teiler TL_1 und TL_2 beaufschlagten UND-Gatter a_3 und a_6.

Ein zweites RS-Flip-Flop ist durch die beiden NOR-Gatter n_3 an den Ausgang des jeweils anderen NOR-Gatters gelegt. Ein zweiter Eingang des NOR-Gatters n_3 liegt am Ausgang des UND-Gatters a_1^*, ein zweiter Eingang des anderen NOR-Gatters n_4 am Ausgang des UND-Gatters a_2^* und ein dritter Eingang des NOR-Gatters n_4 am Reseteingang Re der Schaltung. Der Ausgang des zweiten RS-Flip-Flops n_3, n_4 ist durch den Ausgang des zweiten dieser NOR-Gatter, also durch den Ausgang des Gatters n_4 gegeben. Er liegt an je einem Eingang der durch die beiden vorletzten Stufen F_2 bzw. F_4 der beiden Teiler TL_1 und TL_2 beaufschlagten UND-Gatter a_2 bzw. a_5.

Ein drittes RS-Flip-Flop ist durch die beiden NOR-Gatter n_5 und n_6 gegeben, von denen wiederum je ein Eingang auf den Ausgang des anderen Gatters rückgekoppelt ist. Ein weiterer Eingang des Gatters n_5 wird durch den Ausgang des zweiten UND-Gatters a_2^* und ein weiterer Eingang des anderen NOR-Gatters n_6 durch den Ausgang des UND-Gatters a_3^* über eine Differenzierstufe DS_2 gesteuert. Ein dritter Eingang des NOR-Gatters n_6 liegt am Reseteingang Re. Sein Ausgang bildet den Ausgang des dritten RS-Flip-Flops n_5, n_6. Er liegt an je einem Eingang der durch die ersten

Teilerstufen F_1 bzw. F_4 beaufschlagten UND-Gatter a_1 bzw. a_4.

Der Ausgang der durch das UND-Gatter a_3^* gesteuerten Differenzierstufe DS_2 liegt ferner am einen Eingang einer weiteren Flip-Flopzelle AFF, deren zweiter Eingang am Reseteingang Re angeschaltet ist. Der beim Auftreten eines Signals am Ausgang der Differenzierstufe DS_2 den Pegel "1" erhaltende Ausgang des Flip-Flops AFF liegt an je einem letzten Eingang der durch den ersten Teiler TL_1 gesteuerten UND-Gatter a_1 bis a_3 und über einen Inverter IR an je einem letzten Eingang der durch den zweiten Teiler TL_2 gesteuerten UND-Gatter a_4 bis a_6.

Derselbe Ausgang der Flip-Flopzelle AFF liegt außerdem an dem die Umsetzung des Zählers Z vom Vorwärts- auf den Rückwärtszählbetrieb bewirkenden Eingang des Zählers Z. Der andere Ausgang der Flip-Flopzelle AFF kann anstelle des Inverters IR dazu verwendet werden, um die dritten Eingänge der UND-Gatter a_4 bis a_6 zu steuern. Der Inverter IR ist dann nicht erforderlich.

Die in Fig. 7 dargestellte Ausbildung der Logikschaltung Lo hat zwei durch die beiden Extremstände des Vorwärts-Rückwärtszählers Z gesteuerte UND-Gatter, wobei das UND-Gatter u_1^* dem höchsten, das UND-Gatter u_2^* dem niedrigsten Zählstand, also dem Zählstand "0" zugeordnet ist. Das UND-Gatter u_1^* kann mit dem UND-Gatter a_3^* identisch sein, wobei allerdings im Falle der Logik Lo die Differenzierstufe DZ_2 nicht mit einbezogen ist. Da im Beispielsfall der Zähler Z sieben Zählstufen, also sieben hintereinandergeschaltete Toggle-Flip-Flopzellen, aufweist, haben die UND-Gatter

u_1^* und u_2^* jeweils sieben Eingänge, die im Falle des UND-Gatters u_1^* mit den den Zählstand anzeigenden Ausgängen Q und im Falle des UND-Gatters u_2^* mit den die hierzu invertierten Signale führenden Ausgängen $\overline{Q}$ des Zählers Z jeweils verbunden sind.

Der Ausgang des den Zählstand "0" anzeigenden UND-Gatters u_2^* ist über eine Differenzierstufe DS3 an den einen Eingang eines ODER-Gatters org_2 gelegt, dessen anderer Eingang über ein weiteres UND-Gatter ud_3 gesteuert ist und dessen Ausgang derart an das Flip-Flop LFF angelegt ist, daß dieses das die Zufuhr von Zählimpulsen zum Zähler Z kontrollierende UND-Gatter ug sperrt. Beaufschlagt ist das zuerst genannte UND-Gatter ud_3 einerseits durch das dem höchsten Zählstand des Zählers Z gewidmete UND-Gatter u_1^* (das bevorzugt mit dem UND-Gatter a_3^* identisch ist) und andererseits durch ein über einen Steuereingang P/S zugeführtes Signal. Bei Vorhandensein eines solchen Signals (oder dessen Abwesenheit) wird erreicht, daß die Tonamplitude auch bei Loslassen der gedrückten Spieltaste ihre konstante Amplitude solange beibehält, als das Signal andauert.

Der andere Eingang der Flip-Flopzelle LFF wird durch ein weiteres ODER-Gatter org_1 gesteuert, welches im Gegensatz zum ODER-Gatter org_1 für die Zufuhr von Zählimpulsen zum Zähler Z über das UND-Gatter ug sorgt. Das ODER-Gatter org_1 wird ebenfalls durch zwei UND-Gatter ud_1 und ud_2 gesteuert. Dabei liegt ein Eingang des UND-Gatters ud_2 an dem bereits genannten Steuereingang P/S während der andere Eingang durch einen Eingang TLO beaufschlagt wird. Ein Signal an den Eingang TLO wird dann gegeben, wenn die für die derzeitige Beaufschlagung des betrachteten Amplitudenformers AF_1

bis AF_p verantwortliche Spieltaste im Manual M losgelassen wird. Auf die Erzeugung dieses den Eingang TLO steuernden Signals wird noch im Anschluß an die noch ausstehende weitere Betrachtung des Kanalwählers KW eingegangen.

Das andere UND-Gatter ud_1 liegt mit einem Eingang an dem dem Zählstand "0" des Zählers Z zugeordneten UND-Gatter u_2^* und mit dem anderen Eingang an dem das Startsignal führenden Eingang St, durch den auch das NOR-Gatter n_2 gesteuert ist. Da sich beim Einschalten des Kanals V_1 bzw. V_2 bzw.....bzw. V_p und des von ihm gesteuerten Amplitudenformers AF_1 bzw. AF_2 bzw.....bzw. AF_p sich der Vorwärts-Rückwärtszähler Z auf den Zählstand "0" befindet, wird durch das über den Starteingang St zugeführte Startsignal das ODER-Gatter org_1 aktiviert und damit das Flip-Flop LFF auf einen Betriebszustand gebracht, bei welchem das nachgeschaltete UND-Gatter ug für die vom Ausgang des ODER-Gatters od gelieferten Zähltakte durchlässig ist. Der Zustand wird ersichtlich beendet, wenn aufgrund des Rückwärtszählvorgangs im Zähler Z der Zählstand "0" erreicht und vom UND-Gatter u_2^* somit mittels der ihm nachgeschalteten Differenzierstufe DS_3 ein Signal an das ODER-Gatter org_2 gegeben wird, durch welches das Flip-Flop LFF in die andere Lage kippt und das UND-Gatter ug sperrt.

Imselben Sinn wirkt bei gleichzeitiger Beaufschlagung durch das mit dem höchsten Zählstand des Zählers Z gekoppelte UND-Gatter u_1^* und den Signaleingang P/S das UND-Gatter ud_3, da auch dieses dann über das ODER-Gatter org_2 das UND-Gatter ug drosselt. Imselben Sinn wie das UND-Gatter ud_1 wirkt das UND-Gatter ud_2 auf das

ODER-Gatter org_1 und damit auf das Flip-Flop LFF, sobald es gleichzeitig an seinem einen Eingang durch ein beim Loslassen der jeweils beaufschlagenden Spieltaste im Manual M entstehenden und über den Eingang TLO zugeführtes Signal und am anderen Eingang durch ein Signal P/S (z. B. über ein Pedal erzeugt) beaufschlagt wird.

Die Differenzierstufen DS_1, DS_2 und DS_3 können vorteilhaft entsprechend der deutschen Patentanmeldung P 28 45 379.4 (VPA 78 P 1191) ausgestaltet sein, da diese aufgrund eines steuernden Impulses RZ die unmittelbare Entstehung eines kurzen definierten Impulses R auslösen. Die Aufgabe dieser Differenzierstufen DS_1 bis DS_3 ist im vorliegenden Falle ja darin zu sehen, daß beim Auftreten eines Steuerimpulses beliebiger Länge ein extrem kurzer Impuls definierter Länge ausgelöst wird.

Als Startsignale St werden vorteilhaft die zum Starten des dem betreffenden Amplitudenformers AF_1 bis AF_p zugeordneten Ausgangsteiles V_1 bis V_p der Vermittlungsanlage VM dienenden und von dem zugehörigen UND-Gatter A_1 bis A_p des Kanalwählers KW erzeugten Übernahmesignale UE_1 bis UE_p verwendet, so daß also zweckmäßig der Ausgang des dem betreffenden Ausgangsteil V_1 bzw.....bzw. V_p zugeordneten UND-Gatters A_1 bzw..... bzw. A_p zur Steuerung der Logik Lo in dem jeweils nachgeschalteten Amplitudenformer AF_1 bzw.....bzw. AF_p zwecks Lieferung des Startsignals St herangezogen wird. Sie werden, wie bereits festgestellt, über die Differenzierstufe DS_1 sowohl an das NOR-Gatter n_1 als auch an das UND-Gatter ud_1 in der Logikschaltung Lo herangetragen.

Aufgrund des Startsignals St erscheint aufgrund der angegebenen Verhältnisse am Ausgang des NOR-Gatters n_1 eine "1", die an den einen der drei Eingänge des durch die dritte Teilerstufe F_3 des Teilers TL_1 gesteuerten UND-Gatters a_3 gelangt. Ferner befindet sich aufgrund des Ausgangszustandes des Zählers Z (sei es aufgrund einer vorausgegangenen Rückzählung auf den Zählstand "0", sei es aufgrund eines über den Reseteingang Re gegebenen Rückstellsignals) das Flip-Flop AFF in einem Zustand, bei welchem die UND-Gatter a_1 bis a_3 durch dieses Flip-Flop AFF mit einer "1" beaufschlagt werden. Schließlich sind die beiden Oszillatoren OZ_1 und OZ_2 dauernd im Betrieb (sie können z. B. durch das Startsignal St eingeschaltet werden). Somit gelangen über das UND-Gatter a_3, das ODER-Gatter od und das UND-Gatter ug Zählimpulse, die weil sie von der letzten Stufe F_3 des Teilers TL_1 stammen, mit verhältnismäßig niedriger Frequenz erscheinen. Diese Zählimpulse zählen den Zähler Z allmählich bis zu dem dem UND-Gatter a_1^* zugeordneten Zählstand hoch. Währenddessen wird aufgrund der Steuerung der Formerschaltung FS durch den Zähler Z die von der Formerschaltung an die Mischstufe MI weitergegebenen und von dem jeweils zugeordneten Ausgangsteil V_1 bis V_p gelieferten tonfrequenten Signale sukzessive gesteigert, wobei infolge der verhältnismäßig langsamen Aufzählung des Zählers Z die Amplitude nur verhältnismäßig langsam gesteigert wird.

Spricht nun das UND-Gatter a_1^* mit dem Erreichen des ihm zugeordneten Zählstandes, des Zählers Z an, so verschwindet die "1" am Ausgang des NOR-Gatters n_1. Dagegen erscheint nun am Ausgang des NOR-Gatters n_4 eine "1". Dies hat zur Folge, daß die Zufuhr der von

der Teilerstufe F_3 gelieferten Zählimpulse gestoppt und stattdessen die Zufuhr von aus der Teilerstufe F_2 stammenden Zählimpulsen über das UND-Gatter a_2 ermöglicht wird, da sich an dem Betriebszustand der beiden Flip-Flops LFF und AFF nichts geändert hat und auch die Eingänge St und Re nicht mehr beaufschlagt wurden. Aufgrund der nunmehr mit höherer Frequenz als bisher erscheinenden Zählimpulse werden die Amplituden der von der Formerschaltung FS gelieferten Tonsignale rascher als bisher größer, und zwar solange, bis das durch den höheren Zählstand des Zählers Z gesteuerte UND-Gatter a_2^* anspricht.

Durch das Ansprechen des UND-Gatters a_2^* verschwindet die "1" am Ausgang des NOR-Gatters n_4 und erscheint dafür am Ausgang des NOR-Gatters n_6. Damit wird die Zufuhr von Zähltakten aus der Teilerstufe T_2 beendet und dafür das UND-Gatter a_1 für die aus der ersten Teilerstufe F_1 stammenden Zähltakte durchgängig gemacht. Hierdurch schreitet die Amplitudenzunahme der am Ausgang der Formerschaltung FS gelieferten tonfrequenten Signale noch rascher als bisher fort. Mit dem Erreichen des dem UND-Gatter a_3^* zugeordneten Zählstandes verschwindet die "1" am Ausgang des NOR-Gatters n_6. Außerdem wird das Flip-Flop AFF gekippt. Dadurch ändert sich die Zählrichtung im Zähler Z. Außerdem werden die durch den Oszillator OZ_1 beaufschlagten UND-Gatter a_1 bis a_3 in ihrer Wirkung für die Anlieferung der Zähltakte durch die durch den Oszillator OZ_2 beaufschlagten UND-Gatter a_4 bis a_6 ersetzt.

Zunächst ist jedoch an den Ausgängen der auch diese UND-Gatter a_4 bis a_6 steuernden NOR-Gatter n_1, n_4 und n_6 nur der Zustand "0" gegeben, so daß vorläufig keine

Zähltakte an den Zähler Z gelangen und die Amplitude der über die Formerschaltung FS an die Mischstufe Mi gelangenden Tonfrequenzsignale ihren höchsten Wert beibehalten. Es müssen, um diesen Zustand zu beenden, die durch die NOR-Gatter n_1 bis n_6 gebildeten RS-Flip-Flops wieder in Aktion treten, wobei nunmehr das Flip-Flop n_1, n_2 bei durch einen höheren Zählerstand als das Flip-Flop n_3, n_4 und das Flip-Flop n_5, n_6 beim Zählstand "0" seine Aktion beenden muß. Dies bedeutet, daß die Steuerung der UND-Gatter a_1^*, a_2^* und a_3^* durch den Zähler Z in entsprechender Weise abgeändert werden muß, bzw. diese UND-Gatter durch entsprechend anders gesteuerte UND-Gatter ersetzt werden müssen. Die Darstellung der hierzu erforderlichen Schaltmittel in Wort und Bild verlangt im grundegenommen nichts anderes als die Verwendung von durch UND- und ODER-Kombinationen realisierte Steuermittel, die aufgrund eines Umschalt- bzw. zweiten Startsignals die entsprechende Umstellung der durch die NOR-Gatter n_1 bis n_6 gebildeten drei RS-Flip-Flops und/oder der diese beaufschlagenden UND-Gatter bewirken. Bei der in Fig. 6 dargestellten Anschaltung dieser drei RS-Flip-Flops müßte dann wieder das NOR-Gatter n_1 zur Einleitung der Abklingphase derart geschaltet werden, daß an seinem Ausgang eine "1" erscheint, die mit dem Erreichen des dem UND-Gatter a_1^* entsprechenden Zählstandes von Z wieder verschwindet, während zur gleichen Zeit die "1" am Ausgang von n_4 erscheint. Beim Erreichen des dem UND-Gatter a_2^* zugeordneten nächst niedrigeren Zählstandes von Z verschwindet die "1" am Ausgang des NOR-Gatters n_4. Stattdessen tritt die "1" am Ausgang des NOR-Gatters n_6 auf und verschwindet wieder, sobald im Zähler Z der nunmehr dem UND-Gatter a_3^* zugeordnete Zählstand "0" erreicht ist.

Es ist klar, daß auch bei der Erzielung dieses "Nachhalleffekts" oder auch Soustaineffekts das UND-Gatter ug für die vom ODER-Gatter od gelieferten Zähltakte durchlässig sein muß und somit an dem ODER-Gatter org_2 keine "1" anliegen darf. Die hierzu erforderlichen Bedingungen lassen sich unmittelbar aus Fig. 7 ablesen. Zu erwähnen ist noch, daß man die an dem nicht mit dem UND-Gatter ug verbundenen Ausgang erscheinenden Signale als Zeichen dafür verwenden kann, daß der Zähler den Zählstand "0" hat und somit aufnahmebereit ist.

Zum Abschluß der Beschreibung des Kanalwählers KW gemäß Fig. 3 ist auf die Fig. 8 hinzuweisen, in der die Anschaltung des bereits in Fig. 3 dargestellten Referenzzählers RZ und der Alterszähler AZ_1 bis AZ_p (im Beispiel ist p wiederum gleich 10) dargestellt ist.

Die in Fig. 3 lediglich angedeutete Steuerung AST der Alterzähler AZ_1 bis AZ_p, also im Beispielsfalle AZ_1 bis AZ_{10} ist in Fig. 8 dargestellt.

Jeder Alterszähler AZ_1 bis AZ_p ist je einem der vorgesehenen Ausgangskanäle V_1 bis V_p der Vermittlungsanlage VM zugeteilt. Sein Zähleingang wird in dem in Fig. 8 dargestellten Ausführungsbeispiel durch den Ausgang je eines UND-Gatters UL_1 bzw. UL_2 bzw.....bzw. UL_p beaufschlagt. Ferner kann jeder der Alterzähler AZ_1 bis AZ_p durch jeweils ein von dem jeweils zugeordneten Amplitudenformer AF_1 bis AF_p bei dessen Rückkehr in den Ausgangszustand geliefertes Löschsignal L_1 bis L_p sowie durch ein allgemeines (nicht dargestelltes) Resetsignal in den Zählstand "0" zurückgesetzt werden.

Alle Alterszähler haben dieselbe Anzahl von Zählstufen, was auch für den den Alterszählern AZ_1 bis AZ_p gemein-

sam zugeteilten Referenzzähler RZ gilt. Zwischen dem Referenzzähler RZ und jedem der vorgesehenen Alterszähler AZ_1 bis AZ_p ist je ein Komparator K_1^* bis K_p^* vorgesehen, der bereits erwähnt wurde und der bei Gleichheit des Zählerstandes des Referenzzählers RZ mit dem einzelnen Alterszähler AZ_1 bzw. AZ_2 usw. anspricht, d. h. also eine "1" abgibt.

Die den einzelnen Alterszählern AZ_1 bis AZ_p jeweils zugeteilten UND-Gatter UL_1 bis UL_p liefern den Zähltakt für den jeweiligen Alterszähler. Im Beispielsfall haben diese UND-Gatter UL_1 bis UL_p jeweils drei Eingänge. Davon ist der eine durch das in Fig. 3 dargestellte und von den Komparatoren K_1 bis K_p der einzelnen Ausgangskanäle V_1 bis V_p gesteuerte ODER-Gatter OD^* beaufschlagt, das stets dann eine "1" liefert, wenn wenigstens einer der Ausgangskanäle V_1 bis V_p besetzt ist.

(Will man haben, daß die Aktivierung der Alterszähler bzw. deren Taktversorgung erst dann einsetzt, wenn alle Kanäle V_1 bis V_p besetzt sind, so muß man das ODER-Gatter OD^* durch ein entsprechendes UND-Gatter ersetzen.)

Jedem der Ausgangskanäle V_1 bis V_p und damit jedem der Alterszähler AZ_1 bis AZ_p ist ferner eine Schaltungsanordnung TLO_1 bis TLO_p zugeordnet, die z. B. gemäß Fig. 9 ausgestaltet sein kann und die dann anspricht, wenn die die Beaufschlagung des einzelnen Kanals V_1 bis V_p und damit des jeweils zugeordneten Alterszählers AZ_1 bis AZ_p veranlassende Spieltaste wieder losgelassen wird. Sie liefert ein Signal, das zur Steuerung des zweiten Eingangs des UND-Gatters UL_1 bzw. UL_2 usw. der einzelnen Alterszähler AZ_1, AZ_2 usw.

vorgesehen ist, so daß der betreffende Alterszähler AZ_1 bzw. AZ_2 usw. nur dann Zählimpulse erhält, wenn die Taste losgelassen oder die Wirkung der genannten Schaltungsteile durch ein (gemeinsames Signal) P/S blockiert ist. Die dritten Eingänge der einzelnen UND-Gatter UL_1 bis UL_p werden gemeinsam durch Zähltakte beaufschlagt. Diese Zähltakte konnen z. B. von dem das Eingangsschieberegister PSW steuernden Taktgeber TG geliefert sein.

Zufolge der soeben beschriebenen Anschaltung der UND-Gatter UL_1 bis UL_p wird verständlich, daß derjenige Zähler den höchsten Zählstand aufweist, bei dem das vom Schaltteil TLO gelieferte Dauersignal am längsten wirksam ist.

Die Ausgänge der den einzelnen Alterszählern AZ_1 bis AZ_p jeweils zugeordneten UND-Gatter UL_1 bis UL_p liegen an je einem Eingang eines gemeinsamen ODER-Gatters oe, dessen Ausgang die Zähltakte für den Referenzzähler RZ liefert. Somit dient jeder einem der Alterszähler AZ_1 bis AZ_p zugeführten Zähltakte zugleich als Zähltakt für den Referenzzähler RZ.

Wie bereits oben erwähnt, ist zwischen dem Referenzzähler RZ und jedem der Alterszähler AZ_1 bis AZ_p je ein Komparator K_1^* bis K_p^* vorgesehen. Der Ausgang dieser Komparatoren K_1^* bis K_p^* dient einerseits zur Steuerung je eines UND-Gatters A_1^* bis A_p^*. Er dient andererseits mittels eines Inverters IR_1 bzw. IR_2 bzw. .... IR_p zur Steuerung des Reseteinganges des Alterszählers AZ_1 bzw. AZ_2 usw., der zu diesem Zweck vom Ausgang des zugehörigen Inverters IR_1 bis IR_p über eine Differenzierstufe ds_1 bzw. ds_2 bzw.....bzw. ds_p

mit einem kurzen Resetimpuls beaufschlagt wird wenn die "1" am zugehörigen Komparator K_1^* bzw. K_2^* usw. verschwindet. Der Ausgang der einzelnen von den Komparatoren K_1^* bis K_p^* beaufschlagten Inverter IR_1 bis IR_p liegt außerdem an je einem Eingang eines allen Komparatoren K_1^* bis K_p^* gemeinsam zugeteilten UND-Gatters an_1.

Der Referenzzähler RZ ist als Vorwärts-Rückwärtszähler ausgebildet, der aufgrund eines von dem UND-Gatter an_1 gelieferten Signals in die entgegengesetzte Zählrichtung umgeschaltet wird und der beim Fehlen eines solchen Signals wieder in die Vorwärts-Zählrichtung unmittelbar zurückkippt. Der Ausgang des UND-Gatters an_1 liegt außerdem am einen Eingang eines weiteren UND-Gatters an_2, dessen Ausgang an einem weiteren Eingang des durch die UND-Gatter UL_1 bis UL_p gesteuerten ODER-Gatters OR oe liegt und dessen anderer Eingang durch Taktimpulse, z. B. durch die Takte TM gesteuert wird.

Tritt somit infolge einer "1" am Ausgang des UND-Gatters an_1 eine Umkehr der Zählrichtung des Referenzzählers RZ ein, so erhält dieser über das UND-Gatter an_2 solange Zähltakte bis wieder einer der Komparatoren, und zwar der Komparator, der dem Alterszähler mit dem jeweils höchsten Zählstand zugeteilt ist, an seinem Eingang eine "1" erhält. so daß die Gleicheit des Zählstandes des Referenzzählers mit dem Zählstand eines der Alterszähler AZ_1 bis AZ_p wieder hergestellt ist.

Das Ansprechen der einzelnen Komparatoren K_1^* bis K_p^*, also das Erscheinen einer "1" an ihrem Ausgang besagt, wie wiederholt betont, daß Gleichheit zwischen dem Zählstand des Referenzzählers RZ und dem Zählstand eines Alterszählers herrscht. Eine Ausnahme bildet

der Ausgangszustand, da dann nicht nur ein Komparator, sondern alle eine "1" liefern, so daß schon aus diesem Grunde der Referenzzähler RZ zunächst auf den Zählstand "0" gehalten ist. Nach der Beaufschlagung des ersten Ausgangskanals V_1 spricht das ODER-Gatter OD* an. Der erste Zähltakt für einen Alterszähler AZ_1 bis AZ_p ist aber erst dann fällig, wenn einer der Schaltungsteile TLO_1 bis TLO_p anspricht. Wegen der Anhängigkeit der Zähltakte an den dritten Eingängen der UND-Gatter UL_1 bis UL_p, die von einem gemeinsamen Taktgeber stammen und daher synchron zueinander sind, erscheinen dann am Ausgang desjenigen UND-Gatters UL_1 bzw. UL_2 bzw.....bzw. UL_p die Zähltakte, das durch das Signal TLO, also durch den jeweils zugeordneten Indikator TLO_1 bis TLO_p, beaufschlagt ist. Diese Zähltakte gelangen dann sowohl an den Zähleingang des zu dem UND-Gatter UL_1 bis UL_p, das nunmehr für die Zähltakte durchlässig ist, gehörenden Alterszähler als auch über das ODER-Gatter oe an den Zähleingang des Referenzzählers RZ, so daß sich in beiden Zählern derselbe Zählstand aufbaut.

Wird nun ein zweiter Kanal beladen und die die Beladung dieses Kanals, z. B. des Kanals V_2 verursachende Spieltaste losgelassen, so erhält der diesem Kanal zugeordnete Alterszähler, also im Beispielsfalle der Alterzähler AZ_2, nunmehr auch die synchronen Zählimpulse, so daß sich auch in diesem Alterszähler AZ_2 und in allen übrigen zu einem besetzten Ausgangskanal gehörenden und durch eines der Signale TLO beaufschlagten Alterszähler jeweils ein individueller Zählstand aufbaut, der umso niedriger ist, je später der betreffende Alterszähler durch das ihm zugeordnete TLO-Signal beaufschlagt wurde.

Ein von dem zuerst ansprechenden Ausgangskanal V_1 bzw. von dessen Amplitudenformer erzeugter und an den Reseteingang des Alterszählers AZ_1 gelegter Löschimpulse sorgt dafür, daß der Zählstand des Alterszählers mit dem höchsten Zählstand gelöscht wird. Damit verschwindet die "1" am Ausgang des zugehörigen Komparators K_1^* usw., so daß der Referenzzähler RZ auf den Zählstand des jeweils den nächsthöchsten Zählstand aufweisenden Alterszählers, z. B. des Alterszählers AZ_2 zurückgesetzt wird. Dann spricht der diesem Alterszähler, z. B. dem Alterszähler AZ_2 zugeordnete Komparator, also der Komparator K_2, mit einer "1" an seinem Ausgang an, so daß die Rückzählung des Referenzzählers RZ abrupt beendet wird. Die folgenden Zählimpulse werden dann in positivem Sinne sowohl auf den nunmehr den höchsten Zählstand aufweisenden Alterzähler, z. B. AZ_2, und den Referenzzähler RZ gegeben, bis auch AZ_2 durch ein vom zugehörigen Kanal V_2 bzw. dem Amplitudenformer AF_2 gelieferte Löschsignal L_2 auf den Zählstand "0" zurückgesetzt wird. Ist beispielsweise der Alterszähler AZ_5 der Alterszähler mit dem nächsthöchsten Zählstand, so wiederholt sich der beschriebene Vorgang mit diesem, indem der Referenzzähler auf den Zählstand dieses Alterszählers AZ_5 zurückgesetzt, dann durch positive Beaufschlagung mit den gemeinsamen Zähltakten synchron mit dem neuen Alterszähler AZ_5 solange hoch gezählt wird, bis durch einen vom Amplitudenformer AF_5 stammendes Löschsignal L_5 auch der Zählstand dieses Zählers gelöscht und der Referenzzähler RZ auf einen neuen Zählstand, nämlich den nächsthöchsten Zählstand eingestellt wird.

Da das Löschen der Alterszähler synchron mit dem Löschen der in den Speicherteilen S und S^* des zuge-

ordneten Ausgangskanals V_1, V_p jeweils gespeicherten Tonadresse ist, kann der freigewordene Kanal wieder neu beaufschlagt werden, wie dies bereits oben beschrieben wurde. Ist das Löschen dieser Tonadresse aufgrund des altersmäßigen Ausklingens des angespielten Tones erfolgt, ohne daß hier eine neu angespielte Taste und ein Signal "Übernahme" das das Löschsignal auslösende Moment war, so bedeutet dies, daß am Ausgang des NOR-Gatters NO (Fig. 3) keine "1" anhängig ist und deshalb die Neubelegung des freigewordenen Ausgangskanals in der bereits beschriebenen Weise unter Vermittlung des jeweils zugeordneten UND-Gatters aus der Reihe der UND-Gatter UG_1 bis UG_p erfolgen kann. Sind hingegen alle Kanäle V_1 bis V_p besetzt und dabei wenigstens eine Spieltaste bereits losgelassen, so tritt die Steuerung der UND-Gatter A_1 bis A_p bzw. der diesen zugeordneten ODER-Gatter OD_1 bis OD_p durch die UND-Gatter A_1^* bis A_p^* inkraft.

Der den höchsten Zählstand aufweisende alterszählergesteuerte Komparator K_1^* bzw. K_2^* usw. hat eine "1" an seinem Ausgang, während alle übrigen dieser Komparatoren am Ausgang eine "0" haben. Wenn man nun die in Fig. 3 mit zwei Eingängen versehenen UND-Gatter A_1^* bis A_p^* jeweils mit einem dritten Eingang versieht, diesen dritten Eingang durch ein gemeinsames Überschreibungssignal ÜS steuert und das am Ausgang des einzelnen UND-Gatters A_1^* bis A_p^* gelieferte Signal nicht nur zur Steuerung des zugehörigen ODER-Gatters aus der Reihe der ODER-Gatter OD_1 bis OD_p verwendet, sondern dieses Signal zugleich als zweites Löschsignal für den Inhalt der Speicherteile S und S^* des jeweils zugehörigen Ausgangskanals verwendet. Hierdurch ist automatisch erreicht, daß bei Anlegen eines Überschreibungssignals ÜS an die Gesamtheit der UND-Gatter A_1^* bis A_p^* bei

vollbesetzten Ausgangskanälen V_1 bis V_p der Kanal mit dem am weitesten abgeklungenen Tonsignal in dem zugeordneten Amplitudenformer sofort freigemacht und durch das neu angespielte Tonsignal besetzt wird.

Eine Schaltung für die Erzeugung des Signals TLO ist in Fig. 9 dargestellt. Hier ist der Dateneingang DE des Kanalwählers KW und der Komparator K_1 an je einen Eingang eines UND-Gatters 1 und je einen Eingang eines NOR-Gatters 2 gelegt. Der Ausgang des UND-Gatters 1 steuert den Reseteingang R eines RS-Flip-Flops 3, der Ausgang des NOR-Gatters den Setzeingang S dieses Flip-Flops 3. Der $\overline{Q}$-Ausgang liegt am einen Eingang eines weiteren UND-Gatters TLO_1, dessen Ausgang das Signal TLO liefert. Der zweite Eingang des UND-Gatters TLO_1 ist über einen Inverter durch den Eingang P/S gesteuert.

Da während jeder Zählperiode des Tonadressenzählers TAZ genau einmal eine Koinzidens einer "1" am Ausgang des betreffenden Komparators K_1 und einer "1" am Dateneingang DE gegeben ist, sofern die den Kanal V_1 beaufschlagende Spieltaste noch gedrückt ist, so ist am Ausgang $\overline{Q}$ des RS-Flip-Flops 3 eine permanente "1" erst dann gegeben, wenn die "1" am Dateneingang DE im Zeitpunkt des Ansprechens des Komparators K_1 usw. nicht mehr erscheint, also mit anderen Worten, die betreffende Spieltaste losgelassen ist.

In Fig. 10 ist eine Möglichkeit zur Versorgung des einzelnen Ausgangskanals (V_1,....V_p) mit den beim altersmäßigen Löschen der in dem betreffenden Ausgangskanal jeweils gespeicherten Tonadresse aufgrund eines vom jeweils zugehörigen Amplitudenformer (AF_1,....AF_p)

gelieferten Löschimpulses bzw. eines beim vorzeitigen Ablösen der gespeicherten Information durch eine neue Information zuzuführenden Löschimpuls skizziert.

Das den Vorwärts-Rückwärtszähler (Z) in dem einzelnen Amplitudenformer (AF_1,....AF_p) zugeordnete und beim Zählstand "0" jeweils ansprechende UND-Gatter u_2^* liegt mit seinem Ausgang an dem einen Eingang eines weiteren UND-Gatters u_3^*, dessen anderer Eingang gemeinsam mit dem für die Dauer des Betriebszustandes der Rückwärtszählung durch das Flip-Flop AFF (Fig. 6) gesteuerten Steuereingang des Vorwärts-Rückwärtszählers Z beaufschlagt ist. Demzufolge spricht das UND-Gatter u_3^* nur dann an, wenn bei Rückwärtszählung der Zählstand "0" in dem Zähler Z erreicht wird.

Die dabei am Ausgang des UND-Gatters u_3^* entstehende "1" kann z. B. über ein ODER-Gatter OT an den gemeinsamen Rücksetzeingang der beiden Speicherteile S und S^* (z. B. an das Gate der Transfertransistoren t_4 bei einer Ausgestaltung gemäß Fig. 5) gelegt werden. Andererseits ist das ODER-Gatter OT auch von dem Ausgang des dem betreffenden Ausgangskanal (V_1,....V_p) jeweils zugeordneten und von dem zugeordneten Alterszähler (AZ_1,....AZ_p) bzw. von dem diesem zugeordneten Komparator (K_1^*,....K_p^*) hergesteuerten UND-Gatters A_1^*,....A_p^* her beaufschlagt, welches, wie bereits dargelegt, bei vollbelegten Ausgangskanälen V_1,....V_p und aufgrund eines Überschreibungssignals ÜS anspricht.

Zu bemerken ist noch, daß auch im Falle der vorliegenden Digitalschaltung eine in bekannter Weise ausgestaltete Anlage zur Erzeugung eines allgemeinen Reset-Impulses vorgesehen sein kann. Ferner ist noch inbezug

auf Fig. 10 festzustellen, daß das am Ausgang des ODER-Gatters OT abgegebene Löschsignal L auf jeden Fall - z. B. durch Kippen des Flip-Flops AFF in den anderen Betriebszustand sowie durch Rücksetzung der RS-Flip-Flops n_1 - n_6 in den Ausgangszustand (das Signal L stellt dann das in Fig. 6 angedeutete Reset-Signal Re dar) - dazu verwendet wird, daß auch der dem betreffenden Ausgangskanal V_1,....V_p jeweils zugeordnete Amplitudenformer F_1,....AF_p in den Ausgangszustand spontan zurückgestellt wird.

Es wird verständlich, daß Abwandlungen der beschriebenen Ausführungsform einer digitalen Halbleiterschaltung gemäß der Erfindung dem die vorstehenden Informationen lesenden Fachmann nunmehr möglich sind.

10 Figuren
42 Patentansprüche

Patentansprüche

1. Digitale Halbleiterschaltung für eine elektronische Orgel mit einer der Anzahl der Spieltasten des Manuals der Orgel entsprechenden Anzahl von über das Manual beaufschlagten Steuereingängen sowie mit einer von einer Oszillatoranlage mit periodischen elektrischen Schwingungen beaufschlagten Anzahl von Tonsignaleingängen, bei der je ein Steuereingang je einer Spieltaste des Manuals und je ein Tonsignaleingang je einer Tonfrequenz fest zugeordnet ist, bei der ferner ein Tonsignalausgang für die Beaufschlagung eines elektroakustischen Wandlers vorgesehen ist und bei der schließlich die zur Beaufschlagung der Steuereingänge dienenden Steuersignale den logischen Pegeln entsprechen, d a d u r c h g e k e n n z e i c h n e t , daß die einzelnen Steuereingänge (E_i) je einer Zelle eines taktgesteuerten und als Parallel-Serienwandler betriebenen Schieberegisters (PSW) zugeordnet sind, daß ferner der Signalausgang (D) des Schieberegisters (PSW) als auch die für dessen Betrieb vorgesehenen Taktimpulse zur Steuerung einer Vermittlungsanlage (VM) dienen, die andererseits mit der Gesamtheit der vorgesehenen Tonsignaleingänge (TSE) versehen ist, daß außerdem die Anzahl (p) der Tonsignalausgänge (AU_1.... AU_p) niedriger als die Anzahl (n) der Steuereingänge (E_i) sowie jedem der Tonsignalausgänge (AU_1,....AU_p) je ein Amplitudenformer (AF_1,....AF_p) zugeordnet ist und daß schließlich die Ausgänge (AG_1,....AG_p) der Amplitudenformer auf einen elektroakustischen Wandler (L) geschaltet sind.

2. Digitale Halbleiterschaltung nach Anspruch 1, d a d u r c h g e k e n n z e i c h n e t , daß der

Signalausgang (D) des Schieberegisters (PSW) an den Dateneingang (DE) eines Kanalwählers (KW) gelegt und der Kanalwähler (KW) mit je einem seiner Ausgänge (UE_1 bzw. UE_2,....bzw. UE_p) zur Steuerung je eines Ausgangsteiles (V_1, V_2,....V_p) der Vermittlungsanlage (VM) dient, daß ferner als weiterer Informationseingang der Vermittlungsanlage (VM) neben dem Kanalwähler (KW) ein durch die Schiebetakte für das Schieberegister (PSW) als Zähltakte gesteuerter Tonadressenzähler (TAZ) vorgesehen ist, der auf die p vorgesehenen Ausgangsteile (V_1 bis V_p) der Vermittlungsanlage (VM) in gleicher Weise einwirkt.

3. Digitale Halbleiterschaltung nach Anspruch 2, dadurch gekennzeichnet, daß jeder der einander gleichen Ausgangsteile (= Ausgangskanäle) (V_1 bis V_p) mit jedem der durch den Oszillator (TOS) beaufschlagten Tonsignaleingänge (TSE_1.....TSE_{12}) in gleicher Weise verbunden ist.

4. Digitale Halbleiterschaltung nach Anspruch 2 oder 3, dadurch gekennzeichnet, daß der Oszillator (TOS) so ausgebildet ist, daß er die den Tönen der höchsten Oktave zugeordneten Tonfrequenzen in Form von Rechteckschwingungen mit den Pegeln logisch "1" und "0" an je einem Tonsignaleingang (TSE_1 ....TSE_{12}) der Vermittlungsanlage (VM) zur Verfügung stellt und daß jeder dieser zwölf Tonsignaleingänge auf jeden der p vorgesehenen Ausgangsteile (V_1 bis V_p) der Vermittlungsanlage (VM) geschaltet ist.

5. Digitale Halbleiterschaltung nach den Ansprüchen 2 bis 4, dadurch gekennzeichnet, daß jeder der Ausgangsteile (V_1,....V_p) der Vermitt-

lungsanlage (VM) mit einem Rücksteuerausgang (B_1,.... B_p) versehen ist, mittels dessen eine Rückwirkung des betreffenden Ausgangsteiles (V_1,....V_p) der Vermittlungsanlage (VM) auf den Kanalwähler (KW) und ggf. eine zusätzliche Steuerwirkung auf den dem betreffenden Ausgangsteil zugeordneten Amplitudenformer (AF_1,....AF_p) möglich ist.

6. Digitale Halbleiterschaltung nach den Ansprüchen 2 bis 5, dadurch gekennzeichnet, daß der durch die Schiebetakte (TM) des Eingangsschieberegisters (PSW) beaufschlagte Tonadressenzähler (TAZ) aus zwei Teilen besteht, daß ferner jeder der vorgesehenen p Ausgangsteile (V_1,....V_p) der Vermittlungsanlage (VM) als Informationseingangsteil einen sowohl vom Kanalwähler (KW) her als auch vom Tonadressenzähler (TAZ) gesteuerten Schreiblesespeicher enthält, daß dieser Schreib-Lesespeicher aus zwei Teilen (S, S^*) besteht, daß außerdem der erste Teil (S) aller dieser Speicher durch den ersten Teil des Tonadressenzählers (TAZ) und der zweite Teil (S^*) durch den zweiten Teil (S^*) des Tonadressenzählers (TAZ) beaufschlagt ist und daß schließlich der erste Teil des Tonadressenzählers und der Speicher (S, S^*) zur Steuerung der Vermittlungsanlage (VM) aufgrund des Tonnamens und der zweite Teil zur Steuerung der Vermittlungsanlage (VM) aufgrund der den jeweils angespielten Ton enthaltenden Oktave des Manuals (M) vorgesehen sind.

7. Digitale Halbleiterschaltung nach Anspruch 6, dadurch gekennzeichnet, daß der erste Teil des Tonadressenzählers aus vier hintereinandergeschalteten Zählerstufen und der zweite Teil des Tonadressenzählers (TAZ) aus wenigstens drei hintereinandergeschalteten Zählerstufen besteht, daß dabei

der Zähleingang der ersten Zählerstufe des ersten Teils des Tonadressenzählers (TAZ) durch die für den Betrieb des Eingangsschieberegisters (PSW) bestimmten Schiebetakte in gleicher Weise wie der Takteingang des Schieberegisters (PSW) beaufschlagt ist, daß ferner der Zähleingang des zweiten Teiles des Tonadressenzählers (TAZ) derart an die den Zählstand des ersten Teiles des Tonadressenzählers vermittelnden Ausgänge der Zählerstufen dieses Tonadressen-Zählerteils angelegt ist, daß der zweite Teil des Tonadressenzählers (TAZ) nur dann jedesmal einen Zählimpuls erhält, wenn der zunächst auf "0" liegende Zählstand des ersten Zählerteils sich jeweils um den Betrag "12" erhöht hat.

8. Digitale Halbleiterschaltung nach Anspruch 7, d a d u r c h g e k e n n z e i c h n e t, daß der erste Teil (S) der in den einzelnen Ausgangsteilen (V_1,....V_p) der Vermittlungsanlage (VM) vorgesehenen Schreib-Lesespeicher z. B. aus vier Speicherzellen und der zweite Teil (S^*) z. B. aus drei Speicherzellen besteht, daß der Informationseingang der Speicherzellen des ersten Speicherteils (S) zur Aufnahme des Zählstandes des ersten Teils und der Informationseingang der Speicherzelle des zweiten Speicherteils (S^*) zur Aufnahme des Zählstandes des zweiten Teils des Tonadressenzählers (TAZ) vorgesehen ist, daß ferner der Inhalt des ersten Speicherteils (S) zur Steuerung der Aufnahme der an den Tonsignaleingängen (TSE_1,....TSE_{12}) der Vermittlungsanlage (VM) anliegenden Informationen durch den einzelnen Ausgangskanal (V_1,....V_p) der Vermittlungsanlage (VM) sowie der Inhalt des zweiten Speicherteils (S^*) zur Steuerung der Weitergabe dieser Informationen an den Tonsignalausgang (AU_1,....AU_p) des betreffenden Ausgangskanals (V_1,....V_p) der Vermittlungsanlage (VM) vorgesehen ist.

9. Digitale Halbleiterschaltung nach Anspruch 8, d a d u r c h g e k e n n z e i c h n e t, daß ein durch die Speicherzellen des ersten Speicherteils (S) gesteuerter erster Dekodierer (D) und ein durch die Speicherzellen des zweiten Speicherteils (S^*) gesteuerter zweiter Dekodierer (D^*) in jedem Ausgangsteil ($V_1,....V_p$) der Vermittlungsanlage (VM) vorgesehen ist, daß jeder der Ausgänge des ersten Dekodierers (D) mit dem einen Eingang je eines UND-Gatters (U_1, $U_2,....U_{12}$) vorgesehen ist, dessen zweiter Eingang durch je einen der durch den Oszillator (TOS) beaufschlagten Tonsignaleingänge (TSE) der Vermittlungsanlage (VM) gesteuert ist und dessen Ausgang an je einen der Eingänge eines ersten ODER-Gatters (Q) gelegt ist, daß ferner jeder der Ausgänge des zweiten Dekodierers (D^*) an den einen Eingang je eines UND-Gatters (U_1^*, $U_2^*,....U_6^*..$) gelegt ist dessen zweiter Eingang unter Vermittlung des Ausgangs des ersten ODER-Gatters (O) in unterschiedlicher Weise gesteuert und dessen Signalausgang an jeweils einen der Eingänge eines zweiten, den Tonsignalausgang des betreffenden Schaltungsteils und damit einen der p Tonausgänge (AU_1, $AU_2,....AU_p$) der Vermittlungsanlage (VM) bildenden zweiten ODER-Gatters (O^*) gelegt ist.

10. Digitale Halbleiterschaltung nach Anspruch 9, d a d u r c h g e k e n n z e i c h n e t, daß der Signalausgang des ersten ODER-Gatters (O) jedes Ausgangsteils ($V_1,....V_p$) der Vermittlungsanlage (VM) einerseits an den einen Eingang eines der von dem zweiten Dekodierer (D^*) gesteuerten UND-Gatter (U_1^*), andererseits an den Signaleingang eines Frequenzteilers (TT) gelegt ist, daß dabei die Anzahl der Teilerstufen des Frequenzteilers (TT) wenigstens gleich der um eins verminderten Anzahl der Signalausgänge des zweiten

Dekodierers ist und daß die Signalausgänge wenigstens der ersten Teilerstufen an je eines weiteren der über den zweiten Dekodierer (D^*) gesteuerten UND-Gatter (U_2^*,....U_6^*....) gelegt ist.

11. Digitale Halbleiterschaltung nach den Ansprüchen 8 bis 10, dadurch gekennzeichnet, daß die beiden Speicherteile (S, S^*) in jedem der Ausgangskanäle (V_1....V_p) der Vermittlungsanlage (VM) durch den Kanalwähler (KW) über je einen dem betreffenden Ausgangskanal zugeordneten Steuereingang (UE_1, UE_2, ...UE_p) gesteuert ist.

12. Digitale Halbleiterschaltung nach den Ansprüchen 8 bis 11, dadurch gekennzeichnet, daß jede der Speicherzellen der beiden Speicherteile (S, S^*) in den einzelnen Ausgangskanälen (V_1, ...V_p) bezüglich der Signaleingabe vom Tonadressenzähler (TAZ) und bezüglich der Informationsabgabe an den Dekodierer (D, D^*) mittels eines dem betreffenden Ausgangskanal (V_1....V_p) jeweils zugeordneten Komparator (K_1,....K_p) überwacht ist und daß die einzelnen Komparatoren (K_1, K_2,....K_p) derart beschaffen sind, daß sie bei Übereinstimmung des Zählstandes am Tonadressenzähler (TAZ) mit dem in den beiden Speicherteilen (S, S^*) des jeweiligen Ausgangskanals (V_1, V_2,....V_p) jeweils gespeicherten und die Tonadresse des den betreffenden Ausgangskanal beaufschlagenden Spieltaste darstellenden Zählstand das Signal "1" abgibt, während im anderen Fall am Ausgang dieser Komparatoren eine "0" anhängig ist.

13. Digitale Halbleiterschaltung nach den Ansprüchen 8 bis 12, dadurch gekennzeichnet, daß die beiden Speicherteile (S, S^*) in den Ausgangs-

kanälen (V_1,....V_p) aus nicht miteinander verbundenen Speicherzellen (S_1, S_2,....) bestehen, deren Dateneingang jeweils an einem den Zählstand mitvermittelnden Ausgang des Tonadressenzählers (TAZ) und deren Datenausgang jeweils an einem Eingang des durch die betreffende Speicherzelle zu beaufschlagenden Dekodierers (D bzw. D^*) liegt.

14. Digitale Halbleiterschaltung nach Anspruch 13, dadurch gekennzeichnet, daß die einzelnen Speicherzellen (S_1, S_2,....) der beiden Speicherteile (S, S^*) der einzelnen Ausgangskanäle (V_1,....V_p) aus taktgesteuerten quasistatischen Schieberegisterzellen bestehen (Fig. 7).

15. Digitale Halbleiterschaltung nach Anspruch 4 und 9, dadurch gekennzeichnet, daß die Ausgänge des ersten Dekodierers (D) mit je einem je einem Ton der höchsten Oktave zugeordneten und von dem die entsprechenden Rechteckschwingungen liefernden Tongenerator (TOS) beaufschlagten Tonsignaleingang (TSE_1,....TSE_{12}) durch je ein UND-Gatter (U_1,....U_{12}) mit jeweils zwei Eingängen zusammengefaßt ist, daß ferner die Ausgänge dieser UND-Gatter (U_1,....U_{12}) an je einen Eingang eines ODER-Gatters (O) und dessen Eingang an den Takteingang eines Frequenzteilers (TT) mit einer der Anzahl der vorgesehenen Oktaven angemessenen Anzahl von Teilerstufen gelegt ist und daß die vom Ausgang des ODER-Gatters (O) unmittelbar sowie über die Teilerstufen des Frequenzteilers (TT) gelieferten tonfrequenten Schwingungen an je einen Eingang eines den Ausgang (AU_1,....AU_p) des betreffenden Ausgangskanals (V_1,....V_p) bildenden ODER-Gatters (O^*) in einer von dem zweiten Dekoder (D^*) gesteuerten Weise geschaltet sind.

16. Digitale Halbleiterschaltung nach Anspruch 15, dadurch gekennzeichnet, daß der Ausgang des durch den ersten Dekoder (D) gesteuerten ODER-Gatters (O) sowie der Signalausgang jeder Teilerstufe des Frequenzteilers (TT) über je ein UND-Gatter ($U_1^*,....U_p^*$) mit je einem Ausgang des zweiten Dekodierers (D^*) zusammengefaßt und der Ausgang dieser UND-Gatter ($U_1^*,....U_p^*$) an je einen Ausgang des den Tonsignalausgang ($AU_1,....AU_p$) des betreffenden Ausgangskanals ($V_1,....V_p$) bildenden ODER-Gatters(O^*)gelegt sind.

17. Digitale Halbleiterschaltung nach den Ansprüchen 1 bis 16, dadurch gekennzeichnet, daß in den den einzelnen Tonsignalausgängen ($AU_1,...AU_p$) der Vermittlungsanlage (VM) zugeteilten Amplitudenformern eine durch den betreffenden Tonsignalausgang beaufschlagte und durch jeweils einen Vorwärts-Rückwärtszähler (Z) gesteuerte Formerschaltung (FS) vorgesehen und mit ihrem Ausgang an eine den einzelnen Tonsignalausgängen gemeinsame (Mischstufe) mit nachfolgendem elektro-akustischen Wandler (L) gelegt ist.

18. Digitale Halbleiterschaltung nach Anspruch 17, dadurch gekennzeichnet, daß für die Generation der für die Beaufschlagung der die Formerschaltung (FS) in den einzelnen Amplitudenformern ($AF_1,....AF_p$) steuernden Vorwärts-Rückwärtszähler (Z) benötigten Zählimpulse ein für alle Amplitudenformer der Schaltung gemeinsamer Oszillator (OS_1 bzw. OS_2) vorgesehen ist, daß der Oszillator über eine individuell in den einzelnen Amplitudenformern ($AF_1,....AF_p$) gesteuerte Logikschaltung und wenigstens einen Frequenzteiler (TL_1 bzw. TL_2) die für den betreffenden Vorwärts-Rückwärtszähler (Z) benötigten Zähltakte liefert.

19. Digitale Halbleiterschaltung nach Anspruch 18, dadurch gekennzeichnet, daß durch die Zählausgänge des Vorwärts-Rückwärtszählers (Z) in den einzelnen Amplitudenformern z. B. drei RS-Flip-Flops (n_1, n_2; n_3, n_4; n_5, n_6) gesteuert sind, die jeweils bei einem bestimmten Zählstand ansprechen und mit einem Ausgang die Durchlässigkeit jeweils eines UND-Gatters (a_1....a_6) für jeweils eine von dem Oszillator (OZ_1 bzw. OZ_2) über die Teilerstufen wenigstens eines Frequenzteilers (TL_1 bzw. TL_2) gelieferte Folge von Zählimpulsen an den einen Eingang des am anderen Eingang durch eine über verschiedene dem Betrieb der Gesamtschaltung dienende Signale (St, P/S, u_1^*, u_2^*) gesteuerte Logikschaltung (Lo) beaufschlagt ist.

20. Digitale Halbleiterschaltung nach Anspruch 19, dadurch gekennzeichnet, daß mit dem Erreichen des höchsten Zählstandes in den Vorwärts-Rückwärtszählern (Z) der einzelnen Amplitudenformer (AF_1 bis AF_p) ein über die RS-Flip-Flops (n_1,....n_6) gesteuertes weiteres Flip-Flop (AFF) aus seinem bisherigen und der Aufwärts-Zählrichtung des Vorwärts-Rückwärtszählers (Z) zugeordneten ersten Betriebszustand in den anderen der Rückwärtszählrichtung dieses Zählers (Z) zugeordneten zweiten Betriebszustand umgeschaltet und das aufgrund dieser Umschaltung an seinem Ausgang entstehende Signal zur Umschaltung des Zählers in die Rückwärtszählrichtung verwendet wird.

21. Digitale Halbleiterschaltung nach den Ansprüchen 18 bis 20, dadurch gekennzeichnet, daß mit dem Erreichen des Zählstandes "0" beim Vorgang der Rückwärtszählung durch den Vorwärts-Rückwärts-

zähler (Z) in den einzelnen Amplitudenformern die Abgabe eines den Betriebszustand des dem betreffenden Amplitudenformer (AF_1,....AF_p) jeweils zugeordneten Ausgangskanals (V_1,....V_p) der Vermittlungsanlage (VM) in den Ausgangszustand versetzenden Löschimpulses (L_1, ...L_p) verbunden ist.

22. Digitale Halbleiterschaltung nach Anspruch 21, dadurch gekennzeichnet, daß die den invertierten Zählstand anzeigenden Ausgänge ($\overline{Q}$) des Vorwärts-Rückwärtszählers (Z) in den einzelnen Amplitudenformern (AF_1,....AF_p) ein beim Zählstand "0" und nur bei diesem ansprechendes UND-Gatter (u_2^*) beaufschlagen, daß ferner der Ausgang dieses UND-Gatters (u_2^*) zur Steuerung des einen Eingangs eines zweiten UND-Gatters (u_3^*) vorgesehen ist, dessen anderer Eingang zusammen mit dem die Rückwärtszählrichtung kontrollierenden Steuereingang gemeinsam, insbesondere durch das von den vom Zähler (Z) kontrollierten RS-Flip-Flops (n_1,....n_6) gesteuerte Flip-Flop (AFF) gesteuert und dessen Ausgang für die Abgabe eines Löschsignals (L) für die in dem jeweils zugeordneten Ausgangskanal (V_1,....V_p) gespeicherte Tonadresse vorgesehen ist (Fig. 10).

23. Digitale Halbleiterschaltung nach den Ansprüchen 5 bis 22, dadurch gekennzeichnet daß zur Bildung eines Kanalwählers (KW) der von dem Signalausgang (DA) des Eingangs-Schieberegisters (PSW) beaufschlagte Dateneingang (DE) an eine der Anzahl (p) der Ausgangskanäle (V_1,....V_p) entsprechende Anzahl von UND-Gattern (A_1,....A_p) mit jeweils zwei Eingängen gelegt ist, dessen zweiter Eingang durch einen bei besetztem Ausgangskanal (V_1,....V_p) das Signal "0" bei

unbesetztem Ausgangskanal das Signal "1" führenden Rücksteuerungsausgang (B_1,....B_p) des zugeordneten Ausgangskanals (V_1,....V_p) gesteuert ist und dessen Ausgang die Übergabe eines der Tonadressen der die nächste "1" am Dateneingang (DE) des Kanalwählers (KW) veranlassenden Spieltaste entsprechenden Zählstands aus dem Tonadressenzähler (TAZ) in den Speicher (S, S^*) des betreffenden Ausgangskanals (V_1,....V_p) veranlaßt.

24. Digitale Halbleiterschaltung nach Anspruch 23, dadurch gekennzeichnet, daß die in den Speicherteilen (S, S^*) des einzelnen Ausgangskanals (V_1,....V_p) den jeweils gespeicherten Informationsgehalt anzeigenden Ausgänge der beiden Speicherteile an ein gemeinsames NOR-Gatter (NR) gelegt sind, dessen Ausgang den Rücksteuerungsausgang (B_1,....B_p) des betreffenden Ausgangskanals (V_1,....V_p) bildet.

25. Digitale Halbleiterschaltung nach den Ansprüchen 23 und 24, dadurch gekennzeichnet, daß der nicht an den Dateneingang (DE) gelegte zweite Eingang der Informationsübernahme aus dem Tonadressenzähler (TAZ) in den jeweils zugeordneten Ausgangskanal (V_1,....V_p) veranlassende UND-Gatter (A_1,....A_p) durch je ein weiteres dem betreffenden Ausgangskanal (V_1,....V_p) ebenfalls zugeordnetes UND-Gatter (UG_1,....UG_p) gesteuert ist, daß jedes dieser weiteren UND-Gatter (UG_1,....UG_p) einen ersten durch den Rücksteuerungsausgang (B_1,....B_p) des jeweils zugeordneten Ausgangskanals gesteuerten Signaleingang und einen zweiten durch die Gesamtheit der vorgesehenen Ausgangskanäle (V_1,....V_p) über ein gemeinsames UND-Gatter (NO, IV) gesteuerten Signaleingang aufweist und daß mit Ausnahme des dem ersten Ausgangskanal (V_1) zuge-

ordneten UND-Gatters (UG_1) die restlichen dieser UND-Gatter (UG_2,....UG_p) noch einen dritten Eingang aufweisen, über den über je eine Logik (L_{12},....$L_{(p-1),\ p}$) eine Reihenfolge in der Beaufschlagung der einzelnen Ausgangskanäle (V_1,....V_p) gesteuert ist.

26. Digitale Halbleiterschaltung nach Anspruch 23, dadurch gekennzeichnet, daß der Rücksteuerungsausgang (B_1) des ersten Ausgangskanals (V_1) über einen Inverter (L_{12}) mit dem dritten (freien) Eingang des dem zweiten Ausgangskanal zugeordneten und durch den Rücksteuerungsausgang (B_2) des zweiten Ausgangskanals (V_2) unmittelbar beaufschlagten UND-Gatters (UG_2) gelegt ist, daß ferner die zwischen jeweils benachbarten der unmittelbar durch den Rücksteuerungseingang (B_2,....B_p) des jeweils zugeordneten Ausgangskanals (V_2,....V_p) gesteuerten UND-Gatter (UG_2,....UG_p) über ihren freien dritten Eingang am Eingang je eines Inverters (L_{23a},....$L_{(p-1);\ pa}$) liegen, daß außerdem der Ausgang dieses Inverters und der Rücksteuerungsausgang (B_2,....B_p) des dem durch den betreffenden Rücksteuerungsausgang (R_2,....R_p) unmittelbar beaufschlagten UND-Gatters (UG_2,....UG_p) an je einen Eingang eines NOR-Gatters (L_{23b},...$L_{(p-1)pb}$) gelegt sind, dessen Ausgang mit dem freien dritten Eingang des dem nächsten Kanal (V_3,....V_p) jeweils zugeordneten und von diesem durch seinen Rücksteuerungsausgang (B_3,....B_p) unmittelbar beaufschlagten UND-Gatters (UG_3,....UG_p) verbunden ist.

27. Digitale Halbleiterschaltung nach den Ansprüchen 23 und 26, dadurch gekennzeichnet, daß zwischen den die Beaufschlagung des jeweils zugeordneten Ausgangskanals (V_1,....V_p) durch den gemeinsamen Tonadressenzähler TAZ veranlassenden UND-Gatters

(A_1,....A_p) und dem demselben Kanal (V_1,....V_p) zugeordneten zweiten UND-Gatter (UG_1,....UG_p) jeweils ein ODER-Gatter (OD_1,....OD_p) vorgesehen ist, dessen Ausgang an dem nicht vom Dateneingang (DE) beaufschlagten Eingang des die Informationseingabe in den jeweils zugeordneten Ausgangskanal (V_1,....V_p) veranlassenden und zugleich durch Abgabe eines Startsignal (St) an den jeweils zugeordneten Amplitudenformer (AF_1,....AF_p) dessen Inbetriebnahme bewirkenden UND-Gatters (A_1,....A_p) und dessen einer Eingang durch den Ausgang des unmittelbar durch den Rücksteuerungsausgang (B_1,....B_p) des zugeordneten Ausgangskanals (V_1, ...V_p) gesteuerten UND-Gatters (UG_1,....UG_p) beaufschlagt ist.

28. Digitale Halbleiterschaltung nach den Ansprüchen 23 bis 27, d a d u r c h g e k e n n z e i c h n e t , daß die Ausgänge der den Ausgangskanälen (V_1,....V_p) zugeordneten Komparatoren (K_1,....K_p) entweder zur Steuerung eines gemeinsamen ODER-Gatters (OD^*) oder eines gemeinsamen UND-Gatters vorgesehen sind.

29. Digitale Halbleiterschaltung nach den Ansprüchen 23 bis 28, d a d u r c h g e k e n n z e i c h n e t , daß jedem der vorgesehenen Ausgangskanäle (V_1,....V_p) je ein Alterszähler (AZ_1,....AZ_p) zugeordnet ist, daß außerdem ein bezüglich der Anzahl der Zählstufen mit den Alterszählern (AZ_1,....AZ_p) übereinstimmender, gemeinsamer und als Vorwärts-Rückwärtszähler ausgebildeter Referenzzähler (RZ) vorgesehen ist, daß außerdem zwischen jedem der Alterszähler (AZ_1,....AZ_p) und dem gemeinsamen Referenzzähler (RZ) wirksamer jeweils ein auf Gleichheit der Zählerstände im Referenzzähler (RZ) mit dem jeweils zugeordneten

Alterszähler (AZ) ansprechender Komparator (K^*,....K_p^*) vorgesehen ist, über dessen Ausgang eine durch ein Signal (ÜS) auslösbare Neubesetzung des zugeordneten Ausgangskanals (V_1,....V_p) über das zwischen den dem betreffenden Ausgangskanal (V_1,....V_p) zugeordneten beiden UND-Gattern (A_1, UG_1; A_2UG_2;....A_p, UG_p) vorgesehene ODER-Gatter (OD_1, OD_2,....OD_p) möglich ist.

30. Digitale Halbleiterschaltung nach Anspruch 29, dadurch gekennzeichnet, daß der Ausgang der den einzelnen Alterszählern (AZ_1,....AZ_p) zugeteilten Komparatoren (K_1^*,....K_p^*) unter Vermittlung je eines UND-Gatters (A^*,....A_p^*) an einen zweiten Eingang des das die Informationseingabe in den jeweils zugeordneten Ausgangskanal (V_1,....V_p) bewirkende UND-Gatter (A_1,....A_p) steuernde ODER-Gatters (OD_1,....OD_p) gelegt ist.

31. Digitale Halbleiterschaltung nach Anspruch 30, dadurch gekennzeichnet, daß das dem einzelnen Komparator (K_1^*,....K_p^*) jeweils nachgeschaltete UND-Gatter (A_1^*,....A_p^*) mit einem zweiten Eingang durch die Rücksteuerungsausgänge (B_1,....B_p) der Gesamtheit der Ausgangskanäle (V_1....V_p) über ein gemeinsames NOR-Gatter (NO) mitgesteuert ist.

32. Digitale Halbleiterschaltung nach den Ansprüchen 30 und 31, dadurch gekennzeichnet, daß das dem einzelnen Komparator (K_1^*,....K_p^*) jeweils nachgeschaltete und die Verbindung zu dem die Beaufschlagung des jeweils zugeordneten Ausgangskanals (V_1,....V_p) bewirkenden UND-Gatters (A_1,....A_p) bildende UND-Gatter (A_1^*,....A_p^*) gemeinsam mit den anderen dieser UND-Gatter (A_1^*,....A_p^*) an einem dritten Eingang durch ein der Überschreibung dienendes Signal (ÜS)

gesteuert ist und daß das dann am Ausgang dieses UND-Gatters (A_1^*,....A_p^*) erscheinende Signal zur Löschung der in dem jeweils zugeordneten Ausgangskanal eingespeicherten TON-Adresse verwendet wird.

33. Digitale Halbleiterschaltung nach Anspruch 32, dadurch gekennzeichnet, daß der Ausgang des den einzelnen Alterszählern (AZ_1....AZ_p) jeweils zugeordneten Komparators (K_1^*,....K_p^*) nachgeschalteten UND-Gatters (A_1^*,....A_p^*) über ein ODER-Gatter (OT) an den Löscheingang der in dem zugehörigen Ausgangskanal (V_1,....V_p) vorgesehenen Speicherteile (S, S^*) gelegt ist und daß ein anderer Eingang des besagten ODER-Gatters (OT) durch das aus dem dem betreffenden Ausgangskanal (V_1,....V_p) jeweils zugeordneten Amplitudenformer (AF_1,....AF_p) gelieferte Löschsignal (L) beaufschlagt ist.

34. Digitale Halbleiterschaltung nach den Ansprüchen 29 bis 31, dadurch gekennzeichnet, daß das zum Löschen der jeweils in einem der Ausgangskanäle (V_1,....V_p) gespeicherten Tonadresse dienende und von dem zugehörigen Amplitudenformer (AF_1,....AF_p) gelieferte Löschsignal (L) bzw. ein aufgrund eines Überschreibsignals (ÜS) entstandenes Löschsignal gleichzeitig zur Löschung eines in dem zugehörigen Alterszähler (AZ_1,....AZ_p) gegebenenfalls vorhandenen Zählstandes verwendet ist.

35. Digitale Halbleiterschaltung nach den Ansprüchen 29 bis 33, dadurch gekennzeichnet, daß der Zähleingang jedes Alterszählers (AZ_1,....AZ_p) über den Ausgang je eines UND-Gatters (UL_1,....UL_p) mit Zähltakten versorgt ist, daß der Zähleingang des Referenzzählers (RZ) über den Ausgang eines ODER-Gatters (oe) mit Zähltakten versorgt ist,

daß dabei der Ausgang der den einzelnen Alterszähler (AZ_1,....AZ_p) zugeordneten UND-Gatter (UL_1,....UL_p) mit je einem Eingang des den Referenzzähler (RZ) mit Zähltakten versorgenden ODER-Gatters (oe) verbunden ist, daß ferner die die Zähltakte für die einzelnen Alterszähler (AZ_1,....AZ_p) und damit für den Referenzzähler (RZ) liefernden UND-Gatter (UL_1,....UL_p) jeweils drei Eingänge aufweisen, von denen einer durch ein durch die Rücksteuerungsausgänge (B_1,....B_p) der vorgesehenen Ausgangskanäle (V_1,....V_p) gemeinsam gesteuertes ODER-Gatter (OD^*) (oder einem entsprechend geschalteten UND-Gatter) beaufschlagt ist, der zweite durch bei allen diesen UND-Gattern (UL_1,....UL_p) synchron erscheinende Taktimpulse und der letzte durch je einen dem betreffenden Alterszähler (AZ_1,....AZ_p) jeweils zugeordneten und beim Loslassen der den dem betreffenden Alterszähler zugeordneten Ausgangskanal (V_1,....V_p) jeweils beaufschlagenden Spieltaste im Manual (M) ansprechenden Schaltungsteils (TLO_1,....TLO_p) beaufschlagt ist.

36. Digitale Halbleiterschaltung nach den Ansprüchen 29 bis 35, dadurch gekennzeichnet, daß die den einzelnen Alterszählern (AZ_1,....AZ_p) jeweils zugeordneten Komparatoren (K_1^*,....K_p^*) jeweils zur Erzeugung eines beim Verschwinden der "1" an ihrem Ausgang erscheinenden Löschsignals für den Zählstand des Alterszählers und eines weiteren zur Rücksetzung des Zählstandes des Referenzzählers RZ auf den Zählstand des mit dem nächst höheren Zählstand versehenen Alterszähler bewirkenden Signals vorgesehen sind.

37. Digitale Halbleiterschaltung nach Anspruch 36, dadurch gekennzeichnet, daß der Ausgang der einzelnen Komparatoren (K_1^*,....K_p^*)

über je einen Inverter (IR_1,....IR_p) und je eine Differenzierstufe (ds_1,....ds_p) mit dem Löscheingang des jeweils zugeordneten Alterszählers (AZ_1,....AZ_p) verbunden ist, daß außerdem der Ausgang dieser Inverter (IR_1,....IR_p) jeweils an einem Eingang eines UND-Gatters (an_1) mit p Eingängen gelegt ist und daß schließlich der Ausgang dieses UND-Gatters (an_1) zur Umschaltung der Zählrichtung im Referenzzähler (RZ) aus der Vorwärts-Zählrichtung in die entgegengesetzte Zählrichtung für die Dauer einer am Ausgang des UND-Gatters (an_1) anstehenden "1" sowie zur Steuerung von während der Rückzählphase an den Zähleingang des Referenzzählers (RZ) zugeführten Rückzählimpulsen vorgesehen ist.

38. Digitale Halbleiterschaltung nach den Ansprüchen 35 und 36, dadurch gekennzeichnet, daß der dem einzelnen Alterszähler (AZ_1,....AZ_p) bzw. dessen Versorgung mit Zähltakten jeweils zugeordnete Schaltungsteil (TLO_1,....TLO_p) ein UND-Gatter mit zwei Eingängen enthält, daß einer dieser Eingänge durch den Komparator (K_1,....K_p) in dem dem betreffenden Alterszähler (AZ_1,....AZ_p) jeweils zugeordneten Ausgangskanal (V_1,....V_p) und der andere durch den Dateneingang (DE) des Kanalwählers (KW) beaufschlagt ist.

39. Digitale Halbleiterschaltung nach Anspruch 35, dadurch gekennzeichnet, daß der beim Loslassen der einem belegten Ausgangskanal (V_1,....V_p) mit belegtem Alterszähler temporär zugeordneten Spieltaste im Manual (M) ansprechende Schaltungsteil (TLO_1,....TLO_p) ein UND-Gatter (1) und ein NOR-Gatter (2) - jeweils mit zwei Eingängen - enthält, daß dabei ein Eingang jedes dieser beiden Gatter (1, 2) durch den Dateneingang (DE) des Kanalwählers (KW) und

der andere vom Ausgang des dem jeweils zugeordneten Ausgangskanal (V_1,....V_p) angehörenden und von ihm sowie vom Tonadressenzähler (TAZ) beaufschlagten Komparator (K_1,....K_p) gesteuert ist, daß ferner die Ausgänge der beiden Gatter (1, 2) mit je einem Eingang eines RS-Flip-Flops verbunden sind und daß schließlich an dem beim Anliegen einer "0" am Ausgang des UND-Gatters (1) den Zustand "1" aufweisenden Ausgang ($\overline{Q}$) des RS-Flip-Flops (3) ein das die Zähltakte für den zugehörigen Alterszähler vermittelnde UND-Gatter (UL_1, ...UL_p) mitsteuerndes Signal (TLO) abnehmbar ist.

40. Digitale Halbleiterschaltung nach Anspruch 5, d a d u r c h g e k e n n z e i c h n e t , daß der beim Loslassen der einem belegten Ausgangskanal (V_1,....V_p) mit belegtem Alterszähler (AZ_1,....AZ_p) temporär zugeordneten Spieltaste im Manual (M) ansprechende Schaltungsteil (TLO_1,....TLO_p) ein UND-Gatters (4) mit einem durch den Dateneingang (DE) des Kanalwählers (KW) beaufschlagten Eingang und einem durch den Komparator (K_1,....K_p) im zugehörigen Ausgangskanal (V_1,....V_p) gesteuerten Eingang und eine diesem UND-Gatter (4) nachgeschaltete monostabile Kippstufe (5) enthält, deren Relaxationszeit etwas größer als die Dauer einer vollen Zählperiode des Tonadressenzählers (TAZ) ist und daß an dem im Ruhezustand der monostabilen Kippstufe (5) den Zustand "1" aufweisenden Ausgang desselben ein das die Zähltakte für den zugehörigen Alterszähler (AZ_1,....AZ_p) vermittelnde UND-Gatter (UL_1,....UL_p) mitsteuerndes Signal (TLO) abnehmbar ist.

41. Digitale Halbleiterschaltung nach den Ansprüchen 39 oder 40, d a d u r c h g e k e n n z e i c h n e t , daß der das beim Loslassen der gedrückten

Spieltaste liefernde Ausgang des RS-Flip-Flops (3) bzw. der monostabilen Kippstufe (5) das Steuersignal (TLO) liefernde Ausgang der genannten Schaltungsteile an den Eingang eines weiteren, mit zwei Eingängen versehenen UND-Gatters (TLO) gelegt ist, während der zweiten Eingang dieses UND-Gatters über einen Inverter (7) von einem Signal (P/S) gesteuert ist.

42. Digitale Halbleiterschaltung nach Anspruch 35, d a d u r c h g e k e n n z e i c h n e t , daß die für die Beaufschlagung des Referenzzählers (RZ) und aller Alterszähler (AZ_1,....AZ_p) verwendeten Zähltakte synchron von einem gemeinsamen Taktgeber, z. B. vom Taktgeber (TG) für das Eingangs-Schieberegister (PSW) geliefert werden.

FIG 1

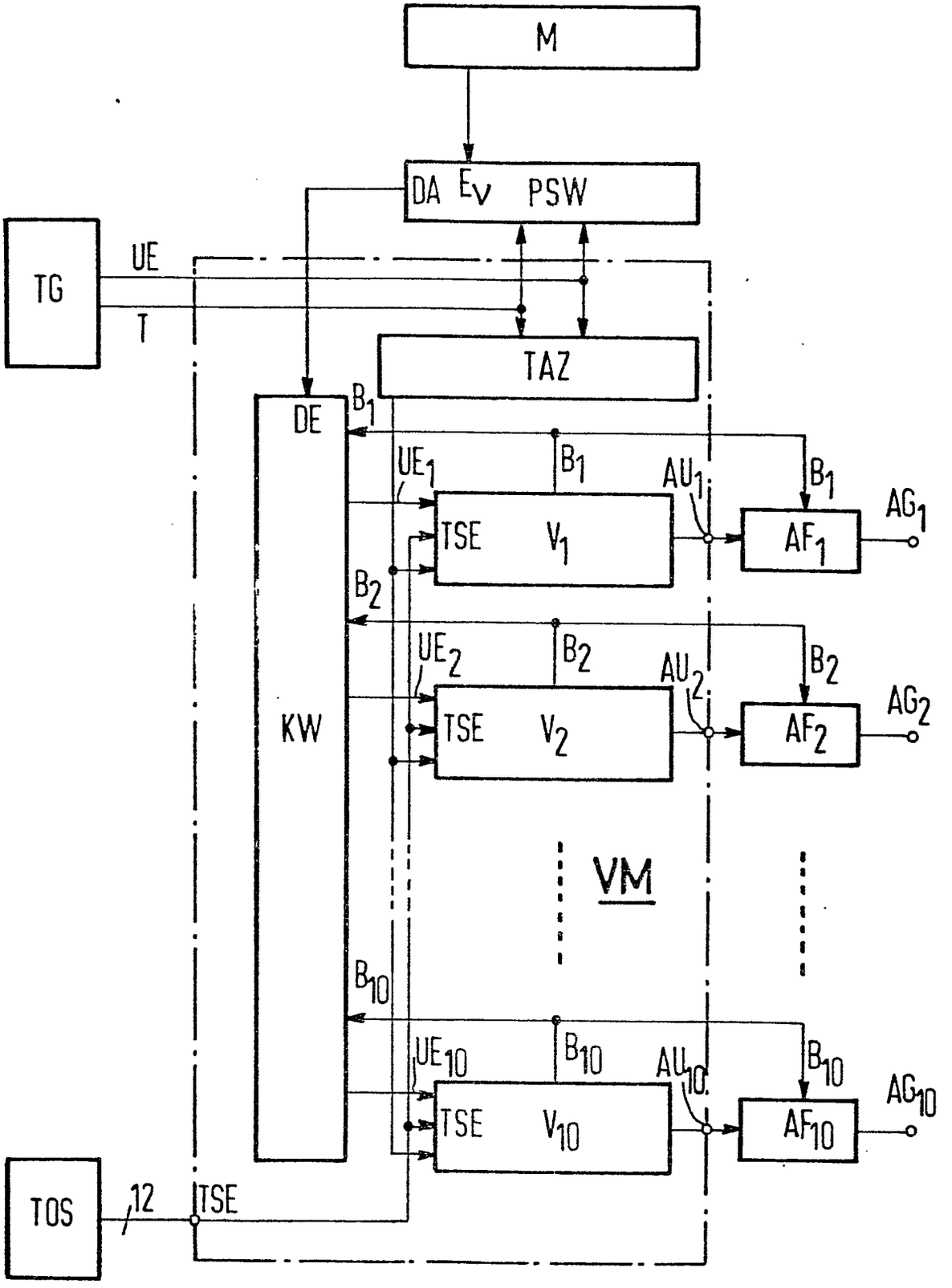
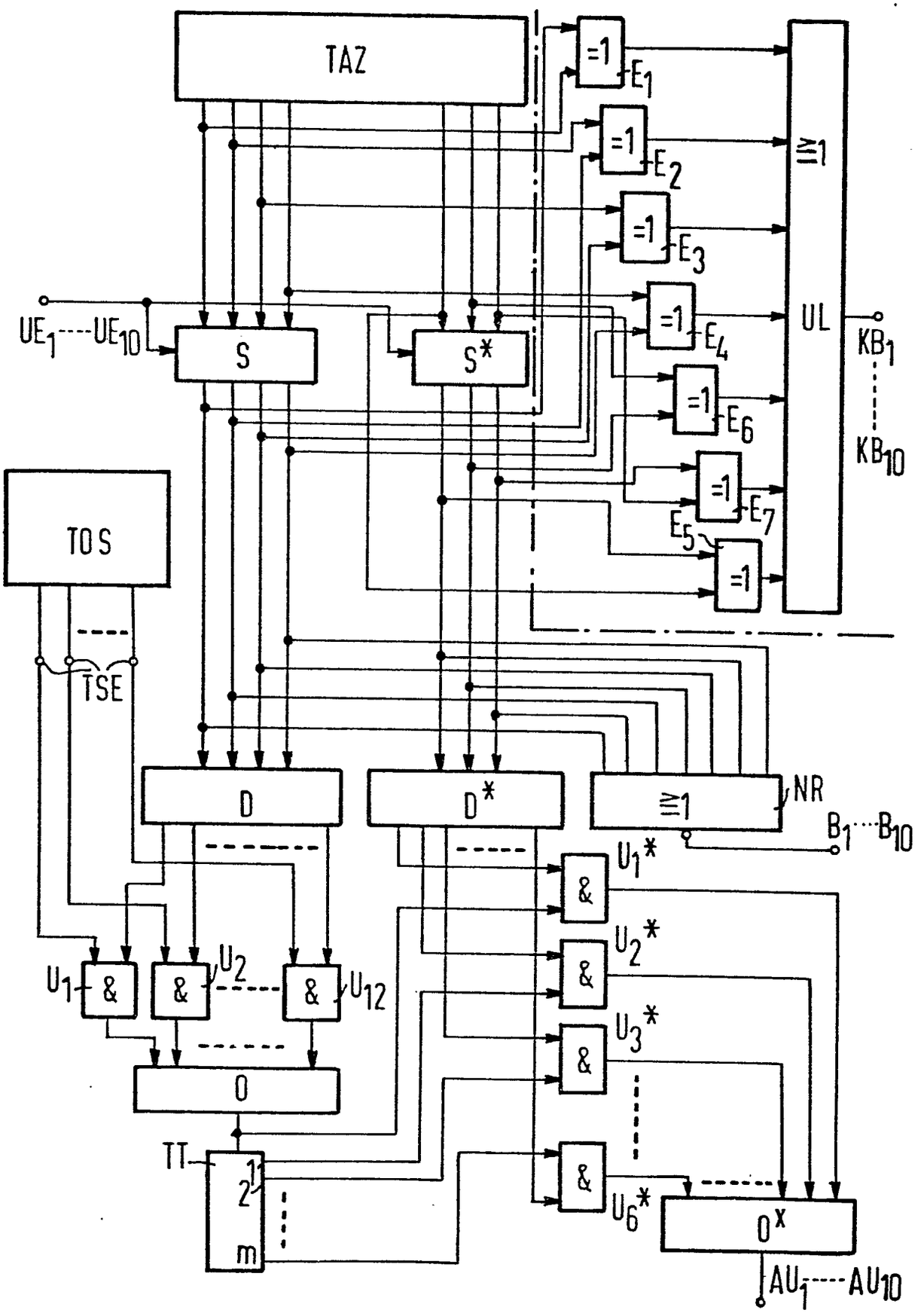

M
DA
Ev
PSW
TG
UE
T
TAZ
DE
KW
B1
UE1
TSE
V1
AU1
AF1
AG1
B2
UE2
V2
AU2
AF2
AG2
VM
B10
UE10
V10
AU10
AF10
AG10
TOS
12

FIG2


TAZ
=1
E1
E2
E3
E4
E5
E6
E7
≧1
UL
KB1
KB10
UE1
UE10
S
S*
TOS
TSE
D
D*
≧1
NR
B1
B10
U1*
U2*
U3*
U6*
&
U1
U2
U12
0
TT
1
2
m
0x
AU1
AU10

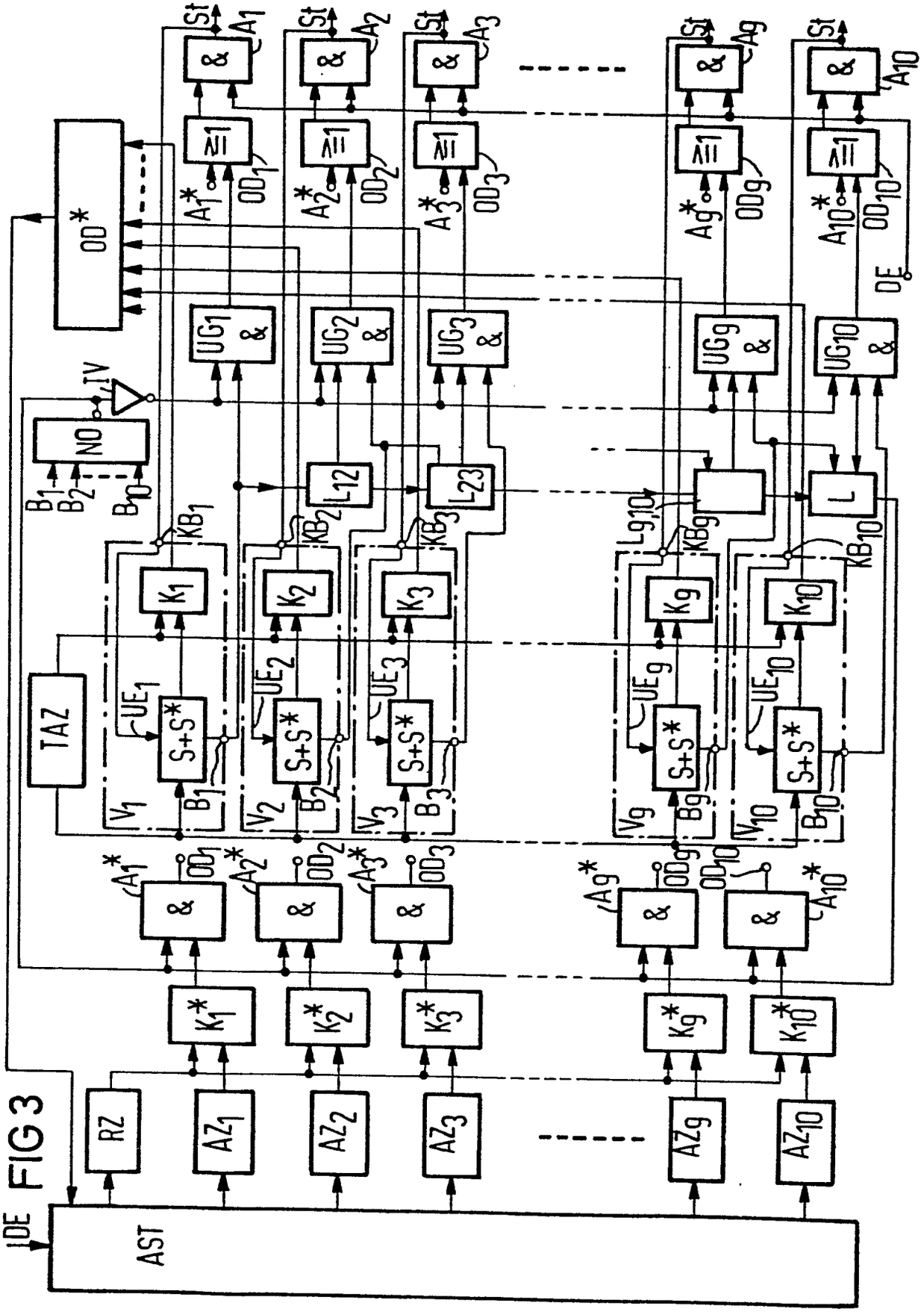
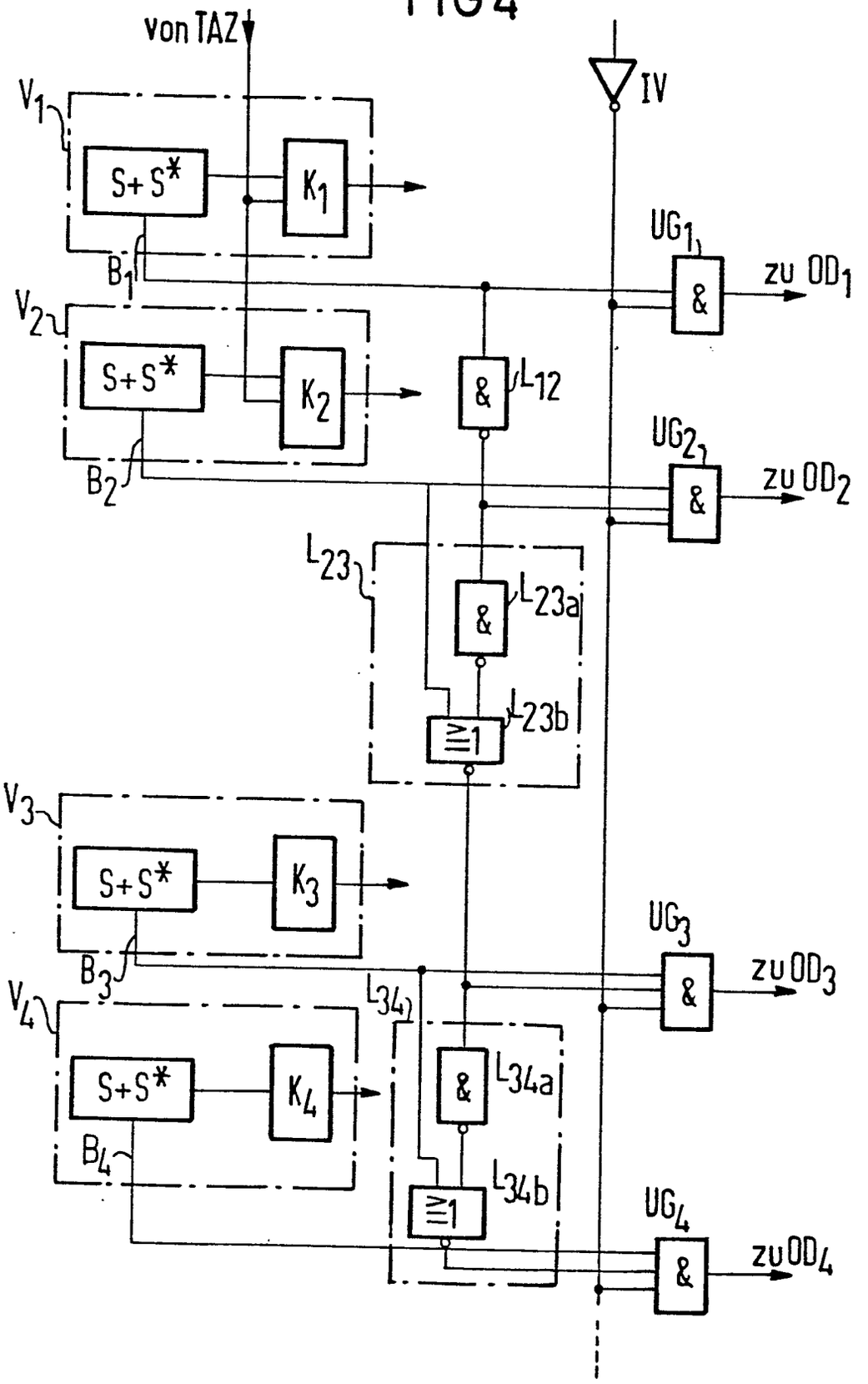

St
A1
A2
A3
Ag
A10
OD*
OD1
OD2
OD3
ODg
OD10
A1*
A2*
A3*
Ag*
A10*
UG1
UG2
UG3
UGg
UG10
DE
IV
NO
B1
B2
B10
L12
L23
L9,10
L
KB1
KB2
KB3
KBg
KB10
K1
K2
K3
Kg
K10
TAZ
UE1
UE2
UE3
UEg
UE10
S+S*
V1
V2
V3
Vg
V10
B3
Bg
K1*
K2*
K3*
Kg*
K10*
RZ
AZ1
AZ2
AZ3
AZg
AZ10
AST
IDE

FIG 3

FIG 4


von TAZ
IV
V1
S+S*
K1
B1
UG1
zu OD1
V2
S+S*
K2
&
L12
B2
UG2
zu OD2
L23
&
L23a
≧1
L23b
V3
S+S*
K3
B3
UG3
zu OD3
L34
V4
S+S*
K4
B4
&
L34a
≧1
L34b
UG4
zu OD4
&

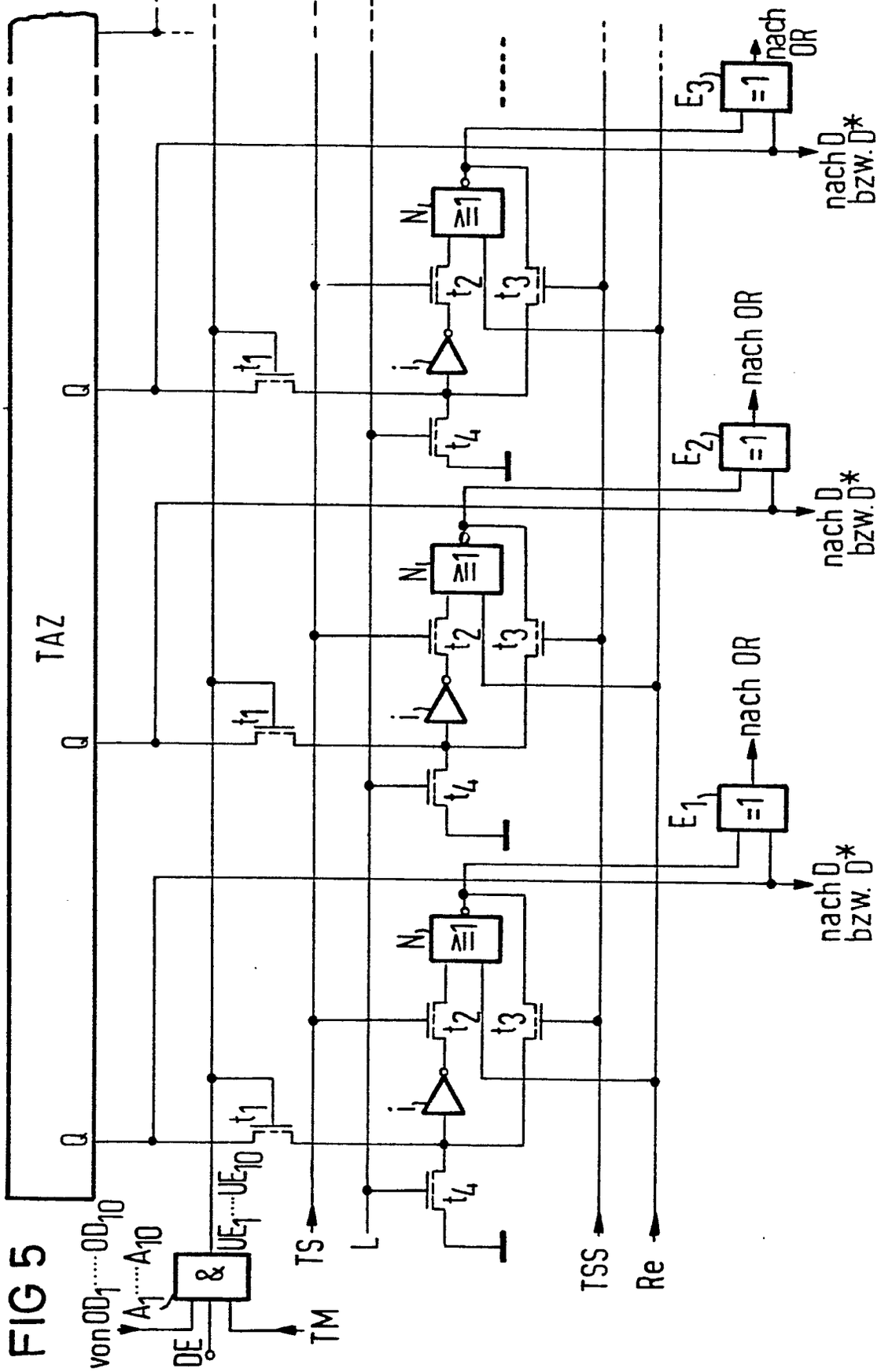

TAZ
Q
Q
Q
von OD1 ... OD10
A1 ... A10
OE
&
UE1 ... UE10
TM
TS
L
TSS
Re
t1
t2
t3
t4
i
N1
≥1
E1
E2
E3
=1
nach OR
nach D bzw. D*

FIG 5

FIG 6

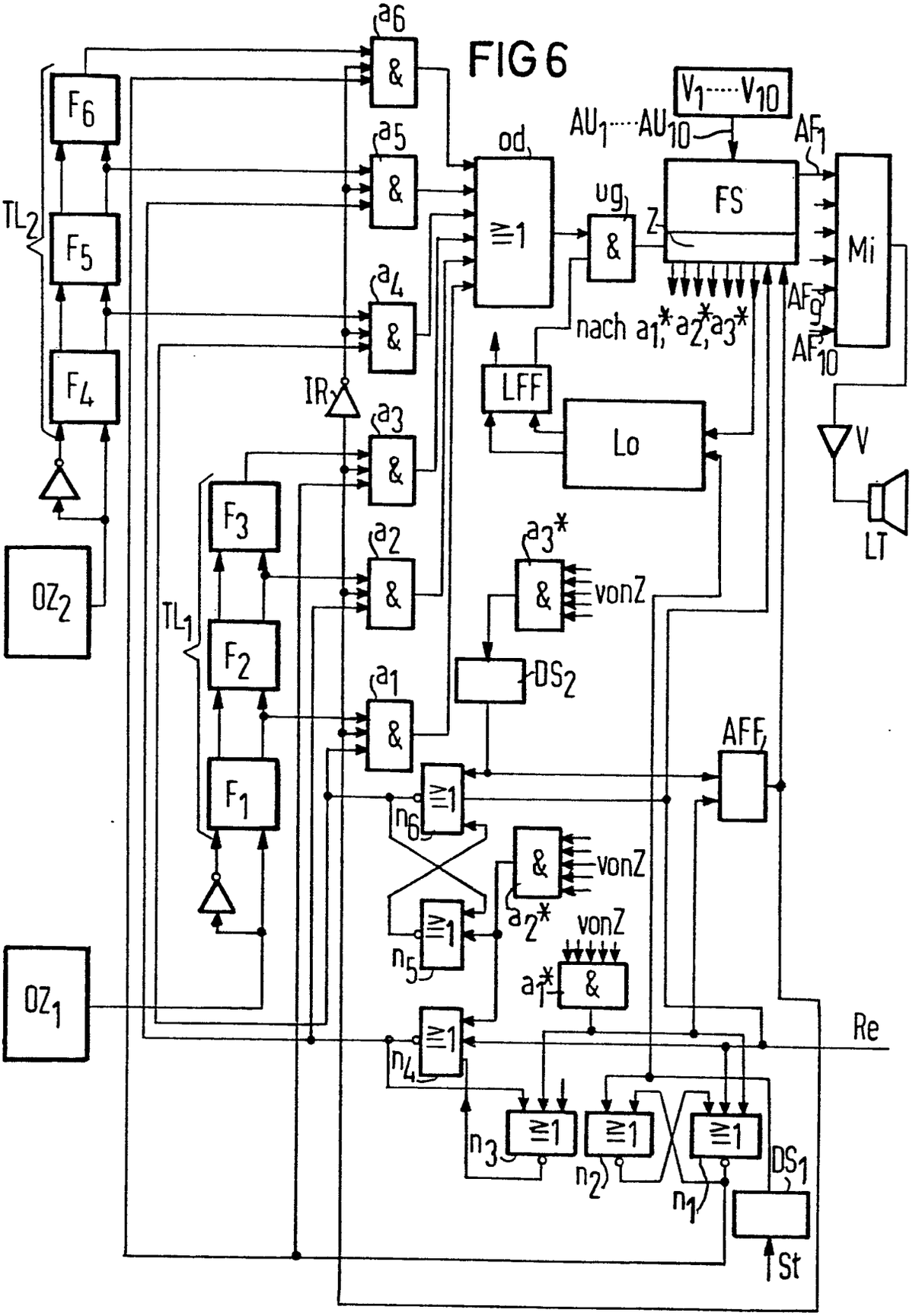

a6
&
F6
a5
&
od
≧1
ug
&
Z
FS
V1 ··· V10
AU1 ··· AU10
AF1
Mi
AF9
AF10
TL2
F5
a4
&
nach a1*, a2*, a3*
F4
IR
LFF
Lo
a3
&
V
LT
F3
a3*
&
vonZ
OZ2
a2
&
TL1
F2
DS2
a1
&
AFF
F1
n6
≧1
&
vonZ
a2*
n5
≧1
vonZ
a1*
&
OZ1
n4
≧1
Re
n3
≧1
n2
≧1
n1
≧1
DS1
St

FIG 7

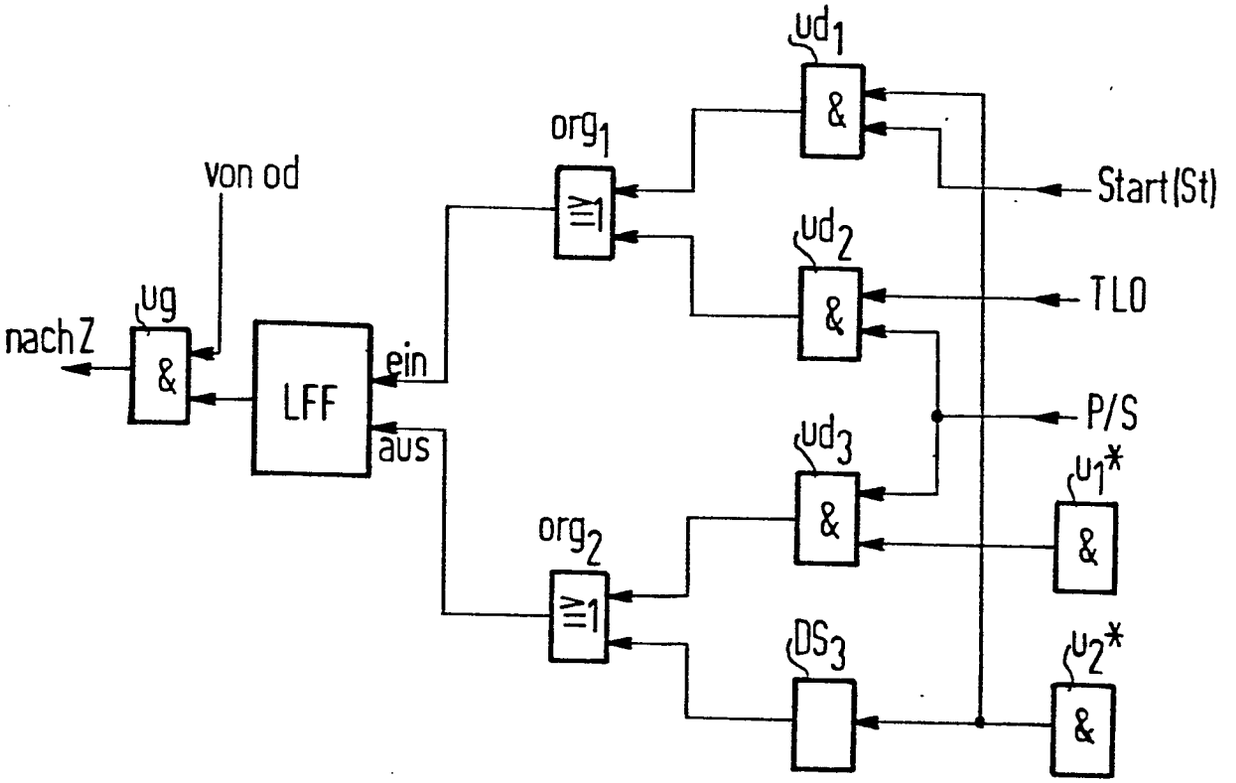

ud1
&
org1
≧1
von od
Start (St)
ud2
&
ug
&
nach Z
LFF
ein
TLO
P/S
aus
ud3
&
u1*
&
org2
≧1
DS3
u2*
&

FIG 8

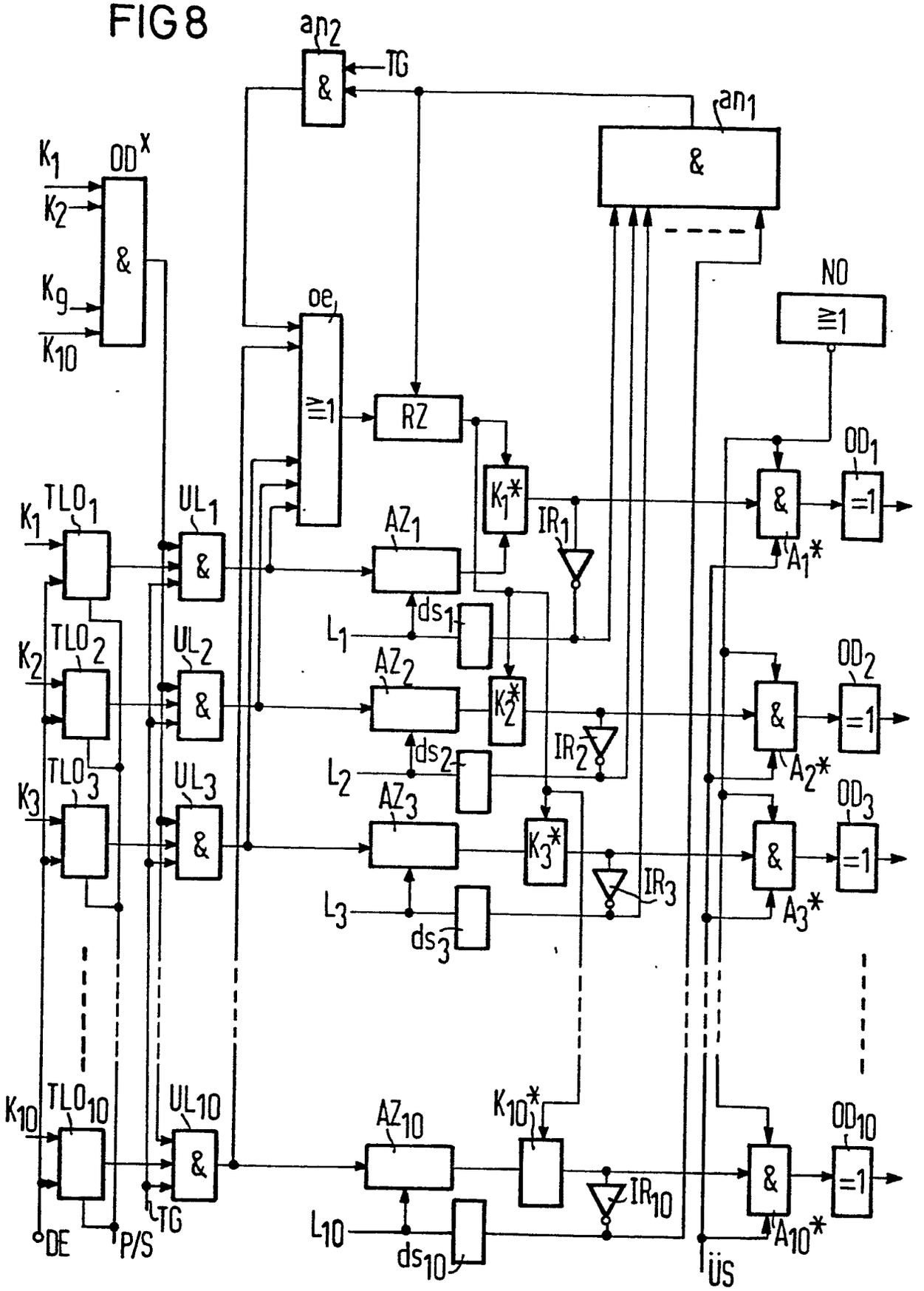

an2
TG
an1
&
K1
K2
K9
K10
OD^x
oe
≧1
RZ
NO
≧1
TLO1
UL1
AZ1
K1*
IR1
OD1
=1
A1*
ds1
L1
TLO2
UL2
AZ2
K2*
IR2
OD2
A2*
ds2
L2
TLO3
UL3
AZ3
K3*
IR3
OD3
A3*
ds3
L3
TLO10
UL10
AZ10
K10*
IR10
OD10
A10*
ds10
L10
DE
P/S
TG
ÜS

FIG 9

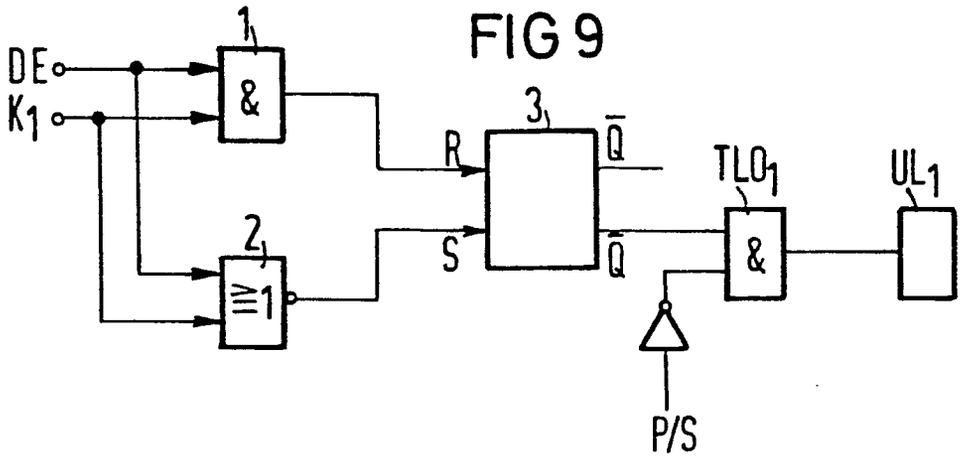
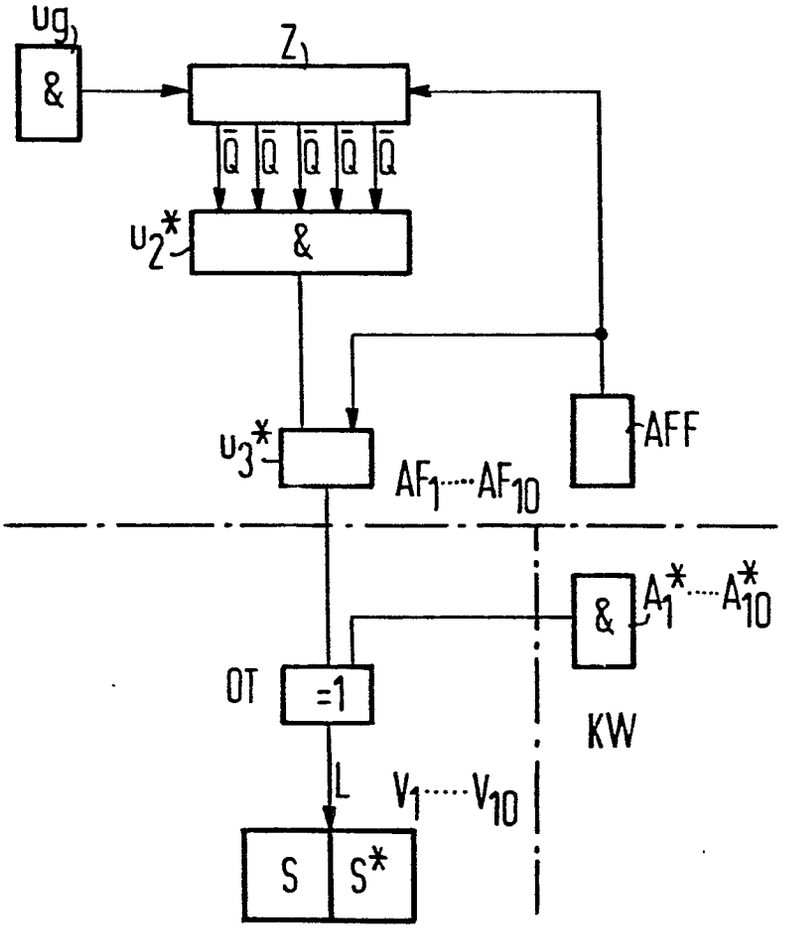

DE
K1
1
&
2
≧1
3
R
S
Q̄
Q̄
TLO1
&
UL1
P/S

FIG 10


ug
&
Z
Q̄ Q̄ Q̄ Q̄ Q̄
u2*
&
u3*
AF1 ··· AF10
AFF
&
A1* ··· A10*
OT
=1
KW
L
V1 ····· V10
S
S*