

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年10月8日(08.10.2020)



(10) 国際公開番号

WO 2020/203036 A1

(51) 国際特許分類:
H04N 5/374 (2011.01) H04N 5/378 (2011.01)

(21) 国際出願番号: PCT/JP2020/009644

(22) 国際出願日: 2020年3月6日(06.03.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-068359 2019年3月29日(29.03.2019) JP

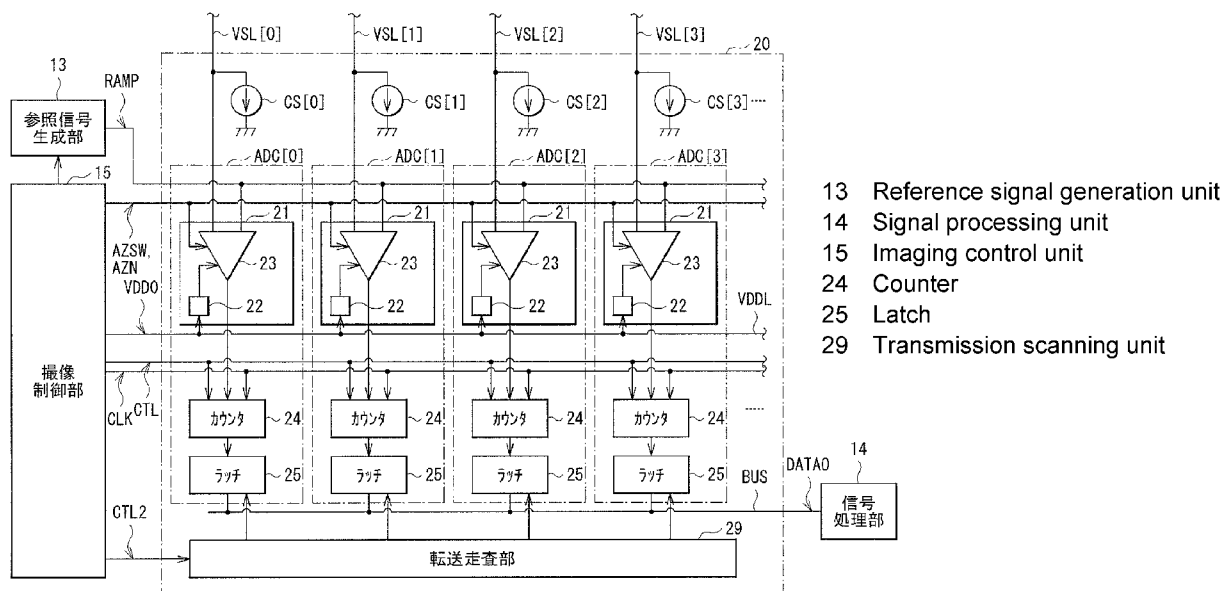
(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番1号 Kanagawa (JP).

(72) 発明者: 大迫 洋平 (OOSAKO, Youhei); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 池田 裕介 (IKEDA, Yusuke); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 植野 洋介(UENO, Yosuke); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 瀬上 雅博(SEGAMI, Masahiro); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 特許業務法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL)

(54) Title: OPTICAL DETECTION DEVICE AND ELECTRONIC EQUIPMENT

(54) 発明の名称: 光検出装置および電子機器



(57) Abstract: An optical detection device of the present disclosure comprises: a first pixel that can generate a first pixel signal; a reference signal generation unit that generates a reference signal; and a first comparison unit including a first power supply circuit that can generate a first power supply voltage on the basis of a power supply voltage and a bias voltage supplied from a first power supply node and can output the first power supply voltage from an output terminal, and a first comparison circuit that can be operated on the basis of the first power supply voltage and can perform a comparison operation on the basis of the first pixel signal and the reference signal.

CORPORATION); 〒1600022 東京都新宿
区新宿 1 丁目 1 5 番 9 号 さわだビ
ル 3 階 Tokyo (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 本開示の光検出装置は、第 1 の画素信号を生成可能な第 1 の画素と、参照信号を生成可能な参照信号生成部と、第 1 の電源ノードから供給された電源電圧およびバイアス電圧に基づいて第 1 の電源電圧を生成可能であり第 1 の電源電圧を出力端子から出力可能な第 1 の電源回路と、第 1 の電源電圧に基づいて動作可能であり、第 1 の画素信号および参照信号に基づいて比較動作を行うことが可能な第 1 の比較回路とを有する第 1 の比較部とを備える。

明 細 書

発明の名称： 光検出装置および電子機器

技術分野

[0001] 本開示は、光を検出可能な光検出装置、およびそのような光検出装置を備えた電子機器に関する。

背景技術

[0002] 光検出装置では、しばしば、画素が受光量に応じた画素信号を生成し、A/D (Analog to Digital) 変換回路がその画素信号をデジタルコードに変換する。例えば、特許文献1には、ランプ波形を有する信号、および画素信号に基づいてA/D変換を行う撮像装置が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2007-19682号公報

発明の概要

[0004] ところで、光検出装置では、画質が高いことが望まれており、さらなる画質の向上が期待されている。

[0005] 画質を高めることができる光検出装置および電子機器を提供することが望ましい。

[0006] 本開示の一実施の形態における光検出装置は、第1の画素と、参照信号生成部と、第1の比較部とを備えている。第1の画素は、第1の画素信号を生成可能に構成される。参照信号生成部は、参照信号を生成可能に構成される。第1の比較部は、第1の電源ノードから供給された電源電圧およびバイアス電圧に基づいて第1の電源電圧を生成可能であり第1の電源電圧を出力端子から出力可能な第1の電源回路と、第1の電源電圧に基づいて動作可能であり、第1の画素信号および参照信号に基づいて比較動作を行うことが可能な第1の比較回路とを有する。

[0007] 本開示の一実施の形態における電子機器は、上記光検出装置を備えたもの

であり、例えば、スマートフォン、デジタルカメラ、ビデオカメラ、ノート型パーソナルコンピュータなどが該当する。

[0008] 本開示の一実施の形態における光検出装置および電子機器では、第1の画素により第1の画素信号が生成され、参照信号生成部により参照信号が生成される。第1の電源回路により、第1の電源ノードから供給された電源電圧およびバイアス電圧に基づいて第1の電源電圧が生成される。そして、この第1の電源電圧に基づいて動作可能な第1の比較回路により、第1の画素信号および第1の信号に基づいて比較動作が行われる。

図面の簡単な説明

[0009] [図1]本開示の一実施の形態に係る撮像装置の一構成例を表すブロック図である。

[図2]図1に示した画素の一構成例を表す回路図である。

[図3]図1に示した読出部の一構成例を表すブロック図である。

[図4A]図3に示した比較部の一構成例を表す回路図である。

[図4B]図3に示した比較部の他の構成例を表す回路図である。

[図5]図3に示した読出部の一構成例を表す回路図である。

[図6]図1に示した撮像装置の一実装例を表す説明図である。

[図7]図1に示した撮像装置の他の実装例を表す説明図である。

[図8]図1に示した撮像装置の一動作例を表すタイミング図である。

[図9]図1に示した撮像装置の一動作例を表すタイミング波形図である。

[図10A]変形例に係る比較部の一構成例を表す回路図である。

[図10B]他の変形例に係る比較部の一構成例を表す回路図である。

[図11A]他の変形例に係る比較部の一構成例を表す回路図である。

[図11B]他の変形例に係る比較部の一構成例を表す回路図である。

[図12A]他の変形例に係る比較部の一構成例を表す回路図である。

[図12B]他の変形例に係る比較部の一構成例を表す回路図である。

[図13]他の変形例に係る比較部の一構成例を表す回路図である。

[図14]他の変形例に係る比較部の一構成例を表す回路図である。

[図15]他の変形例に係る比較部の一構成例を表す回路図である。

[図16]他の変形例に係る比較部の一構成例を表す回路図である。

[図17]他の変形例に係る比較部の一構成例を表す回路図である。

[図18]他の変形例に係る比較部の一構成例を表す回路図である。

[図19]他の変形例に係る比較部の一構成例を表す回路図である。

[図20]他の変形例に係る比較部の一構成例を表す回路図である。

[図21]他の変形例に係る読出部の一構成例を表す回路図である。

[図22]他の変形例に係る読出部の一構成例を表す回路図である。

[図23]図 2 2 に示した読出部の一構成例を表す回路図である。

[図24]他の変形例に係る読出部の一構成例を表す回路図である。

[図25]他の変形例に係る読出部の一構成例を表す回路図である。

[図26]図 2 5 に示した読出部の一構成例を表す回路図である。

[図27]他の変形例に係る読出部の一構成例を表す回路図である。

[図28]他の変形例に係る読出部の一構成例を表す回路図である。

[図29]他の変形例に係る読出部の一構成例を表す回路図である。

[図30A]他の変形例に係る比較部の一構成例を表す回路図である。

[図30B]他の変形例に係る比較部の一構成例を表す回路図である。

[図31A]他の変形例に係る比較部の一構成例を表す回路図である。

[図31B]他の変形例に係る比較部の一構成例を表す回路図である。

[図32]撮像装置の使用例を表す説明図である。

[図33]車両制御システムの概略的な構成の一例を示すブロック図である。

[図34]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

[図35]応用例に係る測距装置の一構成例を表すブロック図である。

[図36]図 3 5 に示した光検出部の一構成例を表すブロック図である。

[図37]図 3 6 に示した画素の一構成例を表す回路図である。

[図38]図 3 5 に示した測距装置の一動作例を表す波形図である。

発明を実施するための形態

[0010] 以下、本開示の実施の形態について、図面を参照して詳細に説明する。な

お、説明は以下の順序で行う。

1. 実施の形態
2. 撮像装置の使用例
3. 移動体への応用例
4. 測距装置への応用例

[0011] <1. 実施の形態>

[構成例]

図1は、一実施の形態に係る光検出装置を適用した撮像装置1の一構成例を表すものである。撮像装置1は、画素アレイ11と、駆動部12と、参照信号生成部13と、読出部20と、信号処理部14と、撮像制御部15とを備えている。

[0012] 画素アレイ11は、マトリックス状に配置された複数の画素Pを有している。画素Pは、受光量に応じた画素電圧 V_{pix} を生成するように構成される。

[0013] 図2は、画素Pの一構成例を表すものである。画素アレイ11は、複数の制御線TGLと、複数の制御線RSTLと、複数の制御線SELLと、複数の信号線VSLとを有している。制御線TGLは、水平方向（図2における横方向）に延伸し、一端が駆動部12に接続される。この制御線TGLには、駆動部12により制御信号STGが供給される。制御線RSTLは、水平方向に延伸し、一端が駆動部12に接続される。この制御線RSTLには、駆動部12により制御信号RSTが供給される。制御線SELLは、水平方向に延伸し、一端が駆動部12に接続される。この制御線SELLには、駆動部12により制御信号SELが供給される。信号線VSLは、垂直方向（図2における縦方向）に延伸し、一端が読出部20に接続される。この信号線VSLは、画素Pが生成した信号SIGを読出部20に伝える。水平方向（図1, 2において横方向）に並設された1行分の複数の画素Pは、画素ラインLを構成する。

[0014] 画素Pは、フォトダイオードPDと、トランジスタTGと、フローティングディフュージョンFDと、トランジスタRST, AMP, SELとを有し

ている。トランジスタTG, RST, AMP, SELは、この例ではN型のMOS (Metal Oxide Semiconductor) トランジスタである。

[0015] フォトダイオードPDは、受光量に応じた量の電荷を生成し、生成した電荷を内部に蓄積する光電変換素子である。フォトダイオードPDのアノードは接地され、カソードはトランジスタTGのソースに接続される。

[0016] トランジスタTGのゲートは制御線TGLに接続され、ソースはフォトダイオードPDのカソードに接続され、ドレインはフローティングディフュージョンFDに接続される。

[0017] フローティングディフュージョンFDは、フォトダイオードPDからトランジスタTGを介して転送された電荷を蓄積するように構成される。フローティングディフュージョンFDは、例えば、半導体基板の表面に形成された拡散層を用いて構成される。図2では、フローティングディフュージョンFDを、容量素子のシンボルを用いて示している。

[0018] トランジスタRSTのゲートは制御線RSTLに接続され、ドレインには電源電圧VDDが供給され、ソースはフローティングディフュージョンFDに接続される。

[0019] トランジスタAMPのゲートはフローティングディフュージョンFDに接続され、ドレインには電源電圧VDDが供給され、ソースはトランジスタSELのドレインに接続される。

[0020] トランジスタSELのゲートは制御線SELLに接続され、ドレインはトランジスタAMPのソースに接続され、ソースは信号線VSLに接続される。

[0021] この構成により、画素Pでは、制御線SELLに供給された制御信号SELに基づいてトランジスタSELがオン状態になることにより、画素Pが信号線VSLと電氣的に接続される。これにより、トランジスタAMPは、読出部20の定電流源CS（後述）に接続され、いわゆるソースフォロフとして動作する。そして、画素Pは、フローティングディフュージョンFDにおける電圧に応じた電圧を含む信号SIGを、信号線VSLに出力する。具

体的には、画素Pは、後述するように、読出部20がAD変換を行う2つの期間（P相期間TPおよびD相期間TD）のうちのP相期間TPにおいてリセット電圧Vresetを出力し、D相期間TDにおいて受光量に応じた画素電圧Vpixを出力する。画素Pは、これらのリセット電圧Vresetおよび画素電圧Vpixを含む信号SIGを、信号線VSLに出力するようになっている。

[0022] 駆動部12（図1）は、撮像制御部15からの指示に基づいて、画素ラインL単位で、画素アレイ11における複数の画素Pを順次駆動するように構成される。具体的には、駆動部12は、画素アレイ11における複数の制御線TGLに複数の制御信号STGをそれぞれ供給し、複数の制御線RSTLに複数の制御信号SRSTをそれぞれ供給し、複数の制御線SELLに複数の制御信号SSELをそれぞれ供給することにより、画素ラインL単位で画素アレイ11における複数の画素Pを駆動するようになっている。

[0023] 参照信号生成部13は、撮像制御部15からの指示に基づいて、参照信号RAMPを生成するように構成される。参照信号RAMPは、読出部20がAD変換を行う2つの期間（P相期間TPおよびD相期間TD）において、時間の経過に応じて電圧レベルが徐々に変化する、いわゆるランプ波形を有する。参照信号生成部13は、この参照信号RAMPを読出部20に供給するようになっている。

[0024] 読出部20は、撮像制御部15からの指示に基づいて、画素アレイ11から信号線VSLを介して供給された信号SIGに基づいてAD変換を行うことにより、画像信号DATAOを生成するように構成される。

[0025] 図3は、読出部20の一構成例を表すものである。なお、図3には、読出部20に加え、参照信号生成部13、信号処理部14、および撮像制御部15をも描いている。読出部20は、複数の定電流源CS（定電流源CS[0]、CS[1]、CS[2]、CS[2]、…）と、複数のAD変換部ADC（AD変換部ADC[0]、ADC[1]、ADC[2]、ADC[3]…）と、転送走査部29とを有している。

[0026] 複数の定電流源CSは、複数の信号線VSLに対応して設けられる。具体

的には、0番目の定電流源CS[0]は、0番目の信号線VSL[0]に対応して設けられ、1番目の定電流源CS[1]は、1番目の信号線VSL[1]に対応して設けられ、2番目の定電流源CS[2]は、2番目の信号線VSL[2]に対応して設けられ、3番目の定電流源CS[3]は、3番目の信号線VSL[3]に対応して設けられる。4番目以降についても同様である。定電流源CSの一端は、対応する信号線VSLに接続され、他端は接地される。複数の定電流源CSのそれぞれは、対応する信号線VSLに所定の電流を流すように構成される。

[0027] 複数のAD変換部ADCは、複数の信号線VSLに対応して設けられている。具体的には、0番目のAD変換部ADC[0]は、0番目の信号線VSL[0]に対応して設けられ、1番目のAD変換部ADC[1]は、1番目の信号線VSL[1]に対応して設けられ、2番目のAD変換部ADC[2]は、2番目の信号線VSL[2]に対応して設けられ、3番目のAD変換部ADC[3]は、3番目の信号線VSL[2]に対応して設けられる。4番目以降についても同様である。複数のAD変換部ADCのそれぞれは、画素アレイ11から供給された信号SIGに基づいてAD変換を行うことにより、信号SIGの電圧をデジタルコードCODEに変換するように構成される。AD変換部ADCは、比較部21と、カウンタ24と、ラッチ25とを有している。

[0028] 比較部21は、参照信号生成部13から供給された参照信号RAMPおよび画素Pから信号線VSLを介して供給された信号SIGに基づいて比較動作を行うことにより信号CMPOを生成するように構成される。比較部21は、撮像制御部15から供給された制御信号AZSW、AZNに基づいて動作点を設定し、その後に比較動作を行うようになっている。比較部21は、電源回路22と、比較回路23とを有している。

[0029] 図4Aは、比較部21の一構成例を表すものである。比較部21には、電源電圧VDD0、接地電圧VSS0、およびバイアス電圧VB1、VB2が供給される。電源電圧VDD0は、撮像制御部15から、電源線VDDLを

介して供給される。比較部21の電源回路22は、トランジスタMN10を有している。比較部21の比較回路23は、容量素子C1、C2と、トランジスタMP11、MN11、MP12、MN12と、スイッチSW1、SW2と、容量素子C3とを有している。トランジスタMP11、MP12は、P型のMOSトランジスタであり、トランジスタMN10～MN12は、N型のMOSトランジスタである。図示していないが、この例では、トランジスタMP11、MP12のバックゲートには電源電圧VDD0が供給され、トランジスタMN10～MN12のバックゲートには接地電圧VSS0が供給される。

[0030] トランジスタMN10のゲートにはバイアス電圧VB1が供給され、ドレインは電源線VDDLに接続され、ソースはトランジスタMP11、MP12のソースに接続される。トランジスタMN10は、いわゆるソースフォロワとして動作することにより、ソースから電源電圧VDD1を出力する。

[0031] 容量素子C1、C2は一端（端子T1）および他端（端子T2）を有する。容量素子C1の一端は参照信号生成部13に接続され、他端は容量素子C2の他端、トランジスタMP11のゲート、およびスイッチSW1の一端に接続される。この容量素子C1の一端には、参照信号生成部13が生成した参照信号RAMPが供給される。容量素子C2の一端は信号線VSLに接続され、他端は容量素子C1の他端、トランジスタMP11のゲート、およびスイッチSW1の一端に接続される。この容量素子C2の一端には、画素Pが生成した信号SIGが供給される。

[0032] トランジスタMP11のゲートは容量素子C1、C2の他端およびスイッチSW1の一端に接続され、ドレインはトランジスタMN11のドレイン、トランジスタMP12のゲート、およびスイッチSW1の他端に接続され、ソースはトランジスタMN10、MP12のソースに接続される。トランジスタMN11のゲートにはバイアス電圧VB2が供給され、ドレインはトランジスタMP11のドレイン、トランジスタMP12のゲート、およびスイッチSW1の他端に接続され、ソースには接地電圧VSS0が供給される。

トランジスタMN11は、トランジスタMP11の負荷であり、定電流源として動作する。スイッチSW1は、制御信号AZSWに基づいてオンオフするように構成され、一端は容量素子C1、C2の他端およびトランジスタMP11のゲートに接続され、他端はトランジスタMP11、MN11のドレインおよびトランジスタMP12のゲートに接続される。トランジスタMP11、MN11、およびスイッチSW1は、比較回路23の初段回路101を構成する。

[0033] トランジスタMP12のゲートはトランジスタMP11、MN11のドレインおよびスイッチSW1の他端に接続され、ドレインはトランジスタMN12のドレインおよびスイッチSW2の一端に接続され、ソースはトランジスタMN10、MP11のソースに接続される。トランジスタMN12のゲートは容量素子C3の一端およびスイッチSW2の他端に接続され、ドレインはトランジスタMP12のドレインおよびスイッチSW2の一端に接続され、ソースには接地電圧VSS0が供給される。スイッチSW2は制御信号AZNに基づいてオンオフするように構成され、一端はトランジスタMP12、MN12のドレインに接続され、他端はトランジスタMN12のゲートおよび容量素子C3の一端に接続される。容量素子C3の一端はトランジスタMN12のゲートおよびスイッチSW2の他端に接続され、他端には接地電圧VSS0が供給される。なお、容量素子C3は、MOSキャパシタなどを用いて構成してもよいし、例えば、トランジスタMN12のゲートの寄生容量、スイッチSW2の寄生容量、配線の寄生容量などを用いて構成してもよい。トランジスタMP12、MN12、スイッチSW2、および容量素子C3は、比較回路23の後段回路102を構成する。

[0034] この構成により、比較部21では、電源回路22が電源電圧VDD1を生成し、比較回路23は、この電源電圧VDD1に基づいて動作することにより、信号SIGおよび参照信号RAMPに基づいて比較動作を行う。具体的には、定電流源として動作するトランジスタMN11が生成した電流が、トランジスタMN10に流れ、トランジスタMN10は、いわゆるソースフォ

ロワとして動作する。これにより、電源回路22は、電源電圧 V_{DD1} を生成する。比較回路23では、後述するように、スイッチ $SW1$ 、 $SW2$ がオン状態になることにより、動作点を設定する。そして、比較回路23は、P相期間 T_P において、参照信号 $RAMP$ 、および信号 SIG に含まれるリセット電圧 V_{reset} に基づいて比較動作を行い、D相期間 T_D において、参照信号 $RAMP$ 、および信号 SIG に含まれる画素電圧 V_{pix} に基づいて比較動作を行うようになっている。

[0035] なお、この例では、比較部21を、図4Aに示したように構成したが、これに限定されるものではなく、図4Bに示す比較部21Aのように構成してもよい。この例では、接地電圧 V_{SS0} は、撮像制御部15から、接地線 V_{SSL} を介して供給される。この比較部21Aは、電源回路22Aと、比較回路23Aとを有している。電源回路22Aは、トランジスタ $MP20$ を有している。比較回路23Aは、容量素子 $C11$ 、 $C12$ と、トランジスタ $MN21$ 、 $MP21$ 、 $MN22$ 、 $MP22$ と、スイッチ $SW11$ 、 $SW12$ と、容量素子 $C13$ とを有している。トランジスタ $MP20 \sim MP22$ は、P型のMOSトランジスタであり、トランジスタ $MN21$ 、 $MN22$ は、N型のMOSトランジスタである。

[0036] トランジスタ $MP20$ のゲートにはバイアス電圧 $VB1$ が供給され、ドレインは接地線 V_{SSL} に接続され、ソースはトランジスタ $MN21$ 、 $MN22$ のソースに接続される。トランジスタ $MP20$ は、いわゆるソースフォロワとして動作することにより、ソースから接地電圧 V_{SS1} を出力する。

[0037] 容量素子 $C11$ 、 $C12$ は一端および他端を有する。容量素子 $C11$ の一端は参照信号生成部13に接続され、他端は容量素子 $C12$ の他端、トランジスタ $MN21$ のゲート、およびスイッチ $SW11$ の一端に接続される。この容量素子 $C11$ の一端には、参照信号生成部13が生成した参照信号 $RAMP$ が供給される。容量素子 $C12$ の一端は信号線 VSL に接続され、他端は容量素子 $C11$ の他端、トランジスタ $MN21$ のゲート、およびスイッチ $SW11$ の一端に接続される。この容量素子 $C12$ の一端には、画素Pが生

成した信号 S I G が供給される。

[0038] トランジスタ MN 2 1 のゲートは容量素子 C 1 1, C 1 2 の他端およびスイッチ SW 1 1 の一端に接続され、ドレインはトランジスタ MP 2 1 のドレイン、トランジスタ MN 2 2 のゲート、およびスイッチ SW 1 1 の他端に接続され、ソースはトランジスタ MP 2 0, MN 2 2 のソースに接続される。トランジスタ MP 2 1 のゲートにはバイアス電圧 V B 2 が供給され、ドレインはトランジスタ MN 2 1 のドレイン、トランジスタ MN 2 2 のゲート、およびスイッチ SW 1 1 の他端に接続され、ソースは電源電圧 V D D 0 が供給される。トランジスタ MP 2 1 は、トランジスタ MN 2 1 の負荷であり、定電流源として動作する。スイッチ SW 1 1 は、制御信号 A Z S W に基づいてオンオフするように構成され、一端は容量素子 C 1 1, C 1 2 の他端およびトランジスタ MN 2 1 のゲートに接続され、他端はトランジスタ MN 2 1, MP 2 1 のドレインおよびトランジスタ MN 2 2 のゲートに接続される。トランジスタ MN 2 1, MP 2 1、およびスイッチ SW 1 1 は、比較回路 2 3 A の初段回路 1 0 1 を構成する。

[0039] トランジスタ MN 2 2 のゲートはトランジスタ MN 2 1, MP 2 1 のドレインおよびスイッチ SW 1 1 の他端に接続され、ドレインはトランジスタ MP 2 2 のドレインおよびスイッチ SW 1 2 の一端に接続され、ソースはトランジスタ MP 2 0, MN 2 1 のソースに接続される。トランジスタ MP 2 2 のゲートは容量素子 C 1 3 の一端およびスイッチ SW 1 2 の他端に接続され、ドレインはトランジスタ MN 2 2 のドレインおよびスイッチ SW 1 2 の一端に接続され、ソースには電源電圧 V D D 0 が供給される。スイッチ SW 1 2 は制御信号 A Z N に基づいてオンオフするように構成され、一端はトランジスタ MN 2 2, MP 2 2 のドレインに接続され、他端はトランジスタ MP 2 2 のゲートおよび容量素子 C 1 3 の一端に接続される。容量素子 C 1 3 の一端はトランジスタ MP 2 2 のゲートおよびスイッチ SW 1 2 の他端に接続され、他端には電源電圧 V D D 0 が供給される。トランジスタ MN 2 2, MP 2 2、スイッチ SW 1 2、および容量素子 C 1 3 は、比較回路 2 3 A の後

段回路 102 を構成する。

[0040] 図 5 は、電源線 VDDL および複数の比較部 21 の接続例を表すものである。なお、この図では、比較回路 23 のトランジスタ MN11 を定電流源のシンボルを用いて示すとともに、比較回路 23 の後段回路 102（トランジスタ MP12、MN12、スイッチ SW2、および容量素子 C3）を、増幅回路のシンボルを用いて示している。

[0041] 図 3、5 に示したように、撮像制御部 15 は、電源線 VDDL を介して、電源電圧 VDD0 を複数の比較部 21 に供給する。複数の比較部 21 のそれぞれにおいて、電源回路 22（トランジスタ MN10）は、この電源電圧 VDD0 に基づいて、電源電圧 VDD1 を生成し、生成した電源電圧 VDD1 を比較回路 23 に供給する。そして、比較回路 23 は、参照信号 RAMP および信号 SIG に基づいて比較動作を行うことにより、信号 CMO を生成するようになっている。

[0042] カウンタ 24（図 3）は、比較部 21 から供給された信号 CMO、および撮像制御部 15 から供給された制御信号 CTL に基づいて、撮像制御部 15 から供給されたクロック信号 CLK のパルスをカウントするカウント動作を行うように構成される。

[0043] ラッチ 25 は、カウンタ 24 により得られたカウント値に基づいて、デジタルコード CODE を生成し、このデジタルコード CODE を保持するように構成される。具体的には、ラッチ 25 は、P 相期間 TP においてカウンタ 24 により得られたカウント値 CNTP と、D 相期間 TD においてカウンタ 24 により得られたカウント値 CNTD との差（CNTD - CNTP）に応じたデジタルコード CODE を生成する。そして、ラッチ 25 は、転送走査部 29 から供給された制御信号に基づいて、このデジタルコード CODE をバス配線 BUS に出力するようになっている。

[0044] 転送走査部 29 は、撮像制御部 15 から供給された制御信号 CTL2 に基づいて、複数の AD 変換部 ADC のラッチ 25 に対して、デジタルコード CODE をバス配線 BUS に順次出力させるように制御するように構成される。

。読出部20は、このバス配線BUSを用いて、複数のAD変換部ADCから供給された複数のデジタルコードCODEを、画像信号DATA0として、信号処理部14に順次転送するようになっている。

[0045] 信号処理部14（図1）は、撮像制御部15からの指示に基づいて、画像信号DATA0に対して、所定の信号処理を行うことにより画像信号DATAを生成し、この画像信号DATAを出力するように構成される。

[0046] 撮像制御部15は、駆動部12、参照信号生成部13、読出部20、および信号処理部14に制御信号を供給し、これらの回路の動作を制御することにより、撮像装置1の動作を制御するように構成される。具体的には、撮像制御部15は、駆動部12に対して制御信号を供給することにより、駆動部12が、画素ラインL単位で、画素アレイ11における複数の画素Pを順次駆動するように制御する。また、撮像制御部15は、参照信号生成部13に対して制御信号を供給することにより、参照信号生成部13が参照信号RAMPを生成するように制御する。また、撮像制御部15は、読出部20に対して、電源電圧VDD0およびバイアス電圧VB1、VB2を供給するとともに、制御信号AZSW、AZN、CTL、CTL2およびクロック信号CLKを供給することにより、読出部20が、信号SIGに基づいてAD変換を行うことにより画像信号DATA0を生成するように制御する。また、撮像制御部15は、信号処理部14に対して制御信号を供給することにより、信号処理部14の動作を制御するようになっている。

[0047] 次に、撮像装置1の実装について説明する。撮像装置1において、図1に示した各ブロックは、例えば、1枚の半導体基板に形成されてもよいし、複数の半導体基板に形成されてもよい。

[0048] 図6は、1枚の半導体基板200に形成した場合における撮像装置1の実装例を表すものである。半導体基板200には画素アレイ11が配置され、その画素アレイ11の左には、駆動部12が配置される。また、画素アレイ11の下には、読出部20が配置される。読出部20では、上から順に、複数の定電流源CSを含む定電流源部201、複数の比較部21を含む比較回

路部 202、複数のカウンタ 24 を含むカウンタ部 203、複数のラッチ 25 を含むラッチ部 204、および転送走査部 29 がこの順に配置される。この読出部 20 の左には、参照信号生成部 13 および撮像制御部 15 が配置される。また、画素アレイ 11 および読出部 20 の右には信号処理部 14 が配置される。

[0049] 図 7 は、2 枚の半導体基板 211, 212 に形成した場合における撮像装置 1 の実装例を表すものである。例えば、半導体基板 211 には画素アレイ 11 が配置され、半導体基板 212 には、読出部 20、駆動部 12、参照信号生成部 13、信号処理部 14、および撮像制御部 15 が配置される。半導体基板 211, 212 は互いに重ね合わされる。そして、例えば、半導体基板 211 に配置された複数の信号線 VSL が、例えば TSV (Through Silicon Via) を介して半導体基板 212 に配置された読出部 20 に電氣的に接続されるとともに、半導体基板 211 に配置された複数の制御線 TGL, RSTL, SELL が、例えば TSV を介して半導体基板 212 に配置された駆動部 12 に電氣的に接続される。半導体基板 212 には、読出部 20 が配置され、読出部 20 の左には、駆動部 12、参照信号生成部 13、および撮像制御部 15 が配置され、読出部 20 の右には信号処理部 14 が配置される。読出部 20 では、上から順に、複数の定電流源 CS を含む定電流源部 201、複数の比較部 21 を含む比較回路部 202、複数のカウンタ 24 を含むカウンタ部 203、複数のラッチ 25 を含むラッチ部 204、および転送走査部 29 がこの順に配置される。

[0050] このように、2 枚の半導体基板 211, 212 に形成した場合（図 7）には、半導体基板 211 に画素アレイ 11 を主に配置することにより、画素の形成に特化した半導体製造工程を用いて半導体基板 211 を製造することができる。つまり、半導体基板 211 には、画素アレイ 11 以外に回路がないので、例えば、画素を形成するために特別な製造工程を用いた場合でも、その製造工程が画素アレイ 11 以外の回路に影響を与えないことがない。このように、撮像装置 1 では、画素の形成に特化した半導体製造工程を用いること

ができるので、撮像装置 1 における撮像特性を高めることができる。

[0051] ここで、画素 P は、本開示における「第 1 の画素」の一具体例に対応する。比較部 2 1 は、本開示における「第 1 の比較部」の一具体例に対応する。電源回路 2 2 は、本開示における「第 1 の電源回路」の一具体例に対応する。比較回路 2 3 は、本開示における「第 1 の比較回路」の一具体例に対応する。トランジスタ MN 1 0 は、本開示における「第 1 の電源トランジスタ」の一具体例に対応する。容量素子 C 1 は、本開示における「第 1 の容量素子」の一具体例に対応する。容量素子 C 2 は、本開示における「第 2 の容量素子」の一具体例に対応する。トランジスタ MP 1 1 は、本開示における「第 1 のトランジスタ」の一具体例に対応する。スイッチ SW 1 は、本開示における「第 1 のスイッチ」の一具体例に対応する。トランジスタ MN 1 1 は、本開示における「第 1 の電流源」の一具体例に対応する。トランジスタ MP 1 2 は、本開示における「第 2 のトランジスタ」の一具体例に対応する。トランジスタ MN 1 2 は、本開示における「第 3 のトランジスタ」の一具体例に対応する。スイッチ SW 2 は、本開示における「第 2 のスイッチ」の一具体例に対応する。

[0052] [動作および作用]

続いて、本実施の形態の撮像装置 1 の動作および作用について説明する。

[0053] (全体動作概要)

まず、図 1 を参照して、撮像装置 1 の全体動作概要を説明する。駆動部 1 2 は、撮像制御部 1 5 からの指示に基づいて、画素ライン L 単位で、画素アレイ 1 1 における複数の画素 P を順次駆動する。画素 P は、P 相期間 T_P において、リセット電圧 V_{reset} を信号 S I G として出力し、D 相期間 T_D において、受光量に応じた画素電圧 V_{pix} を信号 S I G として出力する。参照信号生成部 1 3 は、撮像制御部 1 5 からの指示に基づいて、参照信号 R A M P を生成する。読出部 2 0 は、撮像制御部 1 5 からの指示に基づいて、画素アレイ 1 1 から信号線 V S L を介して供給された信号 S I G に基づいて A D 変換を行うことにより、画像信号 D A T A O を生成する。信号処理部 1 4 は、撮

像制御部 15 からの指示に基づいて、画像信号 DATA0 に対して、所定の信号処理を行うことにより画像信号 DATA を生成する。撮像制御部 15 は、駆動部 12、参照信号生成部 13、読出部 20、および信号処理部 14 に制御信号を供給し、これらの回路の動作を制御することにより、撮像装置 1 の動作を制御する

[0054] (詳細動作)

撮像装置 1 において、複数の画素 P は、受光量に応じて電荷を蓄積し、受光量に応じた画素電圧 V_{pix} を信号 SIG として出力する。そして、読出部 20 は、この信号 SIG に基づいて AD 変換を行う。以下に、この動作について詳細に説明する。

[0055] 図 8 は、画素アレイ 11 における複数の画素 P を走査する動作の一例を表すものである。

[0056] 撮像装置 1 は、タイミング $t_0 \sim t_1$ の期間において、画素アレイ 11 に対して、垂直方向において上から順に露光開始駆動 D1 を行う。具体的には、駆動部 12 は、例えば、制御信号 STG, SRST を生成することにより、画素ライン L を順次選択し、画素 P におけるトランジスタ TG, RST を所定の長さの時間において順次オン状態にする。これにより、画素 P では、フローティングディフュージョン FD の電圧およびフォトダイオード PD のカソードの電圧が電源電圧 VDD に設定される。そして、トランジスタ TG, RST がオフ状態になると、フォトダイオード PD は、受光量に応じて電荷を蓄積し始める。このようにして、複数の画素 P では、露光期間 T が順次開始する。

[0057] 撮像装置 1 は、タイミング $t_2 \sim t_3$ の期間において、画素アレイ 11 に対して、垂直方向において上から順に読出駆動 D2 を行う。具体的には、駆動部 12 は、後述するように、制御信号 STG, SRST を生成することにより、画素ライン L を順次選択する。これにより、画素 P は、P 相期間 TP においてリセット電圧 V_{reset} を信号 SIG として出力し、D 相期間 TD において画素電圧 V_{pix} を信号 SIG として出力する。読出部 20 は、この信号 S

I Gに基づいてAD変換を行うことによりデジタルコードCODEを生成する。

[0058] 撮像装置1は、このような露光開始駆動D1および読出駆動D2を繰り返す。これにより、撮像装置1では、一連の撮像画像が得られる。

[0059] 次に、読出駆動D2について、詳細に説明する。以下に、複数の画素Pのうちのある画素P（画素P1）に着目し、この画素P1およびその画素P1に接続されたAD変換部ADC（AD変換部ADC1）の動作について詳細に説明する。

[0060] 図9は、着目した画素P1における読出駆動D2の一動作例を表すものであり、（A）は制御信号SELの波形を示し、（B）は制御信号RSTの波形を示し、（C）は制御信号STGの波形を示し、（D）は信号SIGの波形を示し、（E）は制御信号AZSWの波形を示し、（F）は参照信号RAMPの波形を示し、（G）はAD変換部ADC1の比較部21におけるトランジスタMP11のゲート電圧Vgの波形を示し、（H）はAD変換部ADC1における信号CMPOの波形を示す。制御信号AZNの波形は、制御信号AZSWの波形と同様である。

[0061] 撮像装置1では、ある水平期間（H）において、まず、画素P1がリセット動作を行うことによりリセット電圧Vresetを出力し、AD変換部ADC1がP相期間TPにおいてそのリセット電圧Vresetに基づいてAD変換を行う。そして、その後に画素P1が電荷転送動作を行うことにより画素電圧Vpixを出力し、AD変換部ADC1がD相期間TDにおいてその画素電圧Vpixに基づいてAD変換を行う。以下にこの動作について詳細に説明する。

[0062] まず、タイミングt11において、水平期間Hが開始すると、駆動部12は、制御信号SELの電圧を低レベルから高レベルに変化させる（図9（A））。これにより、画素P1では、トランジスタSELがオン状態になり、画素P1が信号線VSLと電氣的に接続される。また、このタイミングt11において、駆動部12は、制御信号RSTの電圧を低レベルから高レベルに変化させる（図9（B））。これにより、画素P1では、トランジス

タ R S T がオン状態になり、フローティングディフュージョン F D の電圧が電源電圧 V D D に設定される（リセット動作）。そして、画素 P 1 は、このときのフローティングディフュージョン F D の電圧に対応する電圧（リセット電圧 V reset）を出力する。このようにして、信号 S I G の電圧がリセット電圧 V reset になる（図 9（D））。

[0063] また、このタイミング t 1 1 において、参照信号生成部 1 3 は、参照信号 R A M P を電圧 V 1 にする（図 9（F））。また、このタイミング t 1 1 において、撮像制御部 1 5 は、制御信号 A Z S W, A Z N の電圧を低レベルから高レベルに変化させる（図 9（E））。これにより、A D 変換部 A D C 1 の比較部 2 1 では、スイッチ S W 1, S W 2 がともにオン状態になる。スイッチ S W 1 がオン状態になることにより、トランジスタ M P 1 1 のゲート電圧 V g が、トランジスタ M P 1 1 のドレイン電圧と同じ電圧（電圧 V 2）になり（図 9（G））、容量素子 C 1, C 2 の電圧が設定される。また、スイッチ S W 2 がオン状態になることにより、トランジスタ M N 1 2 のゲート電圧が、トランジスタ M N 1 2 のドレイン電圧と同じ電圧になり、容量素子 C 3 の電圧が設定される。これにより、信号 C M P O の電圧は電圧 V 3 になる（図 9（H））。このようにして、比較部 2 1 では、動作点設定動作を行う。

[0064] 次に、タイミング t 1 2 において、駆動部 1 2 は、制御信号 S R S T の電圧を高レベルから低レベルに変化させる（図 9（B））。これにより、画素 P 1 では、トランジスタ R S T がオフ状態になる。

[0065] 次に、タイミング t 1 3 において、撮像制御部 1 5 は、制御信号 A Z S W, A Z N の電圧を高レベルから低レベルに変化させる（図 9（E））。これにより、A D 変換部 A D C 1 の比較部 2 1 では、スイッチ S W 1, S W 2 がともにオフ状態になり、動作点設定動作が終了する。比較部 2 1 は、これ以降、ゲート電圧 V g と、電圧 V 2 とを比較するように動作する。

[0066] 次に、タイミング t 1 4 において、参照信号生成部 1 3 は、参照信号 R A M P の電圧を電圧 V 1 から電圧 V 4 に低下させる（図 9（F））。これによ

り、AD変換部ADC1の比較部21では、トランジスタMP11のゲート電圧 V_g が電圧 V_2 より低くなるので（図9（G））、信号CMP0の電圧が低下する（図9（H））。言い換えれば、比較部21は、ゲート電圧 V_g と電圧 V_2 とを比較し、ゲート電圧 V_g がこの電圧 V_2 よりも低いので、信号CMP0の電圧を低レベルにする。

[0067] 次に、タイミング $t_{15} \sim t_{17}$ の期間（P相期間 T_P ）において、AD変換部ADC1は、リセット電圧 V_{reset} に基づいてAD変換を行う。具体的には、まず、タイミング t_{15} において、参照信号生成部13は、参照信号RAMPの電圧を、電圧 V_4 から所定の変化度合いで上昇させ始める（図9（F））。これに応じて、AD変換部ADC1の比較部21では、トランジスタMP11のゲート電圧 V_g が上昇し始める（図9（G））。また、このタイミング t_{15} において、撮像制御部15は、クロック信号CLKの生成を開始する。AD変換部ADC1のカウンタ24は、カウント動作を行うことにより、このクロック信号CLKのパルスをカウントする。

[0068] そして、タイミング t_{16} において、ゲート電圧 V_g が電圧 V_2 を上回る（図9（G））。これにより、AD変換部ADC1の比較部21は、信号CMP0の電圧を低レベルから高レベルに変化させる（図9（H））。すなわち、比較部21は、ゲート電圧 V_g と電圧 V_2 とを比較し、ゲート電圧 V_g がこの電圧 V_2 を上回ったので、信号CMP0の電圧を低レベルから高レベルに変化させる。AD変換部ADC1のカウンタ24は、この信号CMP0の遷移に基づいて、カウント動作を停止する。このとき、カウンタ24のカウント値はCNT P である。AD変換部ADC1のラッチ25は、このカウント値CNT P を、P相期間 T_P におけるカウント値としてラッチする。そして、カウンタ24はリセットされる。

[0069] 次に、タイミング t_{17} において、参照信号生成部13は、P相期間 T_P の終了に伴い、参照信号RAMPの電圧を電圧 V_1 に設定する。また、撮像制御部15は、このタイミング t_{17} において、クロック信号CLKの生成を停止する。

[0070] そして、このタイミング t_{17} において、駆動部12は、制御信号 STG の電圧を低レベルから高レベルに変化させる（図9（C））。これにより、画素 $P1$ では、トランジスタ TG がオン状態になり、フォトダイオード PD で発生した電荷がフローティングディフュージョン FD に転送される（電荷転送動作）。そして、画素 $P1$ は、このときのフローティングディフュージョン FD の電圧に対応する電圧（画素電圧 V_{pix} ）を出力する。このようにして、信号 SI の電圧が画素電圧 V_{pix} になる（図9（D））。この図9では、互いに異なる2つの画素電圧 V_{pix} （画素電圧 V_{pix1} , V_{pix2} ）の例を示している。このように信号 SI の電圧が低下することにより、 AD 変換部 $ADC1$ の比較部21では、トランジスタ $MP11$ のゲート電圧 V_g が低下する（図9（G））。ゲート電圧 V_g は、画素電圧 V_{pix} に応じた電圧だけ変化する。このようにゲート電圧 V_g が低下することにより、信号 $CMP0$ の電圧が低下する（図9（H））。すなわち、比較部21は、ゲート電圧 V_g と電圧 V_2 とを比較し、ゲート電圧 V_g がこの電圧 V_2 よりも低いので、信号 $CMP0$ の電圧を低レベルにする。

[0071] 次に、タイミング t_{18} において、駆動部12は、制御信号 STG の電圧を高レベルから低レベルに変化させる（図9（C））。これにより、画素 $P1$ では、トランジスタ TG がオフ状態になる。

[0072] 次に、タイミング t_{19} において、参照信号生成部13は、参照信号 $RAMP$ の電圧を電圧 V_1 から電圧 V_4 に低下させる（図9（F））。これにより、 AD 変換部 $ADC1$ の比較部21では、トランジスタ $MP11$ のゲート電圧 V_g が低下する（図9（G））。

[0073] 次に、タイミング $t_{20} \sim t_{23}$ の期間（ D 相期間 T_D ）において、 AD 変換部 $ADC1$ は、画素電圧 V_{pix} に基づいて AD 変換を行う。具体的には、まず、タイミング t_{20} において、参照信号生成部13は、参照信号 $RAMP$ の電圧を、電圧 V_4 から所定の変化度合いで上昇させ始める（図9（F））。これに応じて、 AD 変換部 $ADC1$ の比較部21では、トランジスタ $MP11$ のゲート電圧 V_g が上昇し始める（図9（G））。また、このタイミ

ング t_{20} において、撮像制御部 15 は、クロック信号 CLK の生成を開始する。AD 変換部 ADC 1 のカウンタ 24 は、カウント動作を行うことにより、このクロック信号 CLK のパルスをカウントする。

[0074] 画素電圧 V_{pix} が電圧 V_{pix1} である場合には、タイミング t_{21} において、ゲート電圧 V_g が電圧 V_2 を上回る（図 9（G））。これにより、AD 変換部 ADC 1 の比較部 21 は、信号 CMP O の電圧を低レベルから高レベルに変化させる（図 9（H））。すなわち、比較部 21 は、ゲート電圧 V_g と電圧 V_2 とを比較し、ゲート電圧 V_g が電圧 V_2 を上回ったので、信号 CMP O の電圧を低レベルから高レベルに変化させる。

[0075] また、画素電圧 V_{pix} が電圧 V_{pix2} である場合には、タイミング t_{22} において、ゲート電圧 V_g が電圧 V_2 を上回る（図 9（G））。これにより、AD 変換部 ADC 1 の比較部 21 は、信号 CMP O の電圧を低レベルから高レベルに変化させる（図 9（H））。

[0076] AD 変換部 ADC 1 のカウンタ 24 は、この信号 CMP O の遷移に基づいて、カウント動作を停止する。このとき、カウンタ 24 のカウント値は CNT D である。AD 変換部 ADC 1 のラッチ 25 は、このカウント値 CNT D を、D 相期間 TD におけるカウント値としてラッチする。そして、カウンタ 24 はリセットされる。

[0077] 次に、タイミング t_{23} において、参照信号生成部 13 は、D 相期間 TD の終了に伴い、参照信号 RAMP の電圧を電圧 V_1 に設定する（図 9（F））。また、撮像制御部 15 は、このタイミング t_{23} において、クロック信号 CLK の生成を停止する。そして、駆動部 12 は、このタイミング t_{23} において、制御信号 SEL の電圧を高レベルから低レベルに変化させる（図 9（A））。これにより、画素 P1 では、トランジスタ SEL がオフ状態になり、画素 P1 が信号線 VSL から電氣的に切り離される。

[0078] そして、AD 変換部 ADC 1 のラッチ 25 は、P 相期間 TP においてカウンタ 24 により得られたカウント値 CNT P と、D 相期間 TD においてカウンタ 24 により得られたカウント値 CNT D との差（CNT D - CNT P）

に応じたデジタルコードCODEを生成する。

[0079] このように撮像装置1では、P相期間TPにおいてリセット電圧Vresetに基づいてカウント動作を行うことによりカウント値CNTPを取得し、D相期間TDにおいて画素電圧Vpixに基づいてカウント動作を行うことによりカウント値CNTDを取得するようにした。そして、撮像装置1では、カウント値CNTP、CNTDの差(CNTD-CNTP)に応じたデジタルコードCODEを生成するようにした。撮像装置1では、このような相関2重サンプリングを行うようにしたので、画素電圧Vpixに含まれるノイズ成分を取り除くことができ、その結果、撮像画像の画質を高めることができる。

[0080] 以上のように、撮像装置1では、複数の比較部21のそれぞれが電源回路22を有するようにした。これにより、複数のAD変換部ADCの間の干渉を抑えることができる。すなわち、例えば、複数の比較部21のそれぞれに電源回路22を設けない場合には、あるAD変換部ADCにおいて比較部21が信号CMPOを遷移させたときに、過渡電流により電源電圧VDD0にノイズが生じるおそれがある。この場合には、このノイズが、電源線VDDLを介して他のAD変換部の動作に影響を与えるおそれがある。撮像装置1では、複数の比較部21のそれぞれに電源回路22を設けたので、あるAD変換部ADCにおいて比較部21が信号CMPOを遷移させたときに、過渡電流により生じた電源電圧VDD0のノイズが、他のAD変換部ADCの動作に影響するおそれを低減することができる。これにより、撮像装置1では、例えば撮像画像にストリーキングが生じるおそれを低減することができる。その結果、撮像装置1では、撮像画像の画質を高めることができる。

[0081] [効果]

以上のように本実施の形態では、複数の比較部のそれぞれが電源回路を有するようにしたので、撮像画像の画質を高めることができる。

[0082] [変形例1]

上記実施の形態では、例えば、図4Aに示した比較部21の比較回路23に4つのトランジスタMP11、MN11、MP12、MN12を設けるよ

うにしたが、これに限定されるものではない。例えば、図10Aに示す比較部21Bの比較回路23Bのように、さらにトランジスタMN13を設けてもよい。このトランジスタMN13は、N型のMOSトランジスタであり、ゲートには信号CMP0が供給され、ドレインはトランジスタMN10、MP11、MP12のソースに接続され、ソースはトランジスタMP11、MN11のドレイン、トランジスタMP12のゲート、スイッチSW1の他端に接続される。ここで、トランジスタMN13は、本開示における「第4のトランジスタ」の一具体例に対応する。トランジスタMN13は、信号CMP0の電圧に基づいて、定電流源として動作するトランジスタMN11のドレイン電圧が低くなりすぎないように制御する。これにより、例えば、トランジスタMN11における定電流性を維持することができるとともに、複数のAD変換部ADCの間の干渉を抑えることができる。

[0083] この例では、比較部21（図4A）に本変形例を適用したが、例えば、比較部21A（図4B）に本変形例を適用してもよい。具体的には、例えば、図10Bに示す比較部21Cの比較回路23Cのように、トランジスタMP23を設けてもよい。このトランジスタMP23は、P型のMOSトランジスタであり、ゲートには信号CMP0が供給され、ドレインはトランジスタMP20、MN21、MN22のソースに接続され、ソースはトランジスタMN21、MP21のドレイン、トランジスタMN22のゲート、スイッチSW11の他端に接続される。トランジスタMP23は、信号CMP0の電圧に基づいて、定電流源として動作するトランジスタMP21のドレイン電圧が高くなりすぎないように制御する。これにより、例えば、トランジスタMP21における定電流性を維持することができるとともに、複数のAD変換部ADCの間の干渉を抑えることができる。

[0084] [変形例2]

上記実施の形態では、例えば、図4Aに示した比較部21の電源回路22において、トランジスタMN10のゲートにバイアス電圧VB1を常に供給するようにしたが、これに限定されるものではない。これに代えて、例えば

、サンプル・ホールド回路を設け、所定の期間にのみ、トランジスタMN10のゲートにバイアス電圧VB1を供給してもよい。以下に、図10Aに示した比較部21Bに本変形例を適用した場合の例について詳細に説明する。

[0085] 図11Aは、本変形例に係る比較部21Dの一構成例を表すものである。比較部21Dは、電源回路22Dと、比較回路23Bとを有している。電源回路22Dは、容量素子C4と、スイッチSW3とを有している。容量素子C4の一端はトランジスタMN10のゲートおよびスイッチSW3の一端に接続され、他端には直流の電圧VREFが供給される。この電圧VREFは、撮像制御部15により生成される。なお、容量素子C4は、MOSキャパシタなどを用いて構成してもよいし、例えば、トランジスタMN10のゲートの寄生容量、スイッチSW3の寄生容量、配線の寄生容量などを用いて構成してもよい。スイッチSW3は、制御信号SHSWに基づいてオンオフするように構成され、一端はトランジスタMN10のゲートおよび容量素子C4の一端に接続され、他端にはバイアス電圧VB1が供給される。制御信号SHSWは、撮像制御部15により生成される。容量素子C4およびスイッチSW3は、サンプル・ホールド回路を構成する。ここで、容量素子C4は、本開示における「第4の容量素子」の一具体例に対応する。スイッチSW3は、本開示における「第4のスイッチ」の一具体例に対応する。

[0086] スイッチSW3は、例えば、スイッチSW1、SW2がオン状態になる期間においてオン状態になり、スイッチSW1、SW2がオフ状態になる期間においてオフ状態になる。具体的には、図9に示した読出駆動D2において、スイッチSW3は、タイミングt11～t13の期間においてオン状態になる。これにより、トランジスタMN10のゲートの電圧がバイアス電圧VB1に設定される。そして、スイッチSW3は、タイミングt13～t23の期間においてオフ状態になる。これにより、トランジスタMN10のゲートの電圧は、このバイアス電圧VB1に維持される。比較部21Dでは、P相期間TPおよびD相期間TDにおいてスイッチSW3がオフ状態になる。よって、例えば、あるAD変換部ADCにおいて比較部21Dが信号CMP

0を遷移させたときに、トランジスタMN10のゲートにノイズが生じた場合に、このノイズが他のAD変換部ADCの動作に影響を与えるおそれを低減することができる。その結果、複数のAD変換部ADCの間の干渉を抑えることができる。

[0087] 同様に、例えば、比較例21A（図4B）に本変形例を適用してもよいし、比較部21C（図10B）に本変形例を適用してもよい。図11Bは、比較部21C（図10B）に本変形例を適用した場合における比較部21Eの一構成例を表すものである。比較部21Eは、電源回路22Eと、比較回路23Cとを有している。電源回路22Eは、容量素子C14と、スイッチSW13とを有している。容量素子C14の一端はトランジスタMP20のゲートおよびスイッチSW13の一端に接続され、他端には電圧VREFが供給される。スイッチSW13は、制御信号SHSWに基づいてオンオフするように構成され、一端はトランジスタMP20のゲートおよび容量素子C14の一端に接続され、他端にはバイアス電圧VB1が供給される。これにより、比較部21Eでは、比較部21Dと同様に、複数のAD変換部ADCの間の干渉を抑えることができる。

[0088] [変形例3]

上記実施の形態では、例えば、図4Aに示した比較部21の比較回路23において、電流源として動作するトランジスタMN11のゲートにバイアス電圧VB2を常に供給するようにしたが、これに限定されるものではない。これに代えて、例えば、サンプル・ホールド回路を設け、所定の期間にのみ、トランジスタMN11のゲートにバイアス電圧VB2を供給してもよい。以下に、図11Aに示した比較部21Dに本変形例を適用した場合の例について詳細に説明する。

[0089] 図12Aは、本変形例に係る比較部21Fの一構成例を表すものである。比較部21Fは、電源回路22Dと、比較回路23Fとを有している。比較回路23Fは、容量素子C5と、スイッチSW4とを有している。容量素子C5の一端はトランジスタMN11のゲートおよびスイッチSW4の一端に

接続され、他端には直流の電圧 V_{REF} が供給される。この電圧 V_{REF} は、撮像制御部 15 により生成される。なお、容量素子 C_5 は、MOS キャパシタなどを用いて構成してもよいし、例えば、トランジスタ MN11 のゲートの寄生容量、スイッチ SW4 の寄生容量、配線の寄生容量などを用いて構成してもよい。スイッチ SW4 は、制御信号 SHSW2 に基づいてオンオフするように構成され、一端はトランジスタ MN11 のゲートおよび容量素子 C_5 の一端に接続され、他端にはバイアス電圧 V_{B2} が供給される。制御信号 SHSW2 は、撮像制御部 15 により生成される。容量素子 C_5 およびスイッチ SW4 は、サンプル・ホールド回路を構成する。ここで、スイッチ SW4 は、本開示における「第 6 のスイッチ」の一具体例に対応する。

[0090] スイッチ SW4 は、例えば、スイッチ SW1, SW2 がオン状態になる期間においてオン状態になり、スイッチ SW1, SW2 がオフ状態になる期間においてオフ状態になる。具体的には、図 9 に示した読出駆動 D2 において、スイッチ SW4 は、タイミング $t_{11} \sim t_{13}$ の期間においてオン状態になる。これにより、トランジスタ MN11 のゲートの電圧がバイアス電圧 V_{B2} に設定される。そして、スイッチ SW4 は、タイミング $t_{13} \sim t_{23}$ の期間においてオフ状態になる。これにより、トランジスタ MN11 のゲートの電圧は、このバイアス電圧 V_{B2} に維持される。比較部 21F では、P 相期間 TP および D 相期間 TD においてスイッチ SW4 がオフ状態になる。よって、例えば、ある AD 変換部 ADC において、比較部 21F が信号 CMP0 を遷移させたときに、トランジスタ MN11 のゲートにノイズが生じた場合に、このノイズが他の AD 変換部 ADC の動作に影響を与えるおそれを低減することができる。その結果、複数の AD 変換部 ADC の間の干渉を抑えることができる。

[0091] 同様に、例えば、比較例 21A (図 4B) に本変形例を適用してもよいし、比較部 21C (図 10B) に本変形例を適用してもよいし、比較部 21E (図 11B) に本変形例を適用してもよい。図 12B は、比較部 21E (図 11B) に本変形例を適用した場合における比較部 21G の一構成例を表す

ものである。比較部21Gは、電源回路22Eと、比較回路23Gとを有している。比較回路23Gは、容量素子C15と、スイッチSW14とを有している。容量素子C15の一端はトランジスタMP21のゲートおよびスイッチSW14の一端に接続され、他端には電圧VREFが供給される。スイッチSW14は、制御信号SHSW2に基づいてオンオフするように構成され、一端はトランジスタMP21のゲートおよび容量素子C15の一端に接続され、他端にはバイアス電圧VB2が供給される。これにより、比較部21Gでは、比較部21Fと同様に、複数のAD変換部ADCの間の干渉を抑えることができる。

[0092] [変形例4]

上記実施の形態では、例えば、図4Aに示した比較部21のように、2つのトランジスタMP11, MN11を用いて比較回路23の初段回路101を構成したが、これに限定されるものではない。これに代えて、例えば、図13に示す比較部21Hのように、より多くのトランジスタを用いて初段回路101を構成してもよい。この比較部21Hの初段回路101は、トランジスタMN11, MP11, MP13, MN14を有している。

[0093] トランジスタMP13は、P型のMOSトランジスタであり、ゲートにはバイアス電圧VB3が供給され、ドレインはトランジスタMN14のドレイン、後段回路102の入力端子、およびスイッチSW1の他端に接続され、ソースはトランジスタMP11のドレインに接続される。バイアス電圧VB3は、撮像制御部15により生成される。トランジスタMP11はソース接地され、このトランジスタMP13は、ゲート接地される。これにより、トランジスタMP11およびトランジスタMP13は、カスコード回路を構成している。

[0094] トランジスタMN14は、N型のMOSトランジスタであり、ゲートにはバイアス電圧VB4が供給され、ドレインはトランジスタMP13のドレイン、後段回路102の入力端子、およびスイッチSW1の他端に接続され、ソースはトランジスタMN11のドレインに接続される。バイアス電圧VB

4は、撮像制御部15により生成される。トランジスタMN11, MN14は、カスコード回路を構成する。

[0095] この構成により、比較回路23Hでは、小信号利得を高めることができるので、より安定な比較動作を実現することができる。また、トランジスタMP13, MN14を設けることにより、後段回路102からのキックバックノイズを低減することができる。

[0096] [変形例5]

上記実施の形態では、例えば、図4Aに示した比較部21のように、電源回路22において、トランジスタMN10がソースフォロフとして動作するようにしたが、これに限定されるものではない。これに代えて、例えば、複数のトランジスタを設け、これらの複数のトランジスタが複数段のソースフォロフとして動作するようにしてもよい。以下に、本変形例について、いくつか例を挙げて詳細に説明する。

[0097] 図14は、本変形例に係る比較部21Jの一構成例を表すものである。比較部21Jは、電源回路22Jと、比較回路23とを有している。電源回路22Jは、トランジスタMN10, MN15と、容量素子C6と、スイッチSW5とを有している。

[0098] トランジスタMN10のゲートにはバイアス電圧VB1が供給され、ドレインは電源線VDDLに接続され、ソースはトランジスタMN15のドレインに接続される。トランジスタMN15は、N型のMOSトランジスタであり、ゲートは容量素子C6の一端およびスイッチSW5の一端に接続され、ドレインはトランジスタMN10のソースに接続され、ソースはトランジスタMP11のソースおよび後段回路102の電源端子に接続される。容量素子C6の一端はトランジスタMN15のゲートおよびスイッチSW5の一端に接続され、他端には直流の電圧VREFが供給される。電圧VREFは、撮像制御部15により生成される。スイッチSW5は、制御信号SHSWに基づいてオンオフするように構成され、一端はトランジスタMN15のゲートおよび容量素子C6の一端に接続され、他端にはバイアス電圧VB5が供

給される。制御信号SHSWおよびバイアス電圧VB5は、撮像制御部15により生成される。容量素子C6およびスイッチSW5は、サンプル・ホールド回路を構成する。スイッチSW5は、例えば、スイッチSW1がオン状態になる期間においてオン状態になり、スイッチSW1がオフ状態になる期間においてオフ状態になる。ここで、トランジスタMN15は、本開示における「第2の電源トランジスタ」の一具体例に対応する。スイッチSW5は、本開示における「第5のスイッチ」の一具体例に対応する。

[0099] この構成により、比較部21Jでは、定電流源として動作するトランジスタMN11が生成した電流が、トランジスタMN10, MN15に流れ、トランジスタMN10, MN15は、2段のソースフォロフとして動作する。これにより、電源回路22Jは、電源電圧VDD1を生成する。このように、比較部21Jでは、2段のソースフォロフを設けるようにしたので、あるAD変換部ADCにおいて比較部21Jが信号CMPOを遷移させたときに、過渡電流により生じた電源電圧VDD0のノイズが、他のAD変換部ADCの動作に影響するおそれを低減することができる。その結果、複数のAD変換部ADCの間の干渉を抑えることができる。

[0100] 図15は、本変形例に係る他の比較部21Kの一構成例を表すものである。比較部21Kは、電源回路22Kと、比較回路23とを有している。電源回路22Kは、トランジスタMN10, MN15と、演算増幅器OPAと、容量素子C6と、スイッチSW5とを有している。

[0101] トランジスタMN10のゲートは演算増幅器OPAの出力端子に接続され、ドレインは電源線VDDLに接続され、ソースはトランジスタMN15のドレインおよび演算増幅器OPAの反転入力端子に接続される。演算増幅器OPAの非反転入力端子にはバイアス電圧VB1が供給され、反転入力端子はトランジスタMN10のソースおよびトランジスタMN15のドレインに接続され、出力端子はトランジスタMN10のゲートに接続される。

[0102] トランジスタMN15のゲートは容量素子C6の一端およびスイッチSW5の一端に接続され、ドレインはトランジスタMN10のソースおよび演算

増幅器OPAの反転入力端子に接続され、ソースはトランジスタMP11のソースおよび後段回路102の電源端子に接続される。容量素子C6の一端はトランジスタMN15のゲートおよびスイッチSW5の一端に接続され、他端には直流の電圧VREFが供給される。電圧VREFは、撮像制御部15により生成される。スイッチSW5は、制御信号SHSWに基づいてオンオフするように構成され、一端はトランジスタMN15のゲートおよび容量素子C6の一端に接続され、他端にはバイアス電圧VB5が供給される。制御信号SHSWおよびバイアス電圧VB5は、撮像制御部15により生成される。容量素子C6およびスイッチSW5は、サンプル・ホールド回路を構成する。スイッチSW5は、例えば、スイッチSW1がオン状態になる期間においてオン状態になり、スイッチSW1がオフ状態になる期間においてオフ状態になる。

[0103] この構成により、比較部21Kでは、トランジスタMN10のソースの電圧がバイアス電圧VB1と等しくなるように、負帰還動作が行われる。そして、定電流源として動作するトランジスタMN11が生成した電流が、トランジスタMN10、MN15に流れ、トランジスタMN10、MN15は、2段のソースフォロワとして動作する。そして、電源回路22Kは、電源電圧VDD1を生成する。これにより、比較部21Kでは、比較部21Jと同様に、複数のAD変換部ADCの間の干渉を抑えることができる。

[0104] 図16は、本変形例に係る他の比較部21Lの一構成例を表すものである。比較部21Lは、電源回路22Lと、比較回路23とを有している。電源回路22Lは、トランジスタMN10、MN15と、容量素子C4、C6と、スイッチSW3、SW5とを有している。

[0105] トランジスタMN10のゲートは容量素子C4の一端およびスイッチSW3の一端に接続され、ドレインは電源線VDDLに接続され、ソースはトランジスタMN15のドレインに接続される。容量素子C4の一端はトランジスタMN10のゲートおよびスイッチSW3の一端に接続され、他端には直流の電圧VREF1が供給される。電圧VREF1は、撮像制御部15によ

り生成される。スイッチSW3は、制御信号SHSW1に基づいてオンオフするように構成され、一端はトランジスタMN10のゲートおよび容量素子C4の一端に接続され、他端にはバイアス電圧VB1が供給される。制御信号SHSW1およびバイアス電圧VB1は、撮像制御部15により生成される。スイッチSW3は、例えば、スイッチSW1がオン状態になる期間においてオン状態になり、スイッチSW1がオフ状態になる期間においてオフ状態になる。

[0106] トランジスタMN15のゲートは容量素子C6の一端およびスイッチSW5の一端に接続され、ドレインはトランジスタMN10のソースに接続され、ソースはトランジスタMP11のソースおよび後段回路102の電源端子に接続される。容量素子C6の一端はトランジスタMN15のゲートおよびスイッチSW5の一端に接続され、他端には直流の電圧VREF2が供給される。電圧VREF2は、撮像制御部15により生成される。スイッチSW5は、制御信号SHSW2に基づいてオンオフするように構成され、一端はトランジスタMN15のゲートおよび容量素子C6の一端に接続され、他端にはバイアス電圧VB5が供給される。制御信号SHSW2およびバイアス電圧VB5は、撮像制御部15により生成される。スイッチSW5は、例えば、スイッチSW1がオン状態になる期間においてオン状態になり、スイッチSW1がオフ状態になる期間においてオフ状態になる。

[0107] この構成により、比較部21Lでは、定電流源として動作するトランジスタMN11が生成した電流が、トランジスタMN10、MN15に流れ、トランジスタMN10、MN15は、2段のソースフォロワとして動作する。そして、電源回路22Lは、電源電圧VDD1を生成する。これにより、比較部21Lでは、比較部21Jと同様に、複数のAD変換部ADCの間の干渉を抑えることができる。

[0108] [変形例6]

上記実施の形態では、図17に示すように、トランジスタMN10、MN11のバックゲートに接地電圧VSS0を供給するとともに、トランジスタ

MP 1 1 のバックゲートに電源電圧 V_{DD0} を供給したが、これに限定されるものではない。以下に、本変形例について、いくつか例を挙げて説明する。

[0109] 図 1 8 は、本変形例に係る比較部 2 1 M の一構成例を表すものである。比較部 2 1 M は、電源回路 2 2 M を有している。電源回路 2 2 M において、トランジスタ MN 1 0 のバックゲートは、このトランジスタ MN 1 0 のソースに接続される。トランジスタ MN 1 0 は、例えば、ディープ N ウェルにより P 型の半導体基板と電氣的に絶縁された P ウェルに形成される。これにより、トランジスタ MN 1 0 のゲート・ソース間電圧 V_{gs} を小さくすることができるので、例えば、電源電圧 V_{DD0} をより低くすることができ、消費電力を低減することができる。

[0110] 図 1 9 は、本変形例に係る他の比較部 2 1 N の一構成例を表すものである。比較部 2 1 N は、比較回路 2 3 N を有している。比較回路 2 3 N において、トランジスタ MP 1 1 のバックゲートは、このトランジスタ MP 1 1 のソースに接続される。これにより、トランジスタ MP 1 1 のゲート・ソース間電圧 V_{gs} の絶対値を小さくすることができるので、例えば、電源電圧 V_{DD0} をより低くすることができ、消費電力を低減することができる。この比較部 2 1 N は、ディープ N ウェルを形成できない製造プロセスを用いる場合に効果的である。

[0111] 図 2 0 は、本変形例に係る他の比較部 2 1 P の一構成例を表すものである。比較部 2 1 P は、電源回路 2 2 M と、比較回路 2 3 N とを有している。すなわち、トランジスタ MN 1 0 のバックゲートは、このトランジスタ MN 1 0 のソースに接続され、トランジスタ MP 1 1 のバックゲートは、このトランジスタ MP 1 1 のソースに接続される。これにより、トランジスタ MN 1 0、MP 1 1 のゲート・ソース間電圧 V_{gs} の絶対値をともに小さくすることができるので、例えば、電源電圧 V_{DD0} をより低くすることができ、消費電力を低減することができる。また、この比較部 2 1 P では、トランジスタ MP 1 1、MN 1 0 の両方のバックゲートがこれらのトランジスタのソース

にそれぞれ接続されるので、これらのバックゲートは、AD変換部ADCを単位として個別に駆動される。よって、複数のAD変換部ADCの間の干渉を抑えることができる。

[0112] [変形例7]

また、複数のAD変換部ADCの電源回路におけるトランジスタMN10のバックゲートを互いに接続してもよい。図21は、本変形例に係る撮像装置1Qにおける読出部20Qの一構成例を表すものである。読出部20Qは、複数の比較部21Qと、電圧生成部16Qとを有している。複数の比較部21Qのそれぞれは、電源回路22Qを有している。複数の電源回路22QのトランジスタMN10のバックゲートは、互いに接続される。これらのトランジスタMN10のバックゲートには、直流の電圧VDCが供給される。これらの複数のトランジスタMN10は、1つのPウェルに形成される。電圧生成部16Qは、電圧VDCを生成するように構成される。電圧VDCは、トランジスタMN10のソースとPウェルにより構成されるPN接合が逆バイアスになるような電圧に設定される。

[0113] このように、撮像装置1Qでは、電圧VDCを複数のトランジスタMN10のバックゲートに供給するようにした。この電圧VDCを適切に設定することにより、トランジスタMN10のゲート・ソース間電圧 V_{gs} の絶対値を小さくすることができるので、例えば、電源電圧VDD0をより低くすることができ、消費電力を低減することができる。また、撮像装置1Qでは、1つのPウェルに複数のトランジスタMN10を設けるようにしたので、複数のPウェルに複数のトランジスタMN10をそれぞれ設ける場合に比べて、例えばウェルコンタクトの面積を小さくすることができるので、レイアウト面積を小さくすることができる。

[0114] [変形例8]

上記実施の形態では、複数のAD変換部ADCのそれぞれの比較部21において、電源回路22の出力端子を比較回路23に接続するようにしたが、これに限定されるものではない。これに代えて、例えば、2以上のAD変換

部ADCの電源回路22の出力端子を互いに接続し、これらの出力端子を、この2以上のAD変換部ADCの比較回路23に接続してもよい。以下に、本変形例について詳細に説明する。

[0115] 図22、23は、本変形例に係る撮像装置1Rにおける読出部20Rの一構成例を表すものである。読出部20Rは、複数のAD変換部ADCを有している。この例では、2つのAD変換部ADCにおける電源回路22の出力端子が、互いに接続される。具体的には、0番目のAD変換部ADC[0]の電源回路22の出力端子と、1番目のAD変換部ADC[1]の電源回路22の出力端子とが互いに接続される。これにより、これらの2つの電源回路22が電源電圧VDD1を生成する。0番目のAD変換部ADC[0]の比較回路23、および1番目のAD変換部ADC[1]の比較回路23は、この電源電圧VDD1に基づいて動作を行う。また、2番目のAD変換部ADC[2]の電源回路22の出力端子と、3番目のAD変換部ADC[3]の電源回路22の出力端子とが互いに接続される。これにより、これらの2つの電源回路22が電源電圧VDD1を生成する。2番目のAD変換部ADC[2]の比較回路23、および3番目のAD変換部ADC[3]の比較回路23は、この電源電圧VDD1に基づいて動作を行う。4番目以降についても同様である。これにより、2つの電源回路22が電源電圧VDD1を生成するので、この電源電圧VDD1を生成する回路の出力インピーダンスを低くすることができ、上記実施の形態の場合と比べ、電源電圧VDD1に含まれる回路ノイズを $1/\sqrt{2}$ にすることができる。

[0116] なお、この例では、2つのAD変換部ADCにおける電源回路22の出力端子を互いに接続したが、これに限定されるものではない。これに代えて、3以上のAD変換部ADCにおける電源回路22の出力端子を互いに接続してもよい。例えば、N個のAD変換部ADCにおける電源回路22の出力端子を互いに接続した場合には、電源電圧VDD1に含まれる回路ノイズを $1/\sqrt{N}$ にすることができる。

[0117] また、この例では、図23に示したように、後段回路102が電源電圧V

DD1に基づいて動作を行うようにしたが、これに限定されるものではなく、これに代えて、例えば、図24に示す読出部20Sのように、後段回路102は、電源電圧VDD0に基づいて動作を行うようにしてもよい。読出部20Sは、複数の比較部21Sを有している。複数の比較部21Sのそれぞれは、比較回路23Sを有している。比較回路23Sの後段回路102は、電源電圧VDD0に基づいて動作を行う。これにより、本変形例では、後段回路102の動作が電源電圧VDD1に与える影響を抑えることができる。

[0118] [変形例9]

上記実施の形態では、複数のAD変換部ADCのそれぞれの比較部21が電源回路22を有するようにしたが、これらの電源回路22とは別にさらに電源回路を設けてもよい。以下に、本変形例について詳細に説明する。

[0119] 図25, 26は、本変形例に係る撮像装置1Tにおける読出部20Tの一構成例を表すものである。読出部20Tは、複数のAD変換部ADCと、複数の電源回路28Tとを有している。複数の電源回路28Tのそれぞれは、電源線VDDLを介して供給された電源電圧VDDAに基づいて電源電圧VDD0を生成するように構成される。そして、電源回路28Tは、生成した電源電圧VDD0を、この例では2つのAD変換部ADCの比較部21Tに供給するようになっている。電源回路28Tは、トランジスタMN0を有している。トランジスタMN0は、N型のMOSトランジスタであり、ゲートにはバイアス電圧VB0が供給され、ドレインは電源線VDDLに接続され、ソースは2つの比較部21Tに接続される。電源電圧VDDAおよびバイアス電圧VB0は、撮像制御部15により生成される。比較部21Tは、電源回路22Dと、比較回路23Sとを有している。電源回路22DのトランジスタMN10のドレインは、電源回路28TのトランジスタMN0のソースに接続される。電源回路28Tおよび電源回路22Dは、2段のソースフォロフとして動作する。

[0120] このように、読出部20Tでは、2段のソースフォロフを設けるようにしたので、あるAD変換部ADCにおいて比較部21Tが信号CMP0を遷移

させたときに、過渡電流により生じた電源電圧 V_{DD0} のノイズが、他の AD 変換部 ADC の動作に影響するおそれを低減することができる。その結果、複数の AD 変換部 ADC の間の干渉を抑えることができる。また、読出部 $20T$ では、電源回路 $28T$ が、生成した電源電圧 V_{DD0} を、この例では2つの比較部 $21T$ に供給するようにしたので、電源回路 $28T$ の数を抑えることができるので、回路面積を小さくすることができる。

[0121] なお、この例では、電源回路 $28T$ が、生成した電源電圧 V_{DD0} を、この例では2つの比較部 $21T$ に供給したが、これに限定されるものではない。これに代えて、3以上の比較部 $21T$ に供給してもよい。

[0122] また、この例では、図26に示したように、トランジスタ $MN0$ を用いて電源回路 $28T$ を構成したが、これに限定されるものではなく、これに代えて、例えば図27に示す読出部 $20U$ のように、トランジスタ $MN0$ および演算増幅器 $OPA0$ を用いて電源回路 $28U$ を構成してもよい。演算増幅器 $OPA0$ の非反転入力端子にはバイアス電圧 V_{B0} が供給され、反転入力端子はトランジスタ $MN0$ のソースに接続され、出力端子はトランジスタ $MN0$ のゲートに接続される。これにより、電源回路 $28U$ は、安定した電源電圧 V_{DD0} を生成することができる。その結果、本変形例では、複数の AD 変換部 ADC の間の干渉を抑えることができる。

[0123] [変形例10]

また、複数の AD 変換部 ADC のうちの互いに隣り合う2つの AD 変換部 ADC の電源回路の出力端子の間に、可変抵抗素子を設けてもよい。以下に、本変形例について詳細に説明する。

[0124] 図28は、本変形例に係る撮像装置1Vにおける読出部 $20V$ の一構成例を表すものである。読出部 $20V$ は、複数の比較部 $21T$ と、複数のトランジスタ $18V$ と、電圧生成部 $17V$ とを有している。トランジスタ $18V$ は、 N 型の MOS トランジスタであり、複数の AD 変換部 ADC のうちの互いに隣り合う2つの AD 変換部 ADC の電源回路 $22D$ の出力端子の間にそれぞれ設けられている。トランジスタ $18V$ のソースは、ある電源回路 $22D$

の出力端子に接続され、ドレインは、その電源回路22Dと隣り合う電源回路22Dの出力端子に接続され、ゲートには制御電圧 V_{ctrl} が供給される。トランジスタ18Vにおけるドレイン・ソース間の抵抗値は、この制御電圧 V_{ctrl} に応じて変化する。すなわち、トランジスタ18Vは、可変抵抗素子として機能する。電圧生成部17Vは、制御電圧 V_{ctrl} を生成するように構成される。

[0125] この構成により、例えば、トランジスタ18Vの抵抗値を大きくした場合には、複数の電源回路22Dの出力端子の間の抵抗値が大きくなるので、上記実施の形態に係る読出部20（図5）の場合と同様に、例えば撮像画像にストリーキングが生じるおそれを低減することができ、その結果、撮像画像の画質を高めることができる。また、トランジスタ18Vの抵抗値を小さくした場合には、複数の電源回路22Dの出力端子の間の抵抗値が小さくなるので、変形例8に係る読出部20S（図24）の場合と同様に、出力インピーダンスを低くすることができ、電源電圧 V_{DD1} に含まれる回路ノイズを小さくすることができる。

[0126] なお、この例では、N型のMOSトランジスタを用いて可変抵抗素子を構成したが、これに限定されるものではなく、これに代えて、例えばP型のMOSトランジスタを用いて可変抵抗素子を構成してもよい。

[0127] また、この例では、複数のAD変換部ADCの全てをトランジスタ18Vを介して接続するようにしたが、これに限定されるものではない。これに代えて、例えば、例えば、複数のAD変換部ADCを、それぞれが2つ以上のAD変換部ADCを含む複数のグループに区分し、同じグループに属するAD変換部ADCをトランジスタ18Vを介して接続してもよい。また、偶数番目の複数のAD変換部ADCをトランジスタ18Vを介して接続するとともに、奇数番目の複数のAD変換部ADCをトランジスタ18Vを介して接続してもよい。具体的には、例えば0番目のAD変換部ADC[0]および2番目のAD変換部ADC[2]をトランジスタ18V（トランジスタ18V1）を介して接続し、2番目のAD変換部ADC[2]および4番目のA

D変換部ADC [4] をトランジスタ18V (トランジスタ18V2) を介して接続し、同様に、1番目のAD変換部ADC [1] および3番目のAD変換部ADC [3] をトランジスタ18V (トランジスタ18V3) を介して接続し、3番目のAD変換部ADC [3] および5番目のAD変換部ADC [5] をトランジスタ18V (トランジスタ18V4) を介して接続してもよい。

[0128] また、この例では、1つの電圧生成部17Vを設け、この電圧生成部17Vが全てのトランジスタ18Vの抵抗値を制御するようにしたが、これに限定されるものではない。これに代えて、例えば、複数の電圧生成部を設け、それらの複数の電圧生成部が、互いに異なるトランジスタ18Vの抵抗値を制御するようにしてもよい。

[0129] [変形例11]

また、図29に示す読出部20Wのように、互いに隣り合っていない2つのAD変換部ADCの電源回路22の出力端子が、互いに接続されていてもよい。この例では、 n 番目のAD変換部ADC [n]、 $(n+2)$ 番目のAD変換部ADC [$n+2$]、 $(n+3)$ 番目のAD変換部ADC [$n+3$]、および $(n+5)$ 番目のAD変換部ADC [$n+5$]がグループ(第1のグループ)を構成し、この第1のグループに属する複数のAD変換部ADCの電源回路22の出力端子が互いに接続される。また、 $(n+4)$ 番目のAD変換部ADC [$n+4$]、 $(n+6)$ 番目のAD変換部ADC [$n+6$]、 $(n+7)$ 番目のAD変換部ADC [$n+7$]、および $(n+9)$ 番目のAD変換部ADC [$n+9$]が他のグループ(第2のグループ)を構成し、この第2のグループに属する複数のAD変換部ADCの電源回路22の出力端子が互いに接続される。すなわち、互いに電源回路22が接続されたAD変換部ADC [$n+3$] およびAD変換部ADC [$n+5$] の間に設けられたAD変換部ADC [$n+4$] の電源回路22は、これらの電源回路22とは接続されていない。これにより、例えば撮像画像にストリーキングが生じた場合でも、その画像の境界をぼかすことができるので、ストリーキング

が目立たないようにすることができる。第1のグループに属する複数のAD変換部ADCの間で干渉が生じ、同様に、第2のグループに属する複数のAD変換部ADCの間で干渉が生じる。第1のグループに属する複数のAD変換部ADCの間の干渉の程度は、第2のグループに属する複数のAD変換部ADCの間の干渉の程度とは異なる。よって、第1のグループに属する複数のAD変換部ADCの間に、第2のグループに属するAD変換部ADCを配置することにより、干渉の程度の違いに基づく画像の境界をぼかすことができる。

[0130] [変形例12]

上記実施の形態では、図4Aに示したように、比較回路23をシングルエンド型の回路により構成したが、これに限定されるものではなく、これに代えて、例えば、比較回路を差動型の回路により構成してもよい。以下に、本変形例に係る比較部31A、31Bについて、詳細に説明する。

[0131] 図30Aは、比較部31Aの一構成例を表すものである。比較部31Aは、電源回路22と、比較回路33Aとを有している。比較回路33Aは、容量素子C31～C33と、トランジスタMN31～MN33と、スイッチSW31、SW32と、トランジスタMP31、MP32とを有する。トランジスタMN31～MN33は、N型のMOSトランジスタであり、トランジスタMP31、MP32は、P型のMOSトランジスタである。

[0132] 容量素子C31、C32は一端および他端を有する。容量素子C31の一端には参照信号RAMPが供給され、他端は容量素子C32の他端、トランジスタMN31のゲート、およびスイッチSW31の一端に接続される。容量素子C32の一端には信号SIGが供給され、他端は容量素子C31の他端、トランジスタMN31のゲート、およびスイッチSW31の一端に接続される。容量素子C33の一端には直流の電圧VREFが印加され、他端はトランジスタMN32のゲートおよびスイッチSW32の一端に接続される。

[0133] トランジスタMN31のゲートは容量素子C31、C32の他端およびス

スイッチSW31の一端に接続され、ドレインはトランジスタMP31のドレイン、トランジスタMP31、MP32のゲート、およびスイッチSW31の他端に接続され、ソースはトランジスタMN32のソースおよびトランジスタMN33のドレインに接続される。トランジスタMM32のゲートは容量素子C33の他端およびスイッチSW32の一端に接続され、ドレインはトランジスタMP32のドレイン、スイッチSW32の他端、および後段回路102の入力端子に接続され、ソースはトランジスタMN31のソースおよびトランジスタMN33のドレインに接続される。トランジスタMN33のゲートにはバイアス電圧VB2が供給され、ドレインはトランジスタMN31、MN32のソースに接続され、ソースには接地電圧VSS0が供給される。このトランジスタMN33は電流源として動作し、トランジスタMN31、MN32は差動対として動作する。

[0134] スイッチSW31は、制御信号AZSWに基づいてオンオフするように構成され、スイッチSW31の一端は容量素子C31、C32の他端およびトランジスタMN31のゲートに接続され、他端はトランジスタMN31、MP31のドレイン、およびトランジスタMP31、MP32のゲートに接続される。スイッチSW32は、制御信号AZSWに基づいてオンオフするように構成され、スイッチSW32の一端は容量素子C33の他端およびトランジスタMN32のゲートに接続され、他端はトランジスタMN32、MP32のドレインおよび後段回路102の入力端子に接続される。

[0135] トランジスタMP31のゲートはトランジスタMP32のゲート、トランジスタMP31、MN31のドレイン、およびスイッチSW31の他端に接続され、ドレインはトランジスタMP31、MP32のゲート、トランジスタMN31のドレイン、およびスイッチSW31の他端に接続され、ソースはトランジスタMN10、MP32のソースおよび後段回路102の電源端子に接続される。トランジスタMP32のゲートはトランジスタMP31のゲート、トランジスタMP31、MN31のドレイン、およびスイッチSW31の他端に接続され、ドレインは後段回路102の入力端子、トランジスタ

タMN32のドレイン、およびスイッチSW32の他端に接続され、ソースはトランジスタMN10、MP31のソースおよび後段回路102の電源端子に接続される。トランジスタMP31、MP32は、差動対であるトランジスタMN31、MN32の負荷として動作する。

[0136] ここで、トランジスタMN31は、本開示における「第1のトランジスタ」の一具体例に対応する。トランジスタMN32は、本開示における「第5のトランジスタ」の一具体例に対応する。容量素子C33は、本開示における「第3の容量素子」の一具体例に対応する。スイッチSW32は、本開示における「第3のスイッチ」の一具体例に対応する。トランジスタMP31、MP32は、本開示における「負荷回路」の一具体例に対応する。トランジスタMN33は、本開示における「第1の電流源」の一具体例に対応する。

[0137] 図30Bは、比較部31Bの一構成例を表すものである。比較部31Bは、電源回路22Aと、比較回路33Bとを有している。比較回路33Bは、容量素子C41～C43と、トランジスタMP1～MP43と、スイッチSW41、SW42と、トランジスタMN41、MN42とを有する。トランジスタMP41～MP43は、P型のMOSトランジスタであり、トランジスタMN41、MN42は、N型のMOSトランジスタである。比較部31Bの容量素子C41～C43は、比較部31Aの容量素子C31～C33にそれぞれ対応し、比較部31BのトランジスタMP41～MP43は、比較部31AのトランジスタMN31～MN33にそれぞれ対応し、比較部31BのスイッチSW41、SW42は、比較部31AのスイッチSW31、SW32にそれぞれ対応し、比較部31BのトランジスタMN41、MN42は、比較部31AのトランジスタMP31、MP32にそれぞれ対応する。

[0138] [変形例13]

上記実施の形態では、例えば図4Aに示したように、比較回路23は、容量素子C1、C2を用いて、信号SIGの電圧および参照信号RAMPの電圧を合成し、合成された電圧に基づいて比較動作を行うようにしたが、これ

に限定されるものではない。以下に、本変形例に係る比較部 5 1 A, 5 1 B について、詳細に説明する。

[0139] 図 3 1 A は、比較部 5 1 A の一構成例を表すものである。比較部 5 1 A は、電源回路 2 2 と、比較回路 5 3 A とを有している。比較回路 5 3 A は、容量素子 C 5 1, C 5 2 を有している。容量素子 C 5 1 の一端には参照信号 RAMP が供給され、他端はトランジスタ MN 3 1 のゲートおよびスイッチ SW 3 1 の一端に接続される。容量素子 C 5 2 の一端には信号 S I G が供給され、他端はトランジスタ MN 3 2 のゲートおよびスイッチ SW 3 2 の一端に接続される。ここで、容量素子 C 5 1 は、本開示における「第 1 の容量素子」の一具体例に対応する。容量素子 C 5 2 は、本開示における「第 2 の容量素子」の一具体例に対応する。

[0140] 図 3 1 B は、比較部 5 1 B の一構成例を表すものである。比較部 5 1 B は、電源回路 2 2 A と、比較回路 5 3 B とを有している。比較回路 5 3 B は、容量素子 C 6 1, C 6 2 を有している。容量素子 C 6 1 の一端には参照信号 RAMP が供給され、他端はトランジスタ MP 4 1 のゲートおよびスイッチ SW 4 1 の一端に接続される。容量素子 C 6 2 の一端には信号 S I G が供給され、他端はトランジスタ MP 4 2 のゲートおよびスイッチ SW 4 2 の一端に接続される。

[0141] [その他の変形例]

また、これらの変形例のうちの 2 以上を組み合わせてもよい。

[0142] < 2. 撮像装置の使用例 >

図 3 2 は、上記実施の形態に係る撮像装置 1 の使用例を表すものである。上述した撮像装置 1 は、例えば、以下のように、可視光や、赤外光、紫外光、X 線等の光をセンシングする様々なケースに使用することができる。

[0143] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する

監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、テレビジョンや、冷蔵庫、エアコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0144] <3. 移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0145] 図33は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0146] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図33に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、

音声画像出力部 12052、及び車載ネットワーク I/F (interface) 12053 が図示されている。

[0147] 駆動系制御ユニット 12010 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 12010 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0148] ボディ系制御ユニット 12020 は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット 12020 は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグラмп等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット 12020 には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット 12020 は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0149] 車外情報検出ユニット 12030 は、車両制御システム 12000 を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット 12030 には、撮像部 12031 が接続される。車外情報検出ユニット 12030 は、撮像部 12031 に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット 12030 は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0150] 撮像部 12031 は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部 12031 は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部 12031 が受光する光は、可視光であっても良いし、赤外線等の非可視光

であっても良い。

[0151] 車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0152] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0153] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0154] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0155] 音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 33 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0156] 図 34 は、撮像部 12031 の設置位置の例を示す図である。

[0157] 図 34 では、車両 12100 は、撮像部 12031 として、撮像部 12101、12102、12103、12104、12105 を有する。

[0158] 撮像部 12101、12102、12103、12104、12105 は、例えば、車両 12100 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 12101 及び車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102、12103 は、主として車両 12100 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。撮像部 12101 及び 12105 で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0159] なお、図 23 には、撮像部 12101 ないし 12104 の撮影範囲の一例が示されている。撮像範囲 12111 は、フロントノーズに設けられた撮像部 12101 の撮像範囲を示し、撮像範囲 12112、12113 は、それぞれサイドミラーに設けられた撮像部 12102、12103 の撮像範囲を示し、撮像範囲 12114 は、リアバンパ又はバックドアに設けられた撮像部 12104 の撮像範囲を示す。例えば、撮像部 12101 ないし 12104 で撮像された画像データが重ね合わせられることにより、車両 12100

を上方から見た俯瞰画像が得られる。

[0160] 撮像部 12101 ないし 12104 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 12101 ないし 12104 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよい、位相差検出用の画素を有する撮像素子であってもよい。

[0161] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を基に、撮像範囲 12111 ないし 12114 内における各立体物までの距離と、この距離の時間的变化（車両 12100 に対する相対速度）を求めることにより、特に車両 12100 の進行路上にある最も近い立体物で、車両 12100 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 12051 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0162] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 12051 は、車両 12100 の周辺の障害物を、車両 12100 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 12051 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 12061 や表示部 12062 を介してドライバに警報を出力することや、駆動系制御ユニット 12010 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0163] 撮像部 12101 ないし 12104 の少なくとも 1 つは、赤外線を検出す

る赤外線カメラであってもよい。例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部１２１０１ないし１２１０４の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ１２０５１が、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部１２０５２は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部１２０６２を制御する。また、音声画像出力部１２０５２は、歩行者を示すアイコン等を所望の位置に表示するように表示部１２０６２を制御してもよい。

[0164] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部１２０３１に適用され得る。これにより、車両制御システム１２０００では、撮像画像の画質を高めることができる。その結果、車両制御システム１２０００では、車両の衝突回避あるいは衝突緩和機能、車間距離に基づく追従走行機能、車速維持走行機能、車両の衝突警告機能、車両のレーン逸脱警告機能等の精度を高めることができる。

[0165] <４．測距装置への応用例>

次に、本技術を測距装置に応用した場合の一例について、詳細に説明する。

[0166] 図３５は、本応用例に係る測距装置９００の一構成例を表すものである。測距装置９００は、インダイレクト方式により計測対象物ＯＢＪまでの距離を計測するように構成される。測距装置９００は、発光部９０１と、光学系９０２と、光検出部９１０と、制御部９０３とを備えている。

[0167] 発光部９０１は、計測対象物ＯＢＪに向かって光パルスＬ０を射出するように構成される。発光部９０１は、制御部９０３からの指示に基づいて、発

光および非発光を交互に繰り返す発光動作を行うことにより光パルス L_0 を射出するようになっている。発光部901は、例えば赤外光を射出する光源を有する。この光源は、例えば、レーザ光源やLED (Light Emitting Diode) などを用いて構成される。

[0168] 光学系902は、光検出部910の受光面Sにおいて像を結像させるレンズを含んで構成される。この光学系902には、発光部901から射出され、計測対象物OBJにより反射された光パルス（反射光パルス L_1 ）が入射するようになっている。

[0169] 光検出部910は、制御部903からの指示に基づいて、光を検出することにより距離画像PICを生成するように構成される。距離画像PICに含まれる複数の画素値のそれぞれは、計測対象物OBJまでの距離Dについての値を示す。そして、光検出部910は、生成した距離画像PICを画像信号DATAとして出力するようになっている。

[0170] 制御部903は、発光部901および光検出部910に制御信号を供給し、これらの動作を制御することにより、測距装置900の動作を制御するように構成される。

[0171] 図36は、光検出部910の一構成例を表すものである。光検出部910は、画素アレイ911と、駆動部912と、参照信号生成部913と、読出部919と、信号処理部914と、撮像制御部915とを有している。例えば、画素アレイ911、駆動部912、参照信号生成部913、読出部919、信号処理部914、および撮像制御部915は、1枚の半導体基板に形成されてもよい。また、画素アレイ911が1枚の半導体基板に形成されるとともに、駆動部912、参照信号生成部913、読出部919、信号処理部914、および撮像制御部915が他の半導体基板に形成され、これらの2枚の半導体基板が重ねあわされるようにしてもよい。

[0172] 画素アレイ911は、マトリックス状に配置された複数の画素920を有している。画素920は、受光量に応じた画素電圧 V_{pix} を生成するように構成される。

[0173] 図37は、画素920の一構成例を表すものである。画素アレイ911は、複数の制御線931Aと、複数の制御線931Bと、複数の制御線932Aと、複数の制御線932Aと、複数の制御線933と、複数の信号線939Aと、複数の信号線939Bとを有している。

[0174] 画素920は、フォトダイオード921と、フローティングディフュージョン923A、923Bと、トランジスタ922A、922B、924A、924B、925A、925B、926A、926Bとを有している。フォトダイオード921、フローティングディフュージョン923A、およびトランジスタ922A、924A、925A、926Aからなる回路をタップAとも呼ぶ。また、フォトダイオード921、フローティングディフュージョン923B、およびトランジスタ922B、924B、925B、926Bからなる回路をタップBとも呼ぶ。

[0175] タップAにおいて、トランジスタ922Aのゲートは制御線931Aに接続され、ソースはフォトダイオード921に接続され、ドレインはフローティングディフュージョン923Aに接続される。フローティングディフュージョン923Aは、フォトダイオード921からトランジスタ922Aを介して供給された電荷を蓄積するように構成される。トランジスタ924Aのゲートは制御線932Aに接続され、ドレインには電源電圧VDDが供給され、ソースはフローティングディフュージョン923Aに接続される。トランジスタ925Aのゲートはフローティングディフュージョン923Aに接続され、ドレインには電源電圧VDDが供給され、ソースはトランジスタ926Aのドレインに接続される。トランジスタ926Aのゲートは制御線933に接続され、ドレインはトランジスタ925Aのソースに接続され、ソースは信号線939Aに接続される。以上、タップAを例に説明したが、タップBについても同様である。

[0176] この構成により、画素920では、トランジスタ924Aがオン状態になることによりフローティングディフュージョン923Aがリセットされ、トランジスタ924Bがオン状態になることによりフローティングディフュー

ジョン 9 2 3 B がリセットされる。そして、トランジスタ 9 2 2 A, 9 2 2 B のうちのいずれか 1 つが交互にオン状態になることにより、フォトダイオード 9 2 1 により生成された電荷がフローティングディフュージョン 9 2 3 A およびフローティングディフュージョン 9 2 3 B に選択的に蓄積される。そして、トランジスタ 9 2 6 A, 9 2 6 B がオン状態になることにより、画素 9 2 0 は、フローティングディフュージョン 9 2 3 A に蓄積された電荷の量に応じた画素信号を信号線 9 3 9 A に出力するとともに、フローティングディフュージョン 9 2 3 B に蓄積された電荷の量に応じた画素信号を信号線 9 3 9 B に出力するようになっている。

[0177] 駆動部 9 1 2 (図 3 6) は、撮像制御部 9 1 5 からの指示に基づいて、画素ライン L 単位で、画素アレイ 9 1 1 における複数の画素 9 2 0 を順次駆動するように構成される。参照信号生成部 9 1 3 は、撮像制御部 9 1 5 からの指示に基づいて、参照信号 RAMP を生成するように構成される。読出部 9 1 9 は、撮像制御部 9 1 5 からの指示に基づいて、画素アレイ 9 1 1 から信号線 9 3 9 A, 9 3 9 B を介して供給された画素信号に基づいて A/D 変換を行うことにより、画像信号 DATA0 を生成するように構成される。信号処理部 9 1 4 は、撮像制御部 9 1 5 からの指示に基づいて、画像信号 DATA0 に対して、所定の信号処理を行うことにより距離画像 PIC を生成し、この距離画像 PIC を含む画像信号 DATA を出力するように構成される。撮像制御部 9 1 5 は、駆動部 9 1 2、参照信号生成部 9 1 3、読出部 9 1 9、および信号処理部 9 1 4 に制御信号を供給し、これらの回路の動作を制御することにより、光検出部 9 1 0 の動作を制御するように構成される。

[0178] 図 3 8 は、測距装置 9 0 0 の一動作例を表すものであり、図 3 8 (A) は、発光部 9 0 1 から射出される光パルス L0 の波形を示し、図 3 8 (B) は、光検出部 9 1 0 が検出する反射光パルス L1 の波形を示す。

[0179] 発光部 9 0 1 は、制御部 9 0 3 からの指示に基づいて、デューティ比が 50% であるパルス波形を有する光パルス L0 を射出する (図 3 8 (A))。この光パルス L0 は、計測対象物 OBJ に向かって進行する。そして、この

光パルス L_0 が計測対象物 OBJ により反射され、反射された反射光パルス L_1 は、光検出部 910 に向かって進行する。そして、この光検出部 910 の画素 920 が、この反射光パルス L_1 を検出する（図 $38(B)$ ）。画素 920 により検出された反射光パルス L_1 は、図 $38(A)$ に示した光パルス L_0 の波形を遅延時間 DL だけ遅延した波形を有する。この遅延時間 DL は、光が、発光部 901 、計測対象物 OBJ 、光検出部 910 の順に進行する時間であり、光の飛行時間に対応する。この光の飛行時間は、測距装置 900 と計測対象物 OBJ との間の距離に対応している。

[0180] インダイレクト方式では、画素 920 のフローティングディフュージョン $923A$ は、発光部 901 が発光する期間 941 において、フォトダイオード 921 の受光量に応じた信号電荷 Q_1 を蓄積し、画素 920 のフローティングディフュージョン $923B$ は、発光部 901 が消光する期間 942 において、フォトダイオード 921 の受光量に応じた信号電荷 Q_2 を蓄積する。そして、信号処理部 914 は、信号電荷 Q_1 と信号電荷 Q_2 との電荷比を求める。フォトダイオード 921 は、期間 951 、 952 において光を検出しているので、信号電荷 Q_1 の電荷量は、期間 951 の長さに比例し、信号電荷 Q_2 の電荷量は、期間 952 の長さに比例する。遅延時間 DL が短い場合には、信号電荷 Q_1 が多くなるとともに信号電荷 Q_2 が少なくなり、遅延時間 DL が長い場合には、信号電荷 Q_1 が少なくなるとともに信号電荷 Q_2 が多くなる。このように、信号電荷 Q_1 と信号電荷 Q_2 の電荷比は、遅延時間 DL に応じて変化する。インダイレクト方式では、この電荷比を求めることにより、例えば高い精度で遅延時間 DL を求めることができ、その結果、高い精度で、計測対象物 OBJ までの距離を計測することができる。この読出部 919 には、本技術を適用することができる。これにより、距離画像の画質を高めることができる。

[0181] 以上、本開示に係る技術が適用され得る測距装置 900 の一例について説明した。本開示に係る技術は、このような測距装置 900 に適用され得る。これにより、測距装置 900 では、距離画像の画質を高めることができる。

[0182] 以上、実施の形態および変形例、ならびにそれらの具体的な応用例を挙げて本技術を説明したが、本技術はこれらの実施の形態等には限定されず、種々の変形が可能である。

[0183] 例えば、上記の実施の形態では、図2に示したように画素Pを構成したが、これに限定されるものではなく、様々な構成の画素を用いることができる。

[0184] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0185] なお、本技術は以下のような構成とすることができる。以下の構成の本技術によれば、画質を高めることができる。

[0186] (1) 第1の画素信号を生成可能な第1の画素と、

参照信号を生成可能な参照信号生成部と、

第1の電源ノードから供給された電源電圧およびバイアス電圧に基づいて第1の電源電圧を生成可能であり前記第1の電源電圧を出力端子から出力可能な第1の電源回路と、前記第1の電源電圧に基づいて動作可能であり、前記第1の画素信号および前記参照信号に基づいて比較動作を行うことが可能な第1の比較回路とを有する第1の比較部と

を備えた光検出装置。

(2) 前記第1の比較回路は、第2の電源ノードに接続された第1の電流源を有する

前記(1)に記載の光検出装置。

(3) 前記第1の画素は、前記第1の画素信号を出力端子から出力可能であり、

前記参照信号生成部は、前記参照信号を出力端子から出力可能であり、

前記第1の比較回路は、

ゲートと、ドレインと、ソースとを有する第1のトランジスタと、

前記参照信号生成部の前記出力端子に接続された第1の端子と、前記第1のトランジスタの前記ゲートに接続された第2の端子とを有する第1の容量

素子と

前記第 1 の画素の前記出力端子に接続された第 1 の端子と、前記第 1 のトランジスタの前記ゲートに接続された第 2 の端子とを有する第 2 の容量素子と、

オン状態になることにより前記第 1 のトランジスタの前記ゲートおよび前記第 1 のトランジスタの前記ドレインを接続可能な第 1 のスイッチとを有する

前記（２）に記載の光検出装置。

（４）前記第 1 のトランジスタの前記ソースは、前記第 1 の電源回路の前記出力端子に接続され、

前記第 1 のトランジスタの前記ドレインは前記第 1 の電流源に接続された前記（３）に記載の光検出装置。

（５）前記第 1 の比較回路は、

前記第 1 のトランジスタの前記ドレインに接続されたゲートと、ドレインと、ソースとを有する第 2 のトランジスタと、

ゲートと、前記第 2 のトランジスタのドレインに接続されたドレインと、前記第 2 の電源ノードに接続されたソースとを有する第 3 のトランジスタと、

オン状態になることにより前記第 3 のトランジスタの前記ゲートと前記第 3 のトランジスタの前記ドレインとを接続可能な第 2 のスイッチと

をさらに有する

前記（４）に記載の光検出装置。

（６）前記第 1 の比較部は、前記第 2 のトランジスタの前記ドレインに接続されたゲートと、前記第 1 の電源回路の前記出力端子に接続されたドレインと、前記第 1 のトランジスタの前記ドレインに接続されたソースとを有する第 4 のトランジスタをさらに有する

前記（５）に記載の光検出装置。

（７）前記第 1 のトランジスタの前記ソースは、前記第 1 の電流源に接続さ

れ、

前記第 1 の比較回路は、

ゲートと、ドレインと、前記第 1 の電流源に接続されたソースとを有する第 5 のトランジスタと、

前記第 5 のトランジスタの前記ゲートに接続された第 3 の容量素子と、

オン状態になることにより前記第 5 のトランジスタの前記ゲートおよび前記第 5 のトランジスタの前記ドレインを接続可能な第 3 のスイッチと、

前記第 1 の電源回路の前記出力端子と、前記第 1 のトランジスタの前記ドレインと、前記第 5 のトランジスタの前記ドレインとに接続された負荷回路と

を有する

前記（3）に記載の光検出装置。

（8）前記第 1 の画素は、前記第 1 の画素信号を出力端子から出力可能であり、

前記参照信号生成部は、前記参照信号を出力端子から出力可能であり、

前記第 1 の比較回路は、

ゲートと、ドレインと、前記第 1 の電流源に接続されたソースとを有する第 1 のトランジスタと、

ゲートと、ドレインと、前記第 1 の電流源に接続されたソースとを有する第 5 のトランジスタと、

前記参照信号生成部の前記出力端子に接続された第 1 の端子と、前記第 1 のトランジスタの前記ゲートに接続された第 2 の端子とを有する第 1 の容量素子と、

前記第 1 の画素の前記出力端子に接続された第 1 の端子と、前記第 5 のトランジスタの前記ゲートに接続された第 2 の端子とを有する第 2 の容量素子と、

オン状態になることにより前記第 1 のトランジスタの前記ゲートおよび前記第 1 のトランジスタの前記ドレインを接続可能な第 1 のスイッチと、

オン状態になることにより前記第5のトランジスタの前記ゲートおよび前記第5のトランジスタの前記ドレインを接続可能な第3のスイッチと、

前記第1の電源回路の前記出力端子と、前記第1のトランジスタの前記ドレインと、前記第5のトランジスタの前記ドレインとに接続された負荷回路と

を有する

前記（2）に記載の光検出装置。

（9）前記負荷回路は、

ゲートと、前記第1のトランジスタの前記ドレインに接続されたドレインと、前記第1の電源回路の前記出力端子に接続されたソースとを有する第1の負荷トランジスタと、

前記第1の負荷トランジスタの前記ゲートに接続されたゲートと、前記第5のトランジスタのドレインに接続されたドレインと、前記第1の電源回路の前記出力端子に接続されたソースとを有する第2の負荷トランジスタと

を有する

前記（7）または（8）に記載の光検出装置。

（10）前記第1の画素は、前記第1の画素信号を出力端子から出力可能であり、

前記参照信号生成部は、前記参照信号を出力端子から出力可能であり、

前記第1の比較回路は、

ゲートと、ドレインと、前記第1の電源回路の前記出力端子に接続されたソースとを有する第1のトランジスタと、

ゲートと、前記第1の電流源に接続されたドレインと、前記第1のトランジスタの前記ドレインに接続されたソースとを有する第6のトランジスタと、

前記参照信号生成部の前記出力端子に接続された第1の端子と、前記第1のトランジスタの前記ゲートに接続された第2の端子とを有する第1の容量素子と

前記第 1 の画素の前記出力端子に接続された第 1 の端子と、前記第 1 のトランジスタの前記ゲートに接続された第 2 の端子とを有する第 2 の容量素子と、

オン状態になることにより前記第 1 のトランジスタの前記ゲートおよび前記第 6 のトランジスタの前記ドレインを接続可能な第 1 のスイッチと

を有する

前記（２）に記載の光検出装置。

（１１）前記バイアス電圧は、第 1 のバイアス電圧を含み、

前記第 1 の電源回路は、前記第 1 のバイアス電圧が供給されることが可能なゲートと、前記第 1 の電源ノードに接続されたドレインと、前記第 1 のトランジスタの前記ソースに接続されたソースとを有する第 1 の電源トランジスタを有する

前記（３）から（１０）のいずれかに記載の光検出装置。

（１２）前記バイアス電圧は、第 1 のバイアス電圧および第 2 のバイアス電圧を含み、

前記第 1 の電源回路は、

前記第 1 のバイアス電圧が供給されることが可能なゲートと、前記第 1 の電源ノードに接続されたドレインと、ソースとを有する第 1 の電源トランジスタと、

前記第 2 のバイアス電圧が供給されることが可能なゲートと、前記第 1 の電源トランジスタの前記ソースに接続されたドレインと、前記第 1 のトランジスタの前記ソースに接続されたソースとを有する第 2 の電源トランジスタと

前記（３）から（１０）のいずれかに記載の光検出装置。

（１３）前記第 1 の電源回路は、オン状態になることにより前記第 1 のバイアス電圧を前記第 1 の電源トランジスタの前記ゲートに供給可能な第 4 のスイッチをさらに有する

前記（１１）または（１２）に記載の光検出装置。

(14) 前記第1の電源回路は、前記第1の電源トランジスタの前記ゲートに接続された第4の容量素子をさらに有する

前記(13)に記載の光検出装置。

(15) 前記第1の電源回路は、前記第1のバイアス電圧が供給されることが可能な非反転入力端子と、前記第1の電源トランジスタの前記ソースに接続された反転入力端子と、前記第1の電源トランジスタの前記ゲートに接続された出力端子とを有する演算増幅器をさらに有する

前記(11)または(12)に記載の光検出装置。

(16) 前記第1の電源トランジスタは、前記第1の電源トランジスタの前記ソースと接続されたバックゲートをさらに有する

前記(11)または(12)に記載の光検出装置。

(17) 所定の電圧を出力端子から出力可能な電圧生成部をさらに備え、
前記第1の電源トランジスタは、前記電圧生成部の前記出力端子に接続されたバックゲートをさらに有する

前記(11)または(12)に記載の光検出装置。

(18) 前記第1の電源回路は、オン状態になることにより前記第2のバイアス電圧を前記第2の電源トランジスタの前記ゲートに供給可能な第5のスイッチをさらに有する

前記(12)に記載の光検出装置。

(19) 前記第1のトランジスタは、前記第1のトランジスタの前記ソースと接続されたバックゲートをさらに有する

前記(3)から(6)に記載の光検出装置。

(20) 前記第1の電流源は、ゲートと、ドレインと、前記第2の電源ノードに接続されたソースとを有する第1の電流源トランジスタを有する

前記(2)から(19)のいずれかに記載の光検出装置。

(21) 前記第1の電流源は、
ゲートと、ドレインと、前記第2の電源ノードに接続されたソースとを有する第1の電流源トランジスタと、

ゲートと、ドレインと、前記第1の電流源トランジスタの前記ドレインに接続されたソースとを有する第2の電流源トランジスタと

を有する

前記(2)から(19)のいずれかに記載の光検出装置。

(22) 前記第1の電流源は、オン状態になることにより第3のバイアス電圧を前記第1の電流源トランジスタの前記ゲートに供給可能な第6のスイッチをさらに有する

前記(20)に記載の光検出装置。

(23) 第2の画素信号を生成可能な第2の画素と、

前記第1の電源ノードから供給された前記電源電圧および前記バイアス電圧に基づいて第2の電源電圧を生成可能であり前記第2の電源電圧を出力端子から出力可能な第2の電源回路と、前記第2の電源電圧に基づいて動作可能であり、前記第2の画素信号および前記参照信号に基づいて前記比較動作を行うことが可能な第2の比較回路とを有する第2の比較部と

をさらに備えた

前記(1)から(22)のいずれかに記載の光検出装置。

(24) 前記第2の電源回路の前記出力端子は、前記第1の電源回路の前記出力端子に接続された

前記(23)に記載の光検出装置。

(25) 第3の画素信号を生成可能な第3の画素と、

前記第1の電源ノードから供給された前記電源電圧および前記バイアス電圧に基づいて第3の電源電圧を生成可能であり前記第3の電源電圧を出力端子から出力可能な第3の電源回路と、前記第3の電源電圧に基づいて動作可能であり、前記第3の画素信号および前記参照信号に基づいて前記比較動作を行うことが可能な第3の比較回路とを有する第3の比較部と

をさらに備え、

前記第3の電源回路の前記出力端子は、前記第1の電源回路の前記出力端子と電氣的に絶縁されるとともに、前記第2の電源回路の前記出力端子と電

氣的に絶縁され、

前記第3の比較部は、前記第1の比較部および前記第2の比較部の間に配置された

前記(24)に記載の光検出装置。

(26) 前記第1の電源回路の前記出力端子に接続された第1の端子と、前記第2の電源回路の前記出力端子に接続された第2の端子とを有する可変抵抗素子をさらに備えた

前記(23)に記載の光検出装置。

(27) 第3の電源ノードから供給された他の電源電圧に基づいて前記電源電圧を生成可能であり、前記電源電圧を前記第1の電源ノードに出力可能な第4の電源回路をさらに備えた

前記(23)に記載の光検出装置。

(28) 光検出装置と

前記光検出装置の動作を制御する処理部と

を備え、

前記光検出装置は、

第1の画素信号を生成可能な第1の画素と、

参照信号を生成可能な参照信号生成部と、

第1の電源ノードから供給された電源電圧およびバイアス電圧に基づいて第1の電源電圧を生成可能であり前記第1の電源電圧を出力端子から出力可能な第1の電源回路と、前記第1の電源電圧に基づいて動作可能であり、前記第1の画素信号および前記参照信号に基づいて比較動作を行うことが可能な第1の比較回路とを有する第1の比較部と

を有する

電子機器。

[0187] 本出願は、日本国特許庁において2019年3月29日に出願された日本特許出願番号2019-068359号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0188] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 第1の画素信号を生成可能な第1の画素と、
 参照信号を生成可能な参照信号生成部と、
 第1の電源ノードから供給された電源電圧およびバイアス電圧に基づいて第1の電源電圧を生成可能であり前記第1の電源電圧を出力端子から出力可能な第1の電源回路と、前記第1の電源電圧に基づいて動作可能であり、前記第1の画素信号および前記参照信号に基づいて比較動作を行うことが可能な第1の比較回路とを有する第1の比較部と
 を備えた光検出装置。
- [請求項2] 前記第1の比較回路は、第2の電源ノードに接続された第1の電流源を有する
 請求項1に記載の光検出装置。
- [請求項3] 前記第1の画素は、前記第1の画素信号を出力端子から出力可能であり、
 前記参照信号生成部は、前記参照信号を出力端子から出力可能であり、
 前記第1の比較回路は、
 ゲートと、ドレインと、ソースとを有する第1のトランジスタと、
 前記参照信号生成部の前記出力端子に接続された第1の端子と、前記第1のトランジスタの前記ゲートに接続された第2の端子とを有する第1の容量素子と
 前記第1の画素の前記出力端子に接続された第1の端子と、前記第1のトランジスタの前記ゲートに接続された第2の端子とを有する第2の容量素子と、
 オン状態になることにより前記第1のトランジスタの前記ゲートおよび前記第1のトランジスタの前記ドレインを接続可能な第1のスイッチと

を有する

請求項 2 に記載の光検出装置。

[請求項4] 前記第 1 のトランジスタの前記ソースは、前記第 1 の電源回路の前記出力端子に接続され、

前記第 1 のトランジスタの前記ドレインは前記第 1 の電流源に接続された

請求項 3 に記載の光検出装置。

[請求項5] 前記第 1 の比較回路は、

前記第 1 のトランジスタの前記ドレインに接続されたゲートと、ドレインと、ソースとを有する第 2 のトランジスタと、

ゲートと、前記第 2 のトランジスタのドレインに接続されたドレインと、前記第 2 の電源ノードに接続されたソースとを有する第 3 のトランジスタと、

オン状態になることにより前記第 3 のトランジスタの前記ゲートと前記第 3 のトランジスタの前記ドレインとを接続可能な第 2 のスイッチと

をさらに有する

請求項 4 に記載の光検出装置。

[請求項6] 前記第 1 の比較部は、前記第 2 のトランジスタの前記ドレインに接続されたゲートと、前記第 1 の電源回路の前記出力端子に接続されたドレインと、前記第 1 のトランジスタの前記ドレインに接続されたソースとを有する第 4 のトランジスタをさらに有する

請求項 5 に記載の光検出装置。

[請求項7] 前記第 1 のトランジスタの前記ソースは、前記第 1 の電流源に接続され、

前記第 1 の比較回路は、

ゲートと、ドレインと、前記第 1 の電流源に接続されたソースとを有する第 5 のトランジスタと、

前記第5のトランジスタの前記ゲートに接続された第3の容量素子と、

オン状態になることにより前記第5のトランジスタの前記ゲートおよび前記第5のトランジスタの前記ドレインを接続可能な第3のスイッチと、

前記第1の電源回路の前記出力端子と、前記第1のトランジスタの前記ドレインと、前記第5のトランジスタの前記ドレインとに接続された負荷回路と

を有する

請求項3に記載の光検出装置。

[請求項8] 前記第1の画素は、前記第1の画素信号を出力端子から出力可能であり、

前記参照信号生成部は、前記参照信号を出力端子から出力可能であり、

前記第1の比較回路は、

ゲートと、ドレインと、前記第1の電流源に接続されたソースとを有する第1のトランジスタと、

ゲートと、ドレインと、前記第1の電流源に接続されたソースとを有する第5のトランジスタと、

前記参照信号生成部の前記出力端子に接続された第1の端子と、前記第1のトランジスタの前記ゲートに接続された第2の端子とを有する第1の容量素子と、

前記第1の画素の前記出力端子に接続された第1の端子と、前記第5のトランジスタの前記ゲートに接続された第2の端子とを有する第2の容量素子と、

オン状態になることにより前記第1のトランジスタの前記ゲートおよび前記第1のトランジスタの前記ドレインを接続可能な第1のスイッチと、

オン状態になることにより前記第5のトランジスタの前記ゲートおよび前記第5のトランジスタの前記ドレインを接続可能な第3のスイッチと、

前記第1の電源回路の前記出力端子と、前記第1のトランジスタの前記ドレインと、前記第5のトランジスタの前記ドレインとに接続された負荷回路と

を有する

請求項2に記載の光検出装置。

[請求項9]

前記負荷回路は、

ゲートと、前記第1のトランジスタの前記ドレインに接続されたドレインと、前記第1の電源回路の前記出力端子に接続されたソースとを有する第1の負荷トランジスタと、

前記第1の負荷トランジスタの前記ゲートに接続されたゲートと、前記第5のトランジスタのドレインに接続されたドレインと、前記第1の電源回路の前記出力端子に接続されたソースとを有する第2の負荷トランジスタと

を有する

請求項7に記載の光検出装置。

[請求項10]

前記第1の画素は、前記第1の画素信号を出力端子から出力可能であり、

前記参照信号生成部は、前記参照信号を出力端子から出力可能であり、

前記第1の比較回路は、

ゲートと、ドレインと、前記第1の電源回路の前記出力端子に接続されたソースとを有する第1のトランジスタと、

ゲートと、前記第1の電流源に接続されたドレインと、前記第1のトランジスタの前記ドレインに接続されたソースとを有する第6のトランジスタと、

前記参照信号生成部の前記出力端子に接続された第1の端子と、前記第1のトランジスタの前記ゲートに接続された第2の端子とを有する第1の容量素子と

前記第1の画素の前記出力端子に接続された第1の端子と、前記第1のトランジスタの前記ゲートに接続された第2の端子とを有する第2の容量素子と、

オン状態になることにより前記第1のトランジスタの前記ゲートおよび前記第6のトランジスタの前記ドレインを接続可能な第1のスイッチと

を有する

請求項2に記載の光検出装置。

[請求項11]

前記バイアス電圧は、第1のバイアス電圧を含み、

前記第1の電源回路は、前記第1のバイアス電圧が供給されることが可能なゲートと、前記第1の電源ノードに接続されたドレインと、前記第1のトランジスタの前記ソースに接続されたソースとを有する第1の電源トランジスタを有する

請求項3に記載の光検出装置。

[請求項12]

前記バイアス電圧は、第1のバイアス電圧および第2のバイアス電圧を含み、

前記第1の電源回路は、

前記第1のバイアス電圧が供給されることが可能なゲートと、前記第1の電源ノードに接続されたドレインと、ソースとを有する第1の電源トランジスタと、

前記第2のバイアス電圧が供給されることが可能なゲートと、前記第1の電源トランジスタの前記ソースに接続されたドレインと、前記第1のトランジスタの前記ソースに接続されたソースとを有する第2の電源トランジスタと

請求項3に記載の光検出装置。

- [請求項13] 前記第1の電源回路は、オン状態になることにより前記第1のバイアス電圧を前記第1の電源トランジスタの前記ゲートに供給可能な第4のスイッチをさらに有する
請求項11に記載の光検出装置。
- [請求項14] 前記第1の電源回路は、前記第1の電源トランジスタの前記ゲートに接続された第4の容量素子をさらに有する
請求項13に記載の光検出装置。
- [請求項15] 前記第1の電源回路は、前記第1のバイアス電圧が供給されることが可能な非反転入力端子と、前記第1の電源トランジスタの前記ソースに接続された反転入力端子と、前記第1の電源トランジスタの前記ゲートに接続された出力端子とを有する演算増幅器をさらに有する
請求項11に記載の光検出装置。
- [請求項16] 前記第1の電源トランジスタは、前記第1の電源トランジスタの前記ソースと接続されたバックゲートをさらに有する
請求項11に記載の光検出装置。
- [請求項17] 所定の電圧を出力端子から出力可能な電圧生成部をさらに備え、
前記第1の電源トランジスタは、前記電圧生成部の前記出力端子に接続されたバックゲートをさらに有する
請求項11に記載の光検出装置。
- [請求項18] 前記第1の電源回路は、オン状態になることにより前記第2のバイアス電圧を前記第2の電源トランジスタの前記ゲートに供給可能な第5のスイッチをさらに有する
請求項12に記載の光検出装置。
- [請求項19] 前記第1のトランジスタは、前記第1のトランジスタの前記ソースと接続されたバックゲートをさらに有する
請求項3に記載の光検出装置。
- [請求項20] 前記第1の電流源は、ゲートと、ドレインと、前記第2の電源ノードに接続されたソースとを有する第1の電流源トランジスタを有する

請求項 2 に記載の光検出装置。

[請求項21]

前記第 1 の電流源は、

ゲートと、ドレインと、前記第 2 の電源ノードに接続されたソースとを有する第 1 の電流源トランジスタと、

ゲートと、ドレインと、前記第 1 の電流源トランジスタの前記ドレインに接続されたソースとを有する第 2 の電流源トランジスタと

を有する

請求項 2 に記載の光検出装置。

[請求項22]

前記第 1 の電流源は、オン状態になることにより第 3 のバイアス電圧を前記第 1 の電流源トランジスタの前記ゲートに供給可能な第 6 のスイッチをさらに有する

請求項 20 に記載の光検出装置。

[請求項23]

第 2 の画素信号を生成可能な第 2 の画素と、

前記第 1 の電源ノードから供給された前記電源電圧および前記バイアス電圧に基づいて第 2 の電源電圧を生成可能であり前記第 2 の電源電圧を出力端子から出力可能な第 2 の電源回路と、前記第 2 の電源電圧に基づいて動作可能であり、前記第 2 の画素信号および前記参照信号に基づいて前記比較動作を行うことが可能な第 2 の比較回路とを有する第 2 の比較部と

をさらに備えた

請求項 1 に記載の光検出装置。

[請求項24]

前記第 2 の電源回路の前記出力端子は、前記第 1 の電源回路の前記出力端子に接続された

請求項 23 に記載の光検出装置。

[請求項25]

第 3 の画素信号を生成可能な第 3 の画素と、

前記第 1 の電源ノードから供給された前記電源電圧および前記バイアス電圧に基づいて第 3 の電源電圧を生成可能であり前記第 3 の電源電圧を出力端子から出力可能な第 3 の電源回路と、前記第 3 の電源電

圧に基づいて動作可能であり、前記第3の画素信号および前記参照信号に基づいて前記比較動作を行うことが可能な第3の比較回路とを有する第3の比較部と

をさらに備え、

前記第3の電源回路の前記出力端子は、前記第1の電源回路の前記出力端子と電氣的に絶縁されるとともに、前記第2の電源回路の前記出力端子と電氣的に絶縁され、

前記第3の比較部は、前記第1の比較部および前記第2の比較部の間に配置された

請求項24に記載の光検出装置。

[請求項26] 前記第1の電源回路の前記出力端子に接続された第1の端子と、前記第2の電源回路の前記出力端子に接続された第2の端子とを有する可変抵抗素子をさらに備えた

請求項23に記載の光検出装置。

[請求項27] 第3の電源ノードから供給された他の電源電圧に基づいて前記電源電圧を生成可能であり、前記電源電圧を前記第1の電源ノードに出力可能な第4の電源回路をさらに備えた

請求項23に記載の光検出装置。

[請求項28] 光検出装置と
前記光検出装置の動作を制御する処理部と
を備え、

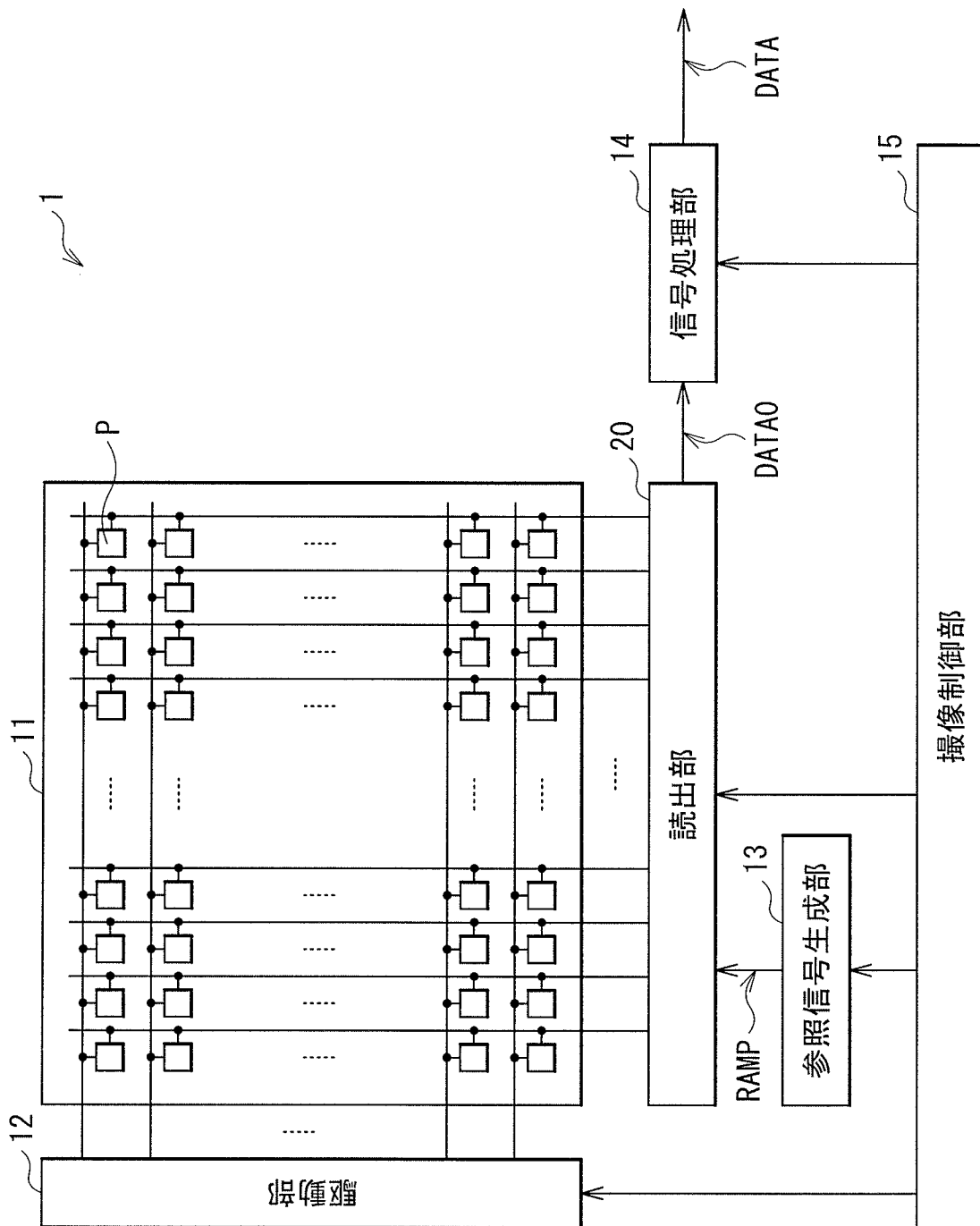
前記光検出装置は、

第1の画素信号を生成可能な第1の画素と、
参照信号を生成可能な参照信号生成部と、

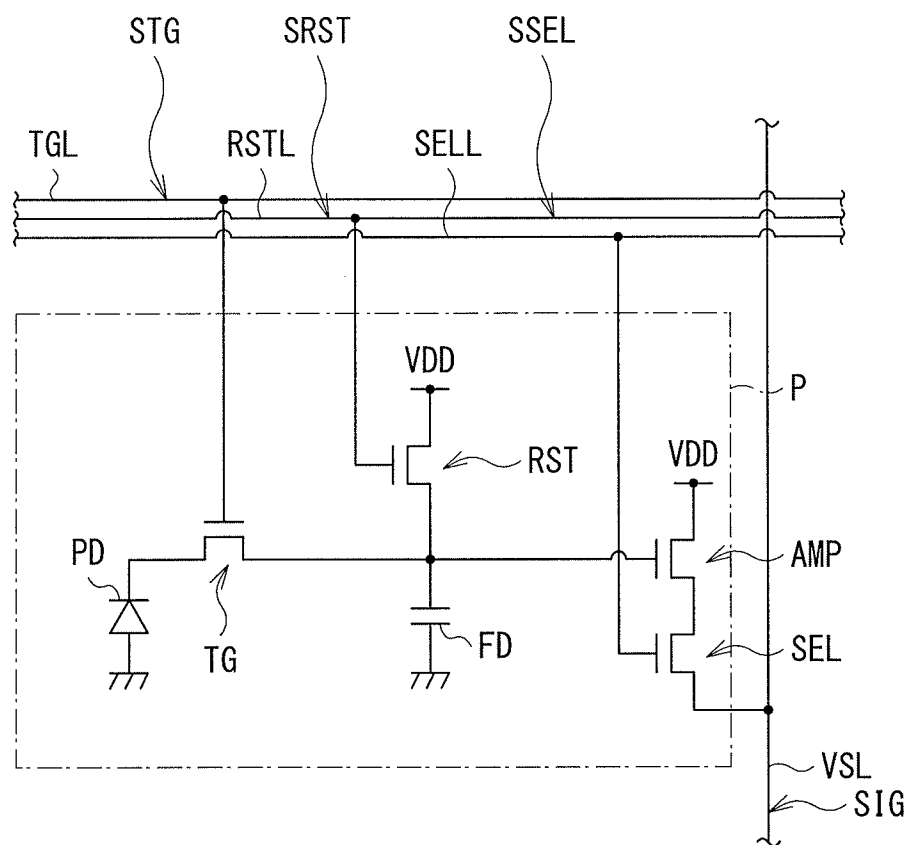
第1の電源ノードから供給された電源電圧およびバイアス電圧に基づいて第1の電源電圧を生成可能であり前記第1の電源電圧を出力端子から出力可能な第1の電源回路と、前記第1の電源電圧に基づいて動作可能であり、前記第1の画素信号および前記参照信号に基づいて

比較動作を行うことが可能な第 1 の比較回路とを有する第 1 の比較部
と
を有する
電子機器。

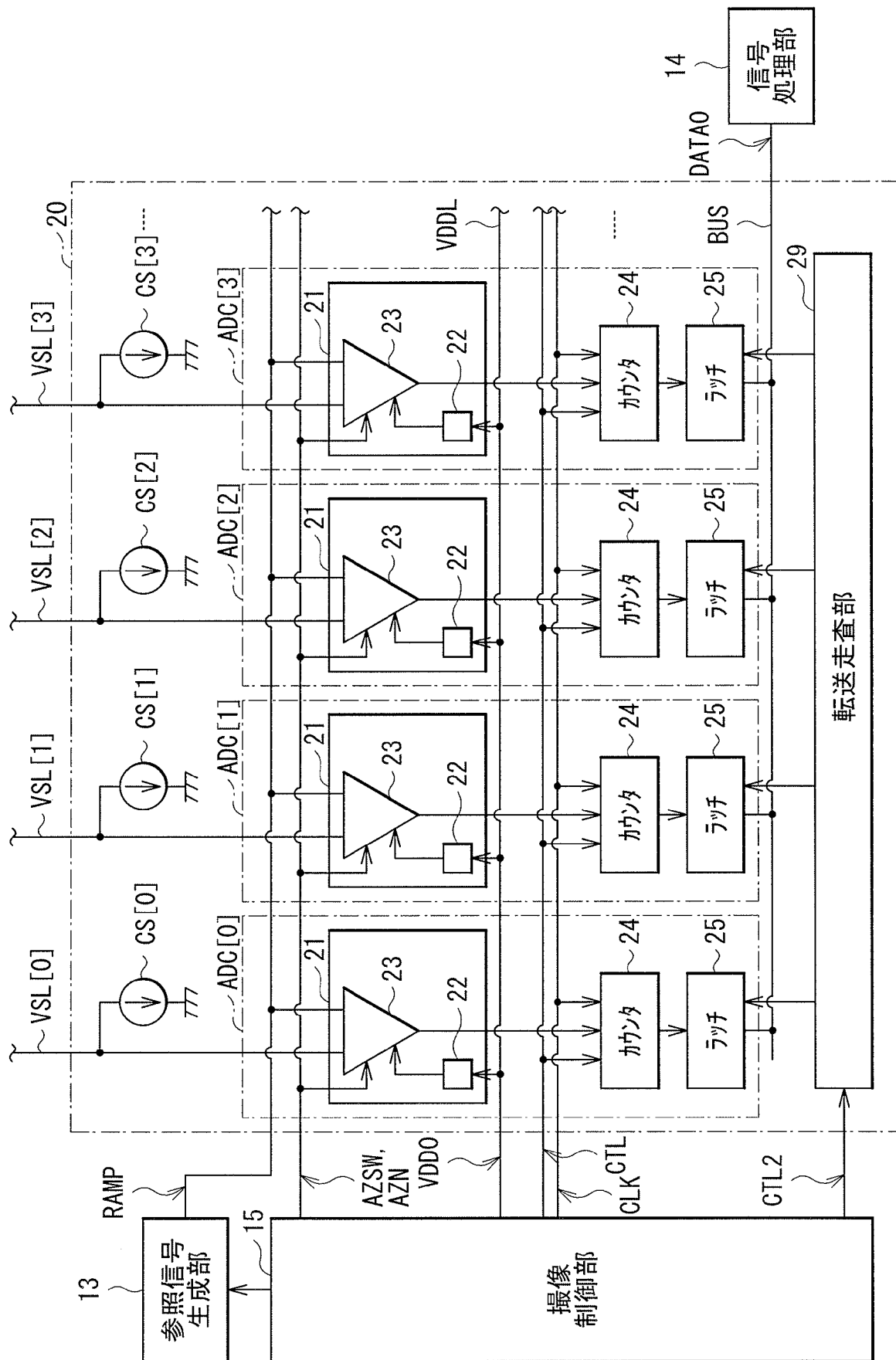
[図1]



[図2]

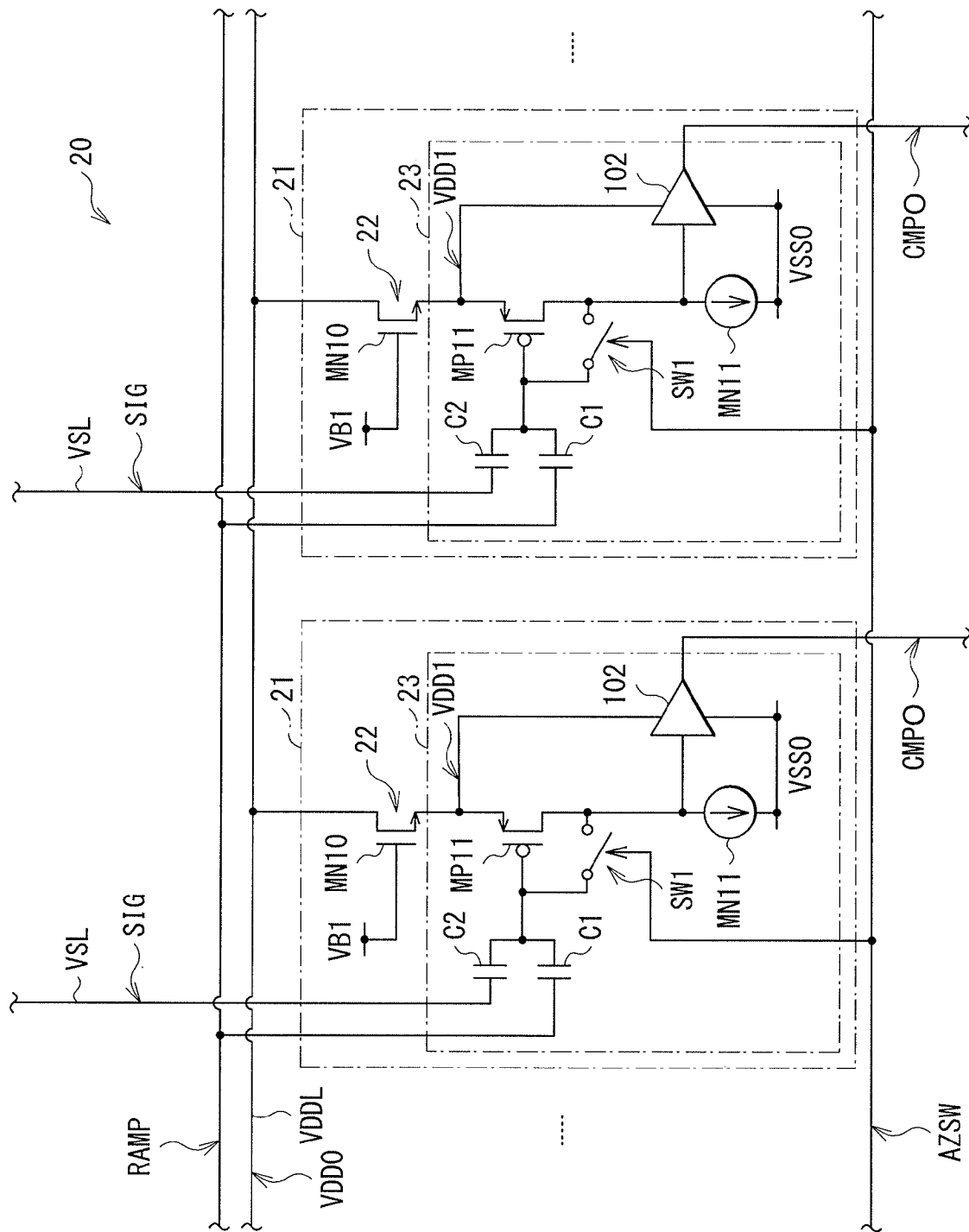


[図3]

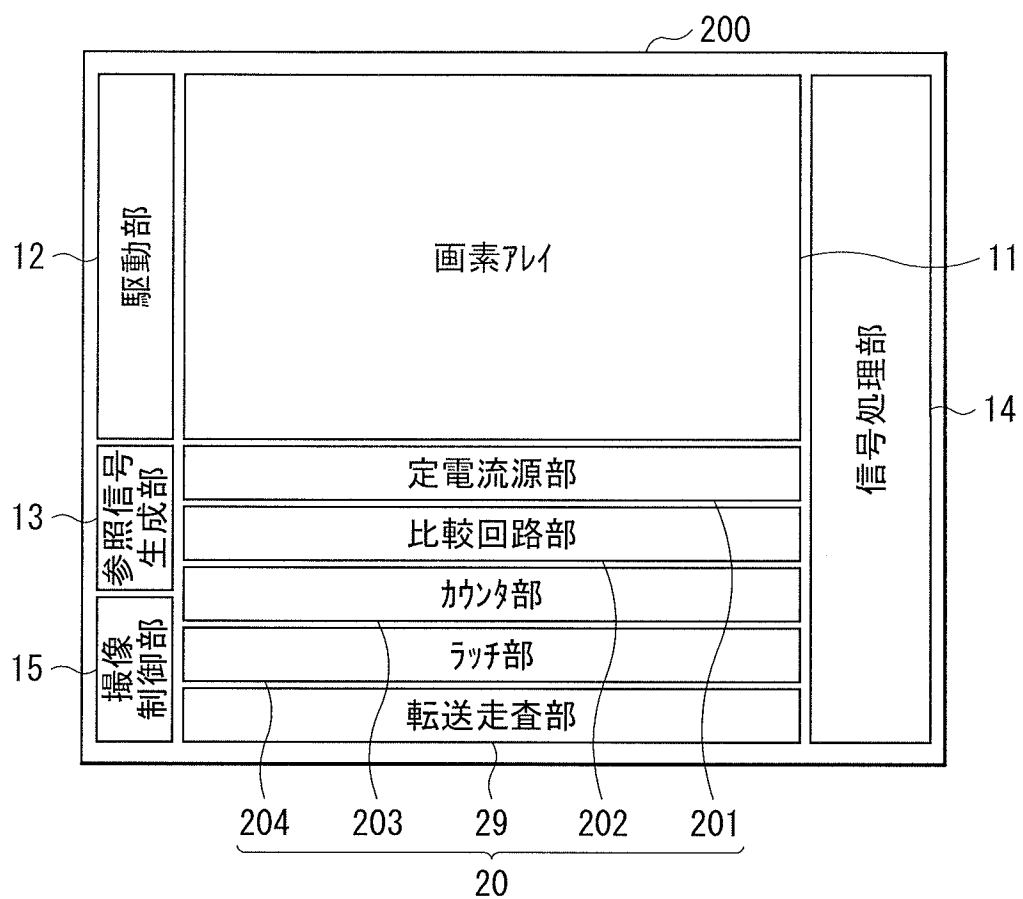


[illegible]

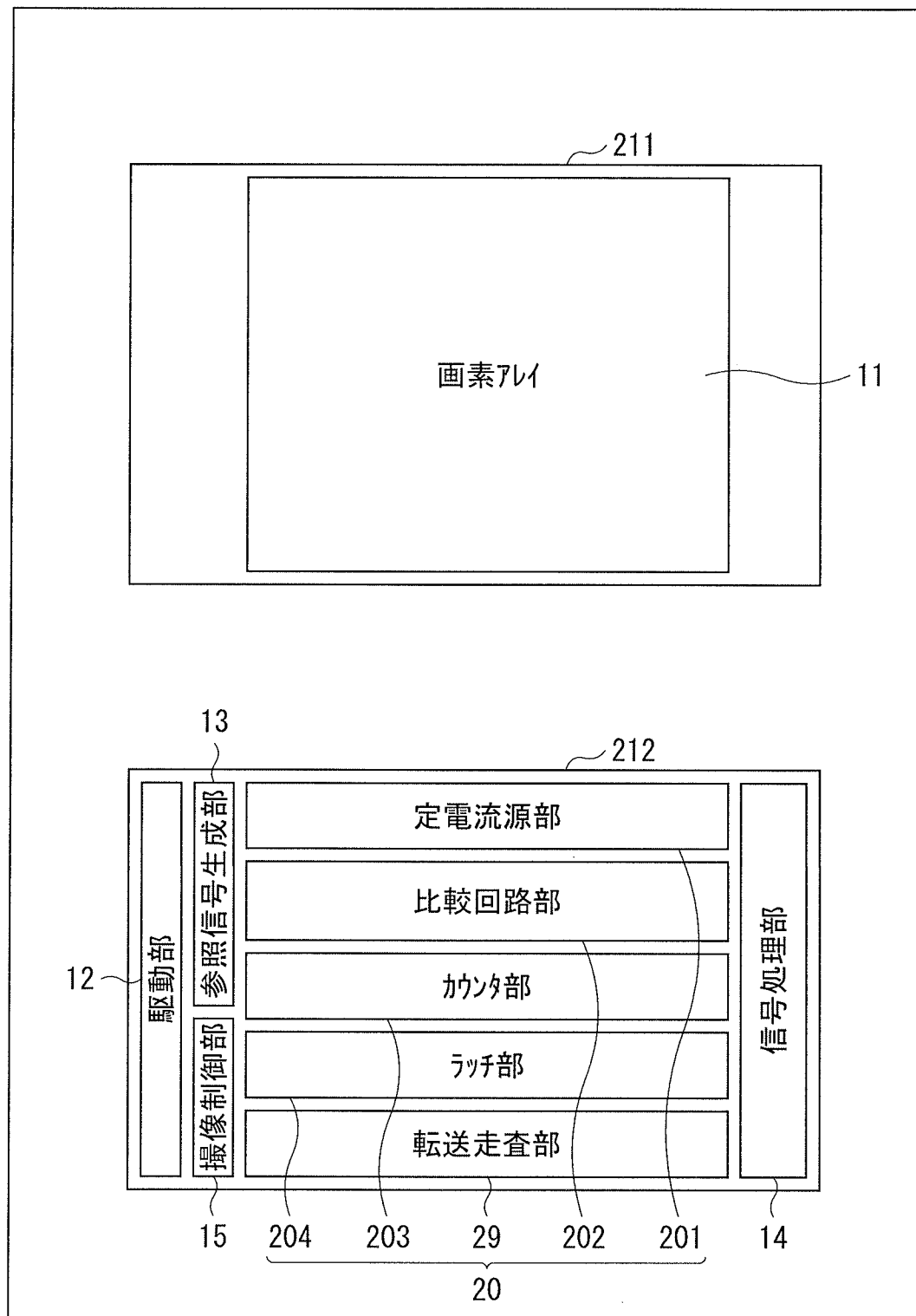
[図5]



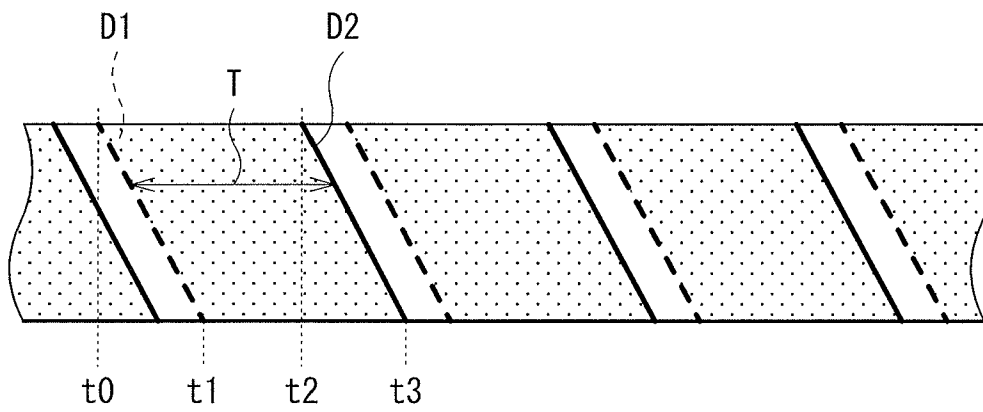
[図6]



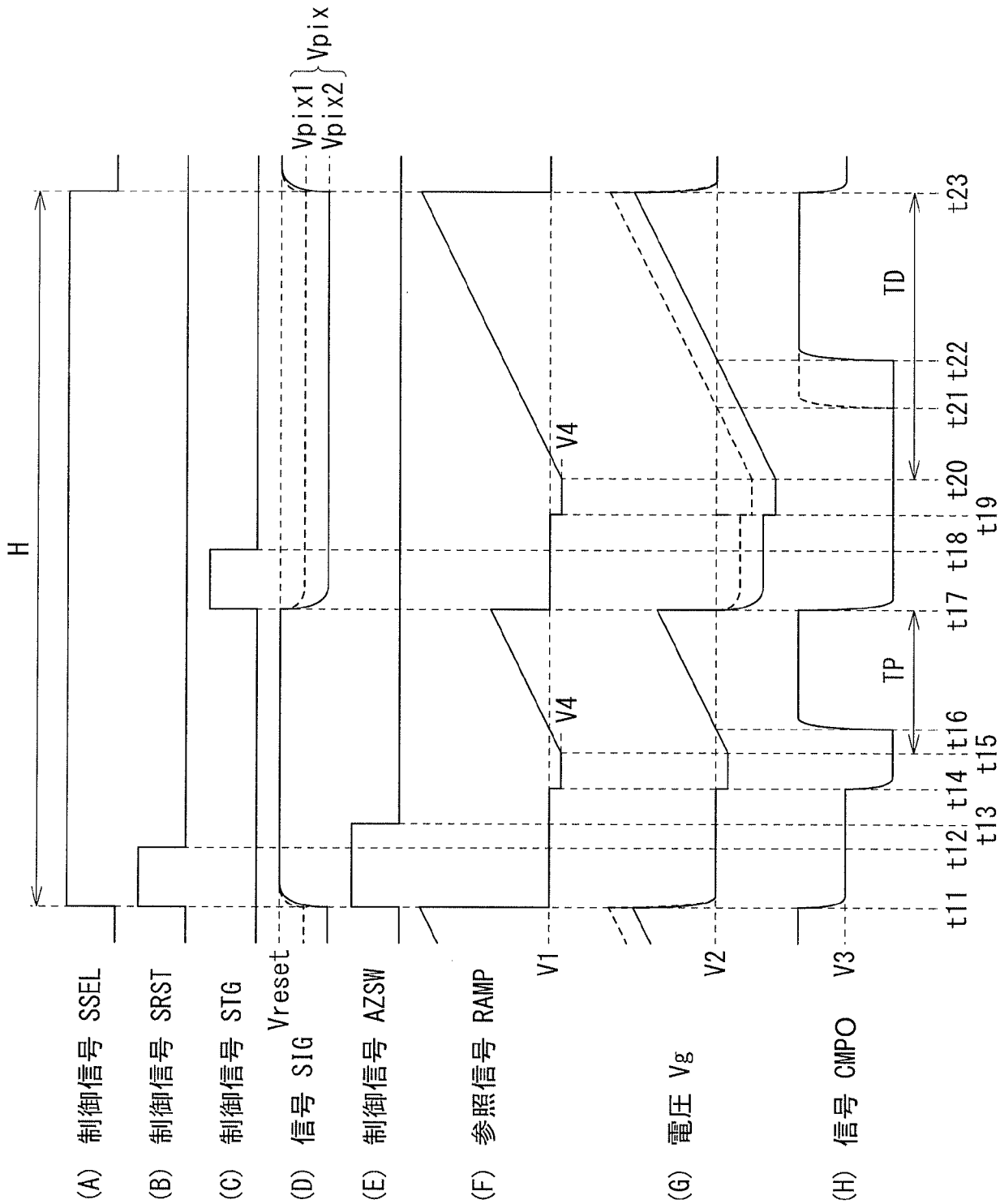
[図7]



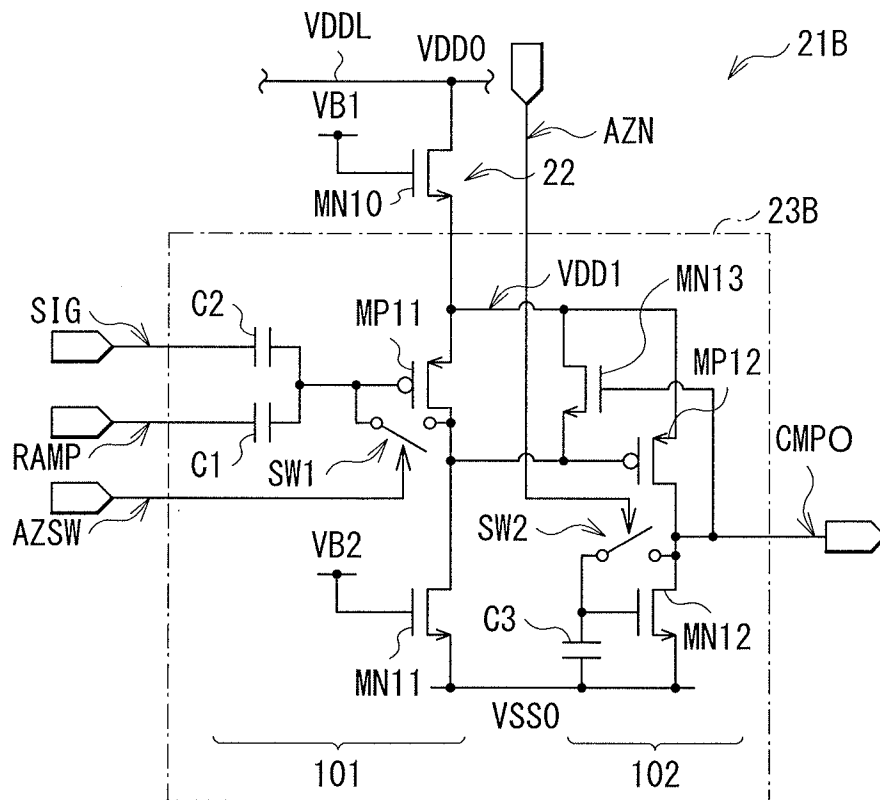
[図8]



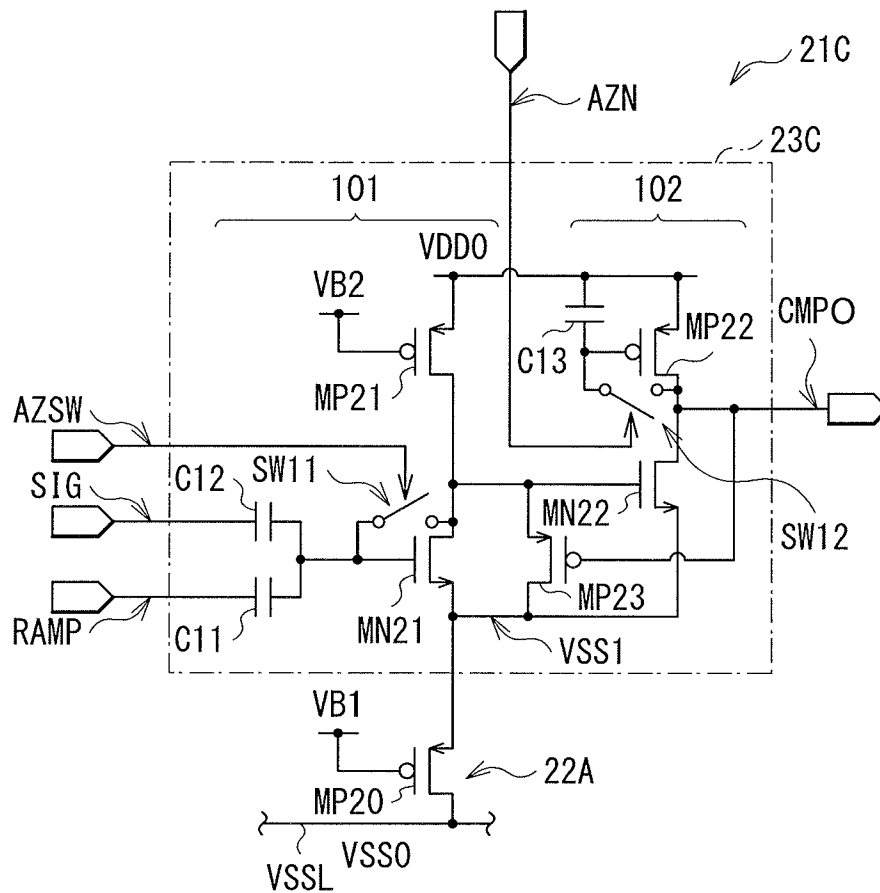
[図9]



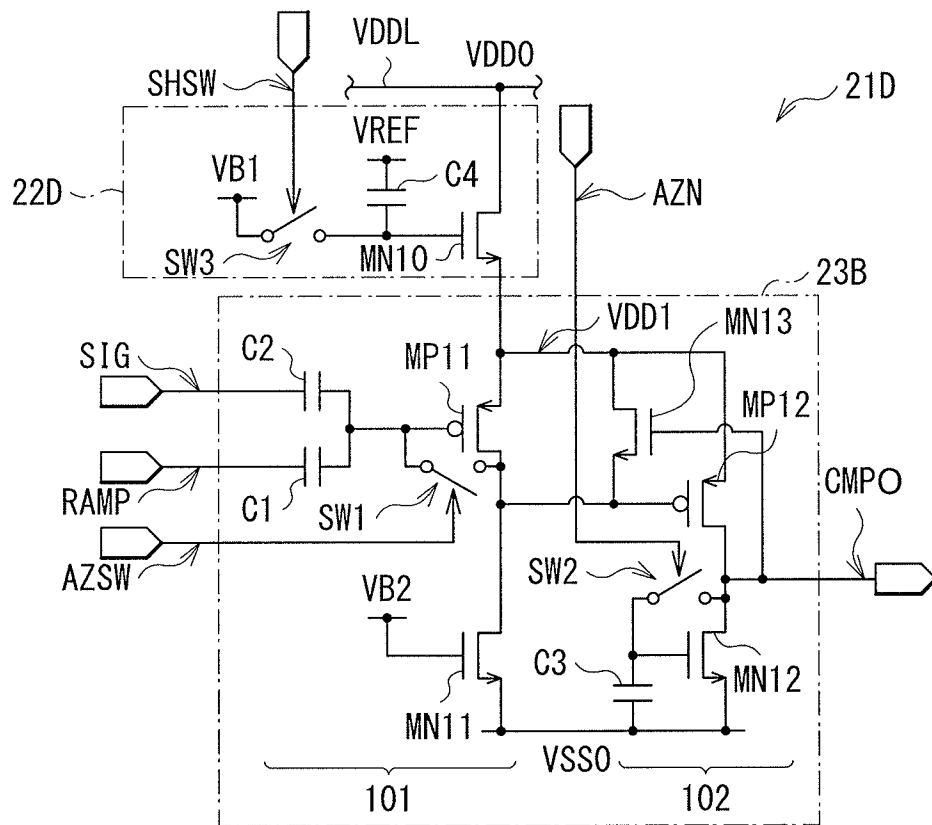
[図10A]



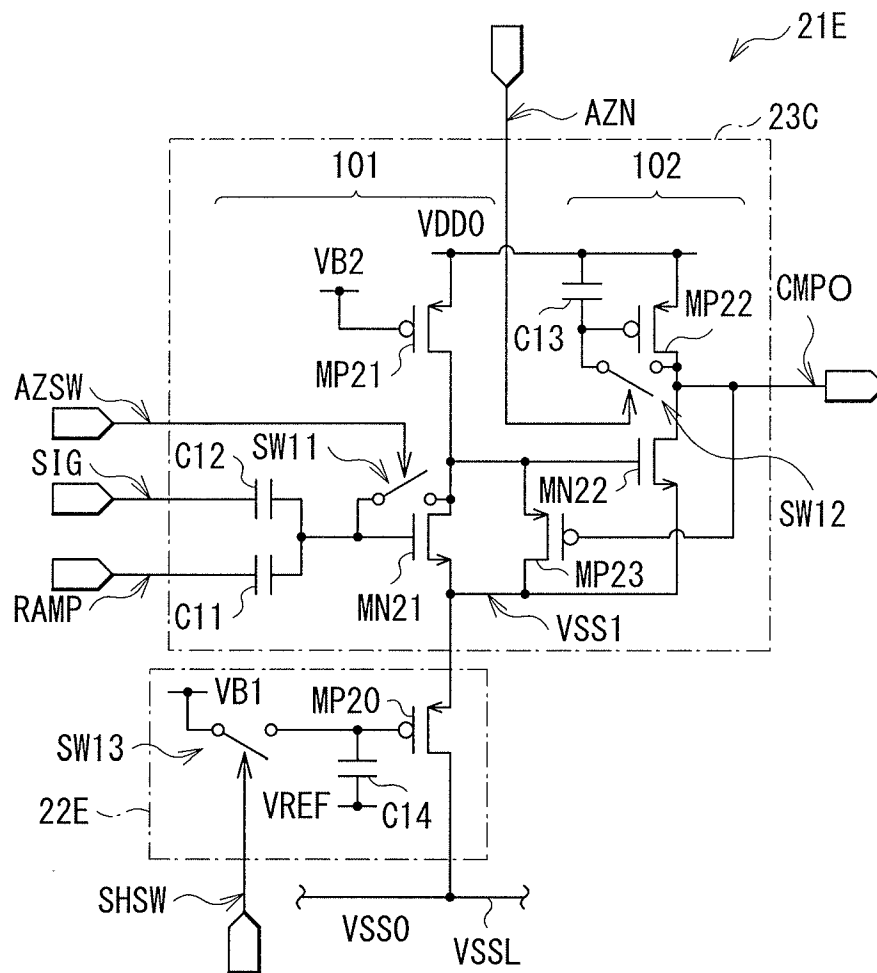
[図10B]



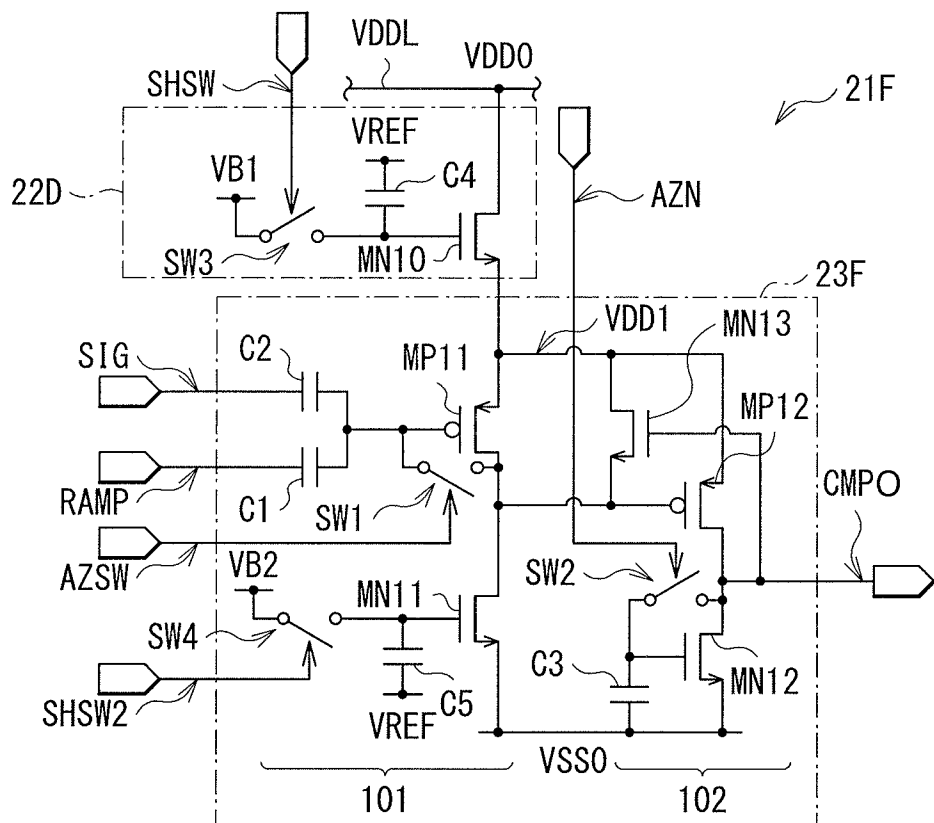
[図11A]



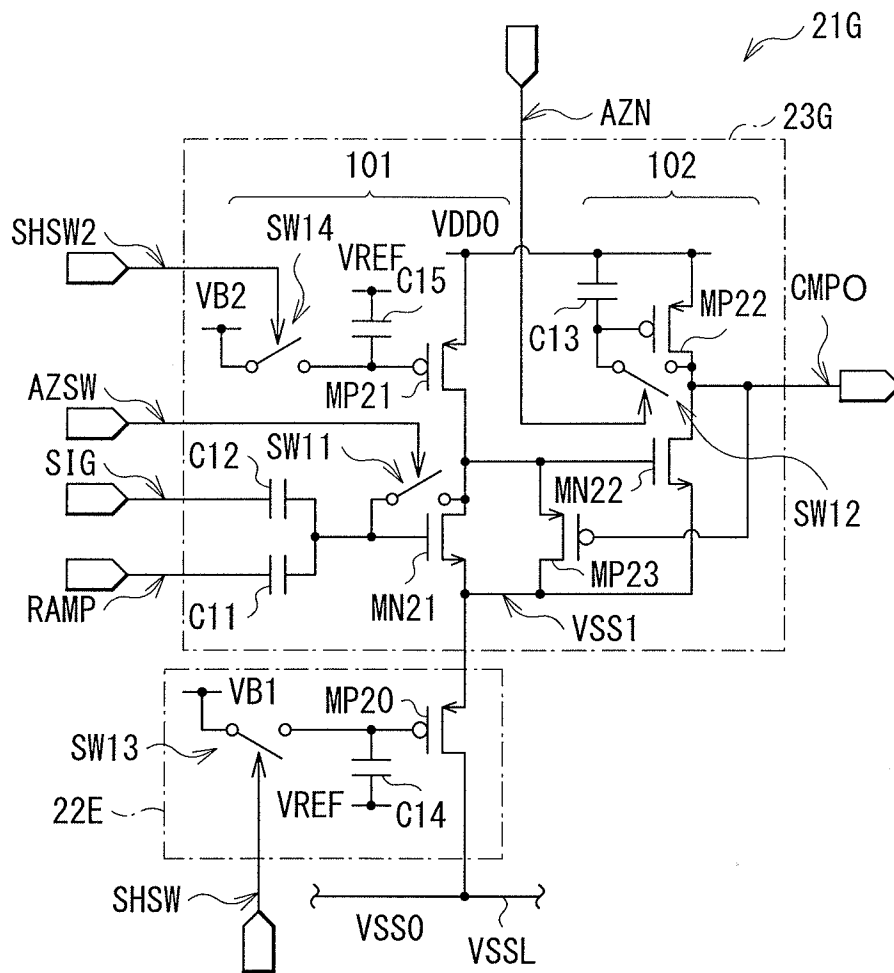
[図11B]

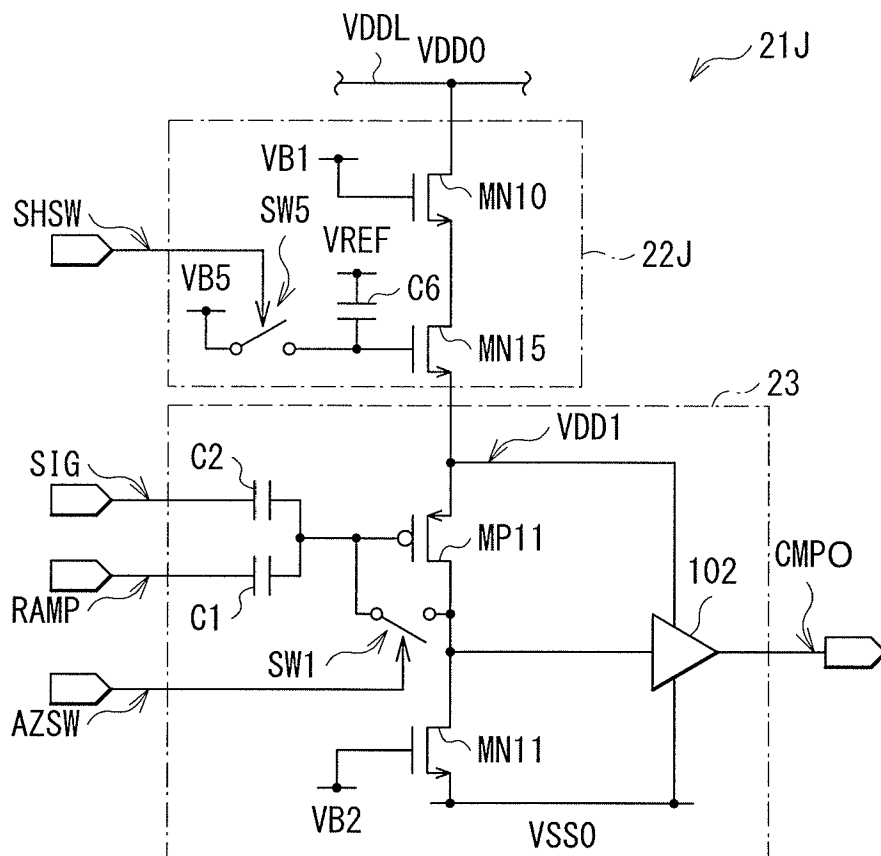
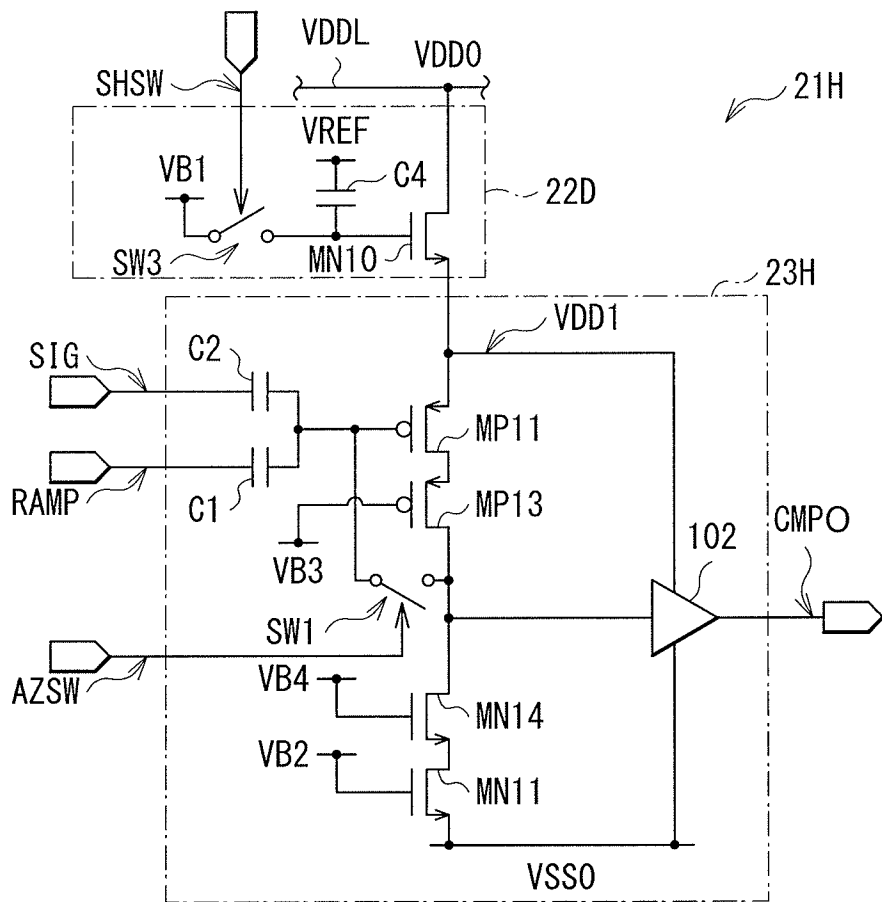


[図12A]

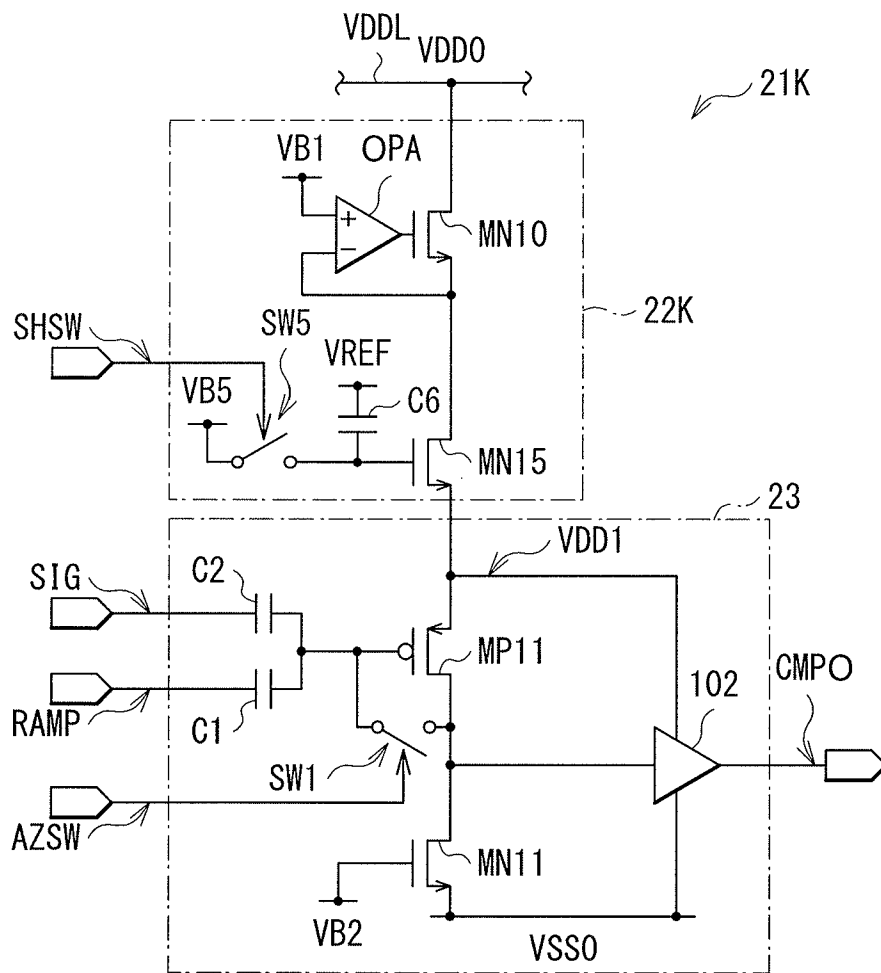


[図12B]

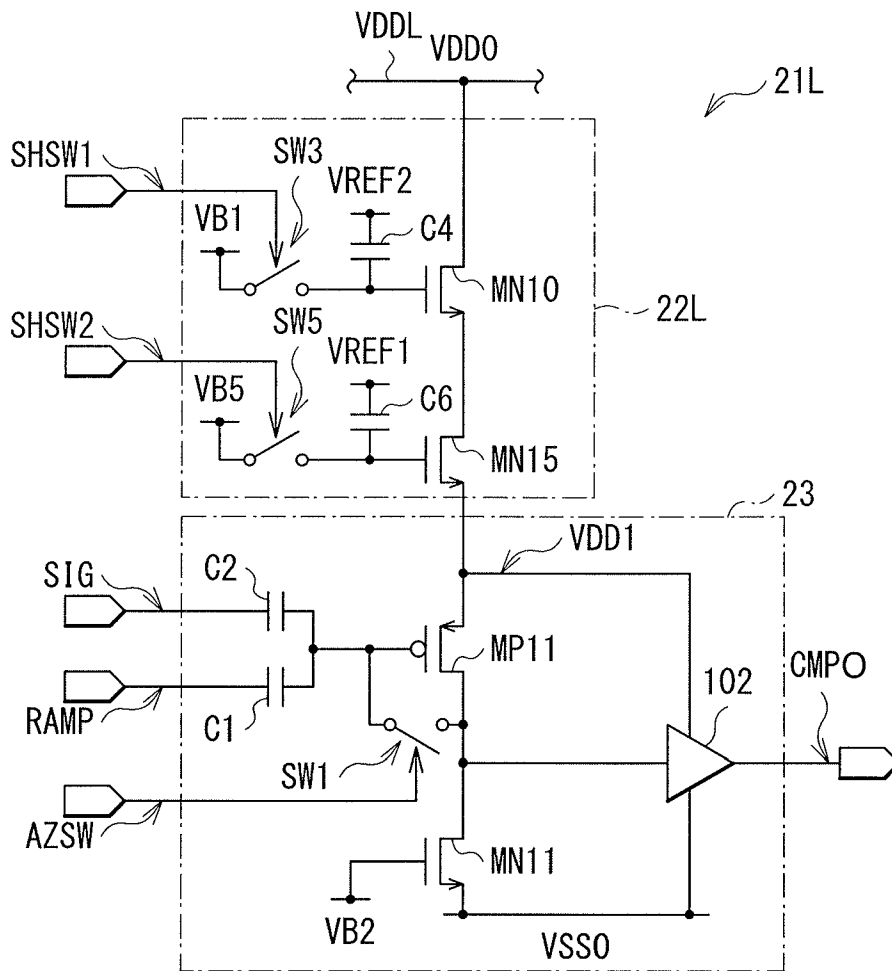




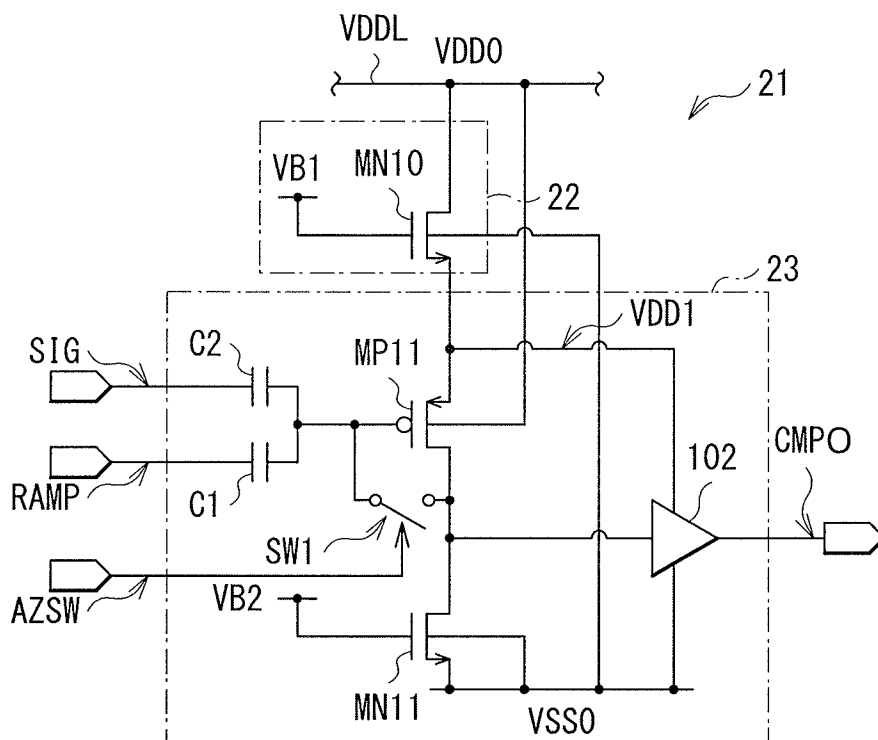
[図15]



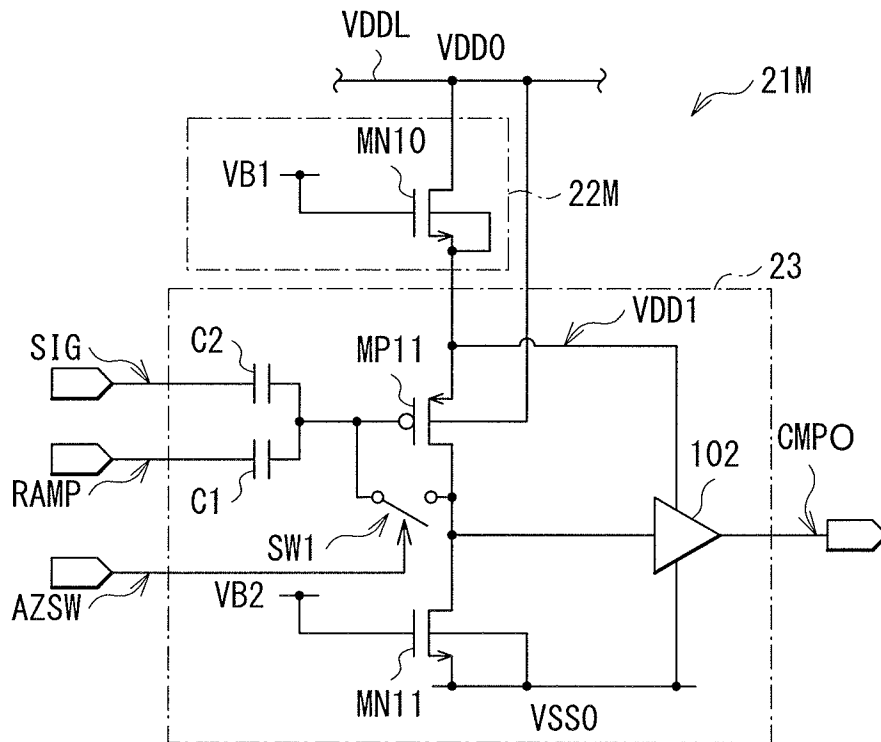
[図16]



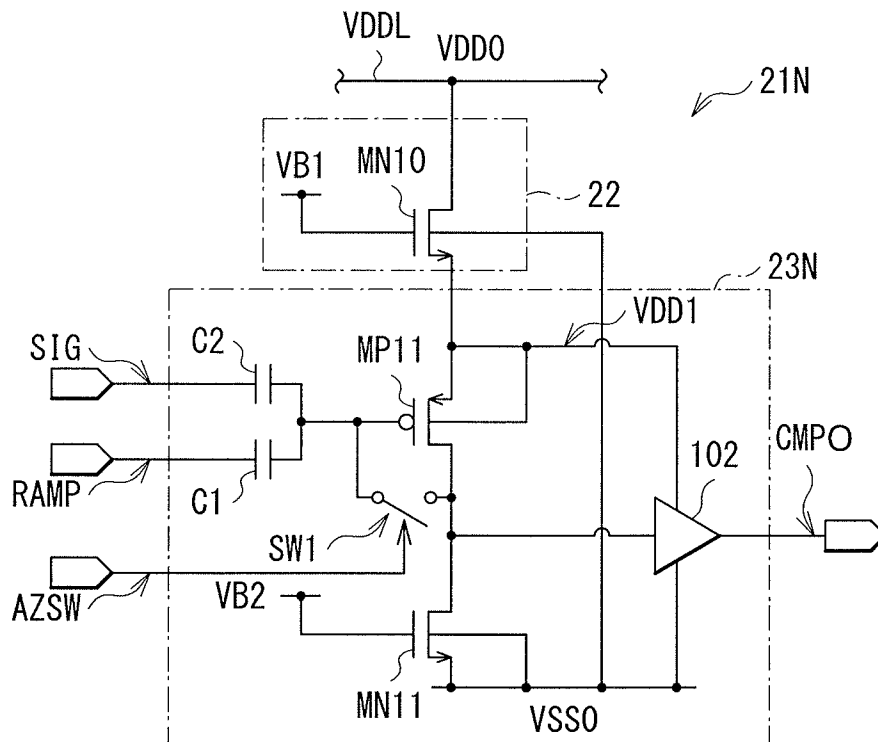
[図17]



[図18]

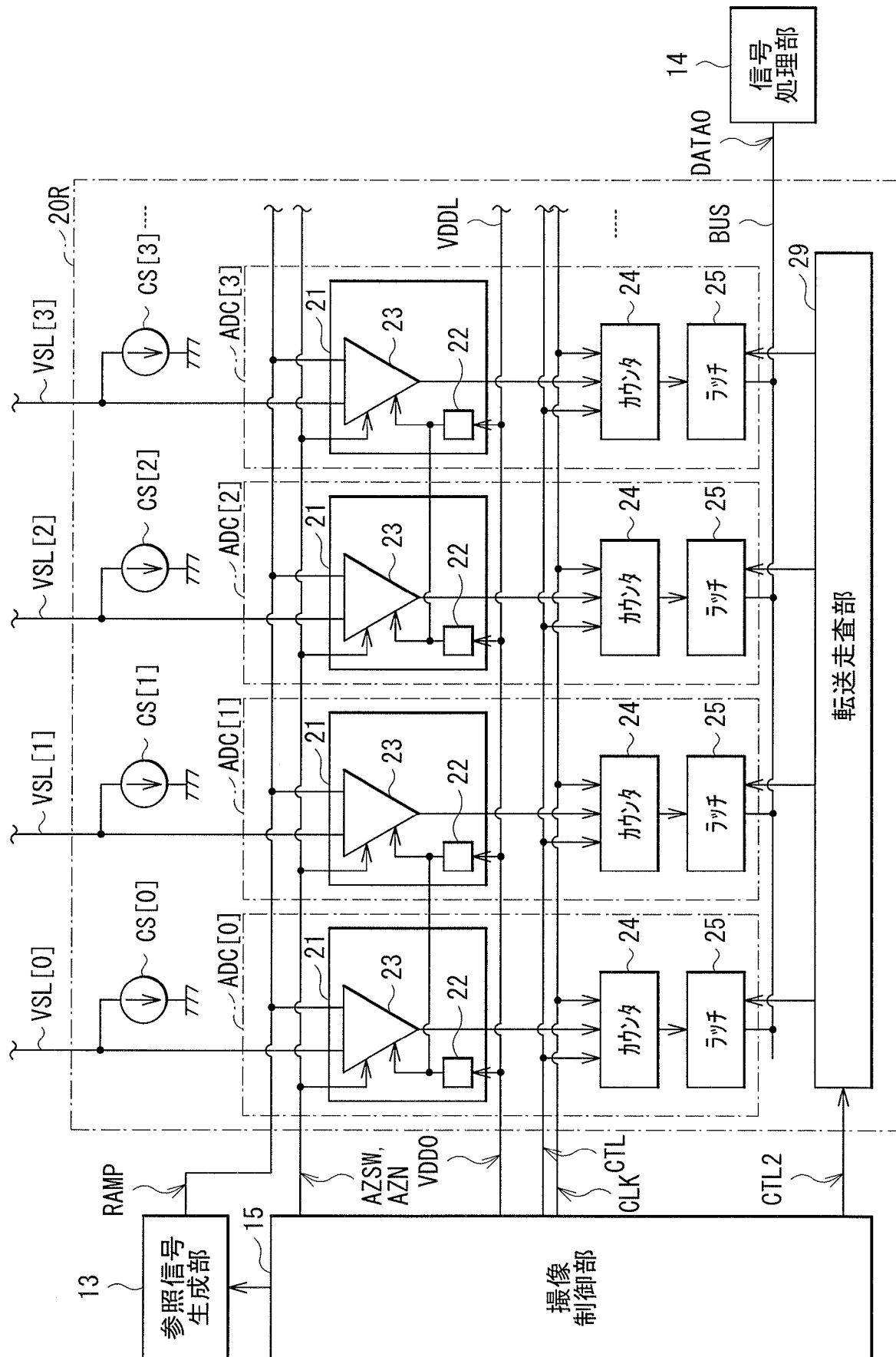


[図19]

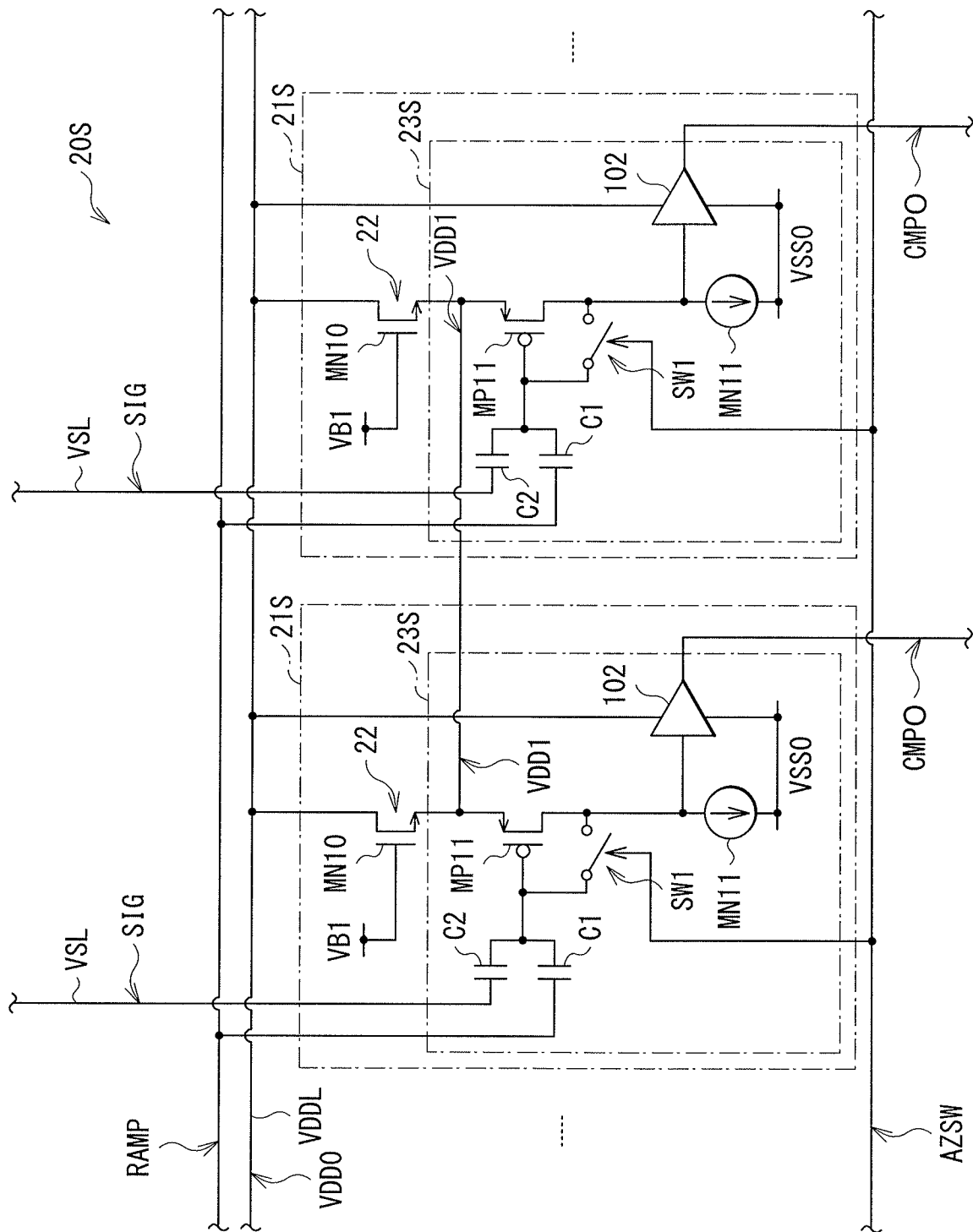


[illegible]

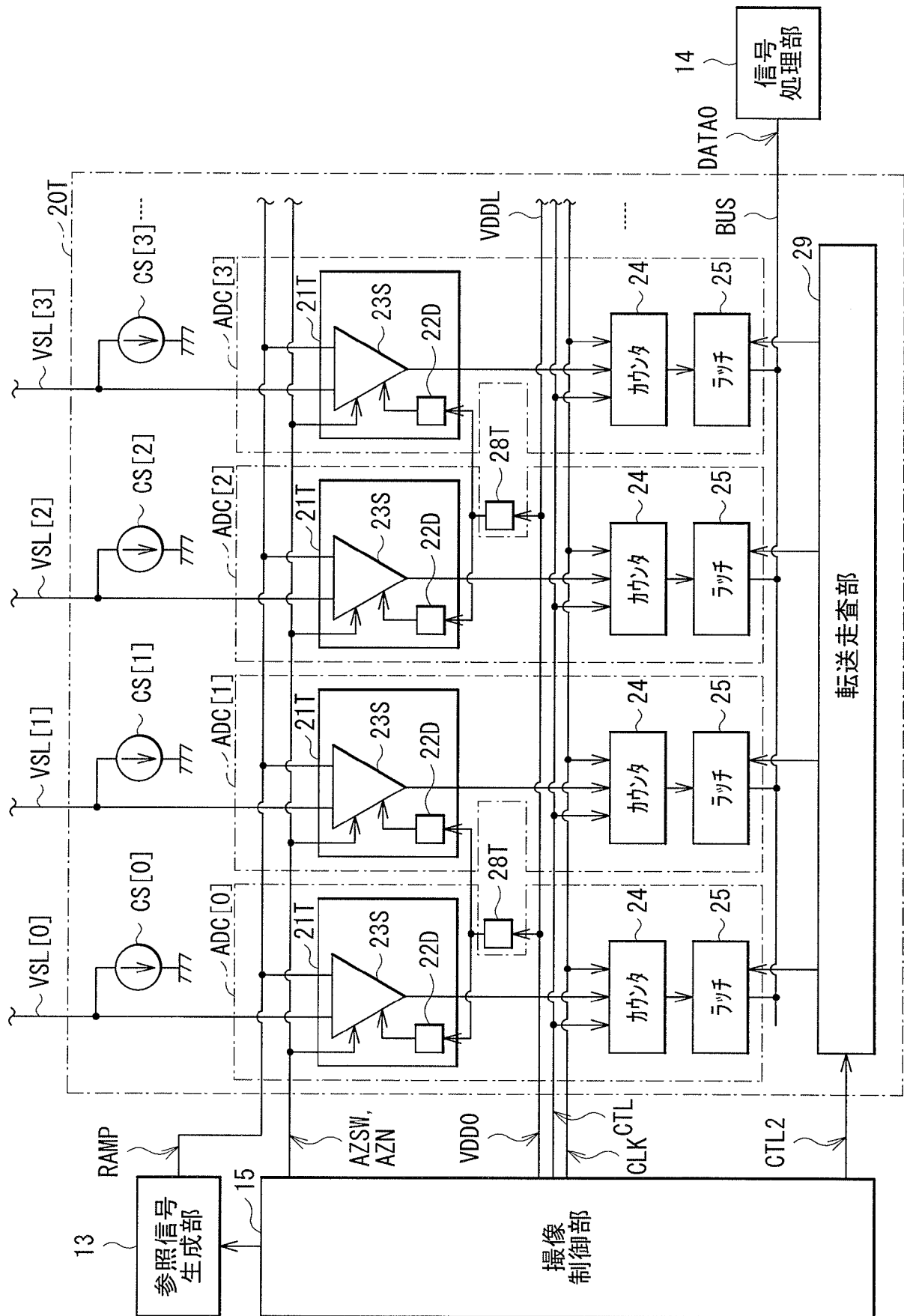
[図22]



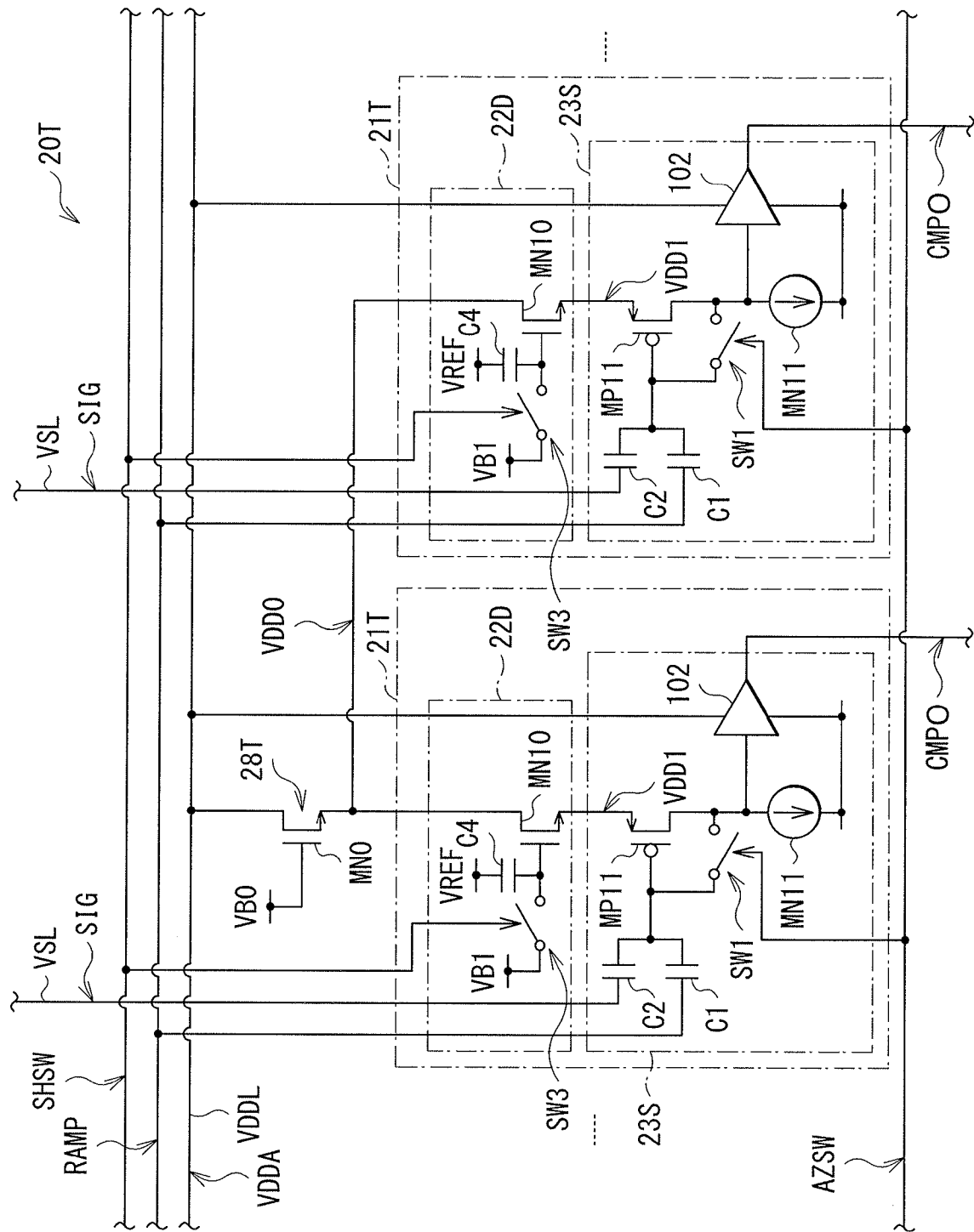
[図24]



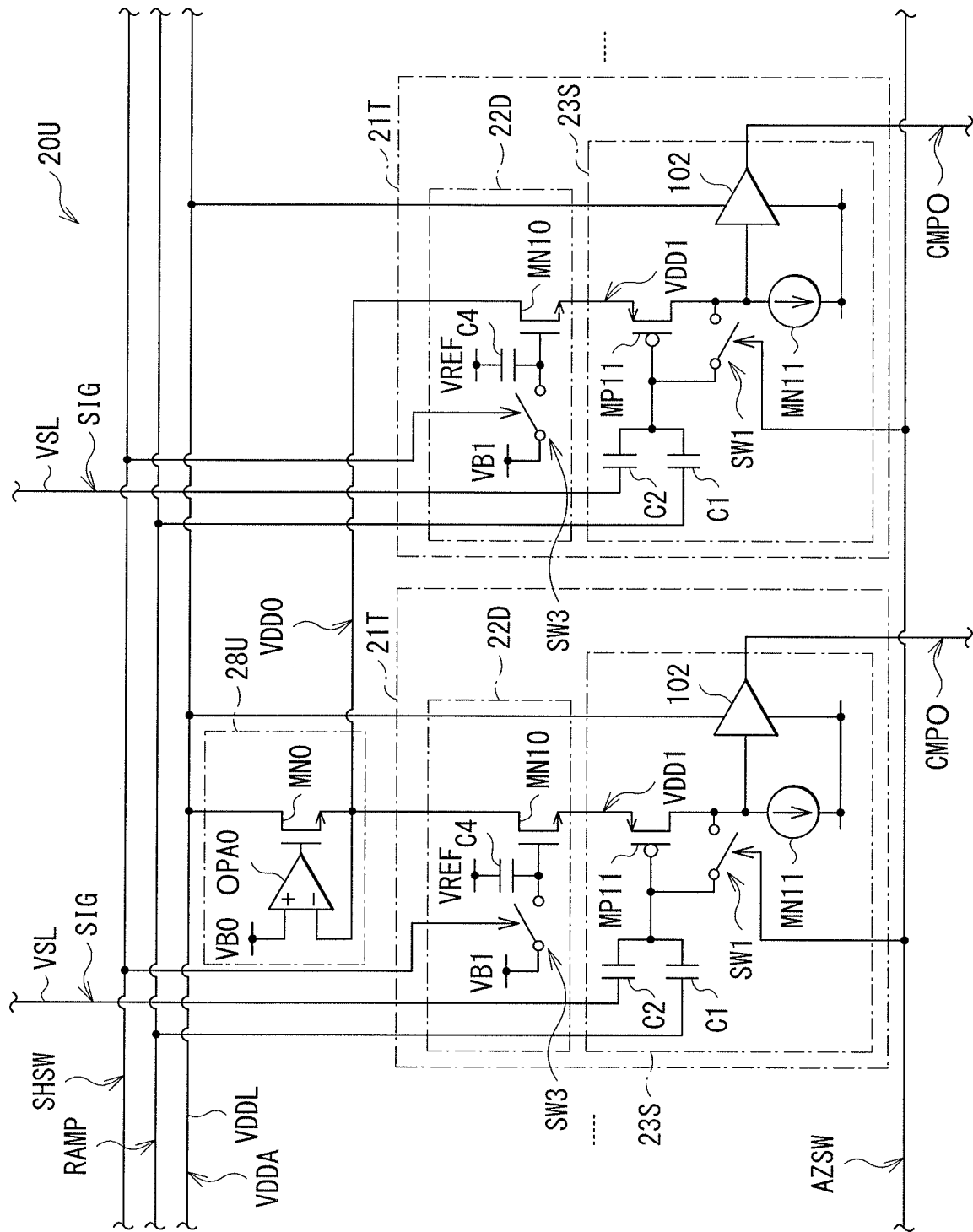
[図25]



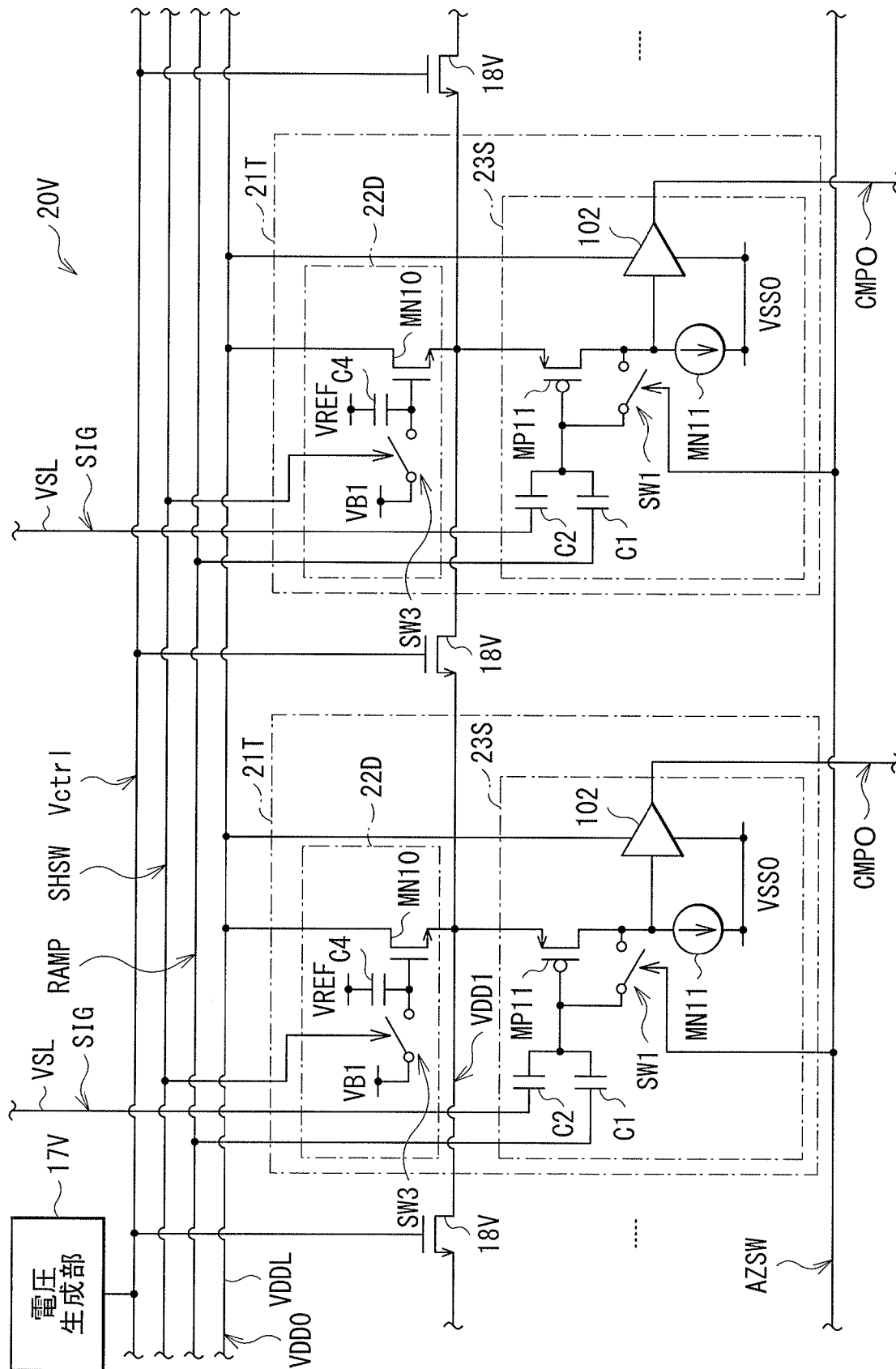
[図26]



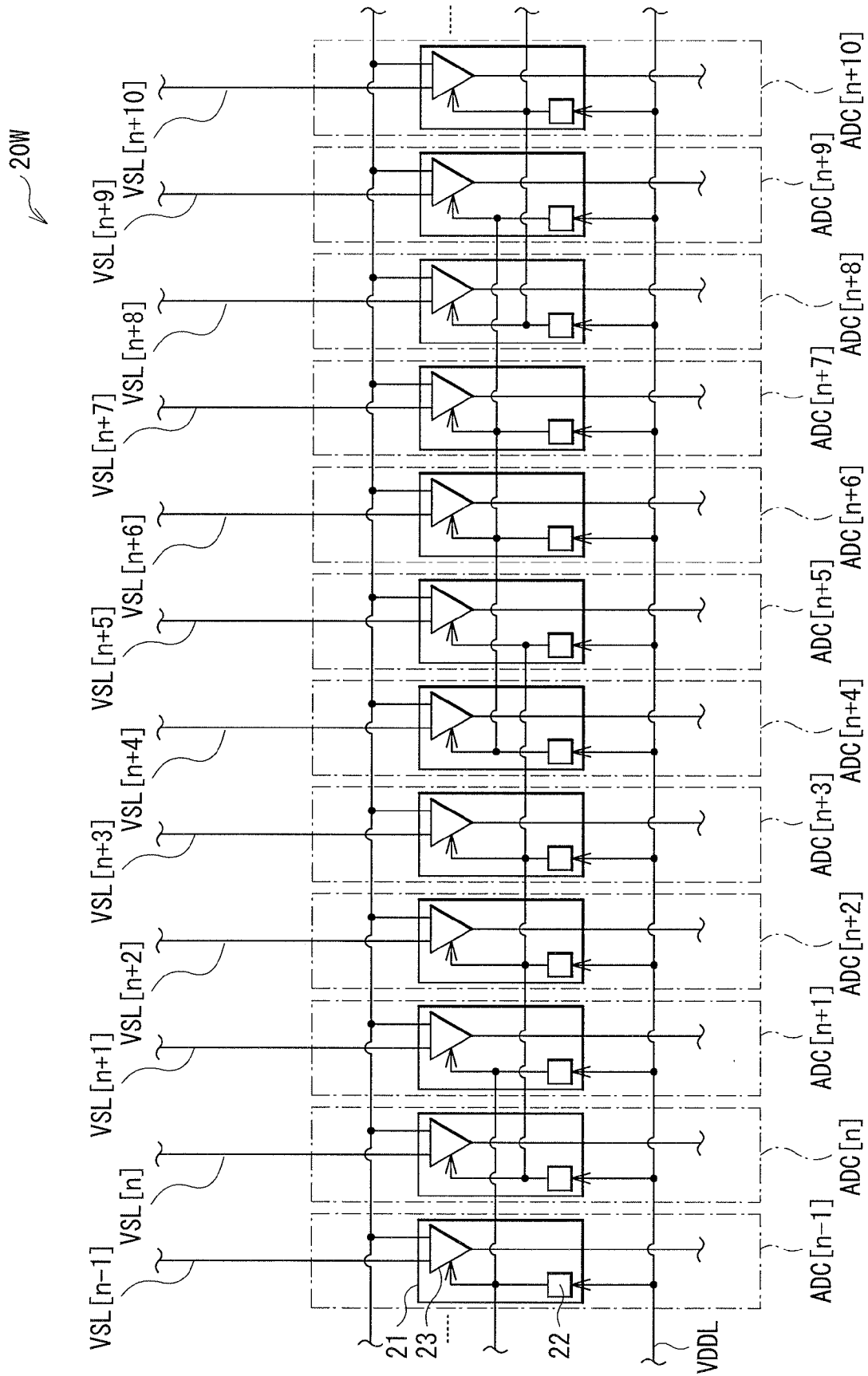
[図27]

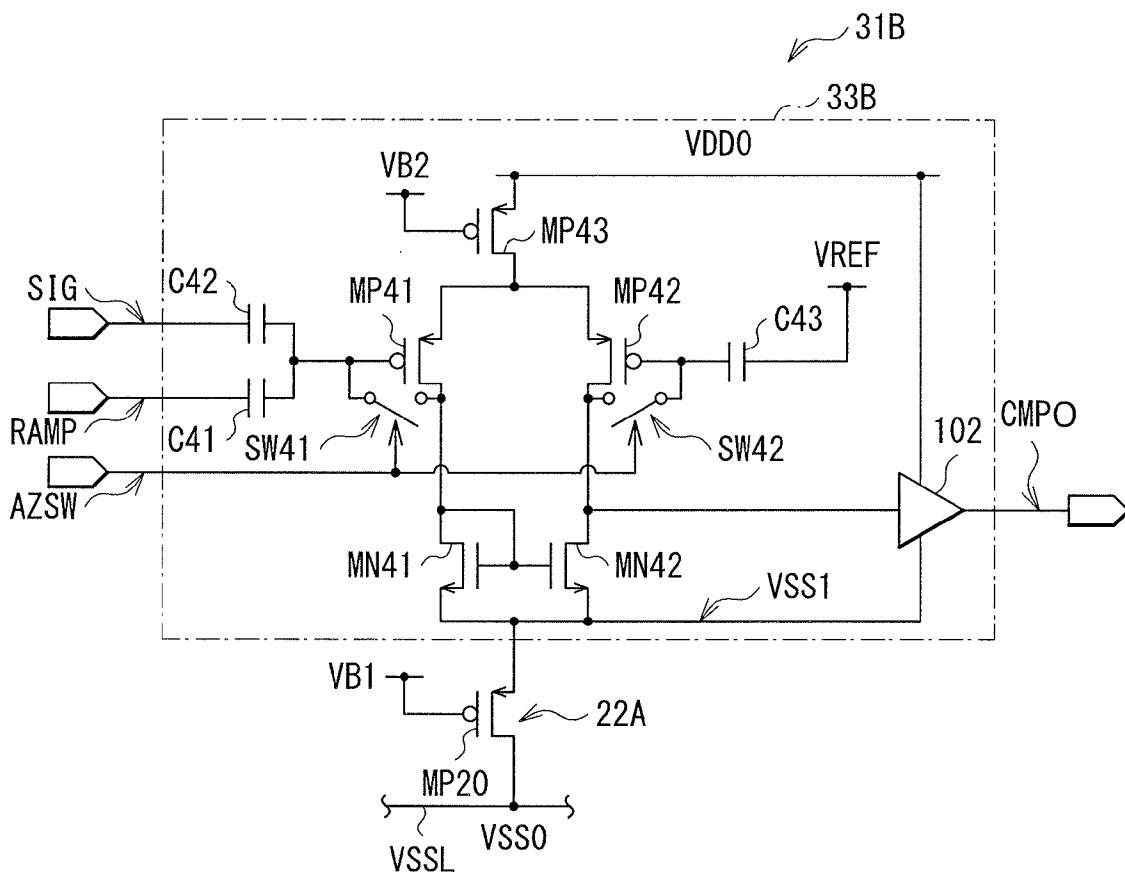


[図28]



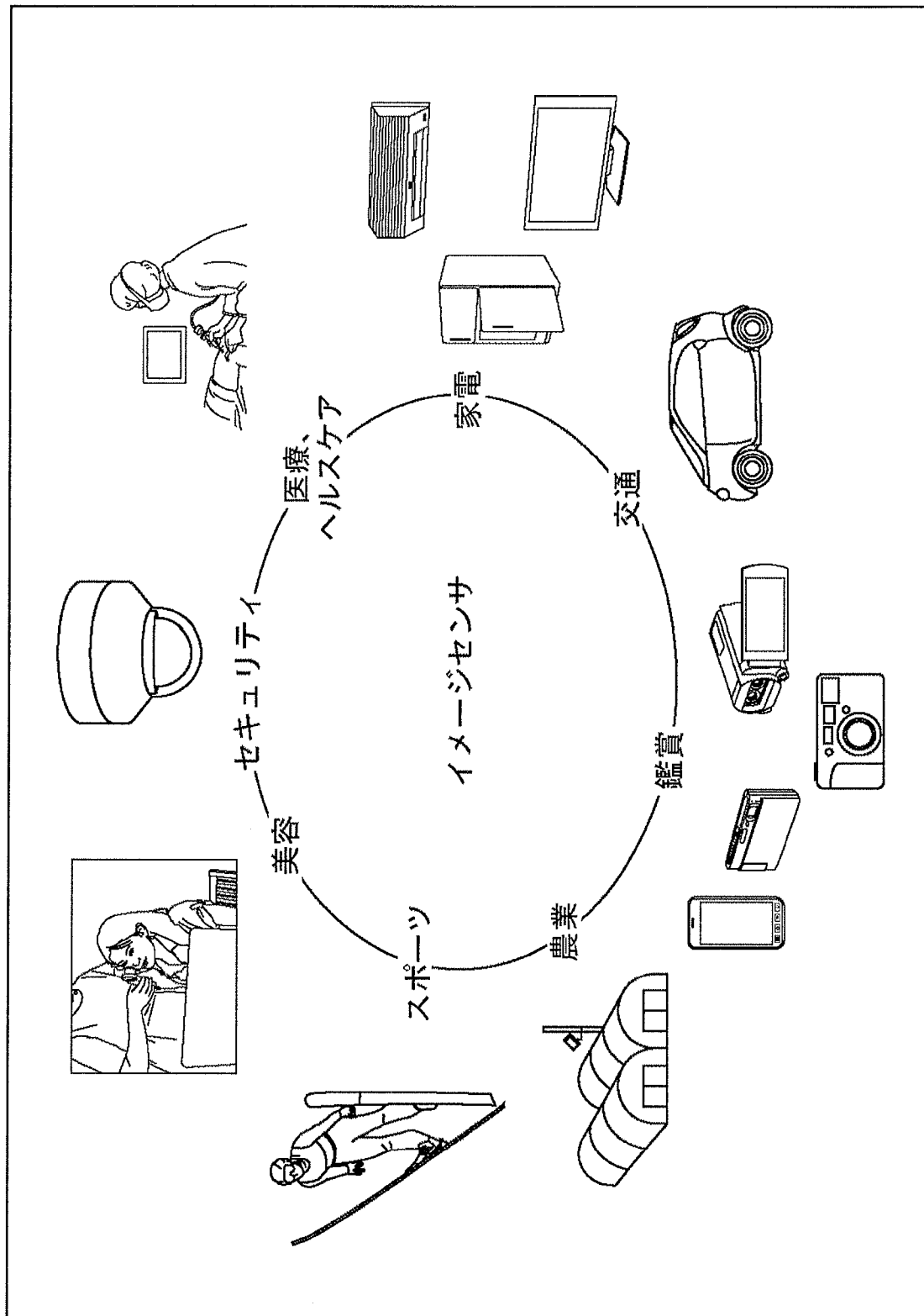
[図29]



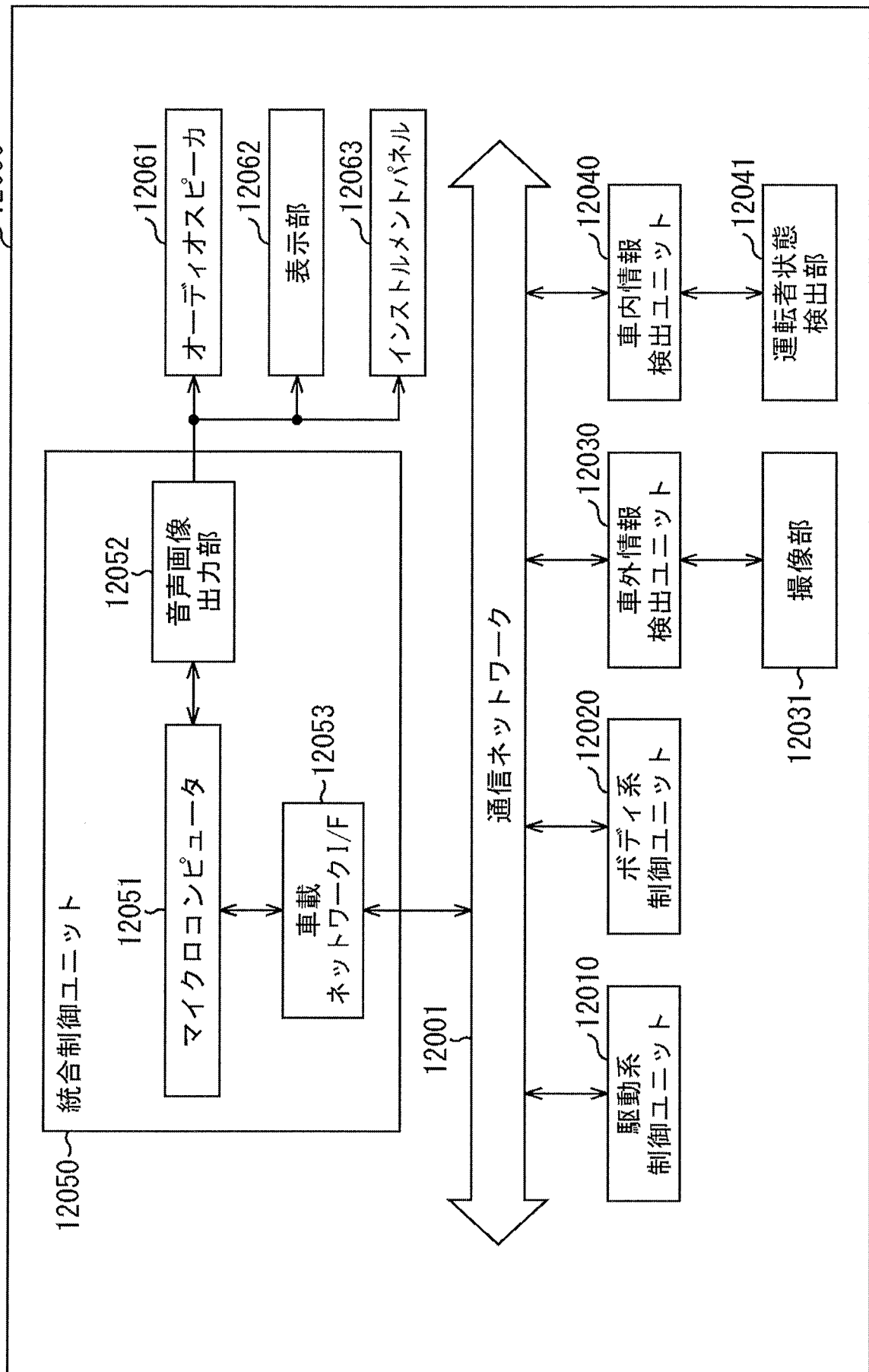


[illegible][illegible]

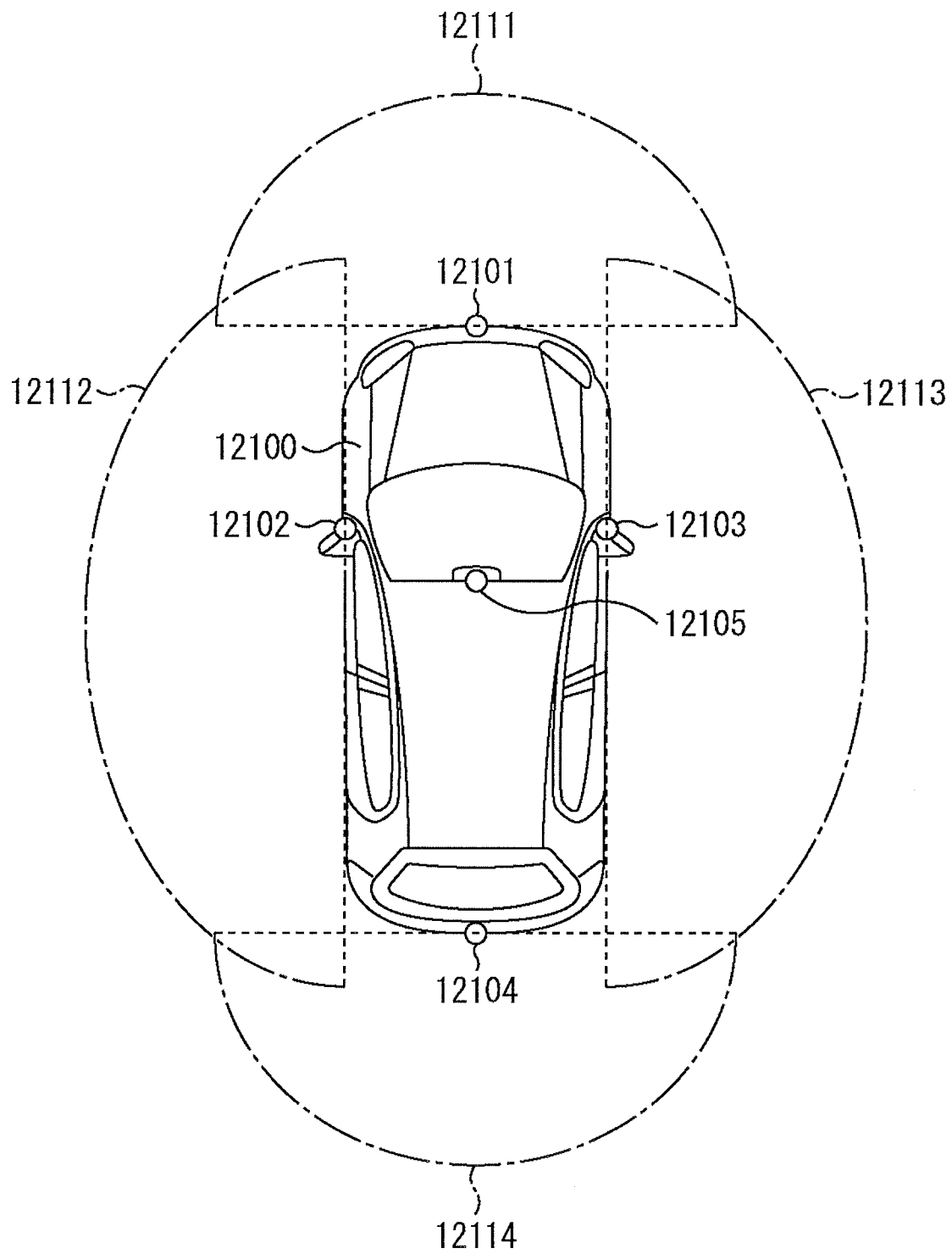
[図32]



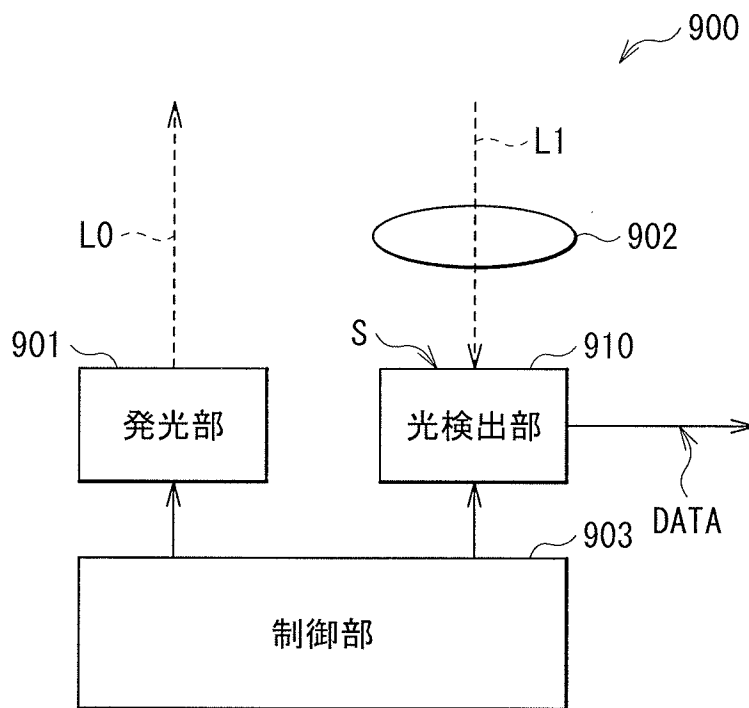
[図33]



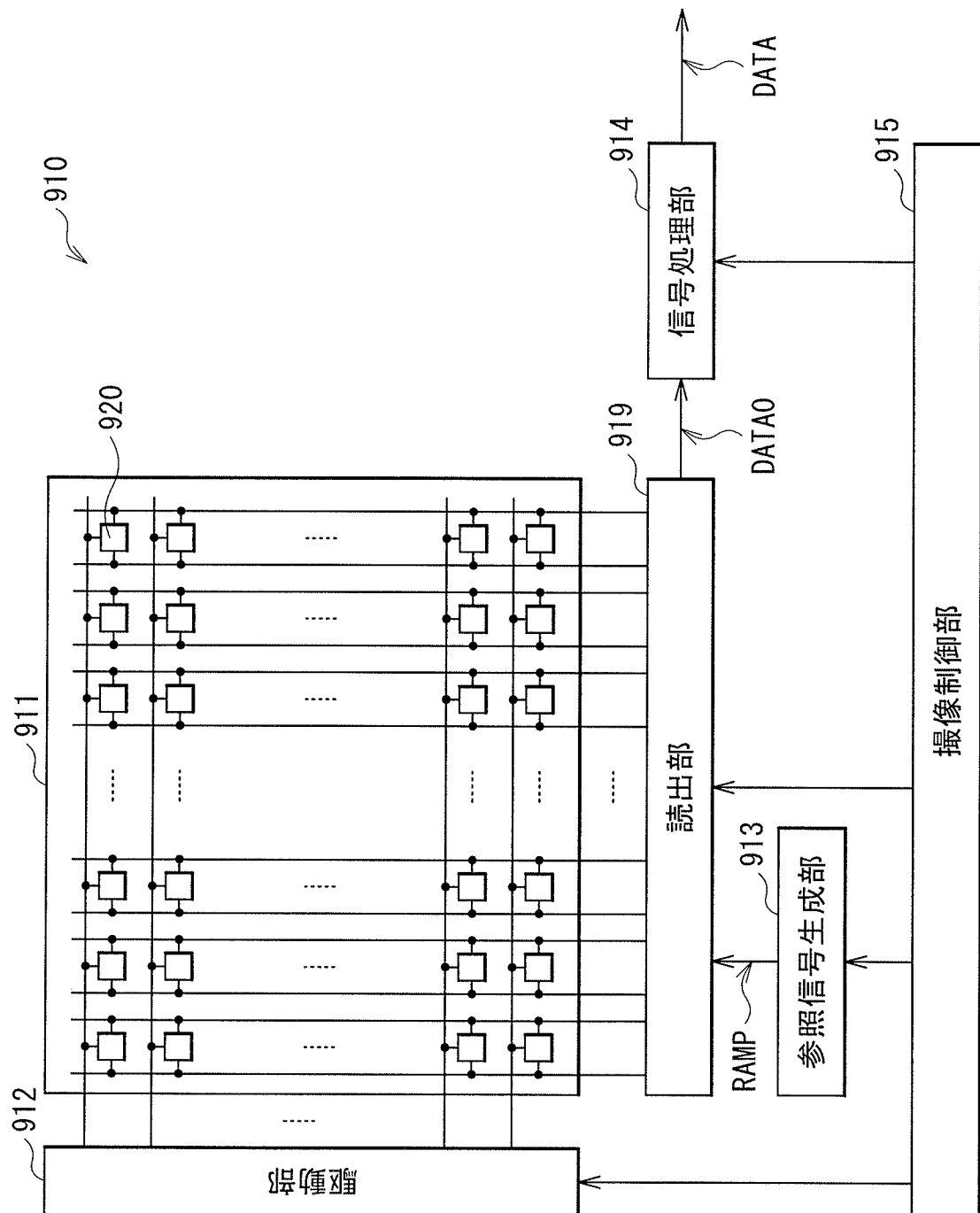
[図34]



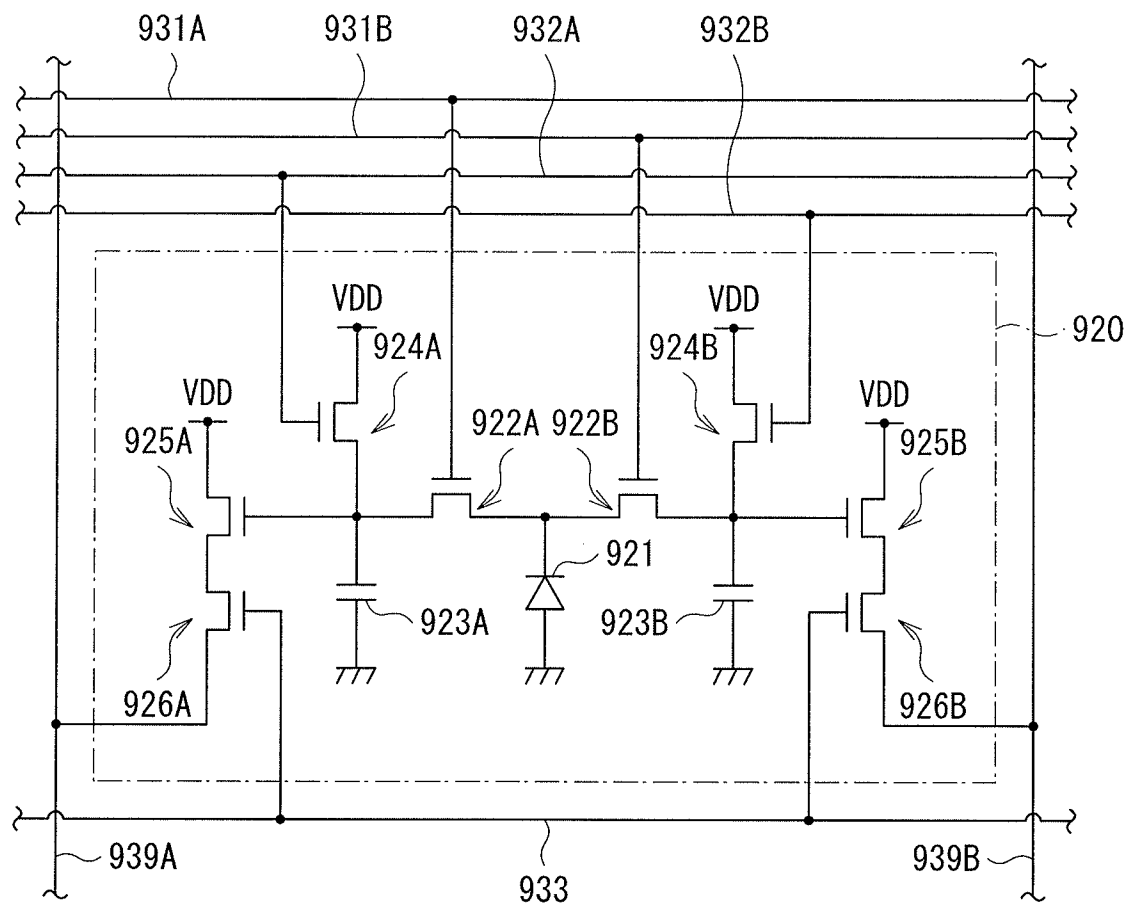
[図35]



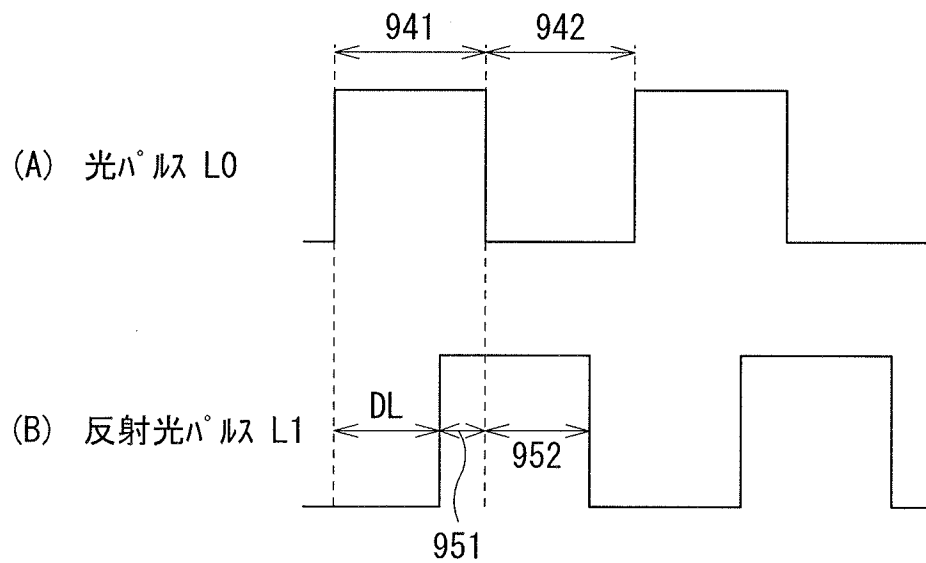
[図36]



[図37]



[図38]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/009644

A. CLASSIFICATION OF SUBJECT MATTER

H04N 5/374 (2011.01) i; H04N 5/378 (2011.01) i
FI: H04N5/378; H04N5/374

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/374; H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-172270 A (SONY CORP.) 02.09.2013 (2013-09-02) paragraphs [0056]-[0152], fig. 10-33	1, 2, 28
A	paragraphs [0056]-[0152], fig. 10-33	3-27
Y	WO 2016/121353 A1 (PANASONIC IP MANAGEMENT CO., LTD.) 04.08.2016 (2016-08-04) fig. 1, 2	1, 2, 28
A	JP 2009-118035 A (SEIKO EPSON CORP.) 28.05.2009 (2009-05-28) fig. 3	1-28
A	JP 2006-81241 A (SONY CORP.) 23.03.2006 (2006-03-23) fig. 1	1-28



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

11 May 2020 (11.05.2020)

Date of mailing of the international search report

19 May 2020 (19.05.2020)

Name and mailing address of the ISA/

Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2020/009644

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2013-172270 A	02 Sep. 2013	US 2013/0215303 A1 paragraphs [0159]- [0440], fig. 10-33	
WO 2016/121353 A1	04 Aug. 2016	US 2017/0302870 A1 fig. 1, 2	
JP 2009-118035 A	28 May 2009	(Family: none)	
JP 2006-81241 A	23 Mar. 2006	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 5/374(2011.01)i; H04N 5/378(2011.01)i FI: H04N5/378; H04N5/374		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H04N5/374; H04N5/378		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2013-172270 A（ソニー株式会社）02.09.2013（2013-09-02） 段落[0056]-[0152]、図10-33	1, 2, 28
A	段落[0056]-[0152]、図10-33	3-27
Y	WO 2016/121353 A1（パナソニックIPマネジメント株式会社）04.08.2016（2016-08-04） 図1, 2	1, 2, 28
A	JP 2009-118035 A（セイコーエプソン株式会社）28.05.2009（2009-05-28） 図3	1-28
A	JP 2006-81241 A（ソニー株式会社）23.03.2006（2006-03-23） 図1	1-28
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 11.05.2020		国際調査報告の発送日 19.05.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 松永 隆志 5V 4228 電話番号 03-3581-1101 内線 3571

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/009644

引用文献			公表日	パテントファミリー文献	公表日
JP	2013-172270	A	02.09.2013	US 2013/0215303 A1 段落[0159]-[0440]、図 10-33	
WO	2016/121353	A1	04.08.2016	US 2017/0302870 A1 図1, 2	
JP	2009-118035	A	28.05.2009	(ファミリーなし)	
JP	2006-81241	A	23.03.2006	(ファミリーなし)	