

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2020-4032
(P2020-4032A)

(43) 公開日 令和2年1月9日(2020.1.9)

(51) Int.Cl.
G05F 1/56 (2006.01)

F I
G O 5 F 1/56 3 1 O C

テーマコード (参考)
5 H 4 3 0

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21) 出願番号	特願2018-122105 (P2018-122105)	(71) 出願人	715010864
(22) 出願日	平成30年6月27日 (2018. 6. 27)		エイブリック株式会社
			千葉県千葉市美浜区中瀬一丁目8番地
		(72) 発明者	原田 範行
			千葉県千葉市美浜区中瀬1丁目8番地 エ
			イブリック株式会社内
		Fターム(参考)	5H430 BB01 BB09 BB11 EE06 FF04
			FF13 GG08 HH03 JJ04

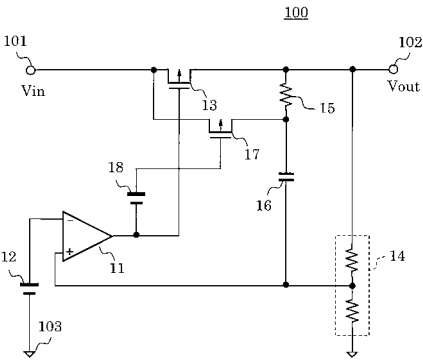
(54) 【発明の名称】 ボルテージレギュレータ

(57) 【要約】 (修正有)

【課題】入出力電圧差が小さい場合でも、安定した位相補償動作が可能なボルテージレギュレータを提供する。

【解決手段】ボルテージレギュレータ100は、誤差増幅器11と、基準電圧源12と、出力トランジスタ13と、分圧回路14と、抵抗15と、コンデンサ16と、補助トランジスタ17と、オフセット電圧源18と、入力端子101と、出力端子102と、を備える。位相補償回路を構成する前記補助トランジスタ17のゲートと前記誤差増幅器11の出力端子の間に前記オフセット電圧源18を備える。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

ソースが入力端子に接続され、ドレインが出力端子に接続された出力トランジスタと、
前記出力端子と接地端子の間に接続された分圧回路と、

前記分圧回路の出力端子が一方の入力端子に接続され、基準電圧源の出力端子が他方の
入力端子に接続され、出力端子が前記出力トランジスタのゲートに接続された誤差増幅器
と、

前記出力端子と前記分圧回路の出力端子の間に接続された位相補償回路と、

前記入力端子にソースが接続され、前記位相補償回路にドレインが接続された補助トラ
ンジスタと、を備え、

前記補助トランジスタのゲートは、前記誤差増幅器の出力端子とオフセット電圧源を介
して接続された

ことを特徴とするボルテージレギュレータ。

【請求項 2】

前記オフセット電圧源は、電流源から電流を供給される抵抗素子である

ことを特徴とする請求項 1 に記載のボルテージレギュレータ。

【請求項 3】

前記オフセット電圧源は、ゲートにバイアス電圧が供給される MOS トランジスタであ
る

ことを特徴とする請求項 1 に記載のボルテージレギュレータ。

【請求項 4】

前記オフセット電圧源は、ダイオード素子である

ことを特徴とする請求項 1 に記載のボルテージレギュレータ。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、ボルテージレギュレータに関し、より詳しくはボルテージレギュレータの位
相補償回路に関する。

【背景技術】**【0002】**

図 3 は、従来のボルテージレギュレータを示す回路図である。

従来のボルテージレギュレータ 200 は、誤差増幅器 21 と、基準電圧源 22 と、出力
トランジスタ 23 と、分圧回路 24 と、抵抗 25 と、コンデンサ 26 と、補助トランジス
タ 27 と、入力端子 101 と、出力端子 102 と、を備えている。

【0003】

誤差増幅器 21 は、反転入力端子に基準電圧源 22 の出力端子が接続され、非反転入力
端子に分圧回路 24 の出力端子が接続される。出力トランジスタ 23 は、ソースが入力端
子 101 に接続され、ドレインが出力端子 102 に接続され、ゲートが誤差増幅器 21 の
出力端子に接続されている。分圧回路 24 は、出力端子 102 と接地端子 103 の間に接
続される。抵抗 25 とコンデンサ 26 は、出力端子 102 と分圧回路 24 の出力端子の間
に接続されている。補助トランジスタ 27 は、ソースが入力端子 101 に接続され、ドレ
インが抵抗 25 とコンデンサ 26 の接続点に接続され、ゲートが誤差増幅器 21 の出力端
子に接続される。

【0004】

以上のような構成をしたボルテージレギュレータ 200 は、抵抗 25 とコンデンサ 26
と補助トランジスタ 27 で位相補償回路を構成し、補助トランジスタ 27 を流れる電流と
抵抗 25 に生成した位相補償信号をコンデンサ 26 を介して誤差増幅器 21 の非反転入力
端子に帰還信号として戻すことにより位相補償している。

【0005】

ボルテージレギュレータ 200 は、期待される位相補償効果を得るために、出力ラン

10

20

30

40

50

ジスタ 23 が飽和領域で動作するとき補助トランジスタ 27 も飽和領域で動作することが必要である。従って、補助トランジスタ 27 は、ソース・ドレイン間電圧 V_{ds} がオーバードライブ電圧 ($V_{gs} - V_{th}$) より大きくなければならない。

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2002-32133 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

10

しかしながら、従来技術のボルテージレギュレータにおいて、補助トランジスタ 27 のソース・ドレイン間電圧 V_{ds} は、入出力端子間の電圧より抵抗 25 の電圧降下分小さい値となる。従って、期待される位相補償効果を得るために、補助トランジスタ 27 が飽和領域で動作させるには、入出力端子間の電圧差を抵抗 25 による電圧降下分大きくする必要があり、入出力電圧差を小さくできないという課題があった。

【0008】

本発明は上記課題に鑑みてなされ、入出力電圧差が小さい場合でも安定して動作する位相補償回路を備えたボルテージレギュレータを提供する。

【課題を解決するための手段】

【0009】

20

本発明のボルテージレギュレータは、ソースが入力端子に接続され、ドレインが出力端子に接続された出力トランジスタと、前記出力端子と接地端子の間に接続された分圧回路と、前記分圧回路の出力端子が一方の入力端子に接続され、基準電圧源の出力端子が他方の入力端子に接続され、出力端子が前記出力トランジスタのゲートに接続された誤差増幅器と、前記出力端子と前記分圧回路の出力端子の間に接続された位相補償回路と、前記入力端子にソースが接続され、前記位相補償回路にドレインが接続された補助トランジスタと、を備え、前記補助トランジスタのゲートは、前記誤差増幅器の出力端子とオフセット電圧源を介して接続されたことを特徴とする。

【発明の効果】

【0010】

30

本発明のボルテージレギュレータによれば、位相補償回路を構成する補助トランジスタのゲートにオフセット電圧源を備えたので、入出力電圧差が小さい場合においても、位相補償回路は安定して動作することが出来る。

【図面の簡単な説明】

【0011】

【図 1】本実施形態のボルテージレギュレータを示す回路図である。

【図 2】本実施形態の位相補償回路の一例を示す回路図である。

【図 3】従来のボルテージレギュレータを示す回路図である。

【発明を実施するための形態】

【0012】

40

図 1 は、本実施形態のボルテージレギュレータを示す回路図である。

本実施形態のボルテージレギュレータ 100 は、誤差増幅器 11 と、基準電圧源 12 と、出力トランジスタ 13 と、分圧回路 14 と、抵抗 15 と、コンデンサ 16 と、補助トランジスタ 17 と、オフセット電圧源 18 と、入力端子 101 と、出力端子 102 と、を備えている。

【0013】

誤差増幅器 11 は、反転入力端子に基準電圧源 12 の出力端子が接続され、非反転入力端子に分圧回路 14 の出力端子が接続される。出力トランジスタ 13 は、ソースが入力端子 101 に接続され、ドレインが出力端子 102 に接続され、ゲートが誤差増幅器 11 の出力端子に接続されている。分圧回路 14 は、出力端子 102 と接地端子 103 の間に接

50

続される。抵抗 15 とコンデンサ 16 は、出力端子 102 と分圧回路 14 の出力端子の間に接続されている。補助トランジスタ 17 は、ソースが入力端子 101 に接続され、ドレインが抵抗 15 とコンデンサ 16 の接続点に接続される。オフセット電圧源 18 は、誤差増幅器 11 の出力端子と補助トランジスタ 17 のゲートとの間に接続される。

【0014】

ボルテージレギュレータ 100 は、出力端子 102 の出力電圧 V_{out} を分圧回路 14 で分圧した帰還電圧と、基準電圧源 12 の基準電圧とを誤差増幅器 11 で比較し、その比較結果によって出力トランジスタ 13 のゲート電圧を制御することにより、出力端子 102 の出力電圧 V_{out} が所望の電圧に保持される。

【0015】

抵抗 15 とコンデンサ 16 とオフセット電圧源 18 と補助トランジスタ 17 は、位相補償回路を構成する。位相補償信号は、補助トランジスタ 17 に流れる電流と抵抗 15 とにより生成される。誤差増幅器 11 は、位相補償信号がコンデンサ 16 を介して誤差増幅器 11 の非反転入力端子に帰還されることで位相補償される。

【0016】

出力トランジスタ 13 が飽和領域で動作するための条件は、入力電圧を V_{in} 、出力電圧を V_{out} 、閾値電圧を V_{th} 、ゲート・ソース間電圧を V_{gs} とすると (1) 式で表される。

$$(V_{in} - V_{out}) \quad (V_{gs} - V_{th}) \quad (1)$$

【0017】

同様に、補助トランジスタ 17 が飽和領域で動作するための条件は、オフセット電圧源 18 のオフセット電圧を ΔV_{os} 、閾値電圧を V_{th} 、抵抗 15 の抵抗値を R_m 、抵抗 15 に流れる電流を I_m とすると (2) 式で表される。

$$(V_{in} - V_{out} - I_m \times R_m) \quad (V_{gs} - \Delta V_{os} - V_{th}) \quad (2)$$

【0018】

(1) 式と (2) 式より、オフセット電圧 ΔV_{os} を抵抗 15 による電圧降下 ($I_m \times R_m$) 以上に設定することによって、補助トランジスタは出力トランジスタと同様の入出力電圧差において飽和領域で動作させることが可能である。従って、位相補償回路は、より広い入出力電圧の条件において所望の位相補償効果を得ることができる。

【0019】

図 2 は、本実施形態のボルテージレギュレータのオフセット電圧源 18 の一例を示す回路図である。

【0020】

オフセット電圧源 18 は、入力端子 101 と誤差増幅器 11 の出力端子との間に直列に接続された電流源と抵抗を用いて構成した。オフセット電圧源 18 は、電流源と抵抗の接続点の出力端子が補助トランジスタ 17 のゲートに接続される。

【0021】

図 2 のようなオフセット電圧源 18 において、オフセット電圧 ΔV_{os} は、電流源の電流値を I_b 、抵抗の抵抗値を R_b とすると (3) 式で表される。

$$\Delta V_{os} = I_b \times R_b \quad (3)$$

【0022】

図 2 のように構成したオフセット電圧源 18 は、電流源の電流値や抵抗の抵抗値をトリミング等の手段で調整できるようにして、オフセット電圧 ΔV_{os} を所望の値にすることが可能である。

【0023】

以上説明したように、本実施形態のボルテージレギュレータの位相補償回路によれば、より広い入出力電圧条件において、期待した位相補償効果が得られるため、安定した出力電圧 V_{out} を得ることが出来る。

【0024】

なお、オフセット電圧源 18 の抵抗は、ゲートが定電圧でバイアスされた MOS トラン

10

20

30

40

50

ジスタを用いても同様の効果がある。その場合のオフセット電圧 ΔV_{os} は、トランジスタのオン抵抗値を R_{on} とすると (4) 式で表される。

$$\Delta V_{os} = I_b \times R_{on} \quad (4)$$

【0025】

また、オフセット電圧源 18 の抵抗は、ダイオードやゲートとソースを共通とした MOS トランジスタを用いても同様の効果がある。その場合のオフセット電圧 ΔV_{os} は、ダイオードの順方向電圧を V_f とすると (5) 式で表される。

$$\Delta V_{os} = V_f \quad (5)$$

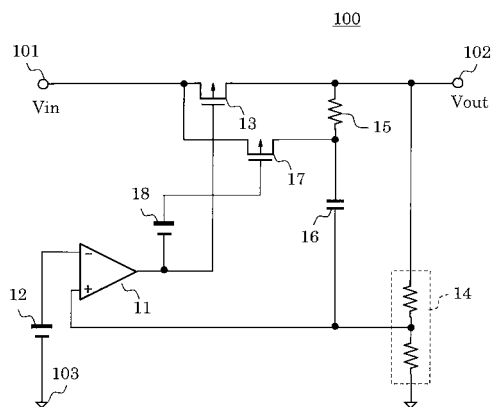
【符号の説明】

【0026】

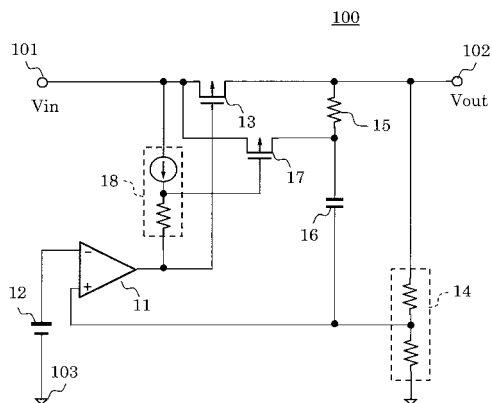
- 11 誤差増幅器
- 12 基準電圧源
- 14 分圧回路
- 18 オフセット電圧源

10

【図 1】



【図 2】



【図 3】

