



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.

G09G 3/28 (2006.01)

(45) 공고일자

2007년08월07일

(11) 등록번호

10-0747183

(24) 등록일자

2007년08월01일

(21) 출원번호 10-2005-0122207
 (22) 출원일자 2005년12월12일
 심사청구일자 2005년12월12일

(65) 공개번호 10-2007-0062374
 (43) 공개일자 2007년06월15일

(73) 특허권자 엘지전자 주식회사
 서울특별시 영등포구 여의도동 20번지

(72) 발명자 이병우
 경기도 부천시 원미구 중1동 미리내마을아파트 938동 404호

(74) 대리인 이수웅

(56) 선행기술조사문현
 KR1020040021363 A

심사관 : 김민수

전체 청구항 수 : 총 8 항

(54) 플라즈마 디스플레이 장치

(57) 요약

본 발명은 플라즈마 디스플레이 장치에 관한 것으로서, 더욱 자세하게는 서스테인 펠스를 개선한 플라즈마 디스플레이 장치에 관한 것이다.

상기와 같은 기술적 과제를 해결하기 위한 본 발명의 일례에 따른 플라즈마 디스플레이 장치는 스캔 전극 및 서스테인 전극이 형성된 플라즈마 디스플레이 패널과 스캔 전극 및 서스테인 전극으로 각각 적어도 하나 이상의 서스테인 펠스를 공급하고, 평균 화상 레벨(Average Picture Level)이 제 2 레벨보다 낮은 제 1 레벨에서 스캔 전극으로 공급되는 서스테인 펠스 중 적어도 어느 하나의 서스테인 펠스와 서스테인 전극으로 공급되는 서스테인 펠스 중 적어도 어느 하나의 서스테인 펠스는 서로 중첩(Overlap)되도록 하는 구동부를 포함한다.

이상에서와 같이 본 발명은 적어도 하나의 서스테인 펠스를 중첩하여 플라즈마 디스플레이 패널의 외곽 코너부에 발생하는 오방전을 저감시키고, 화질 향상을 극대화시키는 효과가 있다.

대표도

도 2

특허청구의 범위

청구항 1.

스캔 전극 및 서스테인 전극이 형성된 플라즈마 디스플레이 패널과,

상기 스캔 전극 및 상기 서스테인 전극으로 각각 적어도 하나 이상의 서스테인 펄스를 공급하고, 평균 화상 레벨(Average Picture Level)이 제 2 레벨보다 낮은 제 1 레벨에서 상기 스캔 전극으로 공급되는 서스테인 펄스 중 적어도 어느 하나의 서스테인 펄스와 상기 서스테인 전극으로 공급되는 서스테인 펄스 중 적어도 어느 하나의 서스테인 펄스는 서로 중첩(Overlap)되도록 하는 구동부

를 포함하는 플라즈마 디스플레이 장치.

청구항 2.

삭제

청구항 3.

제 1 항에 있어서,

상기 제 1 레벨은

상기 전체 평균 화상 레벨의 하위 20%이내의 레벨인 것을 특징으로 하는 플라즈마 디스플레이 장치.

청구항 4.

제 1 항에 있어서,

상기 구동부는

상기 스캔 전극으로 공급되는 서스테인 펄스 중 마지막 서스테인 펄스와 상기 서스테인 전극으로 공급되는 서스테인 펄스 중 마지막 서스테인 펄스가 서로 중첩(Overlap)되도록 하는 것을 특징으로 하는 플라즈마 디스플레이 장치.

청구항 5.

제 4 항에 있어서,

상기 스캔 전극으로 공급되는 마지막 서스테인 펄스의 폭과 상기 서스테인 전극으로 공급되는 마지막 서스테인 펄스의 폭은 서로 다른 것을 특징으로 하는 플라즈마 디스플레이 장치.

청구항 6.

제 5 항에 있어서,

상기 스캔 전극으로 공급되는 마지막 서스테인 펄스의 폭은 상기 서스테인 전극으로 공급되는 마지막 서스테인 펄스의 폭보다 더 넓은 것을 특징으로 하는 플라즈마 디스플레이 장치.

청구항 7.

제 5 항에 있어서,

상기 스캔 전극으로 공급되는 마지막 서스테인 펄스의 폭은

상기 서스테인 전극으로 공급되는 마지막 서스테인 펄스의 폭의 1.2배 이상 1.8배 이하인 것을 특징으로 하는 플라즈마 디스플레이 장치.

청구항 8.

제 4 항에 있어서,

상기 스캔 전극으로 공급되는 마지막 서스테인 펄스와 상기 서스테인 전극으로 공급되는 마지막 서스테인 펄스가 중첩되는 기간의 길이는

상기 스캔 전극으로 공급되는 마지막 서스테인 펄스의 폭의 0.2배 이상 0.3배 이하인 것을 특징으로 하는 플라즈마 디스플레이 장치.

청구항 9.

제 4 항에 있어서,

상기 스캔 전극으로 공급되는 마지막 서스테인 펄스와 상기 서스테인 전극으로 공급되는 마지막 서스테인 펄스가 중첩되는 기간의 길이는

상기 서스테인 전극으로 공급되는 마지막 서스테인 펄스의 폭의 0.25배 이상 0.35배 이하인 것을 특징으로 하는 플라즈마 디스플레이 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플라즈마 디스플레이 장치에 관한 것으로서, 더욱 자세하게는 서스테인 펄스를 개선한 플라즈마 디스플레이 장치에 관한 것이다.

일반적으로 플라즈마 디스플레이 장치는 외부로부터 입력받은 영상 신호의 영상을 구현하는 플라즈마 디스플레이 패널과 외부로부터 영상 신호를 입력받아 영상 신호를 처리하여 신호 처리된 펄스를 플라즈마 디스플레이 장치에 공급하는 플라즈마 디스플레이 패널의 구동 장치로 이루어진다.

일반적인 플라즈마 디스플레이 패널은 전면기판과 후면기판 사이에 형성된 격벽에 의해 형성된 복수의 방전 셀을 가지는 것으로, 각 셀 내에는 네온(Ne), 헬륨(He) 또는 네온 및 헬륨의 혼합기체(Ne+He)와 같은 주 방전 기체와 소량의 크세논을 함유하는 불활성 가스가 충전되어 있다. 고주파 전압에 의해 방전이 될 때, 불활성 가스는 진공자외선(Vacuum Ultraviolet rays)을 발생하고 격벽 사이에 형성된 형광체를 발광시켜 화상이 구현된다. 이와 같은 플라즈마 디스플레이 패널은 얇고 가벼운 구성이 가능하므로 차세대 표시장치로서 각광받고 있다.

일반적인 플라즈마 디스플레이 패널의 구동 장치는 전술한 플라즈마 디스플레이 패널이 구동되도록 각 방전 셀에 벽전하가 균일하게 쌓이도록 하는 리셋 기간, 표시 방전을 일으키도록 하는 셀을 선택하는 어드레스 기간, 표시 방전이 일어나도록 선택된 셀이 표시 방전을 일으키도록 하는 서스테인 기간에서 각각 플라즈마 디스플레이 패널에 구동 펄스를 공급하여 플라즈마 디스플레이 패널을 구동한다.

이와 같은 구동 장치에 의하여 서스테인 기간에 공급되는 서스테인 펄스는 다음의 도 1과 같다.

도 1은 종래 서스테인 기간에 플라즈마 디스플레이 패널의 전극에 공급되는 구동 펄스를 설명하기 위한 도면이다.

도시된 바와 같이, 서스테인 기간에는 스캔 전극(Y)과 서스테인 전극(Z)들에 교번적으로 서스테인 펄스(Sus)가 인가된다. 어드레스 방전에 의해 선택된 셀은 셀 내의 변 전압과 서스테인 펄스(Sus)에 의한 전압이 더해지면서 매 서스테인 펄스가 인가될 때마다 스캔 전극(Y)과 서스테인 전극(Z)사이에서 서스테인 방전, 즉 표시 방전이 일어나게 된다.

이와 같은 서스테인 펄스를 공급하는 구동 장치에 의한 경우 플라즈마 디스플레이 패널의 외곽 코너부 쪽에서는 오방전이 개선되지 못하는 문제점이 있다.

이는 플라즈마 디스플레이 패널의 외곽 코너부는 플라즈마 디스플레이 패널의 제조 공정 중 배기가 잘 되지 못하거나, 소성에 의해 플라즈마 디스플레이 패널의 외곽이 영향을 많이 받기 때문이다. 따라서 플라즈마 디스플레이 패널의 중앙 부위에 비해 플라즈마 디스플레이 패널의 외곽 부위는 서스테인 방전시 방전 개시 전압을 예측하기 힘들게 된다. 따라서 이와 같은 문제점으로 인하여 오방전이 발생하게 되는 것이다.

이와 같은 오방전은 특히, 평균 화상 레벨(Average Picture Level, 이하 APL이라 함)이 낮은 영역에서 더 문제가 된다. 이는 APL이 낮은 만큼 서스테인 기간에 표시 방전에 기여하는 방전 셀의 개수가 작아지기 때문이다. 또한 서스테인 펄스의 개수가 더 많아져 표시 방전을 일으키는 방전 셀의 회도는 더 높아지게 된다. 따라서 이와 같이 낮은 영역의 APL에서 오방전이 일어나게 되면, 높은 영역의 APL에서 오방전이 일어나는 것보다 더 많은 방전 셀에서 오방전이 일어나는 것처럼 보이고, 더 밝게 오방전이 표시되게 되어 관측자의 눈에 훨씬 잘 띄게 되는 것이다. 따라서 이와 같은 경우 오방전에 의한 화질 저하가 더욱 문제된다.

발명이 이루고자 하는 기술적 과제

이러한 문제점을 해결하기 위해 본 발명은 표시 방전을 일으키도록 하는 서스테인 펄스를 개선함으로써, 오방전이 개선된 플라즈마 디스플레이 장치를 제공하는데 그 목적이 있다.

발명의 구성

상기와 같은 기술적 과제를 해결하기 위한 본 발명의 일례에 따른 플라즈마 디스플레이 장치는 스캔 전극 및 서스테인 전극이 형성된 플라즈마 디스플레이 패널과 스캔 전극 및 서스테인 전극으로 각각 적어도 하나 이상의 서스테인 펄스를 공급하고, 평균 화상 레벨(Average Picture Level)이 제 2 레벨보다 낮은 제 1 레벨에서 스캔 전극으로 공급되는 서스테인 펄스 중 적어도 어느 하나의 서스테인 펄스와 서스테인 전극으로 공급되는 서스테인 펄스 중 적어도 어느 하나의 서스테인 펄스는 서로 중첩(Overlap)되도록 하는 구동부를 포함한다.

제 1 레벨은 전체 평균 화상 레벨의 하위 20%이내의 레벨인 것을 특징으로 한다.

또한, 구동부는 스캔 전극으로 공급되는 서스테인 펄스 중 마지막 서스테인 펄스와 서스테인 전극으로 공급되는 서스테인 펄스 중 마지막 서스테인 펄스는 서로 중첩(Overlap)되도록 하는 것을 특징으로 한다.

스캔 전극으로 공급되는 마지막 서스테인 펄스의 폭과 서스테인 전극으로 공급되는 마지막 서스테인 펄스의 폭은 서로 다른 것을 특징으로 한다.

또한, 스캔 전극으로 공급되는 마지막 서스테인 펄스의 폭은 서스테인 전극으로 공급되는 마지막 서스테인 펄스의 폭 보다 더 넓은 것을 특징으로 한다.

또한, 스캔 전극으로 공급되는 마지막 서스테인 펄스의 폭은 서스테인 전극으로 공급되는 마지막 서스테인 펄스의 폭의 1.2배 이상 1.8배 이하인 것을 특징으로 한다.

또한, 스캔 전극으로 공급되는 마지막 서스테인 펄스와 서스테인 전극으로 공급되는 마지막 서스테인 펄스가 중첩되는 기간의 길이는 스캔 전극으로 공급되는 마지막 서스테인 펄스의 폭의 0.2배 이상 0.3배 이하인 것을 특징으로 한다.

또한, 스캔 전극으로 공급되는 마지막 서스테인 펄스와 서스테인 전극으로 공급되는 마지막 서스테인 펄스가 중첩되는 기간의 길이는 서스테인 전극으로 공급되는 마지막 서스테인 펄스의 폭의 0.25배 이상 0.35배 이하인 것을 특징으로 한다.

이하, 본 발명의 실시예를 첨부된 도면을 참조하여 상세히 설명하고자 한다.

도 2는 본 발명의 일례에 따른 플라즈마 디스플레이 장치를 설명하기 위한 도면이다.

도시된 바와 같이, 본 발명의 일례에 따른 플라즈마 디스플레이 장치는 플라즈마 디스플레이 패널(200)과 이를 구동하기 위한 구동부(210)로 구성된다.

본 발명에 일례에 따른 플라즈마 디스플레이 패널(200)은 스캔 전극(Y_1 내지 Y_n)과 서스테인 전극(Z)과 스캔 전극(Y_1 내지 Y_n) 및 서스테인 전극(Z)과 교차하는 복수의 어드레스 전극(X_1 내지 X_m)을 포함한다.

본 발명의 일례에 따른 플라즈마 디스플레이 패널의 구동부(210)는 플라즈마 디스플레이 패널(200)에 형성되어 있는 서스테인 전극(Z)과 스캔 전극(Y_1 내지 Y_n) 및 서스테인 전극(Z)과 교차하는 복수의 어드레스 전극(X_1 내지 X_m)에 각각의 전극 특성에 맞는 구동 펄스를 공급하여 플라즈마 디스플레이 패널(200)을 구동시킨다.

특히, 본 발명에 따른 플라즈마 디스플레이 장치의 구동부(210)는 플라즈마 디스플레이 패널(200)에 구동 펄스를 공급함에 있어서, 서스테인 기간에 스캔 전극(Y_1 내지 Y_n) 및 서스테인 전극(Z)으로 각각 적어도 하나 이상의 서스테인 펄스를 공급하고, 스캔 전극(Y_1 내지 Y_n)으로 공급되는 서스테인 펄스 중 적어도 어느 하나의 서스테인 펄스와 서스테인 전극(Z)으로 공급되는 서스테인 펄스 중 적어도 어느 하나의 서스테인 펄스는 서로 중첩(Overlap)되도록 한다.

더욱 바람직하게는 구동부(210)는 평균 화상 레벨(Average Picture Level)이 제 2 레벨보다 낮은 제 1 레벨에서 적어도 어느 하나의 서스테인 펄스가 서로 중첩되도록 하는 것이 바람직하다.

이와 같이 구동부(210)가 APL이 낮은 경우에 서스테인 기간에 공급되는 서스테인 펄스를 중첩시키는 이유는 다음의 도 3에서 본 발명의 플라즈마 디스플레이 장치의 구동부(210)에 의한 구동 펄스를 설명하면서 함께 설명한다.

도 3은 도 2에 도시된 구동부에 의한 구동 펄스의 일례에 대해 설명하기 위한 도이다.

도시된 바와 같이 본 발명의 일례에 따른 플라즈마 디스플레이 장치에 있어서, 본 발명에 따른 구동부(210)는 모든 셀들을 초기화시키기 위한 리셋 기간, 방전할 셀을 선택하기 위한 어드레스 기간, 선택된 셀의 방전을 유지시키기 위한 서스테인 기간에서 각각의 구동 펄스를 플라즈마 디스플레이 패널에 공급한다.

리셋 기간에 있어서, 구동부(210)는 셋업 기간에 모든 스캔 전극(Y_1 내지 Y_n)들에 상승 램프(Ramp-up) 펄스를 동시에 인가한다. 이 상승 램프 펄스에 의해 패널의 방전 셀들 내에는 약한 암방전(Dark Discharge)이 일어난다. 이와 같이 함으로서 플라즈마 디스플레이 패널의 모든 방전 셀들에는 균일하게 벽전하가 포화 상태로 쌓이도록 한다.

셋 다운 기간에서는, 구동부(210)가 서스테인 전압(V_s)레벨의 전압에서 특정 전압($-V_y'$) 레벨까지 떨어지는 하강 램프(Ramp-down) 펄스를 스캔 전극(Y)에 공급한다. 이때 셀들 내의 정극성 벽전하와 부극성 벽전하는 스캔 전극(Y_1 내지 Y_n)과 어드레스 전극(X_1 내지 X_m) 간에 소거 방전을 일으킴으로써 충분히 소거된다.

어드레스 기간에서는, 구동부(210)는 스캔 전극에 특정 전압($-V_y'$)레벨에서 V_{sc} 전압 만큼 상승하는 전압을 공급한 후, 스캔 전극(Y)에 V_{sc} 전압 레벨에서 $-V_y'$ 전압 레벨까지 떨어지는 부극성 스캔 펄스를 스캔 전극들(Y_1 내지 Y_n)에 순차적으로

인가함과 동시에 스캔 펄스에 동기 하여 어드레스 전극(X₁ 내지 Xm)에는 정극성의 어드레스 펄스를 인가한다. 이 스캔 펄스와 어드레스 펄스의 전압 차와 리셋 기간에 생성된 벽 전압이 더해지면서 어드레스 펄스가 인가되는 방전 셀 내에는 어드레스 방전이 발생 된다. 어드레스 방전에 의해 선택된 셀들 내에는 서스테인 전압(Vs)이 인가될 때 방전이 일어날 수 있게 하는 정도의 벽전하가 형성된다. 또한 구동부(210)는 서스테인 전극(Z)에 어드레스 기간 동안에 스캔 전극(Y₁ 내지 Yn)과의 전압차를 줄여 스캔 전극과의 오방전이 일어나지 않도록 정극성 바이어스 펄스(Vzb)를 공급한다.

어드레스 기간 이후의 서스테인 기간에 구동부(210)는 스캔 전극(Y₁ 내지 Yn) 및 서스테인 전극(Z)으로 각각 적어도 하나 이상의 서스테인 펄스를 공급하고, 스캔 전극(Y₁ 내지 Yn)으로 공급되는 서스테인 펄스 중 적어도 어느 하나의 서스테인 펄스와 서스테인 전극(Z)으로 공급되는 서스테인 펄스 중 적어도 어느 하나의 서스테인 펄스는 서로 중첩(Overlap)되도록 한다.

이와 같이, 구동부(210)가 서스테인 기간에 플라즈마 디스플레이 패널로 서로 중첩(Overlap)된 서스테인 펄스를 공급하는 하는 이유는 다음과 같다.

종래의 플라즈마 디스플레이 구동 장치는 일반으로 높은 셋업 전압을 사용한다. 이와 같이 높은 셋-업 전압(Vset-up)을 사용하게 되면 콘트라스트 비가 나빠지고, 셋-업 전압(Vset-up)이 높아질수록 암방전이 강하게 발생하여 휘점 오방전이 발생하게 된다.

따라서 본 발명의 플라즈마 디스플레이 장치에 의한 구동부는 이와 같은 휘점 오방전을 낮추기 위해 셋-업 전압(Vset-up)을 낮춘 것이다. 그러나 셋-업 전압(Vset-up)을 낮추면 셋-업 기간에 방전 셀에 쌓이는 벽전하의 양이 줄어들게 된다.

이와 같이 셋-업 기간에 방전 셀에 쌓이는 벽전하의 양이 줄어들게 되면, 셋-다운(Set-down) 기간에 소거되는 벽전하의 양도 그만큼 줄어들게 된다. 이와 같이 되면, 리셋 기간에 각 방전 셀에 쌓인 벽전하의 양이 원하는 만큼 형성되지 못하게 되고, 따라서 어드레스 방전이 제대로 일어나지 아니하게 된다. 이와 같이 되면 서스테인 기간에 턴-온(Turn-on) 되어야 할 셀이 제대로 턴-온(Turn-on) 되지 못하게 되어 오방전이 발생하게 된다.

이는 플라즈마 디스플레이 패널의 중앙 부위보다는 플라즈마 디스플레이 패널의 외곽 코너부위에서 더 심하게 나타난다.

왜냐하면, 플라즈마 디스플레이 패널의 중앙 부위는 제조 공정상 소성에 의한 패널의 열 변형이나 배기 등에 거의 영향을 받지 아니하여 어느 정도의 셋-업 전압(Vset-up)에서 방전 셀의 벽전하가 포화상태로 방전 셀에 쌓이는지 예측이 가능하다. 따라서 오방전을 방지하기 위하여 셋-업 전압(Vset-up)을 적절하게 낮추어 플라즈마 디스플레이 패널의 중앙 부위의 방전 셀에는 오방전이 발생하지 아니하도록 조절할 수 있다.

그러나 셋-업 전압(Vset-up)을 적절하게 낮추더라도 플라즈마 디스플레이 패널의 외곽 코너부의 오방전은 제어하기 어렵다. 이는 전술한 바와 같이, 플라즈마 디스플레이 제조 공정상 여러 가지 영향을 받게 되어 셋-업 전압(Vset-up)이 낮은 경우에는 셋-업(Set-up) 기간에 벽전하의 쌓이는 양을 제대로 예측하기 어렵기 때문이다. 이는 셋-업(Set-up) 기간에 플라즈마 디스플레이 패널에 공급되는 셋-업 전압(Vset-up)을 적절하게 낮추더라도 플라즈마 디스플레이 패널의 외곽 코너부에 형성된 방전 셀에는 공정 과정에 외부로부터 받은 영향으로 인해 셋-업 기간에 쌓인 벽전하가 더 많을 수도 있고 더 적을 수도 있기 때문이다. 따라서 셋-다운(Set-down) 기간에 플라즈마 디스플레이 패널의 코너부는 방전 셀의 벽전하의 소거가 제대로 이루어 지지 아니하고 벽전하 양이 균일하게 형성되지 못하게 된다. 따라서 패널의 중앙 부위는 오방전이 일어나지 아니하나 패널의 코너부는 오방전이 발생하는 것이다.

따라서, 이와 같은 플라즈마 디스플레이 패널 코너부의 오방전을 보완하기 위하여 플라즈마 디스플레이 패널의 모든 방전 셀 내부에 벽전하가 충분히 쌓이도록 해줄 필요가 있다. 이와 같이 벽전하가 쌓이도록 할 수 있는 것은 셋-업 전압(Vset-up)을 높이는 방법이 가장 적절하나 이와 같이 하면 높은 셋-업 전압(Vset-up)으로 인하여 패널 전면에 전술한 휘점 오방전이 발생할 수 있으므로 셋-업 전압(Vset-up)은 그대로 유지하고 서스테인 펄스를 중첩함으로써 하는 것이다.

따라서 이와 같이 서스테인 펄스를 중첩하는 경우에는 서스테인 펄스를 중첩하지 아니 하는 경우보다 플라즈마 디스플레이 패널의 외곽 코너부에 발생할 수 있는 오방전을 제어하면서 셋-업 전압(Vset-up)을 더욱 낮출 수 있는 것이다.

또한, 특히 이와 같은 오방전은 높은 레벨의 APL보다 낮은 레벨의 APL에서 더 관측자의 눈에 잘 띄게 되는데, 그 이유는 다음의 도 4를 통하여 평균 화상 레벨(Average Picture Level)에 대해 먼저 알아보고 그 이유를 설명한다.

도 4는 본 발명과 관련된 평균 화상 레벨(Average Picture Level)을 설명하기 위한 도이다.

도 4의 (a) 도시된 바와 같이, 플라즈마 디스플레이 패널의 방전 셀 중 턴-온(Turn-On) 되는 방전 셀의 개수에 따라 결정되는 평균 화상 레벨(APL)의 값이 증가할수록 서스테인 펄스의 개수는 감소하고, 평균 화상 레벨(APL)의 값이 감소할수록 서스테인 펄스의 개수는 증가한다.

예를 들어, 플라즈마 디스플레이 패널의 화면상에서 상대적으로 큰 면적의 부분에 영상이 표시되는 경우, 즉 영상이 표시되는 면적이 상대적으로 큰 경우에(이러한 경우는 APL레벨은 상대적으로 큰 경우이다) 영상 표시에 기여하는 방전 셀의 개수가 상대적으로 많기 때문에 영상 표시에 기여하는 방전 셀 각각으로 공급되는 단위 계조 당 서스테인 펄스의 개수를 상대적으로 적게 함으로써, 플라즈마 디스플레이 패널의 전체 전력 소모의 양을 줄이는 것이다.

이와는 반대로, 플라즈마 디스플레이 패널의 화면상에서 상대적으로 작은 면적의 부분에만 영상이 표시되는 경우, 즉 영상이 표시되는 면적이 상대적으로 작은 경우에(이러한 경우는 APL레벨이 상대적으로 작은 경우이다) 영상 표시에 기여하는 방전 셀의 개수가 상대적으로 적기 때문에 영상 표시에 기여하는 방전 셀 각각으로 공급되는 단위 계조 당 서스테인 펄스의 개수를 상대적으로 많게 한다. 이로써 영상이 표시되는 부분의 휘도를 높임으로써, 플라즈마 디스플레이 패널(200)의 전체 화질을 개선하면서도, 플라즈마 디스플레이 패널(200)의 전체 전력 소모 양의 급격한 증가를 방지한다.

예를 들면, 평균 화상 레벨(APL)이 b 레벨인 경우, 이에 따른 계조 당 서스테인 펄스의 개수는 N개이다.

또한, 평균 화상 레벨(APL)이 전술한 b 레벨보다 높은 a 레벨인 경우, 이에 따른 계조 당 서스테인 펄스의 개수는 전술한 N개 보다는 적은 M개이다. 즉 동일한 계조에서 평균 화상 레벨(APL)이 다른 경우 동일 계조를 표현하는 서스테인 펄스의 개수도 변화하게 되는 것이다.

도 4의 (b)에 도시된 바와 같이, 본 발명의 일례에 따른 플라즈마 디스플레이 장치에 포함되는 구동부는 평균 화상 레벨(Average Picture Level)이 제 2 레벨 보다 낮은 제 1 레벨에서 서스테인 기간의 서스테인 펄스는 서로 중첩(Overlap)되도록 하는 것이 더욱 바람직하다.

이는 APL이 낮은 제 1 레벨에서 나타나는 오방전이 제 2 레벨에서 나타나는 오방전보다 관측자의 눈에 더 잘 띠기 때문이다.

이와 같이 제 1 레벨의 APL에서 오방전이 관측자의 눈에 더 잘 띠는 이유는 오방전이 발생되는 방전셀의 개수가 동일한 경우 표시 방전에 기여하는 방전 셀의 개수가 제 2 레벨보다 제 1 레벨에서 더 작기 때문에 상대적으로 제 1 레벨에서 오방전을 발생하는 방전셀이 더 많아 보이기 때문이다. 따라서 오방전이 눈에 더 잘 띠게 되고 따라서 화질도 더 안 좋게 보이는 것이다.

또한, 동일 계조를 표현하는 경우, 제 2 레벨보다 제 1 레벨에서 서스테인 펄스의 개수가 더 많기 때문에 더 밝게 표현이 된다. 이와 같은 것은 오방전을 일으키는 방전 셀이 더 눈에 잘 띠도록 하는 하나의 요인이 된다.

따라서, 위와 같은 이유로 낮은 영역의 APL인 제 1 레벨의 APL에서는 오방전이 발생할 경우 제 2 레벨에서 보다 더 많은 방전 셀이 더 밝게 오방전을 일으키는 것처럼 보이는 것이다. 이와 같은 오방전은 화질에 매우 안 좋은 영향을 주게 되는 것이다.

이때 제 1 레벨은 전체 평균 화상 레벨의 하위 20%이내의 레벨인 것이 바람직하다.

이와 같이 낮은 영역의 APL에서 서스테인 펄스를 중첩시키는 것이 바람직한데, 중첩되는 서스테인 펄스에 대해 다음의 도 5에서 더욱 상세히 설명한다.

도 5는 도 3에 도시된 구동 펄스의 일례에서 서스테인 펄스의 일례를 설명하기 위한 도이다.

도 5 (a)에 도시된 바와 같이, 낮은 셋-업(Set-up) 전압을 보완하기 위해 낮은 영역의 APL에서 서스테인 펄스 중 적어도 하나의 서스테인 펄스는 중첩되도록 하는 것이 바람직하다.

도 3에서처럼 서스테인 기간에 인가되는 모든 서스테인 펄스를 중첩할 수도 있으나 이와 같이 하면 낮은 레벨의 APL에서 오방전을 저감할 수는 있으나 회로 상의 물리적 이유로 인해 실제 파형에서는 피킹(Peaking)이 발생 될 수 있고, 또한 전자파(EMI)가 발생할 수 있으므로 모든 서스테인 펄스를 중첩으로 적용하지 아니하고, 도 5의 (a)와 같이 모든 서스테인 펄스 중 적어도 하나의 이상의 서스테인 펄스만 중첩되도록 하여 오방전에 대한 효과는 그대로 유지하면서 회로에 무리가 되지 아니하도록 하는 것이다.

이때, 도 5의 (a)와 같이, 서스테인 펄스는 중첩되지 아니하고 스캔 전극(Y)과 서스테인 전극(Z)에 교번적으로 인가되는 메인(Main) 서스테인 펄스와 스캔 전극(Y)으로 공급되는 서스테인 펄스 중 적어도 어느 하나의 서스테인 펄스와 서스테인 전극(Z)으로 공급되는 서스테인 펄스 중 적어도 어느 하나의 서스테인 펄스는 서로 중첩(Overlap)되는 중첩 서스테인 펄스로 구분할 수 있다.

도 5의 (a)를 참조하면, 메인 서스테인 펄스는 스캔 전극(Y)으로 공급되는 메인 서스테인 펄스의 폭 Dy1과 서스테인 전극(Z)으로 공급되는 메인 서스테인 펄스의 폭 Dz1은 서로 동일하고 스캔 전극(Y)으로 공급되는 메인 서스테인 펄스의 전압(Vs)과 서스테인 전극(Z)으로 공급되는 메인 서스테인 펄스의 전압(Vs)은 서로 동일하다.

또한, 중첩 서스테인 펄스에 있어서, 중첩 서스테인 펄스의 전압은 메인 서스테인 펄스의 전압(Vs)과 동일하고, 서스테인 전극(Z)으로 공급되는 중첩 서스테인 펄스의 폭(Dz2)은 메인 서스테인 펄스의 폭(Dy1, Dz1)과 동일하고 스캔 전극(Y)으로 공급되는 중첩 서스테인 펄스의 폭(Dy2)은 서스테인 전극으로 공급되는 중첩 서스테인 펄스의 폭보다 넓은 것이 바람직하다.

이는 서스테인 펄스는 서스테인 펄스의 폭과 전압의 크기에 따라 방전 셀 내부에 형성되는 벽전하가 소거되도록 할 수도 있고 더 쌓일 수 있도록 할 수도 있기 때문이다. 따라서 이와 같은 특성을 이용하여 표시 방전을 주목적으로 하는 메인(Main) 서스테인 펄스는 벽전하가 소거되지도 아니하고 쌓이지도 아니하는 임계 폭과 임계 전압을 갖는 것으로 한다. 그리고 표시 방전뿐만 아니라 셋-업(Set-up) 전압을 보완하기 위한 중첩 서스테인 펄스는 펄스의 폭을 메인 서스테인 펄스의 임계 폭 보다 넓게 함으로써 벽전하가 쌓이도록 하는 것이다.

도 5의 (b)는 도 5의 (a)와는 다르게 스캔 전극(Y)으로 공급되는 서스테인 펄스 중 마지막 서스테인 펄스와 서스테인 전극(Z)으로 공급되는 서스테인 펄스 중 마지막 서스테인 펄스가 서로 중첩(Overlap)되도록 하는 것을 도시한 것이다.

이와 같이 서스테인 펄스 중 마지막 서스테인 펄스를 중첩되도록 하는 이유는 도 5의 (a)에서 전술한 바와 동일한 이유로 중첩되는 서스테인 펄스의 개수를 최소로 줄여 회로에 대한 부담이나 펄스의 피킹(Peaking)으로 인한 전자파(EMI)를 최소화하면서 마지막 서스테인 펄스 이후에 오는 낮은 셋-업(Set-up) 전압의 상승 램프(Ramp-up) 펄스의 역할을 직접적으로 보조하여 플라즈마 디스플레이 패널 상에 발생되는 오방전을 최소화로 하기 위함이다.

이때, 스캔 전극(Y)으로 공급되는 마지막 서스테인 펄스의 폭(Dy2)과 서스테인 전극(Z)으로 공급되는 마지막 서스테인 펄스의 폭(Dz2)은 서로 다른 것이 바람직하고, 더욱 바람직하게는 스캔 전극(Y)으로 공급되는 마지막 서스테인 펄스의 폭(Dy2)은 서스테인 전극(Z)으로 공급되는 마지막 서스테인 펄스의 폭(Dz2)보다 더 넓은 것이 바람직하다.

이와 같이 스캔 전극(Y)으로 공급되는 마지막 서스테인 펄스의 폭(Dy2)을 더 넓게 하는 것은 마지막 중첩 서스테인 펄스의 폭(Dy2)을 메인 서스테인 펄스의 폭(Dy1, Dz1)보다 넓게 하여 방전 셀 내에 벽 전하가 쌓이도록 하는데, 이와 같이 방전 셀 내부에 쌓인 벽 전하에 더하여 마지막 서스테인 펄스 이후에 오는 상승 램프(Ramp-up) 펄스에 의해 벽전하가 더 쌓이도록 함으로써 플라즈마 디스플레이 패널의 코너부의 방전 셀에 포화 상태로 벽전하가 쌓이도록 하기 위함이다. 이와 같이 벽전하가 충분히 쌓이게 되면 어드레스 기간에서 어드레스 방전도 정확히 일어나게 되어 오방전이 방지되는 것이다.

이와 같은 마지막 서스테인 펄스에 대해 더욱 상세히 다음의 도 6을 통하여 설명한다.

도 6은 도 5의 (b)에 도시된 서스테인 펄스에서 마지막 중첩 서스테인 펄스에 대해서 설명하기 위한 도면이다.

도시된 바와 같이, 스캔 전극(Y)으로 공급되는 마지막 서스테인 펄스의 폭(Dy2)은 서스테인 전극(Z)으로 공급되는 마지막 서스테인 펄스의 폭(Dz2)의 1.2배 이상 1.8배 이하인 것이 바람직하다.

먼저 서스테인 전극(Z)으로 공급되는 마지막 서스테인 펄스의 폭(Dz2)은 메인 서스테인 펄스의 폭과 동일한 경우로 서스테인 전극(Z)으로 공급되는 마지막 서스테인 펄스의 폭(Dz2)은 방전 셀 내부의 벽전하가 서스테인 펄스에 의해 소거되지도 아니하고 쌓이지도 않는 임계 펄스의 폭을 가지는 것을 가정한다. 이와 같이 가정하면 스캔 전극(Y)으로 공급되는 마지막 서스테인 펄스의 폭(Dy2)은 메인 서스테인 펄스의 폭보다 1.2배 이상 1.8배 이하인 것과 같은 의미가 된다.

이와 같이 스캔 전극(Y)으로 공급되는 마지막 서스테인 펄스의 폭(Dy2)은 메인 서스테인 펄스의 폭보다 1.2배 이상 1.8배 이하가 되도록 하는 이유는 다음과 같다.

스캔 전극(Y)으로 공급되는 마지막 서스테인 펄스의 폭(Dy2)이 메인 서스테인 펄스의 폭의 1.2배 이하로 될 경우, 마지막 서스테인 펄스에서 증가되는 폭이 너무 협소하게 되고 이는 그만큼 벽전하의 증가에 영향을 줄 수 있는 서스테인 펄스의 에너지가 그만큼 미미하다는 것을 의미한다. 따라서 스캔 전극(Y)으로 공급되는 마지막 서스테인 펄스의 폭(Dy2)이 메인 서스테인 펄스의 폭의 1.2배 이하로 될 경우 벽전하가 제대로 형성될 수 없게 되기 때문에 1.2배 이상으로 하여야 하는 것이다. 또한 스캔 전극(Y)으로 공급되는 마지막 서스테인 펄스의 폭(Dy2)이 메인 서스테인 펄스의 폭의 1.8배 이상으로 너무 길게 할 경우, 서스테인 펄스의 전체 구동 시간이 너무 길어지게 되고 따라서 구동 마진이 떨어질 수 있기 때문에 1.8배 이하로 하는 것이 바람직한 것이다.

또한, 이때 스캔 전극(Y)으로 공급되는 마지막 서스테인 펄스와 서스테인 전극(Z)으로 공급되는 마지막 서스테인 펄스가 중첩되는 기간의 길이는 스캔 전극(Y)으로 공급되는 마지막 서스테인 펄스의 폭의 0.2배 이상 0.3배 이하인 것이 바람직하고, 스캔 전극(Y)으로 공급되는 마지막 서스테인 펄스와 서스테인 전극(Z)으로 공급되는 마지막 서스테인 펄스가 중첩되는 기간의 길이는 서스테인 전극(Z)으로 공급되는 마지막 서스테인 펄스의 폭의 0.25배 이상 0.35배 이하인 것이 바람직하다.

이는 중첩되는 기간의 길이가 길어진다는 것은 동일한 정극성 전압이 스캔 전극(Y)과 서스테인 전극(Z)에 동시에 공급된다는 것을 의미하고 그 기간이 길어질수록 오히려 벽전하가 더 안 쌓일 수 있고 회로에 문제가 생길 수 있기 때문이다. 따라서 서스테인 펄스가 중첩기간의 길이가 적절하게 조절돼야 하는 것이다.

이와 같이, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다.

본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

발명의 효과

이상에서와 같이 본 발명은 적어도 하나의 서스테인 펄스를 중첩하여 플라즈마 디스플레이 패널의 외곽 코너부에 발생하는 오방전을 저감시키고, 화질 향상을 극대화시키는 효과가 있다.

도면의 간단한 설명

도 1은 종래 서스테인 기간에 플라즈마 디스플레이 패널의 전극에 공급되는 구동 펄스를 설명하기 위한 도.

도 2는 본 발명의 일례에 따른 플라즈마 디스플레이 장치를 설명하기 위한 도.

도 3은 도 2에 도시된 구동부에 의한 구동 펄스의 일례에 대해 설명하기 위한 도.

도 4는 본 발명과 관련된 평균 화상 레벨(Average Picture Level)을 설명하기 위한 도.

도 5는 도 3에 도시된 구동 펄스의 일례에서 서스테인 펄스의 일례를 설명하기 위한 도.

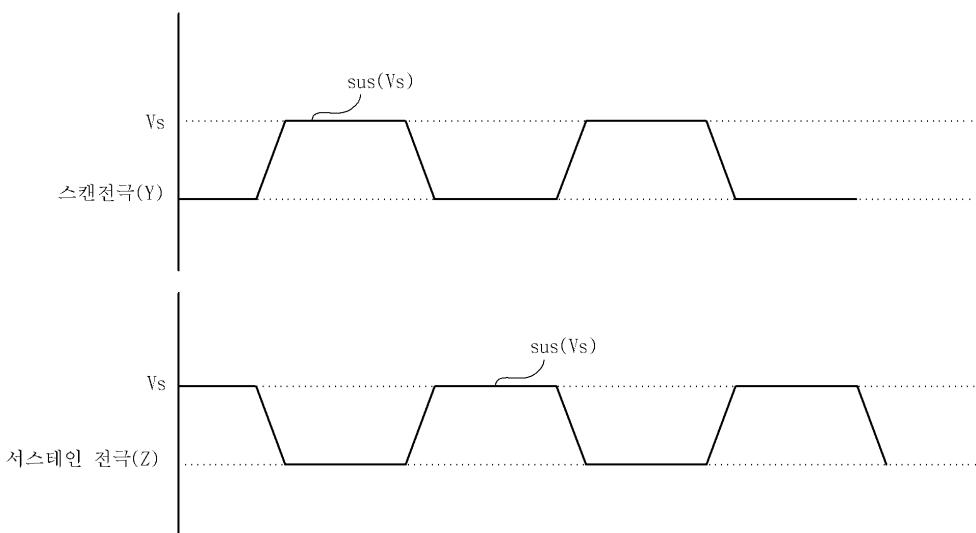
도 6은 도 5의 (b)에 도시된 서스테인 펄스에서 마지막 중첩 서스테인 펄스에 대해서 설명하기 위한 도.

***** 도면의 주요 부분에 대한 부호의 설명 *****

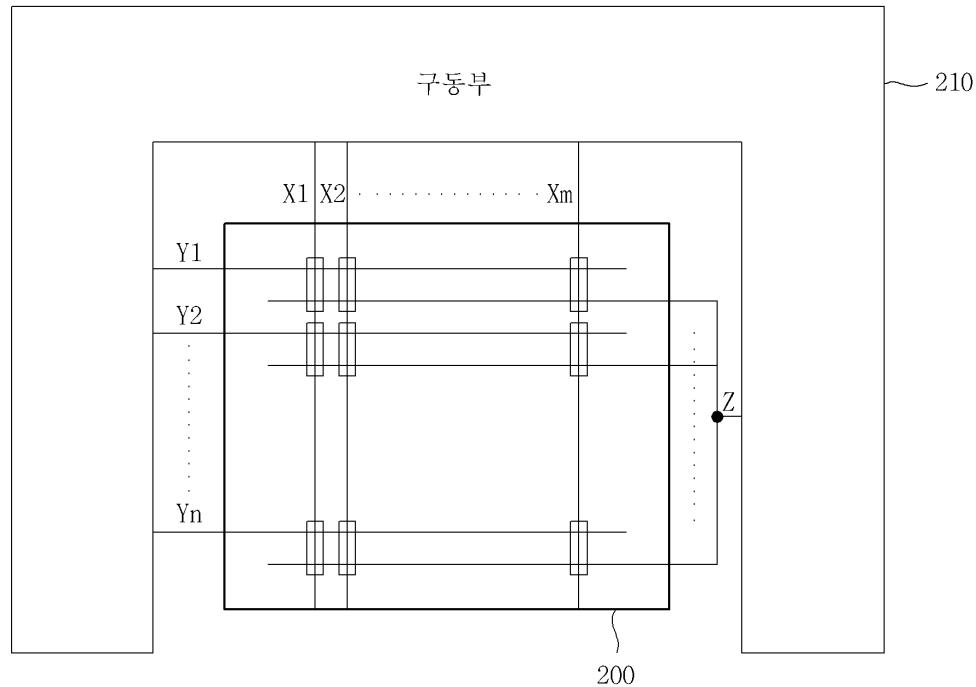
200 : 플라즈마 디스플레이 패널 210 : 구동부

도면

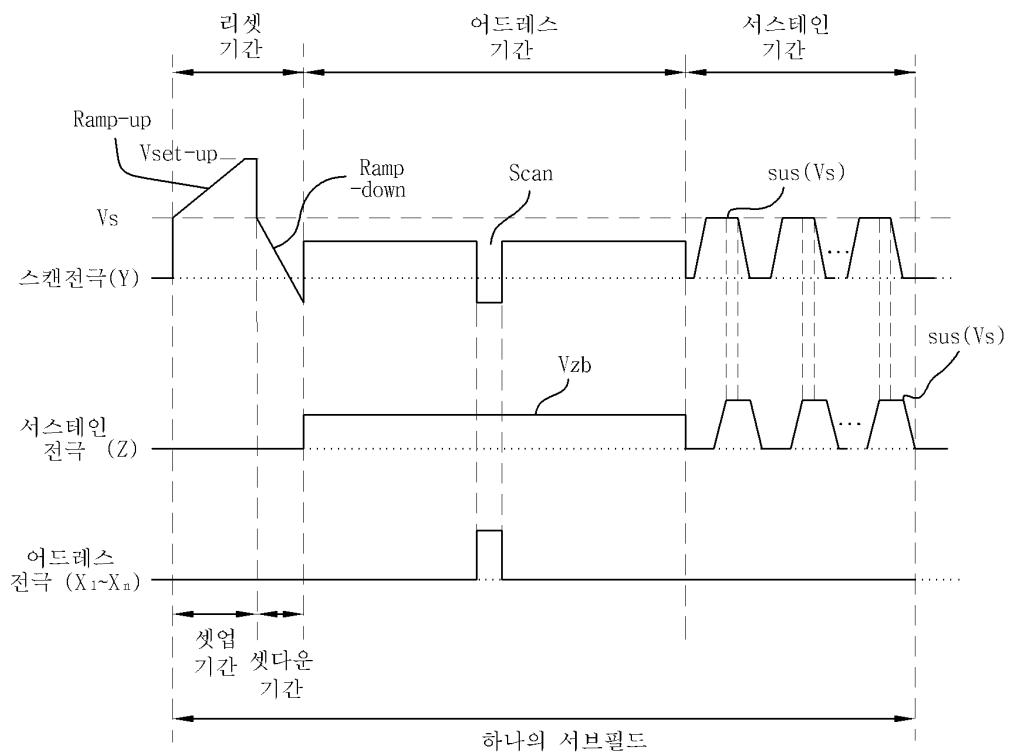
도면1



도면2

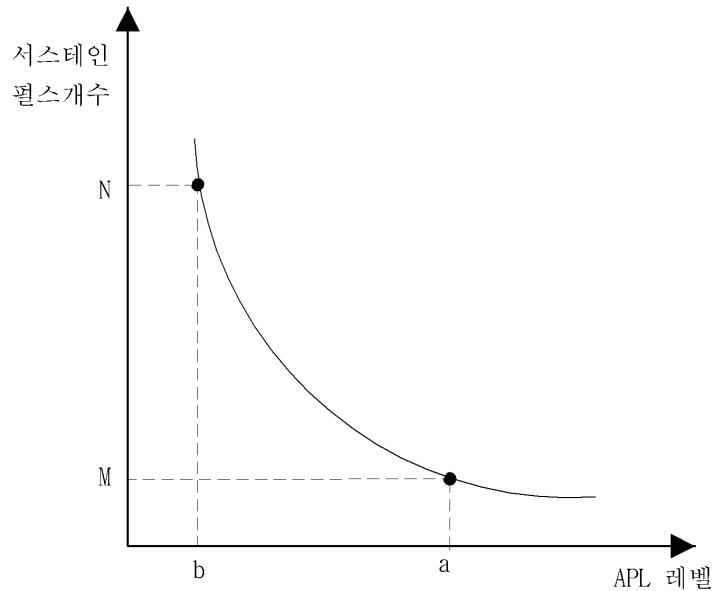


도면3

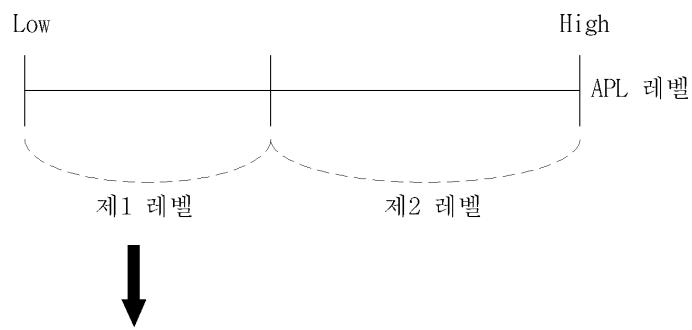


도면4

(a)

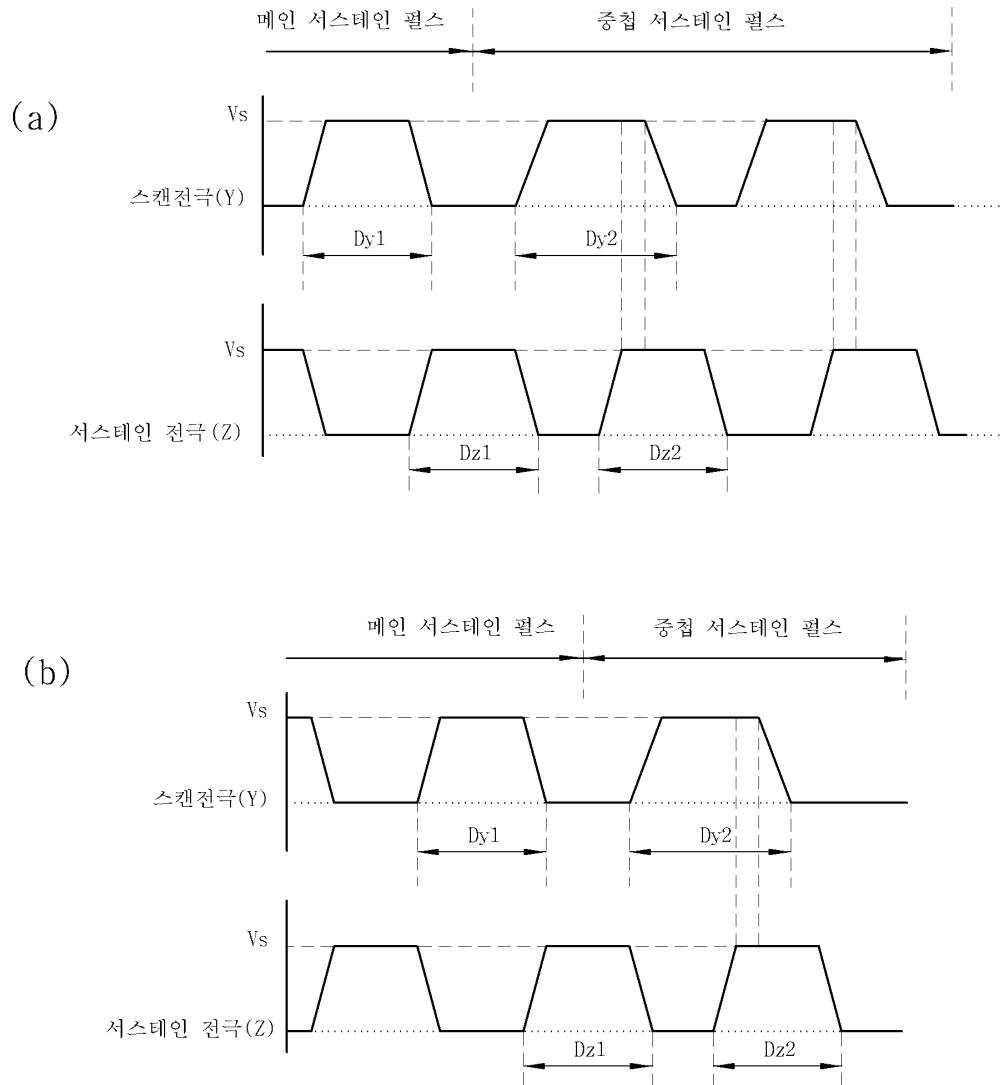


(b)



서스테인 펄스 중첩

도면5



도면6

