

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-507882
(P2004-507882A)

(43) 公表日 平成16年3月11日(2004.3.11)

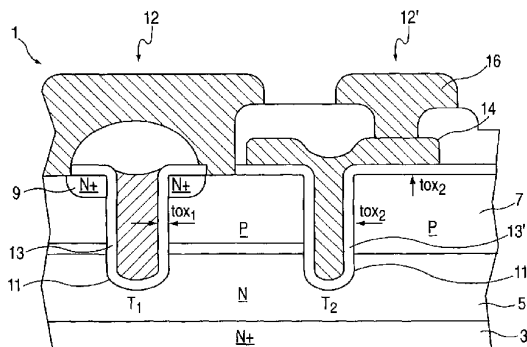
(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 29/78	HO 1 L 29/78	6 5 2 K
HO 1 L 21/336	HO 1 L 29/78	6 5 2 N
HO 1 L 29/06	HO 1 L 29/78	6 5 3 A
	HO 1 L 29/06	3 0 1 V
	HO 1 L 29/78	6 5 8 F
審査請求 未請求 予備審査請求 有 (全 62 頁) 最終頁に続く		

(21) 出願番号	特願2002-503949 (P2002-503949)	(71) 出願人	598167121 ゼネラル セミコンダクター, インク. アメリカ合衆国, 11747 ニューヨーク, メルヴィル, メルヴィル パーク ロード 10
(86) (22) 出願日	平成13年6月15日 (2001.6.15)	(74) 代理人	100067736 弁理士 小池 晃
(85) 翻訳文提出日	平成14年12月16日 (2002.12.16)	(74) 代理人	100086335 弁理士 田村 榮一
(86) 国際出願番号	PCT/US2001/019377	(74) 代理人	100096677 弁理士 伊賀 誠司
(87) 国際公開番号	W02001/099198	(72) 発明者	フシエフ、フューーイウアン アメリカ合衆国 カリフォルニア州 95 070 サラトガ セビラ レーン 20 768
(87) 国際公開日	平成13年12月27日 (2001.12.27)		最終頁に続く
(31) 優先権主張番号	09/595, 120		
(32) 優先日	平成12年6月16日 (2000.6.16)		
(33) 優先権主張国	米国 (US)		

(54) 【発明の名称】 ゲート酸化層の完全性を向上させた半導体トレンチデバイス

(57) 【要約】

MOSFETの活性領域に配設された第1のトレンチ(11)と、MOSFETの端部領域に配設された第2のトレンチ(12)とを有するパワーMOSFET(1)の酸化層の降伏電圧を高める。本発明では、マスク技術を用いて、第2のトレンチの上端の角部近傍の酸化層(13)の厚みを厚くし、製造工程における2回の酸化処理によりこの領域が薄くなること(及びこれに伴う降伏電圧の低下)を補償する。



【特許請求の範囲】

【請求項 1】

第 1 の伝導性タイプを有する第 1 の領域と、第 2 の伝導性タイプを有する第 2 の領域と、該第 1 及び第 2 の領域に接続された第 1 及び第 2 のトレンチとを備える構造物を準備する工程と、

上記第 1 のトレンチに対し、該第 1 のトレンチに亘る平均厚みが t_1 となる第 1 の電気的な絶縁層を堆積させる工程と、

上記第 2 のトレンチに対し、該第 2 のトレンチに亘る平均厚みが t_2 となる第 2 の電気的な絶縁層を堆積させる工程とを有し、

t_1 / t_2 が少なくとも 1.2 であるトレンチ二重拡散金属酸化膜半導体の製造方法。 10

【請求項 2】

上記 t_1 / t_2 は、少なくとも約 1.5 であることを特徴とする請求項 1 記載のトレンチ二重拡散金属酸化膜半導体の製造方法。

【請求項 3】

上記 t_1 / t_2 は、少なくとも約 2 であることを特徴とする請求項 1 記載のトレンチ二重拡散金属酸化膜半導体の製造方法。

【請求項 4】

上記厚み t_1 の値は、約 600 ~ 約 840 の範囲内にあることを特徴とする請求項 1 記載のトレンチ二重拡散金属酸化膜半導体の製造方法。

【請求項 5】

上記厚み t_1 の値は、約 750 ~ 約 1050 の範囲内にあることを特徴とする請求項 1 記載のトレンチ二重拡散金属酸化膜半導体の製造方法。 20

【請求項 6】

上記厚み t_1 の値は、約 1000 ~ 約 1400 の範囲内にあることを特徴とする請求項 1 記載のトレンチ二重拡散金属酸化膜半導体の製造方法。

【請求項 7】

上記第 1 及び第 2 の絶縁層は、酸化層であることを特徴とする請求項 1 記載のトレンチ二重拡散金属酸化膜半導体の製造方法。

【請求項 8】

上記第 1 及び第 2 の絶縁層は、シリコン酸化層を備えることを特徴とする請求項 7 記載のトレンチ二重拡散金属酸化膜半導体の製造方法。 30

【請求項 9】

上記第 1 及び第 2 のトレンチに多結晶シリコンを堆積させる工程を有する請求項 1 記載のトレンチ二重拡散金属酸化膜半導体の製造方法。

【請求項 10】

上記第 1 の絶縁層は、第 1 のトレンチに亘って実質的に均一な厚みを有することを特徴とする請求項 1 記載のトレンチ二重拡散金属酸化膜半導体の製造方法。

【請求項 11】

上記第 1 の絶縁層は、少なくとも、上記第 1 のトレンチの表面及び該第 1 のトレンチに隣接する領域によって画定される第 1 の部位に及び、該第 1 の絶縁層は、該第 1 の部位に亘って実質的に均一な厚みを有することを特徴とする請求項 1 記載のトレンチ二重拡散金属酸化膜半導体の製造方法。 40

【請求項 12】

上記第 1 の部位は、上記第 1 のトレンチの最大幅を k として、上記第 1 のトレンチの表面と、該第 1 のトレンチから $k/2$ の範囲内にある領域によって画定されることを特徴とする請求項 11 記載のトレンチ二重拡散金属酸化膜半導体の製造方法。

【請求項 13】

上記第 2 の絶縁層は、少なくとも、上記第 2 のトレンチの表面及び該第 2 のトレンチに隣接する領域によって画定される第 2 の部位に及び、該第 2 の絶縁層は、該第 2 の部位の第 1 の部分に亘って実質的に均一な厚み t_f を有し、該第 2 の部位の第 2 の部分に亘って実 50

質的に均一な厚み t_s を有することを特徴とする請求項 1 記載のトレンチ二重拡散金属酸化膜半導体の製造方法。

【請求項 14】

上記第 2 の部位は、上記第 2 のトレンチの最大幅を k として、上記第 2 のトレンチの表面と、該第 2 のトレンチから $k/2$ の範囲内にある領域によって画定されることを特徴とする請求項 13 記載のトレンチ二重拡散金属酸化膜半導体の製造方法。

【請求項 15】

上記第 2 の部位の第 1 の部分は、上記第 2 のトレンチの底部であり、 $t_f > t_s$ であることを特徴とする請求項 14 記載のトレンチ二重拡散金属酸化膜半導体の製造方法。

【請求項 16】

t_f / t_s は、少なくとも 1.2 であることを特徴とする請求項 15 記載のトレンチ二重拡散金属酸化膜半導体の製造方法。

10

【請求項 17】

t_f / t_s は、少なくとも 1.5 であることを特徴とする請求項 15 記載のトレンチ二重拡散金属酸化膜半導体の製造方法。

【請求項 18】

t_f / t_s は、少なくとも 2 であることを特徴とする請求項 15 記載のトレンチ二重拡散金属酸化膜半導体の製造方法。

【請求項 19】

上記第 1 の領域は、 n ドープエピタキシャル層を備え、上記第 2 の領域は、 p 型拡散層を備えることを特徴とする請求項 1 記載のトレンチ二重拡散金属酸化膜半導体の製造方法。

20

【請求項 20】

上記構造物は、 n^+ ドープエピタキシャル層を備え、上記 p 型拡散層は、上記 n ドープエピタキシャル層の第 1 の面に堆積されており、上記 n^+ ドープエピタキシャル層は、上記 n ドープエピタキシャル層の第 2 の面に堆積されていることを特徴とする請求項 19 記載のトレンチ二重拡散金属酸化膜半導体の製造方法。

【請求項 21】

上記トレンチ二重拡散金属酸化膜半導体は、活性領域と端部領域とを備え、上記第 1 のトレンチは、端部領域に配設され、上記第 2 のトレンチは活性領域に配設されることを特徴とする請求項 1 記載のトレンチ二重拡散金属酸化膜半導体の製造方法。

30

【請求項 22】

請求項 21 記載のトレンチ二重拡散金属酸化膜半導体の製造方法に基づいて製造されたパワー金属酸化膜半導体電界効果トランジスタ。

【請求項 23】

第 1 の伝導性タイプを有する第 1 の領域と、第 2 の伝導性タイプを有する第 2 の領域と、該第 1 及び第 2 の領域に接続された第 1 及び第 2 のトレンチとを備える構造物を準備する工程と、

上記第 1 のトレンチ及び該第 1 のトレンチに隣接する領域は第 1 の部位を画定し、上記第 2 のトレンチ及び該第 2 のトレンチに隣接する領域のうち、該第 2 のトレンチの底部を除く領域は第 2 の部位を画定し、該第 2 のトレンチの底部は第 3 の部位を画定し、上記第 1 の部位に亘る平均厚みが t_1 であり、上記第 2 の部位に亘る平均厚みが t_2 であり、上記第 3 の部位に亘る平均厚みが t_3 である電氣的な絶縁層を上記第 1、第 2、第 3 の部位に堆積させる工程とを有するトレンチ二重拡散金属酸化膜半導体の製造方法。

40

【請求項 24】

$t_3 > t_2$ であることを特徴とする請求項 23 記載のトレンチ二重拡散金属酸化膜半導体の製造方法。

【請求項 25】

t_1 / t_2 は、少なくとも約 1.5 であることを特徴とする請求項 23 記載のトレンチ二重拡散金属酸化膜半導体の製造方法。

【請求項 26】

50

t_1 / t_2 は、少なくとも約 2 であることを特徴とする請求項 23 記載のトレンチ二重拡散金属酸化膜半導体の製造方法。

【請求項 27】

上記厚み t_1 の値は、約 600 ~ 約 840 の範囲内にあることを特徴とする請求項 23 記載のトレンチ二重拡散金属酸化膜半導体の製造方法。

【請求項 28】

上記厚み t_1 の値は、約 750 ~ 約 1050 の範囲内にあることを特徴とする請求項 23 記載のトレンチ二重拡散金属酸化膜半導体の製造方法。

【請求項 29】

上記厚み t_1 の値は、約 1000 ~ 約 1400 の範囲内にあることを特徴とする請求項 23 記載のトレンチ二重拡散金属酸化膜半導体の製造方法。 10

【請求項 30】

上記電氣的な絶縁層は、上記第 1 の部位に亘って実質的に均一な厚みを有することを特徴とする請求項 23 記載のトレンチ二重拡散金属酸化膜半導体の製造方法。

【請求項 31】

上記電氣的な絶縁層は、上記第 2 の部位に亘って実質的に均一な厚みを有することを特徴とする請求項 30 記載のトレンチ二重拡散金属酸化膜半導体の製造方法。

【請求項 32】

上記電氣的な絶縁層は、上記第 3 の部位に亘って実質的に均一な厚みを有することを特徴とする請求項 23 記載のトレンチ二重拡散金属酸化膜半導体の製造方法。 20

【請求項 33】

上記絶縁層は、酸化層であることを特徴とする請求項 23 記載のトレンチ二重拡散金属酸化膜半導体の製造方法。

【請求項 34】

上記絶縁層は、シリコン酸化層を備えることを特徴とする請求項 33 記載のトレンチ二重拡散金属酸化膜半導体の製造方法。

【請求項 35】

請求項 23 記載のトレンチ二重拡散金属酸化膜半導体の製造方法に基づいて製造された二重拡散金属酸化膜半導体デバイスであって、活性領域と端部領域とを備え、上記第 1 のトレンチは端部領域に配設され、第 2 のトレンチは活性領域に配設されていることを特徴とする二重拡散金属酸化膜半導体デバイス。 30

【請求項 36】

請求項 23 記載のトレンチ二重拡散金属酸化膜半導体の製造方法に基づいて製造されたパワー金属酸化膜半導体電界効果トランジスタ。

【請求項 37】

上記第 1 の部位は、上記第 1 のトレンチの最大幅を k として、上記第 1 のトレンチの表面と、該第 1 のトレンチから $k/2$ の範囲内にある領域によって画定されることを特徴とする請求項 23 記載のトレンチ二重拡散金属酸化膜半導体の製造方法。

【請求項 38】

上記第 2 の部位は、上記第 2 のトレンチの最大幅を k として、上記第 2 のトレンチの表面と、該第 2 のトレンチから $k/2$ の範囲内にある領域によって画定されることを特徴とする請求項 23 記載のトレンチ二重拡散金属酸化膜半導体の製造方法。 40

【請求項 39】

$k > 8000$ であることを特徴とする請求項 37 又は 38 記載のトレンチ二重拡散金属酸化膜半導体の製造方法。

【請求項 40】

第 1 の伝導性タイプを有する第 1 の領域と、第 2 の伝導性タイプを有する第 2 の領域と、上記第 1 及び第 2 の領域に接続され、平均厚みが t_1 となる第 1 の電氣的な絶縁層が堆積されている第 1 のトレンチを含む端部領域と、上記第 1 及び第 2 の領域に接続され、平均厚みが t_2 となる第 2 の電氣的な絶縁層が堆積されている第 2 のトレンチを含む活性領域 50

とを備え、 $t_1 > t_2$ であるトレンチ二重拡散金属酸化膜半導体デバイス。

【請求項 4 1】

t_1 / t_2 は、少なくとも約 1.2 であることを特徴とする請求項 4 0 記載のトレンチ二重拡散金属酸化膜半導体デバイス。

【請求項 4 2】

t_1 / t_2 は、少なくとも約 1.5 であることを特徴とする請求項 4 0 記載のトレンチ二重拡散金属酸化膜半導体デバイス。

【請求項 4 3】

t_1 / t_2 は、少なくとも約 2 であることを特徴とする請求項 4 0 記載のトレンチ二重拡散金属酸化膜半導体デバイス。

10

【請求項 4 4】

上記厚み t_1 の値は、約 600 ~ 約 840 の範囲内にあることを特徴とする請求項 4 0 記載のトレンチ二重拡散金属酸化膜半導体デバイス。

【請求項 4 5】

上記厚み t_1 の値は、約 750 ~ 約 1050 の範囲内にあることを特徴とする請求項 4 0 記載のトレンチ二重拡散金属酸化膜半導体デバイス。

【請求項 4 6】

上記厚み t_1 の値は、約 1000 ~ 約 1400 の範囲内にあることを特徴とする請求項 4 0 記載のトレンチ二重拡散金属酸化膜半導体デバイス。

【請求項 4 7】

上記電氣的な絶縁層は、上記第 1 のトレンチの最大幅を k として、上記第 1 のトレンチの表面と、該第 1 のトレンチから $k / 2$ の範囲内にある領域によって画定される第 1 の部位に亘って実質的に均一な厚みを有することを特徴とする請求項 4 0 記載のトレンチ二重拡散金属酸化膜半導体デバイス。

20

【請求項 4 8】

上記電氣的な絶縁層は、上記第 2 のトレンチの最大幅を k として、上記第 2 のトレンチの表面と、該第 2 のトレンチから $k / 2$ の範囲内にある領域によって画定される第 2 の部位に亘って実質的に均一な厚みを有することを特徴とする請求項 4 0 記載のトレンチ二重拡散金属酸化膜半導体デバイス。

【請求項 4 9】

$k > 8000$ であることを特徴とする請求項 4 7 又は 4 8 記載のトレンチ二重拡散金属酸化膜半導体デバイス。

30

【請求項 5 0】

上記電氣的な絶縁層は、上記第 2 のトレンチの底部によって画定される第 3 の部位に亘って実質的に均一な厚みを有することを特徴とする請求項 4 0 記載のトレンチ二重拡散金属酸化膜半導体デバイス。

【請求項 5 1】

上記第 1 及び第 2 の絶縁層は、酸化層であることを特徴とする請求項 4 0 記載のトレンチ二重拡散金属酸化膜半導体デバイス。

【請求項 5 2】

上記第 1 及び第 2 の絶縁層は、シリコン酸化層を備えることを特徴とする請求項 5 1 記載のトレンチ二重拡散金属酸化膜半導体デバイス。

40

【請求項 5 3】

第 1 の伝導性タイプを有する第 1 の領域と、
 第 2 の伝導性タイプを有する第 2 の領域と、
 上記第 1 及び第 2 の領域に接続された第 1 のトレンチを含む端部領域と、
 上記第 1 のトレンチに堆積され、該第 1 のトレンチの最大幅を k として、該第 1 のトレンチの表面と、該第 1 のトレンチから $k / 2$ の範囲内にある領域によって画定される第 1 の部位に亘って実質的に均一な厚みを有する第 1 の絶縁層と、
 上記第 1 及び第 2 の領域に接続された第 2 のトレンチを含む活性領域と、

50

上記第2のトレンチに堆積され、該第2のトレンチの最大幅を k として、該第2のトレンチの表面と、該第2のトレンチから $k/2$ の範囲内にある領域によって画定される第2の部位に亘って実質的に均一な厚みを有する第2の絶縁層とを備え、
 $t_1 > t_2$ であるパワー金属酸化膜半導体トランジスタ。

【請求項54】

上記第2の部位は、上記第2のトレンチの底部を含むことを特徴とする請求項53記載のパワー金属酸化膜半導体トランジスタ。

【請求項55】

上記第2のトレンチの底部によって画定される第3の部位に亘って実質的に均一な厚みを有する第3の電氣的な絶縁層を有する請求項53記載のパワー金属酸化膜半導体トランジスタ。

10

【請求項56】

上記第3の電氣的な絶縁層は、平均厚み t_3 を有し、 $t_3 > t_2$ であることを特徴とする請求項55記載のパワー金属酸化膜半導体トランジスタ。

【請求項57】

上記第1及び第2の電氣的な絶縁層は、酸化層であることを特徴とする請求項53記載のパワー金属酸化膜半導体トランジスタ。

【請求項58】

上記第1及び第2の電氣的な絶縁層は、シリコン酸化層であることを特徴とする請求項57記載のパワー金属酸化膜半導体トランジスタ。

20

【請求項59】

$k < 8000$ であることを特徴とする請求項53記載のパワー金属酸化膜半導体トランジスタ。

【請求項60】

$k < 10000$ であることを特徴とする請求項53記載のパワー金属酸化膜半導体トランジスタ。

【請求項61】

第1の伝導性タイプを有する第1の領域と、第2の伝導性タイプを有する第2の領域と、該第1及び第2の領域に接続された第1及び第2のトレンチとを備える構造物 (article) を準備する工程と、

30

上記第1及び第2のトレンチの表面に平均厚みが t_1 となる第1の電氣的な絶縁層を堆積させる工程と、

上記絶縁層の少なくとも一部の上に、上記第1のトレンチの表面上に延びるマスクされた領域と、上記第2のトレンチの表面の少なくとも一部に延びるマスクされていない領域とを画定する少なくとも1つのマスクを堆積させる工程と、

上記マスクされていない領域上に平均厚みが t_2 となる第2の絶縁層を堆積させる工程とを有し、

厚み t_1 及び厚み t_2 のうち大きい方の値を k とし、厚み t_1 及び厚み t_2 のうち小さい方の値を m として、 k/m が少なくとも約1.2であるトレンチ二重拡散金属酸化膜半導体デバイスの製造方法。

40

【請求項62】

上記第2の絶縁層の堆積の前に、上記第1の絶縁層を上記マスクされていない領域から取り除く工程を有する請求項61記載のトレンチ二重拡散金属酸化膜半導体デバイスの製造方法。

【請求項63】

上記第1の絶縁層は、エッチングによって取り除かれることを特徴とする請求項62記載のトレンチ二重拡散金属酸化膜半導体デバイスの製造方法。

【請求項64】

上記第1及び第2の絶縁層は、酸化層であり、上記少なくとも1つのマスクは酸化膜マスクであることを特徴とする請求項61記載のトレンチ二重拡散金属酸化膜半導体デバイス

50

の製造方法。

【請求項 65】

上記第 1 及び第 2 の絶縁層は、シリコン酸化層を含むことを特徴とする請求項 64 記載のトレンチ二重拡散金属酸化膜半導体デバイスの製造方法。

【請求項 66】

k / m は少なくとも約 1.5 であることを特徴とする請求項 64 記載のトレンチ二重拡散金属酸化膜半導体デバイスの製造方法。

【請求項 67】

k / m は少なくとも約 2 であることを特徴とする請求項 64 記載のトレンチ二重拡散金属酸化膜半導体デバイスの製造方法。

10

【請求項 68】

上記マスクされていない領域は、上記第 2 のトレンチの表面の第 1 の部分に延び、上記マスクされた領域は、該第 2 のトレンチの表面の第 2 の部分に延びることを特徴とする請求項 61 記載のトレンチ二重拡散金属酸化膜半導体デバイスの製造方法。

【請求項 69】

上記マスクされていない領域は、上記第 2 のトレンチの上側の部分に延び、上記マスクされた領域は、該第 2 のトレンチの下側の部分に延びることを特徴とする請求項 68 記載のトレンチ二重拡散金属酸化膜半導体デバイスの製造方法。

【請求項 70】

上記マスクされていない領域は、上記第 2 のトレンチの表面の全体に亘って延びていることを特徴とする請求項 61 記載のトレンチ二重拡散金属酸化膜半導体デバイスの製造方法。

20

【請求項 71】

構造物において、

第 1 の伝導性タイプを有する第 1 の領域と、

第 2 の伝導性タイプを有する第 2 の領域と、

上記第 1 及び第 2 の領域に接続され、第 1 の底部を末端とし、該第 1 の底部から当該構造物の表面に延び、該第 1 の底部とともに第 1 の部位を画定する第 1 の壁及び第 2 の壁を有する第 1 のトレンチと、

上記第 1 及び第 2 の領域に接続され、第 2 の部位を画定する第 2 の底部を末端とし、第 3 の壁及び第 4 の壁を有する第 2 のトレンチと、

30

上記第 1 の部位に堆積された電気的な絶縁材料と、

上記第 1 の部位に延びるマスクされた領域及び上記第 3 及び第 4 の壁の少なくとも一部に延びるマスクされていない領域を画定する少なくとも 1 つのマスクとを備える構造物。

【請求項 72】

上記マスクされた領域は、上記第 1 のトレンチに延び、上記マスクされていない領域は、上記第 2 のトレンチに延びることを特徴とする請求項 71 記載の構造物。

【請求項 73】

上記マスクされた領域は、第 2 の部位に延びることを特徴とする請求項 71 記載の構造物。

40

【請求項 74】

上記絶縁材料は、上記マスクされた領域に延びることを特徴とする請求項 73 記載の構造物。

【請求項 75】

上記絶縁材料は、上記マスクされていない領域に延びていないことを特徴とする請求項 74 記載の構造物。

【請求項 76】

上記絶縁材料は、上記少なくとも 1 つのマスクと、上記第 1 の部位との間に配設されていることを特徴とする請求項 71 記載の構造物。

【請求項 77】

50

上記絶縁材料は、上記少なくとも1つのマスクと、上記第2の部位との間に配設されていることを特徴とする請求項76記載の構造物。

【請求項78】

上記絶縁材料は、シリコン酸化物であることを特徴とする請求項71記載の構造物。

【請求項79】

上記少なくとも1つのマスクは、酸化膜マスクであることを特徴とする請求項78記載の構造物。

【請求項80】

上記第2の領域は拡散領域であることを特徴とする請求項71記載の構造物。

【請求項81】

上記拡散領域は、p型拡散領域であることを特徴とする請求項72記載の構造物。

【請求項82】

第1の伝導性タイプを有する第1の領域と、第2の伝導性タイプを有する第2の領域とを有する基板を準備する工程と、

上記基板表面に第1及び第2の開口部を有する第1の酸化層を形成する工程と、

上記第1及び第2の開口部の位置に上記第1及び第2の領域に接続する第1及び第2のトレンチを形成する工程と、

上記第2のトレンチに対し、該第2のトレンチに亘る平均厚みが t_2 となる第2の酸化層を形成する工程と、

上記第1のトレンチに対し、第1の部分に亘る平均厚みが t_3 であり、第2の部分に亘る平均厚みが t_4 である第3の酸化層を形成する工程とを有し、 t_2 / t_4 が少なくとも約1.2であるトレンチ二重拡散金属酸化膜半導体デバイスの製造方法。

【請求項83】

上記第1の酸化層を形成する工程は、蒸着法により酸化物の層を堆積させる工程を有することを特徴とする請求項82記載のトレンチ二重拡散金属酸化膜半導体デバイスの製造方法。

【請求項84】

上記第2の酸化層を形成する工程は、

上記第2のトレンチの表面に犠牲酸化層を堆積させる工程と、

上記犠牲酸化層を上記第2のトレンチの表面から除去する工程とを有することを特徴とする請求項82記載のトレンチ二重拡散金属酸化膜半導体デバイスの製造方法。

【請求項85】

上記第3の酸化層を形成する工程は、

上記第1及び第2のトレンチの表面に第2の酸化層を形成する工程と、

上記第2のトレンチ上に酸化膜マスクを配設する工程と、

上記第1のトレンチの表面から上記第2の酸化層を除去する工程とを有する請求項82記載のトレンチ二重拡散金属酸化膜半導体デバイスの製造方法。

【請求項86】

上記第3の酸化層を形成する工程は、蒸着法により酸化物の層を堆積させる工程を有することを特徴とする請求項85記載のトレンチ二重拡散金属酸化膜半導体デバイスの製造方法。

【請求項87】

上記第1の酸化層は、平均厚み t_1 を有し、 $t_1 / t_2 > 1$ であることを特徴とする請求項82記載のトレンチ二重拡散金属酸化膜半導体デバイスの製造方法。

【請求項88】

厚み t_3 及び厚み t_4 は実質的に等しいことを特徴とする請求項82記載のトレンチ二重拡散金属酸化膜半導体デバイスの製造方法。

【請求項89】

t_3 / t_4 は少なくとも約1.2であることを特徴とする請求項82記載のトレンチ二重拡散金属酸化膜半導体デバイスの製造方法。

10

20

30

40

50

【請求項 90】

上記第1のトレンチの第2の部分は、該第1のトレンチの底部を含むことを特徴とする請求項89記載のトレンチ二重拡散金属酸化膜半導体デバイスの製造方法。

【請求項 91】

請求項82に記載のトレンチ二重拡散金属酸化膜半導体デバイスの製造方法に基づいて製造された金属酸化膜半導体トランジスタであって、活性領域と端部領域とを備え、上記第1のトレンチは該活性領域に配設され、上記第2のトレンチは、該端部領域に配設されている金属酸化膜半導体トランジスタ。

【発明の詳細な説明】

【0001】

10

【発明の属する技術分野】

本発明は、金属酸化膜半導体電界効果トランジスタに関し、詳しくは、トレンチ構造を有する二重拡散金属酸化膜半導体トランジスタに関する。

【0002】

【従来の技術】

二重拡散金属酸化膜半導体(double diffused metal oxide semiconductor:以下、DMOSという。)トランジスタは、トランジスタ領域の形成に拡散を用いた金属酸化膜半導体電界効果トランジスタ(metal oxide semiconductor field effect transistor: MOSFET)の一種である。DMOSTランジスタは、一般的に、高電圧パワー集積回路用のパワートランジスタとして用いられている。DMOSTランジスタでは、単位面積当たりの電流が大きいとともに、順方向電圧降下が低いことが要求される。

20

【0003】

通常のDMOS回路は、2つ以上の独立したDMOSTランジスタセルを備え、これらは並列に設けられている。各DMOSTランジスタセルは、共通のドレインコンタクト(基板)を共有し、各DMOSTランジスタセルのソースは、全て金属層に短絡され、各DMOSTランジスタセルのゲートは、ポリシリコンを介して短絡されている。これにより、ディスクリートDMOS回路は、より小さなトランジスタのマトリクスとして形成されているが、単一の大きなトランジスタとして動作する。ディスクリートDMOS回路においては、トランジスタマトリクスがゲートによってオンにされたときの単位面積当たりの導電性を最大化することが望ましい。

30

【0004】

代表的なDMOSTランジスタとしては、所謂トレンチDMOSTランジスタがあり、トレンチDMOSTランジスタでは、チャンネルが垂直に形成され、ゲートはソースとドレインの間に延びるトレンチ内に形成されている。トレンチの内壁には薄膜酸化層が設けられ、トレンチ内にはポリシリコンが埋め込まれており、このためトレンチを設けることにより電流が流れやすくなり、低い特性オン抵抗が実現される。トレンチDMOSTランジスタの具体例は、例えば米国特許第5072266(ブルシー(Bulucea)他)号、第5541425号(ニシハラ(Nishihara))、第5430324号(ベンクヤ(Bencuya))、第5639676号(フシエ(Hshieh)他)、第5316959号(クワン(Kwan)他)、)、第5304381号(イルマズ(Yilmaz)他)、第5866931号等に開示されている。

40

【0005】

図1A及び図1Bは、従来のトレンチDMOSTランジスタ101を示している。トレンチDMOSTランジスタ101は、トランジスタの活性領域内に配設された第1のトレンチ103と、トランジスタの端部領域(termination region)に配設された第2のトレンチ105とを有する。

【0006】

図1Bは、図1Aに示すX-X'線に沿ったデバイスの断面を示しており、この図1Bに示すように、トレンチは、n⁺ドーパ層107と、nドーパエピタキシャル層109と、

50

これらと逆の伝導性を有するp型拡散層111とを備える基板に設けられている。p型拡散層111の上層に形成されているn⁺ドープエピタキシャル層113は、ソースとして機能する。トレンチの底部は、nドープエピタキシャル層109内に位置している。各トレンチの内壁には、絶縁層であるシリコン酸化層115が形成されている。第1のトレンチ103の上方にはソース電極117が設けられており、第2のトレンチ105の上方には、ゲート電極119が設けられている。各トレンチには、ポリシリコン121が埋め込まれ、トレンチの上部は、BPSG (Boro - Phospho - Silicate - Glasses) 123により覆われている。

【0007】

【発明が解決しようとする課題】

図1Bに示すデバイスにおいては、第1のトレンチ103を覆うシリコン酸化層115の平均厚み t_{x1} は、第2のトレンチ105を覆うシリコン酸化層105の平均厚み t_{x2} に等しく、すなわち $t_{x1} = t_{x2}$ である。この種のデバイスでは、デバイスを製造する際のアーテファクト (artifacts) が問題となる。詳しくは、このデバイスを製造するためには、少なくとも2回の酸化処理が必要である。すなわち、トレンチ形成時のシリコンエッチングにより生じた損傷を取り除くために第1の酸化が行われ、及びシリコン酸化層を形成するために第2の酸化が行われる。図1Cに示すように、これらの酸化により、シリコン酸化層115にp型拡散層111が侵入する形で、欠陥125が生じる。このような欠陥は、トレンチの側壁の上端の角部に生じる「ホーン (horn)」と呼ばれることもある。ホーンの端部は鋭角となる。ホーンの近傍のシリコン酸化層の厚み t_h は、トレンチの側壁又はp型拡散層の表面に形成されたシリコン酸化層の平均厚み t_{x2} より薄くなる。

【0008】

動作時には、ホーン及びシリコン酸化層を覆うn型多結晶シリコン層127がゲートとして機能し、このn型多結晶シリコン層127には、所定の電圧が印加される。ここで、ホーンの形状のために、n型多結晶シリコン層127と基板との間の電界は、ホーン近傍に集中してしまう。また、ホーン近傍のシリコン酸化層の厚みが薄くなっているため、この領域のシリコン酸化層の降伏電圧は著しく低下する。

【0009】

この問題に対処するために、幾つかの手法が提案されている。例えば、1987年、8月、電子デバイスに関するIEEEトランザクション第34巻第8号 (IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. ED-34, NO. 8) の第1681~1687頁に開示されている手法では、シリコンの酸化条件を工夫している。すなわち、この手法では、酸化処理を1100 といった高温で行う。この文献によれば、この温度では、ホーンが形成されず、トレンチの側壁の上端の角部が丸められる。この文献では、トレンチの側壁の上端の角部を丸めることにより、この部分に電界が集中されることが緩和され、トレンチの側壁の上端の角部の降伏電圧が向上すると説明されている。しかしながら、この手法に基づき、上述のような高い温度で酸化を行うと、先に形成されている不純物拡散層の構造に悪影響が生じるという問題がある。

【0010】

また、トレンチの側壁の上端の角部におけるシリコン酸化層の降伏電圧が低下することを回避するこの他の手法は、特開平64-57623号及び特開平63-166230号にも開示されている。これらの文献は、化学的ドライエッチングによりトレンチの側壁の上端の角部を丸める手法を開示している。しかしながら、電界の集中を緩和するために、このような手法でトレンチの側壁の上端の角部を丸めると、角部の曲率「r」を大きくしなくてはならない。このため、デバイスの寸法が制限され、特にDMOSトランジスタを最小化しなくてはならない場合に、この手法は難点がある。

【0011】

米国特許第5541425号 (ニシハラ (Nishihara)) には、2回の酸化処理によって薄くされたゲート酸化層のセグメントに関する問題を克服するための他の手法が

10

20

30

40

50

開示されている。この手法では、追加的なマスクを用いてヒ素を高濃度に注入することにより、トレンチの側壁の上端の角部を丸めている。しかしながら、この手法は、フローティングヒ素領域 (floating arsenic portion) により早期になだれ降伏が発生するため、パワー MOSFET には適さない。更に、高濃度にドーブされたヒ素領域のために、例えば犠牲酸化層及びゲート酸化層等を形成するための後続する酸化処理において、シリコンに欠陥が生じやすくなるという問題がある。

【0012】

米国特許第5639676号(フシエ(Hshieh)他)には、7回のマスクング工程を用いたトレンチDMOSトランジスタの製造方法が開示されている。この手法では、マスクング工程を用いて、トランジスタの活性領域のゲート酸化層より厚い端部領域の絶縁酸化層を形成する。しかしながら、この種のデバイスは、トレンチの側壁の上端の角部における2回の酸化処理に起因して、図1A~図1Cに示すデバイスと同様、トレンチの側壁の上端の角部におけるシリコン酸化層の降伏電圧が低下しやすい。

10

【0013】

そこで、ゲート酸化層の完全性(integrity)が向上されたトレンチDMOSデバイス、特に降伏電圧特性が向上されたゲート酸化層を有するトレンチDMOSデバイスの実現が望まれている。更に、このようなトレンチDMOSデバイスの製造方法であって、パワーMOSFETにも適用できる製造方法の実現が望まれている。本発明は、後述するように、これらの課題を解決するものである。

【0014】

【課題を解決するための手段】

本発明は、ゲート酸化層の完全性(integrity)が向上されたトレンチ二重拡散金属酸化膜半導体デバイスの製造方法、特に降伏電圧特性が向上されたゲート酸化層を有するトレンチ二重拡散金属酸化膜半導体デバイスの製造方法及びこのトレンチ二重拡散金属酸化膜半導体デバイスの製造方法に基づいて製造されたトレンチ二重拡散金属酸化膜半導体デバイスに関する。

20

【0015】

一側面において、本発明は、トレンチ二重拡散金属酸化膜半導体デバイス及びその製造方法に関する。トレンチ二重拡散金属酸化膜半導体デバイスは、第1の伝導性タイプを有する第1の領域(例えば、nドーブエピタキシャル層)と、第2の伝導性タイプを有する第2の領域(例えば、p型拡散層)と、第1及び第2の領域に接続された第1及び第2のトレンチとを備える。第1の電気的な絶縁層は、第1のトレンチの表面に堆積され、第1のトレンチに亘る平均厚み t_1 を有する。第2の電気的な絶縁層は、第2のトレンチの表面に堆積され、第2のトレンチに亘る平均厚み t_2 を有する。これらの電気的な絶縁層は、例えばシリコン酸化層等の酸化層であってもよい。 t_1/t_2 は、1以上とし、好ましくは約1.2以上とする。

30

【0016】

本発明に基づいて製造されたトレンチ二重拡散金属酸化膜半導体デバイスは、特にパワー金属酸化膜半導体トランジスタに有益である。このような適用例では、第1のトレンチは、トランジスタの端部領域に配設され、第2のトレンチは、トランジスタの活性領域に配設される。端部領域の絶縁層を厚くすることにより、絶縁層の降伏電圧、特に、2回の酸化処理(two-dimensional oxidation)によりホーン又はこれに類似する欠陥が生じやすいトレンチの上端の角部近傍の絶縁層の降伏電圧を許容可能なレベルに維持することができる。更に、絶縁層をより厚く形成することにより、電界分布(electric field distribution)が向上し、なだれ降伏がトランジスタの端部領域ではなく活性領域で生じ、したがって降伏電圧動作(breakdown voltage behavior)がより安定し及び予測可能となる。更に、絶縁層の厚みを厚くすることにより、プロセスの制御が容易になり、プロセスによる基板の汚染を低減することができる。更に、酸化層を厚くすることにより、電界の集中が緩和され、酸化膜破壊電圧をより高めることができる。更に、酸化層を厚くすることにより、不

40

50

純物がドーブされたポリシリコンから酸化層を介して基板領域に侵入する不純物の量が低減され、したがって、酸化層を厚くすることにより、基板汚染が軽減される。

【0017】

本発明に基づくトレンチ二重拡散金属酸化膜半導体デバイスの幾つかの具体例においては、第2のトレンチの底部の絶縁層の平均厚みを厚くするとともに、これらのトレンチの上部の絶縁層の平均厚みをそのままにしている。このようなトレンチ二重拡散金属酸化膜半導体デバイスは、上述した全ての利点を有している。更に、パワー金属酸化膜半導体トランジスタの活性領域のトレンチの底部の絶縁層の厚みを厚くすることにより、トレンチのこの領域における不純物が絶縁層を介してp型拡散層に透過する量が低減され、したがってパンチスルーを低減できる。

10

【0018】

他の側面においては、本発明は、トレンチ二重拡散金属酸化膜半導体デバイスの製造方法及びこのトレンチ二重拡散金属酸化膜半導体デバイスの製造方法に基づいて製造されたトレンチ二重拡散金属酸化膜半導体デバイスを提供する。このトレンチ二重拡散金属酸化膜半導体デバイスの製造方法においては、第1の伝導性タイプを有する第1の領域と、第2の伝導性タイプを有する第2の領域とを備える構造を準備する。この構造は、第1及び第2の領域に接続された第1及び第2のトレンチを備える。第1のトレンチの表面には、第1の電気的な絶縁層が堆積される。第1の電気的な絶縁層は、第1のトレンチに亘る平均厚み t_1 を有する。次に、第2のトレンチの表面には、第2の電気的な絶縁層が堆積される。第2の電気的な絶縁層は、第2のトレンチに亘る平均厚み t_2 を有する。2つの絶縁層の厚みは、厚み t_1 及び厚み t_2 のうち大きい方の値を k とし、厚み t_1 及び厚み t_2 のうち小さい方の値を m として、 k/m が1以上、好ましくは約1.2以上に設定される。

20

【0019】

本発明の様々な具体例においては、絶縁層の厚みの差は、第1及び第2のトレンチに第1の絶縁層を堆積させ、第1の絶縁層の少なくとも一部に少なくとも1つのマスク（例えば、絶縁層がシリコン酸化層等の酸化層である場合、酸化膜マスク）を堆積させ、マスクされた領域とマスクされていない領域とを画定することにより実現される。本発明の幾つかの具体例においては、マスクされた領域は、第1のトレンチの表面全体に延び、マスクされていない領域は、第2のトレンチの表面全体に延びる。他の具体例においては、マスクされた領域は、第1のトレンチの表面全体と、第2のトレンチの表面の第1の部分（例えば、底部）とに延び、マスクされていない領域は、第2のトレンチの第2の部分に延びる。マスクされていない領域に対応する第1の絶縁層の全ての部分は、例えばエッチングにより取り除かれ、 t_1 、 t_2 として、平均厚み t_2 を有する第2の絶縁層をマスクされていない領域に堆積させる。第1のトレンチがトランジスタの端部領域に配設され、第2のトレンチがトランジスタの活性領域に配設されている場合、 $t_1 > t_2$ とする。この製造方法は、特に、上述した種類のトレンチ二重拡散金属酸化膜半導体デバイスの製造方法として有益である。

30

【0020】

他の側面として、本発明は、トレンチ二重拡散金属酸化膜半導体デバイス及びこれに類似するデバイスを形成するために有用な中間構造物（intermediary article）及びその製造方法を提供する。この構造物は、第1の伝導性タイプを有する第1の領域と、第2の伝導性タイプを有する第2の領域とを備える。第1のトレンチは、第1及び第2の領域に接続され、第1及び第2の壁を有し、第1の底部を末端とする。第1の壁は、第1の底部からこの構造物の表面に延び、この第1の壁と表面は、第1の部位を画定する。第2のトレンチは、第3の壁と第4の壁を備え、第2の底部を末端とし（第2の底部は第2の部位を画定する）、第1及び第2の領域に接続される。電気的な絶縁材料（例えば、シリコン酸化層等の酸化層）は、少なくとも第1の部位に堆積される。幾つかの具体例においては、絶縁材料は、第2の部位にも延びる。この構造物は、マスクされた領域とマスクされていない領域を画定する少なくとも1つのマスクを備える。マスクされた

40

50

領域は、第1の部位に延び、幾つかの具体例においては、第2の部位にも延びる。マスクされていない領域は、マスクされた領域以外の全ての領域に延び、好ましくは、第2のトレンチの第3及び第4の壁の少なくとも一部を含む。

【0021】

本発明に基づく中間構造物から（例えば、絶縁材料がシリコン酸化層であり、少なくとも1つのマスクが酸化膜マスクである場合、エッチングにより）マスクされていない領域に堆積されている絶縁材料を除去し、（少なくとも1つのマスクを除去する前又は後に）マスクされていない領域の他の部分と同じ又は異なる絶縁材料を堆積させることにより、トレンチ二重拡散金属酸化膜半導体トランジスタ及びデバイスを製造することができる。これにより、トレンチ二重拡散金属酸化膜半導体デバイスにおけるマスクされた領域及びマスクされていない領域の絶縁材料（ゲート酸化層及び/又は犠牲酸化層を構成する）の厚みをそれぞれ独立して変化させることができ、上述した利点を有するトレンチ二重拡散金属酸化膜半導体デバイスを製造することができる。

10

【0022】

【発明の実施の形態】

本発明は、ゲート酸化層の完全性（*integrity*）が向上されたトレンチDMOSデバイス、特に降伏電圧特性が向上されたゲート酸化層を有するトレンチDMOSデバイス（及びその製造方法）を提供する。これらのトレンチDMOSデバイス及びその製造方法は、特にパワーMOSFETデバイスに有益である。

【0023】

図2は、本発明に基づいて製造されたトレンチDMOSデバイス1の第1の具体例を示している。トレンチDMOSデバイス1は、 n^+ 基板3を備え、 n^+ 基板3上には、 n 型不純物が低濃度にドーパされたエピタキシャル層5が成長されている。エピタキシャル層5の上部には、逆の伝導性を有する p 型拡散層7が設けられている。 p 型拡散層7の少なくとも一部の上層には、ソースとして機能する n^+ ドーパエピタキシャル層9が設けられている。

20

【0024】

エピタキシャル層5内には、第1及び第2のトレンチ11、11'が形成されている。第1のトレンチ11は、トレンチDMOSデバイス1の活性領域12に対応する位置に設けられており、第2のトレンチ11'は、トレンチDMOSデバイス1の端部領域12'に対応する位置に設けられている。第2のトレンチ11'には、ポリシリコン14が埋め込まれており、このポリシリコン14は、トレンチ上面から延び、ゲート16に接触している。第1及び第2のトレンチ11、11'の内壁には、それぞれ第1及び第2の酸化層13、13'が形成されており、第1及び第2の酸化層13、13'の厚みは、それぞれ t_1 、 t_2 であり、ここで $t_2 > t_1$ である。

30

【0025】

第1及び第2の酸化層13、13'の厚み t_1 、 t_2 は、 $t_2 > t_1$ の要求を満たすとともに、意図された用途において酸化層が適切な降伏電圧を有するように選択される。端部領域12'の酸化層13'をより厚く形成することにより、2回の酸化処理（*two-dimensional oxidation*）によりホーン又はこれに類似する欠陥が生じやすいトレンチの上端の角部近傍の酸化層の降伏電圧を許容可能なレベルに維持することができる。更に、酸化層をより厚く形成することにより、電界分布（*electric field distribution*）が向上し、なだれ降伏がトランジスタの端部領域ではなく活性領域で生じ、したがって降伏電圧動作（*breakdown voltage behavior*）がより安定し及び予測可能となる。更に、シリコン酸化層の厚みを厚くすることにより、プロセスの制御が容易になり、プロセスによる基板の汚染を低減することができる。

40

【0026】

厚み t_1 と厚み t_2 の値は、 $t_1 : t_2$ の比が少なくとも1.2、より好ましくは1.5、更に好ましくは2.0となるように選択するとよい。通常、（30Vデバイスにおいて

50

は) 厚み t_1 の範囲は 400 ~ 700 、より好ましくは 500 ~ 650 、更に好ましくは 550 ~ 600 とし、厚み t_2 の範囲は 600 ~ 840 、より好ましくは 750 ~ 1050 、更に好ましくは 1000 ~ 1400 とする。ゲート酸化層の厚み(すなわち、活性領域 12 に設けられたトレンチ 11 の酸化層の厚み)は、通常、製造されるデバイスの動作電圧に基づいて決定される。

【0027】

図3は、本発明に基づいて製造されたトレンチDMOSデバイス21の第2の具体例を示している。この構造は、図2に示すトレンチDMOSデバイス1に類似しているが、この具体例では、図2に示す具体例と異なり、第1のトレンチ25の底部に形成されるゲート酸化層23の部分の厚みを厚くするためにマスクング技術を用いている。このようにゲート酸化層23を厚くすることにより、トレンチ23のこの領域において、絶縁層を介してp型拡散層に不純物材料が透過する量を低減でき、したがってパンチスルーを低減できる。同時に、トレンチ23内の他の部分のゲート酸化層は比較的薄くなり、したがって、なだれ降伏がトランジスタの端部領域ではなく、活性領域で確実に発生ようになる。このため、降伏電圧動作がより安定し及び予測可能となる。第1のトレンチ25の底部に形成される酸化層23の厚み t_b と、この第1のトレンチ25の側面に形成される酸化層の厚み t_s は、図2を用いて説明した厚み t_1 及び厚み t_2 と同様に設定できる。

10

【0028】

図4は、本発明に基づいて製造されたトレンチDMOSデバイス31の第3の具体例を示している。このトレンチDMOSデバイス31は、図3に示すトレンチDMOSデバイス21に類似しているが、この具体例では、図3に示す具体例と異なり、追加的なマスクング工程を用いて、トレンチDMOSデバイス31の端部領域に絶縁酸化層33を形成している。この絶縁酸化層33は、厚み t_1 を有する第1の領域35と、厚み t_2 を有する第2の領域37を備える。トレンチDMOSデバイス31の活性領域のゲート酸化層38の厚みは t_3 である。これらの酸化層の厚みは、 $t_1 > t_2 > t_3$ となるように設定される。

20

【0029】

この具体例では、厚み t_1 と厚み t_2 の値は、 $t_1 : t_2$ の比が少なくとも1.5、より好ましくは3.0、更に好ましくは4.0となるように選択する。また、厚み t_1 の範囲は1500 ~ 2000 、より好ましくは2000 ~ 2500 、更に好ましくは3500 ~ 4500 とし、厚み t_2 の範囲は600 ~ 840 、より好ましくは750 ~ 1050 、更に好ましくは1000 ~ 1400 とする。厚み t_3 の値は、図2に示す厚み t_2 の値に対応する。この具体例における第1の領域35の厚みを厚くすることにより、ゲートランナのキャパシタンス(Gate runner capacitance)を低減することができる。

30

【0030】

図5は、本発明に基づいて製造されたトレンチDMOSデバイス41の第4の具体例を示している。このトレンチDMOSデバイス41は、図4に示すトレンチDMOSデバイス31に類似しているが、この具体例では、図4に示す具体例と異なり、マスクング工程を用いて、トレンチDMOSデバイス41の活性領域におけるトレンチ47の底部に形成されるゲート酸化層45の部分43の厚みを厚くしている。ゲート酸化層45の部分43を厚くすることの利点は、図3に示す具体例において既に説明した通りである。ゲート酸化層45の部分43の厚み t_4 は、図4に示すトレンチDMOSデバイス31の厚み t_2 と同様に設定できる。

40

【0031】

図6A ~ 図6Eは、図4に示すようなトレンチDMOSデバイスを製造する本発明に基づくトレンチDMOSデバイスの製造方法の第1の具体例を示している。図6Aに示すように、まず、 n^+ ドープ基板53上にnドープエピタキシャル層51を成長させる。30Vデバイスの場合、nドープエピタキシャル層51の厚みは、例えば5.5 μm とする。次に、注入及び拡散処理により、p型拡散層55を形成する。p型拡散層55は、基板全体

50

に亘って均一に形成されるため、マスクは不要である。p型拡散層55は、例えば、40～60keVで、ドーズ量を $5.5 \times 10^{13} / \text{cm}^2$ としてホウ素を注入することにより形成される。

【0032】

続いて、図6Bに示すように、nドープエピタキシャル層51の表面を酸化層で覆い、この酸化層を露光し、パターンを形成し、マスク部分57を残すことにより、マスク酸化層を形成する。マスク部分57は、第1及び第2のトレンチ59、59'の位置を画定するために使用され、これら第1及び第2のトレンチ59、59'は、マスクの開口部を介して反応性イオンエッチングにより通常1.5～2.5 μm の深さまでエッチングを行うことにより形成される。

10

【0033】

次に、図6Cに示すように、緩衝酸化エッチング(buffered oxide etch)又はHFエッチングによってマスク部分を除去する。トレンチ59、59'は、パターンを有するトレンチマスクの除去より先に形成されるため、及びパターンを有するトレンチマスクがトレンチ形成プロセスにおいてキャップ又は緩衝材(buffer)として機能するため、不純物材料はp型拡散層55には到達せず、したがってパンチスルーが低減される。

【0034】

マスク部分を除去した後、構造全体に犠牲酸化層61を形成し、犠牲酸化層61によりトレンチの内壁及びp型拡散層55の表面を覆う。犠牲酸化層61の厚み t_2 は、約800以下、好ましくは約1000以下、更に好ましくは1200以下とする。

20

【0035】

図6Dに示すように、第2のトレンチ59'上には犠牲酸化膜マスク71を堆積させ、一方、第1のトレンチ59は、露出したままにする。次に、酸化エッチング処理により、第1のトレンチ59の表面から犠牲酸化層61を取り除く。

【0036】

更に、図6Eに示すように、第1のトレンチ59の表面にゲート酸化層75を堆積させ、この第1のトレンチ59内にポリシリコン77を埋め込む。次に、ポリシリコン77に塩化燐をドーブし、若しくはヒ素又は燐を注入し、その抵抗値を下げる。ポリシリコン77の抵抗値は、例えば $20 / \text{cm}^2$ の範囲内とする。次に、第2のトレンチ59'上にフォトレジストポリシリコンマスク79を設け、この後、周知の手法を用いて、図2に示すようなトレンチDMOSデバイスが完成される。

30

【0037】

図7A～図7Dは、本発明に基づくトレンチDMOSデバイスの製造方法の第2の具体例を示している。図7Aに示すように、この具体例では、図6Cに示す構造の表面に第2の犠牲酸化膜マスク81、81'を堆積させ、平均厚み t_1 を有する犠牲酸化層82が第2のトレンチ83'の付近を完全に覆い、及び第1のトレンチ83については底部のみを覆うようにする。続いて、この構造に対して酸化エッチングを行い、図7Bに示すように、第1のトレンチ83近傍の犠牲酸化層の一部を除去する。続いて、犠牲酸化膜マスクを除去し、平均厚み t_2 を有するゲート酸化層85を堆積させ、図7Cに示すような構造を形成する。次に、ゲート酸化層85及び犠牲酸化層82上にポリシリコン層87を堆積させ、ポリシリコンに不純物をドーブし、第2のトレンチの上方にフォトレジストポリシリコンマスク89を設け、図7Dに示すような構造を形成する。この後、周知の手法を用いて、図3に示すようなトレンチDMOSデバイスが完成される。厚み t_1 及び厚み t_2 の値については、図3を用いて説明したトレンチDMOSデバイスと同様に設定される。

40

【0038】

図8A～図8Bは、本発明に基づくトレンチDMOSデバイスの製造方法の第3の具体例を示している。図8Aに示すように、この具体例では、図6Aに示す構造の表面に厚み t_1 を有する第1の酸化層91を堆積させる。第1の酸化層91を、少なくとも第1及び第2の開口部93、93'を有する所定の形状にパターン化し、これにより酸化膜マスクを

50

形成する。次に、この第1及び第2の開口部93、93'を介して異方性エッチングを行うことにより、対応する第1及び第2のトレンチ95、95'を形成する。この構造には、犠牲酸化層(図示せず)が堆積されており、これにより、エッチング処理の際に構造が破損することが防止されている。犠牲酸化層は、エッチング処理の後に取り除かれる。

【0039】

次に、トレンチに熱酸化処理を施し、 $t_1 > t_2$ である厚み t_2 を有する第2の酸化膜97をトレンチの表面に形成する。第2の酸化膜97は、例えば、酸素/水素雰囲気において、950の温度を用いて形成でき、蒸着時間及び他のパラメータを制御して所望の膜厚を得ることができる。次に、第2のトレンチ95'上に酸化膜マスク99を堆積させる。次に、このデバイスに対して酸化エッチングを行い、図6Dに示す構造と同様の構造を形成し、次に図6Eを用いて説明した処理と同様の処理により、図4に示すようなトレンチDMOSデバイスを完成させる。ここで、必要であれば、酸化エッチング工程の前に、更なるマスクング(例えば、第1のトレンチの底部に酸化膜マスクを設ける)を行い、第1のトレンチの底部付近でゲート酸化層の厚みが厚くされた図5に示すようなトレンチDMOSデバイスを形成してもよい。

10

【0040】

以上、様々な実施の形態を図示し、説明したが、上述の説明から、この実施の形態を修正及び変更することができ、このような修正及び変更は、添付の請求の範囲に基づく本発明の思想及び範囲から逸脱するものではない。例えば、本発明に基づく製造方法は、上述した様々な半導体領域の伝導性(*conductivities*)を逆にしたパワーMOSFETの製造に適用してもよい。

20

【図面の簡単な説明】

【図1A】

従来のDMOSデバイスの平面図である。

【図1B】

図1に示すDMOSデバイスの線1B-1Bに沿った断面図である。

【図1C】

図1Bに示す領域2の拡大図である。

【図2】

本発明に基づいて製造されたトレンチDMOSトランジスタの断面図である。

30

【図3】

本発明に基づいて製造されたトレンチDMOSトランジスタの断面図である。

【図4】

本発明に基づいて製造されたトレンチDMOSトランジスタの断面図である。

【図5】

本発明に基づいて製造されたトレンチDMOSトランジスタの断面図である。

【図6A】

本発明に基づくトレンチDMOSトランジスタの製造方法における製造工程を説明する図である。

【図6B】

本発明に基づくトレンチDMOSトランジスタの製造方法における製造工程を説明する図である。

40

【図6C】

本発明に基づくトレンチDMOSトランジスタの製造方法における製造工程を説明する図である。

【図6D】

本発明に基づくトレンチDMOSトランジスタの製造方法における製造工程を説明する図である。

【図6E】

本発明に基づくトレンチDMOSトランジスタの製造方法における製造工程を説明する図

50

である。

【図 7 A】

本発明に基づくトレンチ D M O S トランジスタの製造方法における製造工程を説明する図である。

【図 7 B】

本発明に基づくトレンチ D M O S トランジスタの製造方法における製造工程を説明する図である。

【図 7 C】

本発明に基づくトレンチ D M O S トランジスタの製造方法における製造工程を説明する図である。

【図 7 D】

本発明に基づくトレンチ D M O S トランジスタの製造方法における製造工程を説明する図である。

【図 8 A】

本発明に基づくトレンチ D M O S トランジスタの製造方法における製造工程を説明する図である。

【図 8 B】

本発明に基づくトレンチ D M O S トランジスタの製造方法における製造工程を説明する図である。

【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
27 December 2001 (27.12.2001)

PCT

(10) International Publication Number
WO 01/99198 A2

(51) International Patent Classification: **H01L 29/78**,
29/423, 21/336

(81) Designated States (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW.

(21) International Application Number: PCT/US01/19377

(22) International Filing Date: 15 June 2001 (15.06.2001)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data: 09/595,120 16 June 2000 (16.06.2000) US

(71) Applicant: **GENERAL SEMICONDUCTOR, INC.** [US/US]; 10 Melville Park Road, Melville, NY 11747-3113 (US).

(84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BI, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).

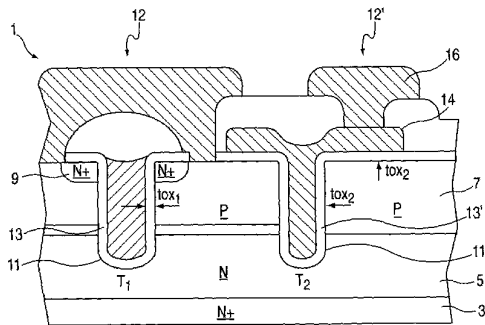
Published: — without international search report and to be republished upon receipt of that report

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(72) Inventors: **HSHIEH, Fwu-Iuan**; 20768 Seville Lane, Saratoga, CA 95070 (US). **SO, Koon, Chong**; 591 Woodview Terrace, Fremont, CA 94539 (US). **TSUI, Yan, Man**; 4409 Drywood Court, Union City, CA 94587 (US).

(74) Agent: **MAYER, Stuart, H.**, Mayer Fortkort & Williams, PC, 200 Executive Drive, Suite 250, West Orange, NJ 07052 (US).

(54) Title: SEMICONDUCTOR TRENCH DEVICE WITH ENHANCED GATE OXIDE INTEGRITY STRUCTURE



(57) Abstract: A method for making trench DMOS is provided that improves the breakdown voltage of the oxide layer in a device having at least a first trench disposed in the active region of the device and a second trench disposed in the termination region of the device. In accordance with the method, mask techniques are used to thicken the oxide layer in the vicinity of the top corner of the second trench, thereby compensating for the thinning of this region (and the accompanying reduction in breakdown voltage) that occurs due to the two-dimensional oxidation during the manufacturing process.

WO 01/99198 A2

WO 01/99198

PCT/US01/19377

SEMICONDUCTOR TRENCH DEVICE WITH ENHANCED GATE
OXIDE INTEGRITY STRUCTURE

Field of the Invention

[0001] The present invention relates generally to MOSFET transistors and more generally to DMOS transistors having a trench structure.

Background of the Invention

[0002] DMOS (Double diffused MOS) transistors are a type of MOSFET (Metal On Semiconductor Field Effect Transistor) that use diffusion to form the transistor regions. DMOS transistors are typically employed as power transistors to provide high voltage circuits for power integrated circuit applications. DMOS transistors provide higher current per unit area when low forward voltage drops are required.

[0003] A typical discrete DMOS circuit includes two or more individual DMOS transistor cells which are fabricated in parallel. The individual DMOS transistor cells share a common drain contact (the substrate), while their sources are all shorted together with metal and their gates are shorted together by polysilicon. Thus, even though the discrete DMOS circuit is constructed from a matrix of smaller transistors it behaves as if it were a single large transistor. For a discrete DMOS circuit it is desirable to maximize the conductivity per unit area when the transistor matrix is turned on by the gate.

[0004] One particular type of DMOS transistor is a so-called trench DMOS transistor in which the channel is formed vertically and the gate is formed in a trench extending between the source and drain. The trench, which is lined with a thin oxide layer and filled with polysilicon, allows less constricted current flow and thereby provides lower values of specific on-resistance. Examples of trench DMOS transistors are disclosed in U.S. Patent Nos. 5,072,266 (Buluca et al.), 5,541,425

(Nishihara), 5,430,324 (Bencuya), 5,639,676 (Hsieh et al.), 5,316,959 (Kwan et al.), 5,304,381 (Yilmaz et al.) and 5,866,931.

[0005] FIGS. 1A and 1B depict one example of a conventional trench DMOS transistor 101. The device is provided with a first trench 103 which is in the active region of the transistor and a second trench 105 which is in the termination region of the transistor.

[0006] Referring now to FIG. 1B, which is a cross-sectional view of the device of FIG. 1A taken along the line X-X', the trenches reside in a substrate comprising an n⁺ doped layer 107, an n doped epitaxial layer 109, and a p type diffusion layer 111 of opposite conductivity. An n⁺ doped epitaxial layer 113 which overlies the p type diffusion layer serves as the source. The bottom of the trenches terminate in the n doped epitaxial layer. An insulating layer of silicon oxide 115 extends over the surface of both trenches. A source electrode 117 extends over the first trench, and a gate electrode 119 extends over the second trench. Both trenches are filled with polysilicon 121 and capped with BPSG 123 (boron phosphorosilicate glass).

[0007] In the device depicted in FIG. 1B, the average thickness t_{ox1} of the silicon oxide layer overlying the first trench is equal to the average thickness t_{ox2} of the silicon oxide layer overlying the second trench, that is, $t_{ox1} = t_{ox2}$. Devices of this type have at least one drawback that is an artifact of the methodology by which the device is manufactured. In particular, the device is typically subjected to at least two oxidation treatments during its manufacture, the first of which is employed for the removal of damages occurring at the time of silicon etching after formation of the trenches, and the second of which is used to form the silicon oxide layer. As shown in FIG. 1C, these oxidation steps produce a defect 125 in the form of a protrusion of the p type diffusion layer 111 into the silicon oxide layer 115. This defect, often referred to as a "horn", occurs in the upper end corner of the sidewall of the trench. The horn terminates in an acute angle. The thickness " t_h " of the silicon oxide layer in the vicinity of the horn will be smaller than the average thickness t_{ox2} of the silicon oxide layer positioned on the sidewall of the trench or

on the surface of the p type diffusion layer.

[0008] During use, the n type polycrystalline silicon layer 127 that covers the horn and silicon oxide layer functions as a gate and is supplied with a predetermined potential. However, because of the shape of the horn, an electric field between the n type polycrystalline silicon layer and the substrate is concentrated in the vicinity of horn. Since the thickness of the silicon oxide layer in the vicinity of the horn is thin, the breakdown voltage of the silicon oxide layer is greatly reduced in this area.

[0009] Several approaches have been suggested in the art for dealing with this problem. One approach, which is disclosed in IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. ED-34, NO. 8, AUGUST, 1987, pp. 1681-P.1687, is directed toward the oxidation conditions of silicon. In this approach, oxidation is conducted at temperatures as high as 1100°C. According to the reference, a horn is not produced at these temperatures, and the upper end corner portion on the sidewall of the trench is rounded. Rounding the upper end corner portion on the sidewall of the trench relaxes the concentration of electric field at the portion, and the breakdown voltage of the silicon oxide layer positioned on the upper end corner portion of the sidewall of the trench is purportedly improved. However, this method is disadvantageous in that the use of such high temperatures in the oxidation steps can adversely affect on the structure of the impurity diffusion layers previously formed.

[0010] Another approach for avoiding the reduction in breakdown voltage of the silicon oxide layer at the upper corner portion of the sidewall of the trench is disclosed in laid open Japanese Patent Application Nos. 64-57623 and 63-166230. These references disclose a method of rounding the upper end corner portion on the sidewall of the trench by means of chemical dry etching. However, rounding the upper end corner portion on the sidewall trench in this manner is undesirable because, in order to relax the electric field intensity, the radius of curvature "r" of the corner portion must be increased. This in turn places a lower limit on the size of the device, which is a serious drawback in that it is desirable to minimize the

size of the DMOS transistor.

[0011] U.S. 5,541,425 (Nishihara) discloses yet another approach which is intended to overcome the problems associated with segments of the gate oxide layer that have been thinned by two-dimensional oxidation. There, a method is disclosed whereby the top corner of the trench is rounded with an additional heavy arsenic implant through the use of an additional mask. However, the methodologies proposed therein are not suitable for a power MOSFET because the floating arsenic portion causes early avalanche breakdown. Moreover, the heavy doped arsenic portion induces silicon defects during subsequent oxidation processes such as sacrificial oxidation and gate oxidation.

[0012] U.S. 5,639,676 (Hsieh et al.) discloses a method for making a trenched DMOS transistor using seven masking steps. In accordance with the method, a masking step is used to produce an insulating oxide layer in the termination region which is thicker than the gate oxide layer in the active region of the transistor. However, as with the device depicted in FIGS. 1A-C, devices of this type are prone to reduction in breakdown voltage of the silicon oxide layer at the upper corner portion of the sidewall of the trench due to two-dimensional oxidation of the silicon oxide layer in this area.

[0013] There thus remains a need in the art for a trench DMOS device with improved gate oxide integrity and, in particular, a trench DMOS device having a gate oxide layer with improved breakdown voltage. There is also a need in the art for a method for making such a trench DMOS device, which method is applicable to power MOSFET devices. These and other needs are met by the present invention, as hereinafter disclosed.

Summary of the Invention

[0014] The present invention relates to methods for creating trench DMOS devices with enhanced gate oxide integrity and, in particular, to trench DMOS devices in which the gate oxide layer has improved breakdown voltage, and to the trench DMOS devices so made.

[0015] In one aspect, the present invention relates to trench DMOS devices, and to methods for making the same. The trench DMOS devices comprise a first region (e.g., an n doped epitaxial layer) having a first conductivity type and a second region (e.g., a p type diffusion layer) having a second conductivity type, and have at least first and second trenches which are in communication with the first and second regions. A first electrically insulating layer is disposed over the surface of the first trench and has a mean thickness over the first trench of t_1 . A second electrically insulating layer is disposed over the surface of the second trench and has a mean thickness over the second trench of t_2 . The electrically insulating layers typically comprise an oxide such as silicon oxide. The ratio t_1/t_2 is greater than 1, and is typically at least about 1.2.

[0016] The trench DMOS devices made in accordance with this aspect of the invention are particularly useful in power MOSFET applications. In such an application, the first trench may be disposed in the termination region of the transistor and the second trench may be disposed in the active region of the transistor. The presence of the thicker insulating layer in the termination region maintains the breakdown voltage of the insulating layer at an acceptable level, particularly in the vicinity of the upper corner of the trench where two-dimensional oxidation is most likely to produce horns or similar defects in the insulating layer. Moreover, the thicker insulating layer improves the electric field distribution so that avalanche breakdown occurs in the active region of the transistor rather than in the termination region, thus causing breakdown voltage behavior to be more stable and predictable. The thicker insulating layer also improves process control and reduces substrate contamination during processing. Also, the thicker the oxide, the less crowded the electric field distributed so the oxide rupture voltage will be larger. 2. The thicker the oxide, the less the dopant can penetrate from the doped polysilicon through the oxide into the substrate region so a thicker oxide can help to reduce the substrate contamination.

[0017] In some embodiments of the trench DMOS devices of the present

invention, the average thickness of the insulating layer at the bottom of the second trench is also increased, without increasing the average thickness of the insulating layer in the upper portion of these trenches. Trench DMOS devices of these later embodiments have all of the advantages noted above. Moreover, the presence of a thicker insulating layer at the bottom of the trenches in the active region of a power MOSFET reduces penetration of dopant material through the insulating layer and into the p type diffusion layer in this area of the trench, thereby reducing punch-through.

[0018] In another aspect, the present invention relates to a method for making trench DMOS devices, and to the devices so made. In accordance with the method, an article is provided which comprises a first region having a first conductivity type and a second region having a second conductivity type. The article has first and second trenches which are in communication with the first and second regions. A first electrically insulating layer is then deposited over the surface of the first trench. The first insulating layer has a mean thickness over the first trench of t_1 . Next, a second insulating layer is deposited over the surface of the second trench. The second insulating layer has a mean thickness over the second trench of t_2 . The thicknesses of the two insulating layers are such that, if k is the larger of the two layers and m is the smaller of the two layers, then k/m is greater than 1, and typically is at least about 1.2.

[0019] In the various embodiments of the method of the present invention, the differences in thickness of the insulating layer may be achieved by depositing a first insulating layer over the first and second trench, and then depositing at least one mask (e.g., an oxide mask if the insulating layer is an oxide such as silicon oxide) over at least a portion of the first insulating layer, thereby defining a masked region and an unmasked region. In some embodiments of the method of the present invention, the masked region extends over the entire surface of the first trench, and the unmasked region extends over the entire surface of the second trench. In other embodiments, the masked region extends over the entire surface of the first trench and over a first portion of the surface of the second trench (e.g., the bottom), and the

WO 01/99198

PCT/US01/19377

unmasked region extends over a second portion of the surface of the second trench. Any portion of the first insulating layer extending into the unmasked region is then removed, as by etching, and a second insulating layer having an average thickness t_2 , wherein $t_1 \neq t_2$, is deposited over the unmasked region. Typically, if the first trench is located in the termination region of the transistor and the second trench is located in the active region of the transistor, then $t_1 > t_2$. This method may be used advantageously to produce a trench DMOS device of the type described above.

[0020] In yet another aspect, the present invention relates to an intermediary article which is useful in the construction of a trench DMOS transistors and similar devices, and to methods for making the same. The article comprises a first region having a first conductivity type and a second region having a second conductivity type. A first trench, which is in communication with the first and second regions, has first and second walls and terminates in a first bottom. The first wall extends from the first bottom to a surface of the article, and the intersection of the first wall and the surface defines a first locus. A second trench, which has third and fourth walls and terminates in a second bottom (the second bottom defines a second locus), also extends through the first and second regions. An electrically insulating material (typically an insulating oxide such as silicon oxide) is disposed over at least the first locus. In some embodiments, the insulating material extends over the second locus as well. The article is further provided with at least one mask which defines a masked region and an unmasked region. The masked region extends over the first locus and, in some embodiments, extends over the second locus as well. The unmasked region extends over all areas outside of the masked region, and typically includes at least a portion of the third and fourth walls of the second trench.

[0021] The intermediary articles of the present invention may be used advantageously in the manufacture of the trench DMOS transistors and devices of the present invention, as by removing any insulating material present in the unmasked region (as, for example, by chemical etching, where the insulating material is silicon oxide and the at least one mask is an oxide mask) and then

depositing another portion of the same or different insulating material over the unmasked region (either before or after removal of the at least one mask). In this way, the thickness of the insulating material (which may form the gate oxide layer and/or a sacrificial oxide layer) may be varied independently over the masked and unmasked regions of the trench DMOS device so as to obtain the benefits described above.

Brief Description of the Drawings

- [0022] FIG. 1A is a plan view of a prior art DMOS device;
- [0023] FIG. 1B is a cross-sectional view taken along the Line 1B-1B of FIG. 1;
- [0024] FIG. 1C is a magnified view of Area 2 in FIG. 2;
- [0025] FIGS. 2-5 are a schematic cross-sectional views of trench DMOS transistor constructed in accordance with the present invention;
- [0026] FIGS. 6A-6E are schematic cross-sectional views illustrating a method of making trench DMOS transistors in accordance with the present invention;
- [0027] FIGS. 7A-7D are schematic cross-sectional views illustrating a method of making trench DMOS transistors in accordance with the present invention; and
- [0028] FIGS. 8A-8B are schematic cross-sectional views illustrating a method of making trench DMOS transistors in accordance with the present invention.

Detailed Description

[0029] The present invention pertains to trench DMOS devices (and to methods for making the same) with improved gate oxide integrity and, in particular, to trench DMOS devices having a gate oxide layer with improved breakdown voltage. These devices, and the methodology for making them, are particularly useful in making power MOSFET devices.

[0030] FIG. 2 illustrates a first embodiment of a trench DMOS device 1 which is made in accordance with the present invention. The structure includes an n⁺ substrate 3 on which is grown a lightly n doped epitaxial layer 5. Within the doped epitaxial layer, a p type diffusion layer 7 of opposite conductivity is provided. An

N+ doped epitaxial layer 9 that overlies at least a portion of the p type diffusion layer serves as the source.

[0031] First and second trenches 11, 11' are provided in the epitaxial layer. The first trench is disposed in the active region 12 of the device and the second trench is disposed in the termination region 12' of the device. The second trench is filled with a portion of polysilicon which 14 extends to the top surface for contact with the gate 16. First and second oxide layers 13, 13' are provided in first and second trenches, respectively, the first and second oxide layers having respective thicknesses of t_1 and t_2 such that $t_2 > t_1$.

[0032] The thicknesses t_1 and t_2 are chosen such that the breakdown voltage of the oxide layers are sufficient for the intended end use, subject to the requirement that $t_2 > t_1$. The presence of the thicker oxide layer in the termination region maintains the breakdown voltage of the oxide layer at an acceptable level in the vicinity of the upper corner of the trench, where two-dimensional oxidation is most likely to produce horns or similar defects. Moreover, the thicker oxide layer improves the electric field distribution so that avalanche breakdown occurs in the active region of the transistor rather than in the termination region, thus causing breakdown voltage behavior to be more stable and predictable. The thicker silicon oxide layer also improves process control and reduces substrate contamination during processing.

[0033] Typically, t_1 and t_2 will be chosen such that the ratio $t_2:t_1$ is at least about 1.2, more preferably at least about 1.5, and most preferably at least about 2. Typically, (for 30V device) t_1 is within the range of 400 to 700 angstroms, more preferably within the range of 500 to 650 angstroms, and most preferably within the range of 550 to 600 angstroms, while t_2 is typically within the range of 600 to 840 angstroms, more preferably within the range of 750 to 1050 angstroms, and most preferably within the range of 1000 to 1400 angstroms. In general, the gate oxide thickness (i.e., the oxide in the trench located in the active area) depends on the voltage of the device being fabricated.

[0034] FIG. 3 illustrates a second embodiment of a trench DMOS structure 21

which is made in accordance with the present invention. This structure is similar to that depicted in FIG. 2, except that masking techniques are used to thicken the portion of the gate oxide layer 23 along the bottom of the first trench 25 as compared to the device of FIG. 2. This thickening of the gate oxide layer is advantageous in that it reduces penetration of dopant material through the insulating layer and into the p type diffusion layer in this area of the trench, thereby reducing punch-through. At the same time, however, the gate oxide layer is thinner elsewhere in the trench, thereby ensuring that avalanche breakdown occurs in the active region of the transistor rather than in the termination region. This in turn causes the breakdown voltage behavior of the device to be more stable and predictable.

Typical values for the thickness t_6 of the oxide layer at the bottom of the first trench, and the thickness t_6 of the oxide layer along the sides of the trench, are comparable to the values of t_1 and t_2 , respectively, for the device depicted in FIG. 2.

[0035] FIG. 4 illustrates a third embodiment of a trench DMOS structure 31 which is made in accordance with the present invention. This device is similar to the device depicted in FIG. 3, except that additional masking steps are used to produce an insulating oxide layer 33 in the termination region of the device which has a first region 35 with a thickness t_1 and a second region 37 with a thickness t_2 . The gate oxide layer 38 in the active region of the device has a thickness t_3 . The thicknesses of these layers are chosen such that $t_1 > t_2 > t_3$.

[0036] Typically, in this embodiment, t_1 and t_2 will be chosen such that the ratio $t_1:t_2$ is at least about 1.5, more preferably at least about 3.0, and most preferably at least about 4.0. Typically, t_1 is within the range of 1500 to 2000 angstroms, more preferably within the range of 2000 to 2500 angstroms, and most preferably within the range of 3500 to 4500 angstroms, while t_2 is typically within the range of 600 to 840 angstroms, more preferably within the range of 750 to 1050 angstroms, and most preferably within the range of 1000 to 1400 angstroms.

Typical values for t_3 correspond to the values for t_2 in the device of FIG. 2. The additional thickness of the first region in this embodiment is advantageous in that it reduces the Gate runner capacitance.

[0037] FIG. 5 illustrates a fourth embodiment of a trench DMOS structure 41 which is made in accordance with the present invention. This device is similar to the device depicted in FIG. 4 except that masking techniques are used to thicken the portion 43 of the gate oxide layer 45 along the bottom of the trench 47 in the active region of the device. The benefits of a thicker oxide layer in this region have been noted with respect to the embodiment depicted in FIG. 3. Portion 43 of the gate oxide layer will typically have a thickness t_4 comparable to the values of t_2 in the device depicted in FIG. 4.

[0038] FIG. 6A-6E illustrate a first embodiment of the method of the present invention that may be used to form a trench DMOS device of the type depicted in FIG. 4. In FIG. 6A, an n doped epitaxial layer 51 is grown on a conventionally n+ doped substrate 53. The epitaxial layer is typically 5.5 microns in thickness for a 30 V device. Next, p type diffusion layer 55 is formed in an implantation and diffusion step. Since the p type diffusion layer is uniform across the substrate, no mask is needed. The p type diffusion layer may be boron implanted at 40 to 60 KEV with a dosage of $5.5 \times 10^{13}/\text{cm}^2$.

[0039] In FIG. 6B, a mask oxide layer is formed by covering the surface of the epitaxial layer with an oxide layer, which is then conventionally exposed and patterned to leave mask portions 57. Mask portions 57 are used for defining the location of the first and second trenches 59, 59' which are dry etched through the mask openings by reactive ion etching to a depth that typically ranges from 1.5 to 2.5 microns.

[0040] In FIG. 6C, the mask portions are removed, typically by a buffer oxide etch or an HF etch. Since the steps of trench formation are completed prior to removal of the patterned trench mask, and since the patterned trench mask serves as a cap or buffer during the trench forming process, dopant material does not leach out of the p type diffusion layer, and punch-through is consequently reduced.

[0041] After removal of the mask portions, a sacrificial oxide layer 61 is deposited on the entire structure so that it covers the trench walls and the surface of p type diffusion layer 55. The sacrificial oxide layer typically has a thickness t_2 in

the range of 800 angstroms, more preferably within the range of 1000 angstroms, and most preferably within the range of 1200 angstroms.

[0042] As shown in FIG. 6D, a sacrificial oxide mask 71 is deposited over the second trench 59', while the first trench 59 is left exposed. The sacrificial oxide layer is then removed from the surface of the first trench by means of an oxide etch.

[0043] With reference to FIG. 6E, gate oxide layer 75 is then deposited on the surface of the first trench, followed by polysilicon 77 deposition. The polysilicon is then doped with phosphorous chloride or implanted with arsenic or phosphorous to reduce its resistivity, which resistivity is typically within the range of 20 ohm per square cm. A photoresist polysilicon mask 79 is then placed over the second trench, and the device is completed in a conventional manner to produce a device such as that depicted in FIG. 2.

[0044] FIGS. 7A-7B show a second embodiment of the method of the present invention. As shown in FIG. 7A, in this embodiment first and second sacrificial oxide masks 81, 81' are deposited over the structure depicted in FIG. 6C such that the sacrificial oxide layer 82, which has an average thickness t_1 , is completely covered in the vicinity of the second trench 83' but is covered only at the bottom of the first trench 83. The resulting structure is then exposed to an oxide etch which removes a portion of the sacrificial oxide layer in the vicinity of the first trench as shown in FIG. 7B. The sacrificial oxide masks are then removed and a gate oxide layer 85 having an average thickness t_2 is deposited to give the structure depicted in FIG. 7C. A layer of polysilicon 87 is then deposited over the gate oxide layer and sacrificial oxide layer, the polysilicon is doped, and a photoresist polysilicon mask 89 is placed over the second trench to give the structure depicted in FIG. 7D. The device is then completed in a conventional manner to result in a device such as that depicted in FIG. 3. Typical values for t_1 and t_2 are noted with respect to the device depicted in FIG. 3.

[0045] FIGS. 8A-8B show a third embodiment of the method of the present invention. As shown in FIG. 8A, in this embodiment a first oxide layer 91 having a thickness t_1 is deposited over a substrate of the type depicted in FIG. 6A. The first

oxide layer is then patterned into a prescribed shape having at least first and second openings 93, 93', thereby forming an oxide mask. Corresponding first and second trenches 95, 95' are then anisotropically etched through the mask openings. A sacrificial oxide layer (not shown) is deposited over the etched structure to remove any damages that occurred during etching, after which the sacrificial oxide layer is removed.

[0046] Next, the trenches are subject to thermal oxidation to form a second oxide film 97 having a thickness t_2 , wherein $t_1 > t_2$, over the surfaces of the trenches. Such a film may be formed, for example, in an oxygen/hydrogen atmosphere at about 950°C, with the time of deposition and other parameters being controlled to achieve a desired layer thickness. An oxide mask 99 is then deposited over the second trench. The device is then typically subjected to an oxide etch to form a structure analogous to that shown in FIG. 6D, and is completed using methodology similar to that described with respect to FIG. 6E to result in the device depicted in FIG. 4. If desired, additional masking steps (e.g., the placement of an oxide mask on the bottom of the first trench) may be performed prior to oxide etching so as to form a device such as that depicted in FIG. 5 in which the gate oxide layer is thickened in the vicinity of the bottom of the first trench.

[0047] Although various embodiments are specifically illustrated and described herein, it will be appreciated that modifications and variations of the present invention are covered by the above teachings and are within the purview of the appended claims without departing from the spirit and intended scope of the invention. For example, the method of the present invention may be used to form a trench DMOS in which the conductivities of the various semiconductor regions are reversed from those described herein.

WHAT IS CLAIMED IS:

1. A method for making a trench DMOS, comprising the steps of:
providing an article comprising a first region having a first conductivity type and a second region having a second conductivity type, the article having first and second trenches which are in communication with the first and second regions;
depositing a first electrically insulating layer over the surface of the first trench, the first insulating layer having a mean thickness over the first trench of t_1 ;
and
depositing a second electrically insulating layer over the surface of the second trench, said second insulating layer having a mean thickness over the second trench of t_2 ;
wherein the ratio t_1/t_2 is at least about 1.2.
2. The method of claim 1, wherein t_1/t_2 is at least about 1.5.
3. The method of claim 1, wherein t_1/t_2 is at least about 2.
4. The method of claim 1, wherein t_1 is within the range of about 600 to about 840 angstroms.
5. The method of claim 1, wherein t_1 is within the range of about 750 to about 1050 angstroms.
6. The method of claim 1, wherein t_1 is within the range of about 1000 to about 1400 angstroms.
7. The method of claim 1, wherein the first and second insulating layers are oxide layers.

WO 01/99198

PCT/US01/19377

8. The method of claim 7, wherein the first and second insulating layers comprise silicon oxide.
9. The method of claim 1, further comprising the step of depositing polycrystalline silicon into the first and second trenches.
10. The method of claim 1, wherein the first insulating layer has an essentially uniform thickness over the first trench.
11. The method of claim 1, wherein the first insulating layer extends over at least a first locus defined by the surface of the first trench and the areas adjacent thereto, and wherein the first insulating layer has an essentially uniform thickness over the first locus.
12. The method of claim 11, wherein the first locus is defined by the surface of the first trench and the area within $k/2$ angstroms of the first trench, and wherein k is the maximum width of the first trench.
13. The method of claim 1, wherein the second insulating layer extends over at least a second locus defined by the surface of the second trench and the areas adjacent thereto, and wherein the second insulating layer has an essentially uniform thickness t_1 over a first portion of the second locus and an essentially uniform thickness t_2 over a second portion of the second locus.
14. The method of claim 13, wherein the second locus is defined by the surface of the second trench and the areas within $k/2$ angstroms of the second trench, and wherein k is the maximum width of the second trench.
15. The method of claim 14, wherein the first portion of the locus is the bottom of the trench, and wherein $t_1 > t_2$.

WO 01/99198

PCT/US01/19377

16. The method of claim 15, wherein the ratio t_p/t_s is at least about 1.2.
17. The method of claim 15, wherein t_p/t_s is at least about 1.5.
18. The method of claim 15, wherein t_p/t_s is at least about 2.
19. The method of claim 1, wherein the first region comprises an n doped epitaxial layer, and wherein the second region is a p type diffusion layer.
20. The method of claim 19, wherein the article further comprises an n+ doped epitaxial layer, wherein the p type diffusion layer is disposed on a first side of the n doped epitaxial layer, and wherein the n+ doped layer is disposed on a second side of the n doped epitaxial layer.
21. A trench DMOS device made in accordance with claim 1, said trench DMOS device comprising an active portion and a termination portion, and wherein the first trench is disposed in the termination portion and the second trench is disposed in the active portion.
22. A power MOSFET made in accordance with the method of claim 21.
23. A method for making a trench DMOS, comprising the steps of:
providing an article comprising a first region of a first conductivity type and a second region of a second conductivity type, the article having first and second trenches in communication with the first and second regions, wherein the first trench and the areas adjacent thereto define a first locus, wherein the second trench and the areas adjacent thereto, exclusive of the bottom of the second trench, define a second locus, and wherein the bottom of the second trench defines a third locus; and

WO 01/99198

PCT/US01/19377

depositing an electrically insulating layer over the first, second and third loci, wherein the electrically insulating layer has a mean thickness over the first locus of t_1 , a mean thickness over the second locus of t_2 , and a mean thickness over the third locus of t_3 , and wherein $t_1 > t_2$.

24. The method of claim 23, wherein $t_3 > t_2$.
25. The method of claim 23, wherein t_1/t_2 is at least about 1.5.
26. The method of claim 23, wherein t_1/t_2 is at least about 2.
27. The method of claim 23, wherein t_1 is within the range of about 600 to about 840 angstroms.
28. The method of claim 23, wherein t_1 is within the range of about 750 to about 1050 angstroms.
29. The method of claim 23, wherein t_1 is within the range of about 1000 to about 1400 angstroms.
30. The method of claim 23, wherein the electrically insulating layer has an essentially uniform thickness over the first locus.
31. The method of claim 30, wherein the electrically insulating layer has an essentially uniform thickness over the second locus.
32. The method of claim 23, wherein the electrically insulating layer has an essentially uniform thickness over the third locus.

WO 01/99198

PCT/US01/19377

33. The method of claim 23, wherein the first and second insulating layers are oxide layers.
34. The method of claim 33, wherein the first and second insulating layers comprise silicon oxide.
35. A trench DMOS device made in accordance with claim 23, said trench DMOS device comprising an active portion and a termination portion, and wherein the first trench is disposed in the termination portion and the second trench is disposed in the active portion.
36. A power MOSFET made in accordance with the method of claim 23.
37. The method of claim 23, wherein the first locus is defined by the surface of the first trench and the areas within $k/2$ angstroms of the first trench, and wherein k is the maximum width of the first trench.
38. The method of claim 23, wherein the second locus is defined by the surface of the second trench and the areas within $k/2$ angstroms of the second trench, and wherein k is the maximum width of the second trench.
39. The method of claims 37 or 38, wherein $k \leq 8000$ angstroms.
40. A trench DMOS device, comprising:
a first region having a first conductivity type;
a second region having a second conductivity type;
a termination portion, comprising a first trench which is in communication with said first and second regions, said first trench having a first electrically insulating layer disposed on the surface thereof which has a mean thickness t_1 ; and

an active portion, comprising a second trench which is in communication with said first and second regions, said second trench having a second electrically insulating layer disposed on the surface thereof which has a mean thickness t_2 , wherein $t_1 > t_2$.

41. The device of claim 40, wherein t_1/t_2 is at least about 1.2.
42. The device of claim 40, wherein t_1/t_2 is at least about 1.5.
43. The device of claim 40, wherein t_1/t_2 is at least about 2.
44. The device of claim 40, wherein t_1 has a thickness within the range of 600 angstroms to about 840 angstroms.
45. The device of claim 40, wherein t_1 has a thickness within the range of 750 angstroms to about 1050 angstroms.
46. The device of claim 40, wherein t_1 has a thickness within the range of 1000 angstroms to about 1400 angstroms.
47. The device of claim 40, wherein the electrically insulating layer has an essentially uniform thickness over a first locus defined by the surface of the first trench and an area within $k/2$ angstroms of the first trench, and wherein k is the maximum width of the first trench.
48. The device of claim 40, wherein the electrically insulating layer has an essentially uniform thickness over a second locus defined by the surface of the second trench, exclusive of the bottom of the second trench, and an area within $k/2$ angstroms of the second trench, and wherein k is the maximum width of the second trench.

WO 01/99198

PCT/US01/19377

49. The device of claims 47 or 48, wherein $k \leq 8000$ angstroms.
50. The device of claim 40, wherein the electrically insulating layer has an essentially uniform thickness over a third locus defined by the bottom of the second trench.
51. The device of claim 40, wherein the first and second insulating layers are oxide layers.
52. The device of claim 51, wherein the first and second insulating layers comprise silicon oxide.
53. A power MOSFET, comprising:
a first region having a first conductivity type;
a second region having a second conductivity type;
a termination portion, comprising a first trench which is in communication with said first and second regions;
a first oxide layer of essentially uniform thickness which extends over a first locus defined by the surface of said first trench and an area within $k/2$ angstroms of said first trench, wherein k is the maximum width of said first trench;
an active portion, comprising a second trench which is in communication with said first and second regions; and
a second oxide layer of essentially uniform thickness which extends over a second locus defined by the sides of said second trench and an area within $k/2$ angstroms of said second trench;
wherein the first oxide layer has a mean thickness t_1 , wherein the second oxide layer has a mean thickness t_2 , and wherein $t_1 > t_2$.

54. The power MOSFET of claim 53, wherein said second locus also includes the bottom of said second trench.
55. The power MOSFET of claim 53, further comprising a third electrically insulating layer of essentially uniform thickness which extends over a third locus defined by the bottom of said second trench.
56. The power MOSFET of claim 55, wherein said third electrically insulating layer has a mean thickness t_3 , and wherein $t_3 > t_2$.
57. The power MOSFET of claim 53, wherein said first and second electrically insulating layers are oxide layers.
58. The power MOSFET of claim 57, wherein said first and second electrically insulating layers are silicon oxide layers.
59. The power MOSFET of claim 53, wherein $k \leq 8000$ angstroms.
60. The power MOSFET of claim 53, wherein $k \leq 10000$ angstroms.
61. A method for making a trench DMOS device, comprising the steps of:
providing an article comprising a first region of a first conductivity type and a second region of a second conductivity type, the article having first and second trenches which are in communication with the first and second regions;
depositing a first insulating layer over the surfaces of the first and second trenches, the first insulating layer having a mean thickness t_1 ;
depositing at least one mask over at least a portion of the insulating layer, thereby defining a masked region and an unmasked region, wherein the masked region extends over the surface of the first trench, and wherein the unmasked region extends over at least a portion of the surface of the second trench; and

WO 01/99198

PCT/US01/19377

depositing a second insulating layer over the unmasked region, said second insulating layer having a mean thickness t_2 ;

wherein k is the larger of t_1 and t_2 , wherein m is the smaller of t_1 and t_2 , and wherein k/m is at least about 1.2.

62. The method of claim 61, wherein the first insulating layer is removed from the unmasked region prior to deposition of the second insulating layer.

63. The method of claim 62, wherein the first insulating layer is removed by etching.

64. The method of claim 61, wherein the first and second insulating layers are oxide layers, and wherein the at least one mask is an oxide mask.

65. The method of claim 64, wherein the first and second insulating layers comprise silicon oxide.

66. The method of claim 64, wherein k/m is at least about 1.5.

67. The method of claim 64, wherein k/m is at least about 2.

68. The method of claim 61, wherein the unmasked region extends over a first portion of the surface of the second trench, and wherein the masked region extends over a second portion of the surface of the second trench.

69. The method of claim 68, wherein the unmasked region extends over the upper portion of the second trench, and wherein the masked region extends over the lower portion of the second trench.

WO 01/99198

PCT/US01/19377

70. The method of claim 61, wherein the unmasked region extends over the entire surface of the second trench.
71. An article, comprising:
a first region of a first conductivity type;
a second region of a second conductivity type;
a first trench, in communication with said first and second regions, said first trench terminating in a first bottom and having first and second walls, said first wall extending from said first bottom to a surface of the article, the intersection of said first wall and said surface defining a first locus;
a second trench, in communication with said first and second regions, said second trench having third and fourth walls and terminating in a second bottom, said second bottom defining a second locus;
an electrically insulating material disposed over said first locus; and
at least one mask defining a masked region and an unmasked region, said masked region extending over said first locus, and said unmasked region extending over at least a portion of said third and fourth walls.
72. The article of claim 71, wherein said masked region extends over said first trench and said unmasked region extends over said second trench.
73. The article of claim 71, wherein said masked region also extends over said second locus.
74. The article of claim 73, wherein said insulating material extends over said masked region.
75. The article of claim 74, wherein said insulating material does not extend over said unmasked region.

WO 01/99198

PCT/US01/19377

76. The article of claim 71, wherein said insulating material is disposed between said at least one mask and said first locus.
77. The article of claim 76, wherein said insulating material is disposed between said at least one mask and said second locus.
78. The article of claim 71, wherein said insulating material is a silicon oxide.
79. The article of claim 78, wherein said at least one mask is an oxide mask.
80. The article of claim 71, wherein said second region is a diffusion region.
81. The article of claim 72, wherein said diffusion region is a p type diffusion region.
82. A method for making a trench DMOS, comprising the steps of:
providing a substrate comprising a first region having a first conductivity type and a second region having a second conductivity type;
creating a first oxide layer on a surface of the substrate, the first oxide layer having first and second openings therein;
creating first and second trenches in the location of the first and second openings, respectively, the first and second trenches being in communication with the first and second regions;
creating a second oxide layer on the surface of the second trench, said second oxide layer having a mean thickness over the second trench of t_2 ; and
creating a third oxide layer on the surface of the first trench, said third oxide layer having a mean thickness over a first portion of the first trench of t_3 and having a mean thickness over a second portion of the first trench of t_4 , wherein the ratio t_2/t_3 is at least about 1.2.

WO 01/99198

PCT/US01/19377

83. The method of claim 82, wherein the step of creating the first oxide layer includes the step of depositing a layer of oxide by vapor deposition.
84. The method of claim 82, wherein the step of creating the second oxide layer is preceded by the steps of:
depositing a sacrificial oxide layer on the surface of the second trench; and
removing the sacrificial oxide layer from the surface of the second trench.
85. The method of claim 82, wherein the step of creating the third oxide layer is preceded by the steps of:
disposing a second oxide layer over the surfaces of the first and second trenches;
placing an oxide mask over the second trench; and
removing the second oxide layer from the surface of the first trench.
86. The method of claim 85, wherein the step of creating the third oxide layer includes the step of depositing a layer of oxide by vapor deposition.
87. The method of claim 82, wherein the first oxide layer has a mean thickness of t_1 , and wherein $t_1/t_2 > 1$.
88. The method of claim 82, wherein t_3 and t_4 are essentially equal.
89. The method of claim 82, wherein t_3/t_4 is at least about 1.2.
90. The method of claim 89, wherein the second portion of the first trench includes the bottom of the first trench.
91. A MOSFET made in accordance with the method of claim 82, said MOSFET having an active region and a termination region, wherein the first trench

WO 01/99198

PCT/US01/19377

is disposed in the active region and the second trench is disposed in the termination region.

WO 01/99198

PCT/US01/19377

1/12

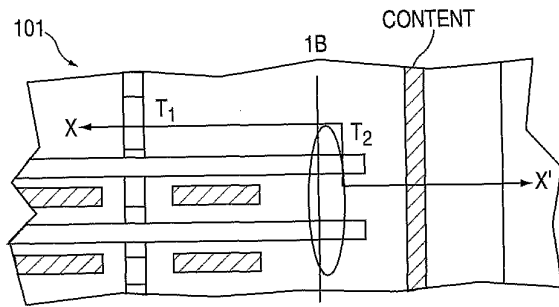


FIG. 1A

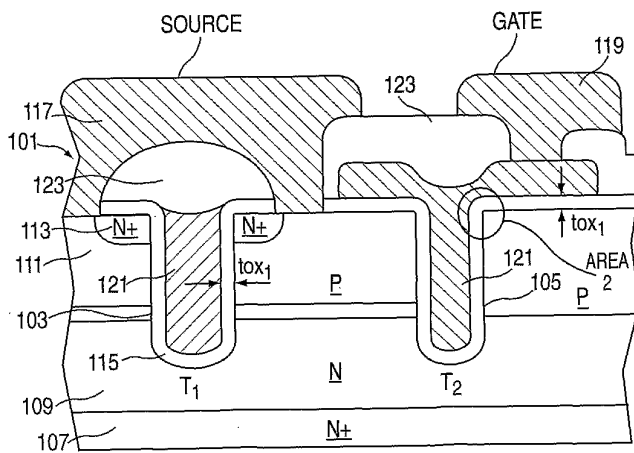


FIG. 1B
PRIOR ART

SUBSTITUTE SHEET (RULE 26)

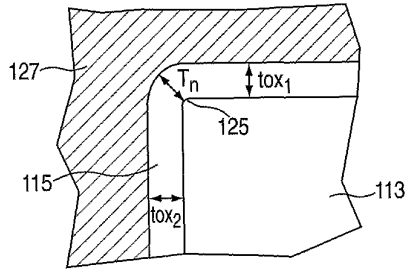


FIG. 1C
PRIOR ART

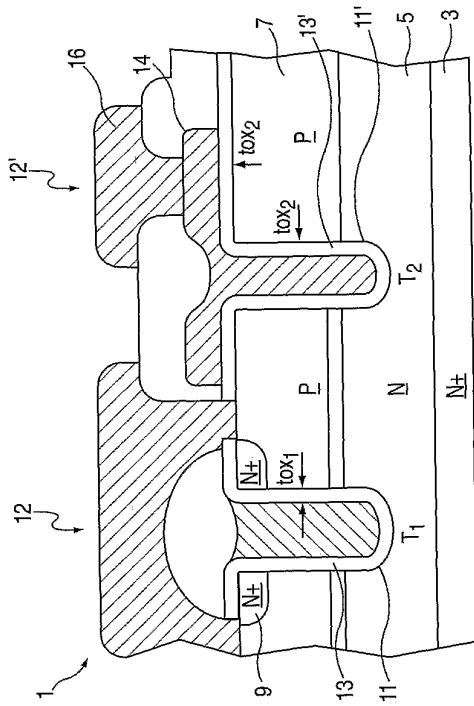


FIG. 2

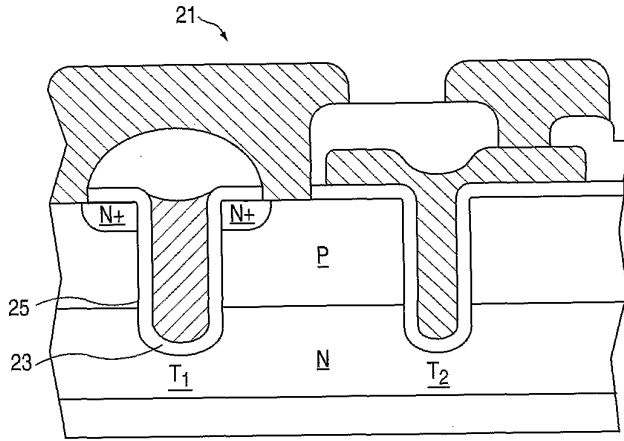


FIG. 3

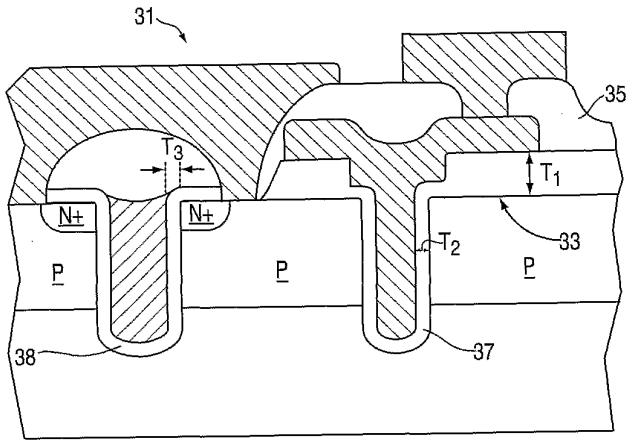


FIG. 4

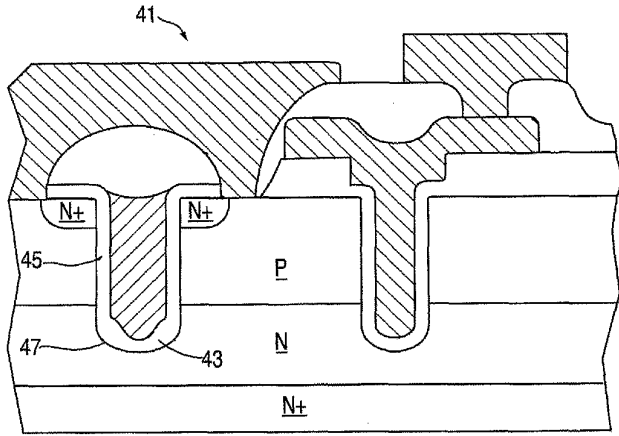


FIG. 5

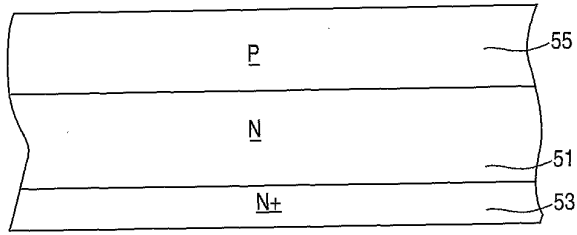


FIG. 6A

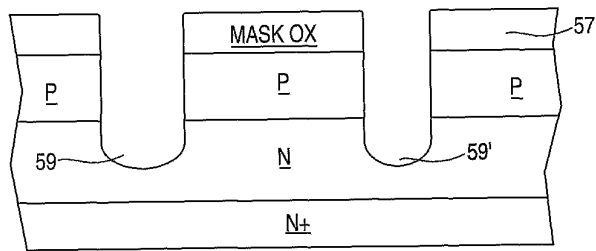


FIG. 6B

WO 01/99198

PCT/US01/19377

8/12

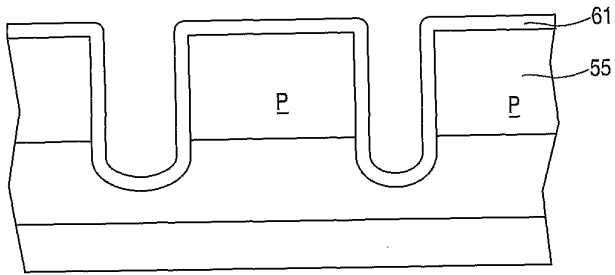


FIG. 6C

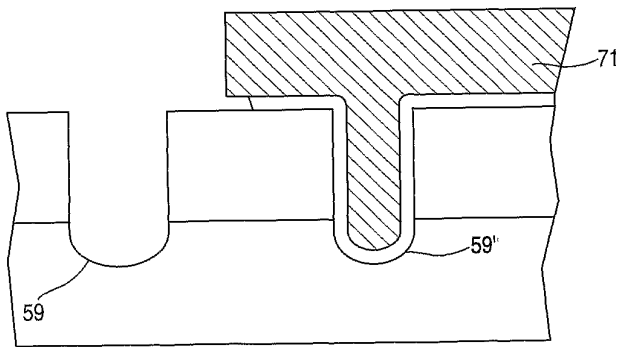


FIG. 6D

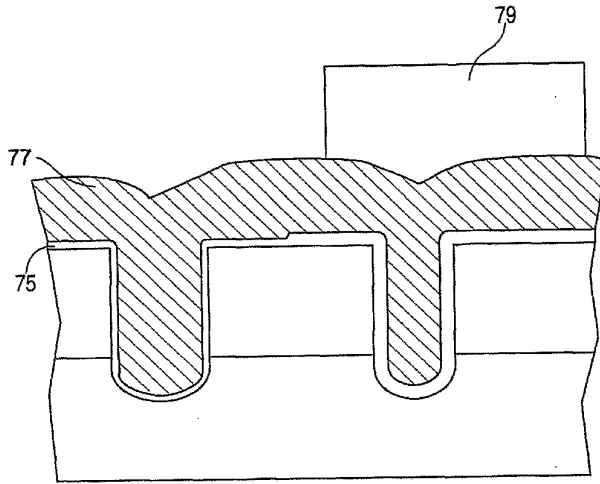


FIG. 6E

WO 01/99198

PCT/US01/19377

10/12

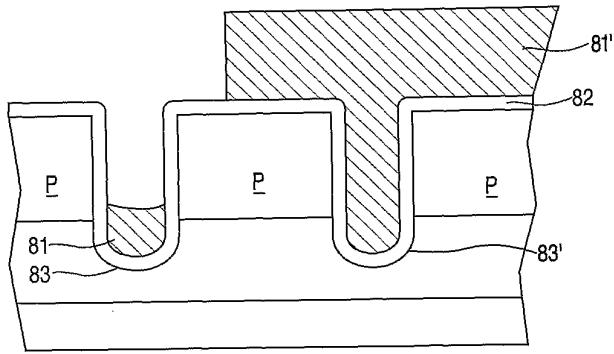


FIG. 7A

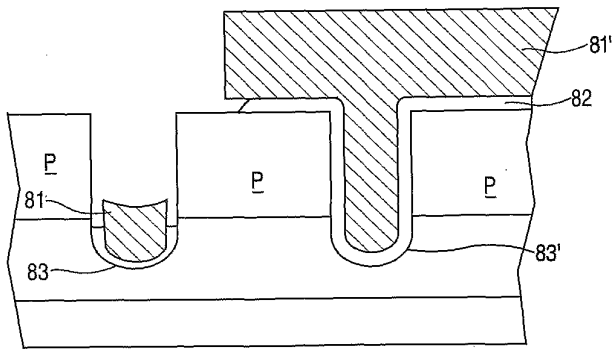


FIG. 7B

SUBSTITUTE SHEET (RULE 26)

WO 01/99198

PCT/US01/19377

11/12

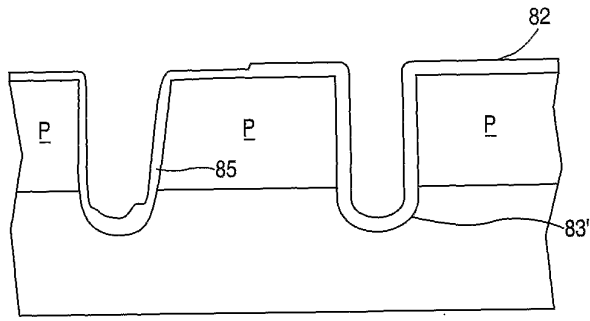


FIG. 7C

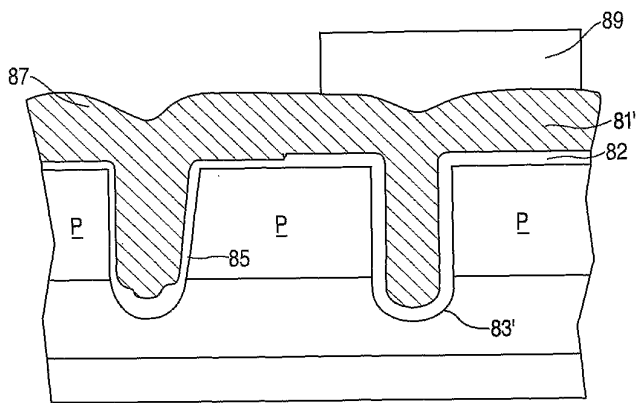


FIG. 7D

WO 01/99198

PCT/US01/19377

12/12

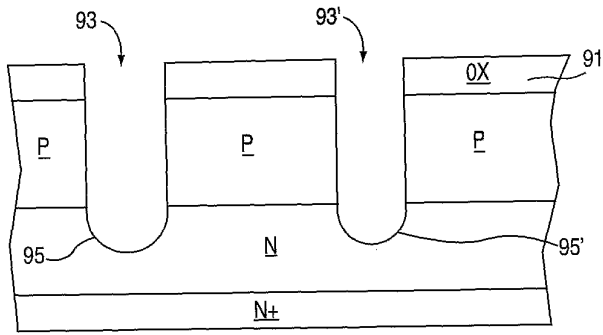


FIG. 8A

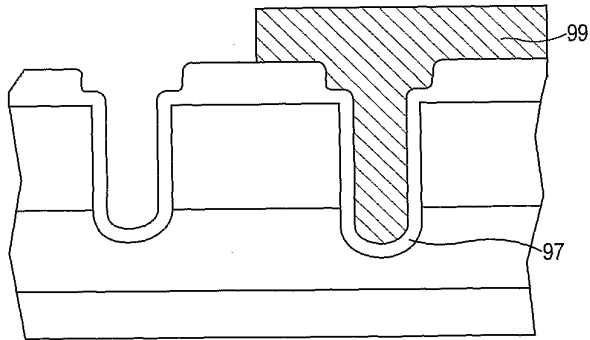


FIG. 8B

【国際公開パンフレット(コレクトバージョン)】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
27 December 2001 (27.12.2001)

PCT

(10) International Publication Number
WO 01/099198 A3

(51) International Patent Classification: H01L 29/78, 29/423, 21/336 (74) Agent: MAYER, Stuart, H.; Mayer Fortkott & Williams, PC, 251 North Avenue West, 2nd Floor, Westfield, NJ 07090 (US).

(21) International Application Number: PCT/US01/19377

(22) International Filing Date: 15 June 2001 (15.06.2001)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data: 09/595,120 16 June 2000 (16.06.2000) US

(71) Applicant: GENERAL SEMICONDUCTOR, INC. [US/US]; 10 Melville Park Road, Melville, NY 11747-3113 (US).

(81) Designated States (national): AF, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GH, GI, GM, HR, HU, ID, IL, IN, IS, JP, KI, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW.

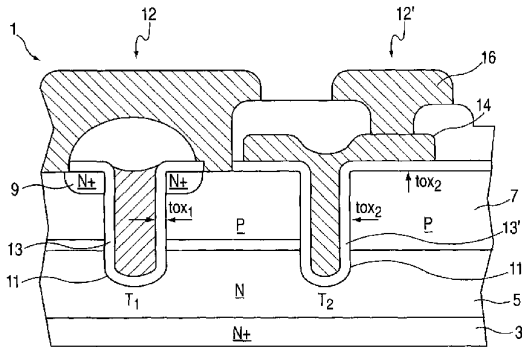
(84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).

(72) Inventors: HSHIEH, Fwu-Juan; 30768 Savilla Lane, Saratoga, CA 95070 (US); SO, Koon, Chong; 591 Woodview Terrace, Fremont, CA 94539 (US); TSUI, Yan, Man; 4409 Drywood Court, Union City, CA 94587 (US).

Published with international search report

[Continued on next page]

(54) Title: POWER MOSFET AND METHOD OF MAKING THE SAME



(57) Abstract: The breakdown voltage of the oxide layer is increased in a power MOSFET (1) having at least a first trench (11) disposed in the active region (12) of the MOSFET and a second trench (11') disposed in the termination region (12') of the MOSFET. In accordance with the invention, mask techniques are used to thicken the oxide layer (13) in the vicinity of the top corner of the second trench, thereby compensating for the thinning of this region (and the accompanying reduction in breakdown voltage) that occurs due to the two-dimensional oxidation during the manufacturing process.

WO 01/099198 A3

WO 01/099198 A3



(88) **Date of publication of the international search report:** 10 October 2002 *For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.*

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International Application No PCT/US 01/19377
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L29/78 H01L29/423 H01L21/336		
According to International Patent Classification (IPC) or to both regional classification and IPC.		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, INSPEC, COMPENDEX		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 998 833 A (BALIGA B J) 7 December 1999 (1999-12-07) column 10, line 30 -column 11, line 27; figures 5,6	1-22, 40-81 23-39, 82-91
Y	---	---
Y	US 5 430 324 A (BENCUYA I) 4 July 1995 (1995-07-04) cited in the application column 5, line 45 -column 6, line 35; figures 5A-5J	23-39, 82-91
P, X	WO 01 09956 A (INFINEON TECHNOLOGIES ET AL) 8 February 2001 (2001-02-08) page 9, line 5 -page 12, line 14; figures 1-7	1-22, 40-81
	---	---
	-/--	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents:		
A document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone ** document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art *8* document member of the same patent family		
Date of the actual completion of the international search 13 June 2002		Date of making of the international search report 25/06/2002
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040. Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Morvan, D

Form PCT/ISA/210 (second sheet) (July 1999)

INTERNATIONAL SEARCH REPORT

International Application No
PCT/US 01/19377

Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 541 425 A (NISHIHARA H) 30 July 1996 (1996-07-30) cited in the application -----	

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT
 information on patent family members

 International Application No.
 PCT/US 01/19377

Patent document cited in search report	Publication date	Parent family member(s)	Publication date	
US 5998833	A	07-12-1999	AU 1213600 A	15-05-2000
			EP 1145327 A2	17-10-2001
			WO 0025365 A2	04-05-2000
			US 6388286 B1	14-05-2002
			US 2002036319 A1	28-03-2002
US 5430324	A	04-07-1995	DE 580213 T1	08-12-1994
			EP 0580213 A1	26-01-1994
			JP 6204483 A	22-07-1994
			KR 185677 B1	20-03-1999
			US 5605852 A	25-02-1997
WO 0109956	A	08-02-2001	DE 19935442 C1	21-12-2000
			WO 0109956 A1	08-02-2001
			EP 1204992 A1	15-05-2002
US 5541425	A	30-07-1996	JP 7249769 A	26-09-1995
			DE 19501556 A1	27-07-1995
			US 5795792 A	18-08-1998

フロントページの続き

(51) Int.Cl.⁷ F I テーマコード(参考)
H 0 1 L 29/78 6 5 8 G

(81) 指定国 AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW

(72) 発明者 ソー、クーン、チョング
アメリカ合衆国 カリフォルニア州 9 4 5 3 9 フレモント ウッド-ビュー テラス 5 9 1

(72) 発明者 ツイ、ヤン、マン
アメリカ合衆国 カリフォルニア州 9 4 5 8 7 ユニオン シティ ドライウッド コート 4 4 0 9